یک پیش‌اعوجاج‌ساز دیجیتالی ترکیبی با خاصیت تطبیق

محمدرضاسلطانی[۱] - ابراهیم برزآبادی[۲] – محمدرضا زادهوش[۳] - رسول امیرفتاحی[۴]

(۱) کارشناسی ارشد - گروه برق، دانشگاه آزاد اسلامی، مرکز تیران

(۲) دانشیار - دانشکده برق، دانشگاه آزاد اسلامی، واحد نجف آباد

(۳) کارشناسی ارشد - دانشکده برق، دانشگاه آزاد اسلامی، واحد نجف‌آباد

(۴) دانشیار - دانشکده برق و کامپیوتر، دانشگاه صنعتی اصفهان

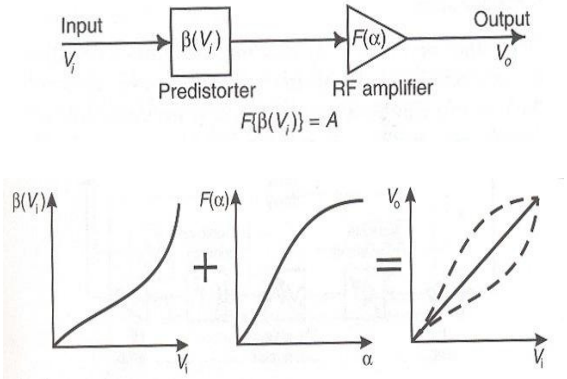
تاریخ دریافت: تابستان ۱۳۸۸ تاریخ پذیرش: پاییز ۱۳۸۹

خلاصه: در این مقاله روش خطی‌سازی تقویت کننده‌های RF با استفاده از پیش اعوجاج ساز دیجیتال را مورد مطالعه قرار می‌دهیم و روشی برای تطبیقی کردن این مدار دیجیتالی پیشنهاد می‌کنیم و مزایا و معایب آن را نسبت به مدارهای مرسوم پیش اعوجاج ساز دیجیتالی بررسی می‌کنیم. مدارهای پیش‌اعوجاج‌ساز یک مشکل اصلی برای رسیدن به حالت مطلوب دارند و آن مشکل اثر حافظه است. در ادامه کار یک مدار جدید مبتنی بر یک سیستم DSP ساده برای از بین بردن اعوجاج و اثر حافظه پیشنهاد می‌کنیم و سپس این مدار جدید را شبیه‌سازی می‌کنیم. با بررسی نتایج شبیه‌سازی آشکار می‌گردد که در نسبت توان کانال مجاور کاهش قابل ملاحظه‌ای دیده می‌شود.

کلمات کلیدی: پیش اعوجاج ساز، تقویت کننده‌های RF، خطی سازی، فیلتر FIR.

۱- مقدمه

بازده طیفی امروزه در فناوری ارتباطی اهمیت زیادی پیدا کرده است. مدولاسیون‌های دیجیتالی دارای پوش غیر ثابتی هستند در بسیاری از سیستم‌های بی‌سیم استفاده می‌شوند. این سیستم‌ها نیاز به تقویت کننده‌های قدرت خطی دارند و این مطلب اهمیت خطی سازی این تقویت کننده‌ها را دو چندان کرده است. معمولا خطی سازی یا با کاهش بهره به دست می‌آید و یا با استفاده از تکنیک‌های خطی سازی. همه تکنیک‌های خطی سازی یکسان نیستند و به عنوان نمونه می‌توان به روش‌های فیدبک، فیدفوروارد و پیش اعوجاج اشاره کرد. هریک از این روش‌ها برای دستیابی به بیشترین درجه خطی سازی دارای محدودیت‌هایی هستند. پیش اعوجاج دیجیتالی برای خطی کردن پاسخ غیر خطی یک تقویت کننده قدرت در محدوده توان مورد نظر استفاده می‌شود. پیش اعوجاج ساز دیجیتالی، سیگنال را در باند پایه تولید می‌کند یعنی قبل از اینکه مدوله شود و توسط تقویت کننده تقویت گردد، تولید می کند. در نتیجه با ترکیب پاسخ پیش اعوجاج ساز و تقویت کننده، یک پاسخ خطی مطلوب ایجاد می‌شود. شکل (۱) نحوه انجام کار را نشان می‌دهد. بهره تقویت کننده قدرت به عنوان یک تابع لحظه‌ای از اندازه ورودی تقویت کننده مدل شده و فرض می‌کنیم این تابع غیر خطی و بدون حافظه باشد.



شکل (۱): عملکرد یک سیستم پیش‌اعوجاج ساز

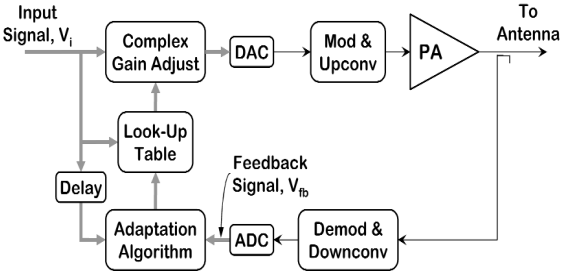
Fig. (1): The performance of a predistortant system

استفاده از مدل بدون حافظه که تنها وابسته به اندازه سیگنال ورودی است یک نوع ساده سازی پاسخ حقیقی برای تقویت کننده‌های معمولی است. مشابه تقویت کننده، مدار پیش اعوجاج ساز نیز تابعی از سیگنال ورودی است در نتیجه ترکیب این دو تابع، یک تابع خطی از سیگنال ورودی ایجاد می‌شود. در این مقاله از روش پیش اعوجاج ساز استفاده می‌کنیم و سعی می‌کنیم یک پیش اعوجاج ساز دیجیتالی طراحی کنیم که قابلیت تطبیق را نیز داشته باشد.

۲- یک پیش اعوجاج ساز دیجیتالی با قابلیت تطبیق

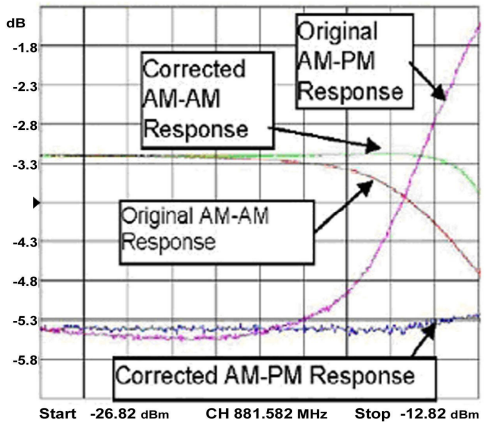
نمای بلوکی از سیستم پیش اعوجاج ساز دیجیتالی در شکل (۲) نشان داده شده است. در این ساختار در هر مرحله ضریب مشخصی از LUT در سیگنال ورودی ضرب می‌شود و در حقیقت همان کار خطی کردن سیگنال ورودی را انجام می‌دهد. سیستم تطبیق دهنده نیز با استفاده از سیگنال تاخیر یافته ورودی و سیگنال فیدبک شده خروجی ضرایب LUT را به روز می‌کند. اندازه LUT وابسته به تعداد نقاطی است که تابع پیش اعوجاج ساز در هر مرحله نیاز دارد. معمولا در سیستم تطبیق دهنده از مدارهای بسیار پیچیده استفاده می‌شود که توسط نرم افزارهای کامپیوتری کنترل می‌شوند و این مطلب هم مدار را پیچیده می‌کند و هم هزینه ساخت آن را بالا می‌برد.

در این مقاله یک پیش اعوجاج ساز دیجیتالی قابل تطبیق با ساختار نسبتا ساده را پیشنهاد می‌کنیم و کارایی آن را توسط شبیه‌سازی بررسی می‌کنیم. پیش اعوجاج سازهای دیجیتالی به علت استفاده از تکنیک‌های دیجیتالی دارای دقت بسیار بالایی هستند. در شکل (۳)، اثر پیش اعوجاج سازهای دیجیتالی روی تقویت کننده‌های قدرت نشان داده شده است. همان طور که در شکل مشخص است بهبود قابل ملاحظه‌ای در هر دو نوع اعوجاج دامنه (AM-AM) و فاز (AM-PM) به دست آمده است.



شکل (۲): نمای بلوکی سیستم پیش اعوجاج دیجیتالی

Fig. (2): The block diagram of digital predistortant system

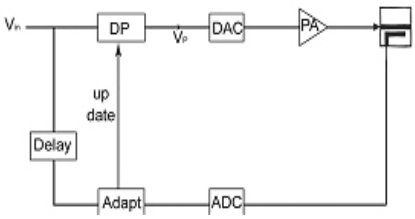


شکل (۳): اثر پیش اعوجاج دیجیتال بر روی اعوجاج‌های AM-AM,AM-PM

Fig. (3): The effect of a digital predistortant system on AM-PM, AM-AM

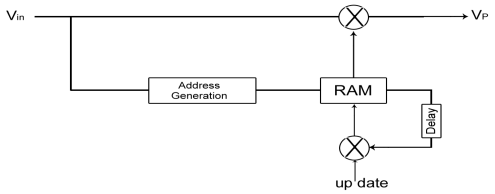
در سالهای اخیر با توجه به پیشرفت روز افزون سیستمهای دیجیتال استفاده از این سیستم‌ها در ترکیب با سیستم‌های آنالوگ گسترش یافته است. یک مثال از این ترکیب استفاده از سیستم‌های پیش اعوجاج ساز دیجیتالی در ترکیب با تقویت کننده‌های قدرت RF برای بهبود کارایی و افزایش گستره خطی بودن این تقویت کننده‌ها است. پیش اعوجاج‌سازهای دیجیتالی دارای دقت بالایی هستند ولی همانطورکه اشاره شد مشکل اصلی پیچیدگی آنها است که هزینه و انرژی مصرفی را بالا می‌برد. همچنین نوع ساده این مدارها قابلیت تطبیق ندارند و در اثر تغییر شرایط کار به هر دلیلی، از حالت بهینه فاصله می‌گیرند [۲]. در این مقاله در ابتدا الگوریتمی برای تطبیقی کردن پیش اعوجاج سازهای دیجیتالی پیشنهاد می‌کنیم. ساختار کلی روش پیشنهادی در شکل (۴) نمایش داده شده است. همانطور که در شکل مشخص است این مدار دارای یک تطبیق دهنده است که با یک سیگنال فیدبک از خروجی و همچنین سیگنال تأخیر داده شده ورودی تغذیه می‌شود. در این مدار با توجه به سرعت مورد نیاز می‌توان از مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ بسیار سریع یا مدل‌های ساده‌تری استفاده کرد.

ساختار داخلی مدار پیش اعوجاج ساز دیجیتالی پیشنهاد شده در شکل (۵) نشان داده شده است. اساس کار این مدار به این صورت است که به ازای هر مقدار مشخص از دامنه سیگنال ورودی یک ضریب پیش اعوجاج مختلط تولید می‌کند و آن را در سیگنال ورودی ضرب می‌کند. این ضریب باید به گونه‌ای باشد که تابع غیر خطی تقویت کننده را درآن دامنه خاص خطی کند یعنی پس از اینکه این ضریب در سیگنال ورودی ضرب شد و سیگنال حاصل توسط تقویت کننده غیرخطی در آن دامنه مشخص تقویت شد سیگنال خروجی خطی شود. علت مختلط بودن این ضریب این است که علاوه بر اعوجاج بتوانیم اعوجاج فاز را نیز خنثی کنیم.



شکل (۴): روش پیش اعوجاج ساز دیجیتال تطبیقی

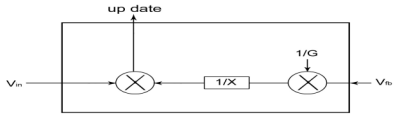
Fig. (4): The method of adaption digital pre-distortant



شکل (۵): ساختار داخلی مدار پیش اعوجاج ساز

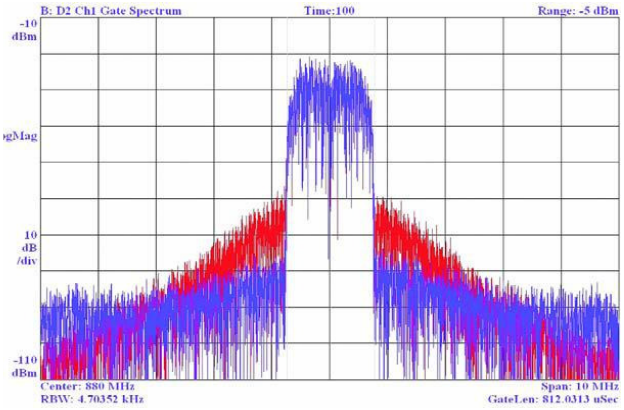
Fig. (5): The internal structure of a pre-distortant circuit

پس به یک حافظه موقت نیاز داریم تا این ضرایب را به ازای مقادیر مختلف دامنه سیگنال ورودی در آن ذخیره کنیم. این حافظه موقت را می‌توان با یک RAM پیاده‌سازی کرد. یک تولید کننده آدرس سیگنال ورودی به RAM را تولید می‌کند و به ازای دامنه سیگنال ورودی در هر پالس به یکی ازخانه‌های RAM اشاره می‌کند. پس فقط کافی است برای هر تقویت کننده در این خانه‌های RAM ضرایبی را قرار دهیم که به ازای هر مقدار از دامنه ورودی بهره مدار یک مقدار ثابت باشد. این ضرایب را می‌توان به نسبت دامنه در فاصله‌های مساوی تقسیم کرد. یعنی مثلاً اگر RAM گنجایش 100 ضریب را دارد پیک دامنه سیگنال ورودی را به 100 قسمت مساوی تقسیم کنیم و برای هر قسمت یک خانه RAM را اختصاص دهیم. ولی راه حل بهتری نیز وجود دارد و آن این است که در دامنه‌های کم سیگنال ورودی که خود تقویت کننده حالت خطی دارد و هنوز فشردگی بهره اتفاق نیفتاده تعداد ضرایب را کمتر کنیم و در دامنه‌های زیاد که تقویت کننده حالت غیر خطی بیشتری دارد تعداد ضرایب را بیشتر کنیم. به عبارت دیگر در دامنه‌های کم سیگنال ورودی، تولیدکننده آدرس RAM با تغییرات بزرگتری از سیگنال ورودی تغییر مقدار دهد و در دامنه‌های بزرگتر با تغییرات کوچکتری از سیگنال ورودی تغییر مقدار دهد. برای پیاده سازی این روش کافی است سیگنال ورودی را به توان 2 برسانیم و سپس به تولید کننده آدرس وصل کنیم تا ضرایب برای دامنه‌های بالاتر تراکم بیشتری پیدا کنند [۲]. اما برای تطبیق مقادیر ذخیره شده در RAM و تغییر این ضرایب متناسب با تغییر شرایط باید هربار که تولید کننده آدرس به خانه‌ای از RAM اشاره می‌کند علاوه بر ضرب محتوای خانه مزبور در سیگنال ورودی و تولید سیگنال پیش اعوجاج، این مقدار ذخیره شده با یک تأخیر در سیگنال حاصل از مدار تطبیق ضرب شده تا ضرایب جدید متناسب با شرایط مدار در RAM ذخیره شود یا به عبارتی ضرایب RAM به روز شود. الگوریتم تطبیق پیشنهادی به این صورت است که ابتدا سیگنال فیدبکی که ازخروجی گرفته شده را بر بهرهٔ تقویت کننده تقسیم می‌کنیم و سپس سیگنال حاصله در همان لحظه را معکوس کرده و در سیگنال تأخیر یافته ورودی ضرب می‌کنیم تا ضریب تطبیق مورد نظر به دست آید. لازم به ذکر است که مقدار این تاخیر باید متناسب با سرعت مبدل‌های به کار رفته و همچنین تاخیر مدار معکوس کننده تنظیم شود. حال اگر مقدار سیگنال فیدبک شده خروجی از مقدار مطلوب کمتر باشد ضریب تطبیق بیشتر از یک می‌شود و سیگنال خروجی را افزایش می‌دهد و اگر سیگنال فیدبک شده خروجی از مقدار مطلوب بیشتر باشد ضریب تطبیق کمتر از یک شده و سیگنال خروجی را کاهش می‌دهد.



شکل (۶): ساختار داخلی مدار تطبیق دهنده

Fig. (6): The inernal structure of an adaptant circuit



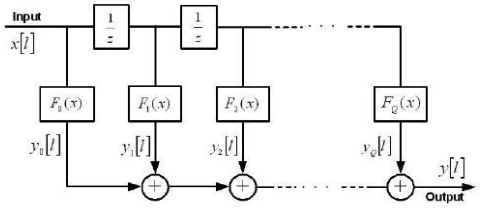
شکل (۷): خروجی مدار با وجود اثر حافظه

Fig. (7): The output of the circuit with the memory effect

علت استفاده از مدار تأخیر همفاز کردن سیگنال ورودی و سیگنال خروجی فیدبک شده است. مقدار تاخیر را می‌توان به طور دقیق تنظیم کرد تا دیگر نیازی به تنظیم کننده فاز در مدار نباشد و این خود به طور قابل ملاحظه‌ای به سادگی مدار کمک می‌کند. با شبیه‌سازی این مدار برای یک موج ورودی WCDMA متوجه می‌شویم که با وجود بهبود در قابلیت خطی سازی مدار دارای اعوجاج است و نسبت توان کانال مجاور نیز کاهش قابل ملاحظه‌ای نیافته است. این مطلب به وضوح در شکل (۷) نشان داده شده است. علت این امر وجود اثر حافظه است، مدارهای پیش اعوجاج ساز رایج با وجود کارایی نسبتا خوب همگی دارای یک مشکل اصلی هستند و آن اثر حافظه است. اثر حافظه باعث می‌شود خروجی مدار در هر لحظه علاوه بر ورودی به خروجی لحظات قبل نیز وابسته باشد و این امر تا حدی باعث غیر خطی شدن مدار می‌شود. پس در ادامه سعی می‌کنیم یک پیش اعوجاج ساز دیجیتالی طراحی کنیم که اثر حافظه را کاهش دهد.

۳- پیش اعوجاج ساز دیجیتالی با حافظه چند جمله‌ای

در این مقاله برای کاهش اعوجاج سعی می‌کنیم سیگنال‌های ورودی زمان‌های قبلی را که خروجی فعلی به آنها وابسته است ذخیره کنیم و با اعمال تابع پیش اعوجاج‌ساز بر روی این سیگنال‌های ورودی اثر آن‌ها را در خروجی تا حد امکان کاهش دهیم. شکل (۸) یک ساختار پیش اعوجاج ساز دیجیتالی با حافظه چند جمله‌ای را نشان می‌دهد. به نظر می‌رسد ساختار شکل (۸) در جبران بعضی اثرهای حافظه مؤثر باشد زیرا با Z^{-1} گرفتن از ورودی می‌توان به ورودی‌های زمان‌های قبل که تقویت کننده به آن‌ها وابسته است دسترسی پیدا کرد و با انتخاب توابع پیش اعوجاج مناسب برای این ورودی‌ها اثر آنها را به حداقل رساند.



شکل (۸): پیش اعجاج ساز دیجیتالی با حافظه چندجمله‌ای
Fig. (8): The digital pre-distortant with multi term memory

با دقت در ساختار مدار معلوم می شود که این مدار در حقیقت یک نوع فیلتر FIR است. عناصر حافظه چند جمله‌ای شامل تولید کننده‌های چند جمله‌ای متنوعی هستند که هر یک با سیگنال ورودی تاخیر یافته تغذیه می‌شوند [۱۰]. نحوه عملکرد این سیستم را می‌توان به صورت ریاضی با عبارت (۱) توصیف کرد.[۴]

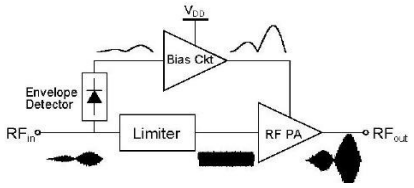
$$y(l):\sum_{q=0}^{Q}\sum_{k=1}^{n} a_{2k-1}\left|x[l-q]\right|^{2(k-1)}x[l-q] \qquad (1)$$

به کمک این روش، اثر حافظه می‌تواند با تاخیر قابل قبولی جبران شود. مشکل اصلی این روش تضاد بین سرعت با دقت و انرژی مصرفی است یعنی اینکه برای کاهش اثر حافظه در حد قابل قبول باید از یک فیلتر FIR بزرگتر استفاده کنیم که این امر در فرکانس‌های بالا هم تأخیر مدار و هم توان مصرفی را زیاد می‌کند. پس باید راهی برای کاهش فرکانس سیگنال ورودی که به فیلتر FIR وارد می‌شود پیدا کنیم. یک راه استفاده از روش حذف و بازیافت پوش سیگنال است. تکنیک حذف و باز گرداندن پوش (EE&R) اولین بار در سال ۱۹۵۲ پیشنهاد شد. از این تکنیک می‌توان هم به عنوان یک فرستنده خطی کامل و هم به عنوان یک تقویت کننده خطی RF استفاده کرد و معمولاً حالت دوم کاربرد بیشتری دارد [۵]. تکنیک (EE&R) در اصل برای تقویت خطی سیگنال‌های SSB در فرکانس بالا به کار می‌رود ولی به دلیل راندمان بالا در فرستنده‌های توان بالای رادیویی نیز کاربرد دارد. همچنین کاربرد آنها در سیستم‌های موبایل نیز پیشنهاد شده است [۴].

۳-۱- عملکرد تقویت کننده (EE&R)

ساختار کلی یک تقویت‌کننده (EE&R) در شکل (۹) نشان داده شده است.

سیگنال ورودی می‌تواند هم شامل مدولاسیون دامنه و هم شامل مدولاسیون فاز باشد. این سیگنال ورودی به دو مسیر تقسیم می‌شود یکی مسیر باند پایه که فقط پوش سیگنال ورودی را شامل می‌شود و دیگری مسیر RF که شامل سیگنال حامل با فاز مدوله شده و اندازه ثابت است.



شکل (۹): ساختار کلی یک تقویت کننده EE&R
Fig. (9): The general structure of an EE&R amplifier

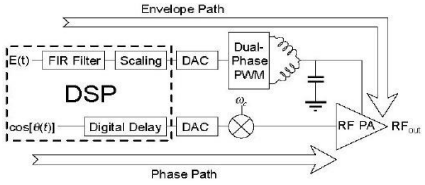
این سیگنال را می‌توان به راحتی با محدود کردن ورودی RF برای حذف مدولاسیون دامنه تولید کرد تا فقط مدولاسیون فاز (یا فرکانس) سیگنال ورودی باقی بماند [۵]. سیگنال باند پایه را نیز می‌توان با استفاده از دیود آشکارساز تولید کرد. سیگنال حامل مدوله شده فاز توسط یک تقویت کننده با راندمان بالا مثل تقویت کننده‌های کلاس C یا D یا E تقویت می‌شود. این تقویت کننده‌ها اطلاعات مدولاسیون فاز را حفظ می‌کنند و آن‌ها را به خروجی سیستم انتقال می‌دهند. سیگنال AM باند پایه توسط یک تقویت کننده صوتی با راندمان مناسب تقویت می‌شود و در نهایت سیگنال توان بالای صوتی تولید شده و به کلکتور یا ورودی تغذیه تقویت کننده RF اعمال می‌شود و با فرض اینکه تأخیر در مسیر یکسان باشد یک نسخه توان بالای ورودی در خروجی ایجاد می‌شود. این روش بر پایه تنظیم پویای ولتاژ منبع برای برگرداندن اندازه روی فاز مدوله شده سیگنال ورودی استوار است [۱۱]. آشکار کننده فاز و محدود کننده دیجیتالی در باند پایه قابل پیاده سازی هستند. بنابراین شکل دیجیتالی سیگنال اجازه استفاده از تکنیک‌های پیشرفته DSP را برای دستیابی به حالت خطی بهتر و بهبود کارایی می‌دهد بنابراین ما از این روش استفاده می‌کنیم و به کمک آن فرکانس سیگنال ورودی به فیلتر FIR را کاهش می‌دهیم.

۴- مدار پیشنهادی

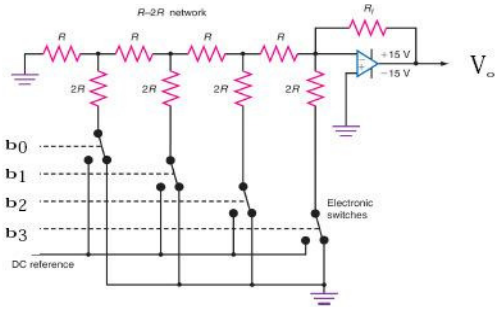
شکل (۱۰) نحوه پیاده سازی مدار پیشنهادی را نشان می‌دهد.

در مدار فوق از یک فیلتر FIR با 4 اتصال وسط استفاده کردیم سپس خروجی فیلتر را نرمالیزه کردیم و آن را به یک مبدل آنالوگ به دیجیتال دادیم اما یک مشکل اصلی همه مدارهایی که از ترکیب سیستم‌های دیجیتال و آنالوگ استفاده می‌کنند سرعت و دقت مبدل‌های آنالوگ به دیجیتال و دیجیتال به آنالوگ است. در این مدار از مبدل دیجیتال به آنالوگ نردبانی R-2R استفاده می‌شود.

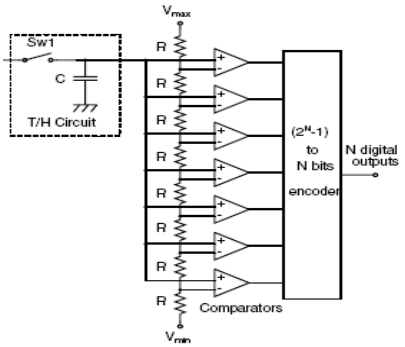
DAC نردبانی R-2R یکی از رایج‌ترین مدارهای DAC است که دارای سرعت بالایی است و با یک پالس ساعت کار می‌کند.



شکل (۱۰): مدار پیشنهادی
Fig. (10): The proposed circuit



شکل (۱۱): مبدل دیجیتال به آنالوگ نردبانی R-2R
Fig. (11): The R-2R ladder D/A



شکل (۱۲): مبدل آنالوگ به دیجیتال FLASH ADC
Fig. (12): The Flash ADC A/D

همچنین برای مبدل آنالوگ به دیجیتال از یک FLASH ADC استفاده می‌کنیم. FLASH ADC یک ADC با سرعت بالا است که نیازی به استفاده از تقویت‌کننده‌های کاربردی ندارد و قابلیت خوبی برای کار در ولتاژ پایین دارد [۵].

همچنین برای افزایش بازده از یک موج PWM (مدولاسیون پهنای پالس) به منظور تغذیه تقویت کننده قدرت استفاده کردیم. مدار تولید کننده موج PWM شکل موج ورودی را با یک شکل موج مثلثی مقایسه می‌کند و هر جا دامنه شکل موج مثلثی از شکل موج ورودی بیشتر باشد یک سیگنال با دامنه ثابت تولید می‌کند و هرجا دامنه شکل موج مثلثی از شکل موج ورودی پایین‌تر بود خروجی آن صفر می‌شود. در مدار EE&R موج PWM تولید شده وارد یک تقویت کننده با راندمان بالا می‌شود و پس ازآن از یک فیلتر پایین گذر عبور می‌کند تا به حالت سینوسی باز گردد و وارد تقویت کننده RF می‌شود. پهنای باند مبدل‌های سوییچینگ PWM به سرعت clock وابسته است ولی در فرکانس‌های بالا به دلیل تلفات سوییچینگ وسایل فعال، کارایی تا حد زیادی کاهش می‌یابد [۱۲]. برای بهبود پهنای باند بدون افزایش سرعت clock می‌توان عدم تطابق و تأخیر موجود در سیستم را در محدوده دیجیتال جبران کرد. در این مدار از یک فیلتر FIR با فاز خطی به عنوان یک فیلتر جبران کننده در پوش فاز استفاده کردیم. اگر ضرایب این فیلتر با دقت تنظیم شود انواع اعوجاج و حتی اثرات حافظه را نیز می‌تواند خنثی کند. برای اینکه مدار خاصیت تطبیق پذیری پیدا کند باید ضرایب فیلتر را با استفاده از شبکه‌های عصبی تعیین کنیم. در این مقاله بر خلاف استفاده‌های معمولی که از شبکه عصبی می‌شود یعنی دریافت یک سیگنال ورودی و مقایسه آن با ورودی‌های از قبل آموزش داده شده، فقط از وزن‌های تولید شده توسط شبکه عصبی استفاده می‌کنیم. اگر ضرایب فیلتر را همان وزن‌های شبکه عصبی در نظر بگیریم با استفاده از الگوریتم آموزش پرسپترون می‌توان وزن‌های مطلوب را با سرعت قابل قبولی به دست آورد. عملکرد این الگوریتم به این صورت است که در گام اول وزن‌ها را مقادیر کوچک تصادفی انتخاب می‌کنیم و در گام‌های بعدی آن‌ها را از رابطه (۲) به دست می‌آوریم.

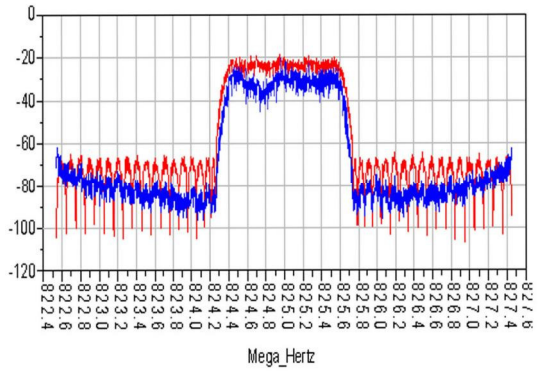
$$w[n+1] = w[n] + \delta.X \qquad (۲)$$

در این رابطه δ سیگنال خطا و x سیگنال ورودی است. این الگوریتم را می‌توان با اضافه کردن ضریب $\eta[n]$ بهبود بخشید.

$$w[n+1] = w[n] + \eta[n]\delta\delta. \qquad (۳)$$

ضریب $\eta[n]$ که به آن نرخ آموزش گویند جهت جلوگیری از نوسانی شدن سیستم به کار می‌رود. اگر $\eta[n]$ را کوچک بگیریم زمان رسیدن به وزن‌های تثبیت شده طولانی‌تر خواهد شد و اگر آن را بزرگ انتخاب کنیم ممکن است سیستم نوسانی شود. بنابراین $\eta[n]$ مناسب در هر سیستمی دارای اهمیت است [۱۳]. در این مدار خود ضریب $\eta[n]$ را متغیر گرفتیم به طوری که در ابتدا بزرگ باشد و رفته رفته که به سمت انتها می‌رویم کوچک شود. بنابراین اگر دقت خاصی مد نظر باشد می‌توانیم شبکه عصبی را طوری تنظیم کنیم که بعد از رسیدن δ به یک حد مشخص وزن‌ها را تثبیت کند و اگر نیاز به یک سرعت خاصی داشته باشیم آن را طوری تنظیم می‌کنیم که بعد از یک تعداد دور مشخصی وزن‌ها را تثبیت کند. در رابطه (۳) x,w دو بردار هم بعد هستند پس باید در هر گام تعداد بیت‌های ورودی با تعداد وزن‌ها که در حقیقت همان ضرایب فیلتر FIR هستند برابر باشد. شکل (۱۳) خروجی سیستم به ازای یک سیگنال ورودی WCDMA را نشان می‌دهد. محور افقی محور نرمالیزه شده فرکانس و محور عمودی محور نرمالیزه شده دامنه است که بر حسب dB می‌باشد. نمودار آبی رنگ خروجی تقویت کننده RF پس از استفاده از مدار پیشنهادی است. همانطور که از شکل مشخص است بهبود قابل ملاحظه‌ای در نسبت توان کانال مجاور به دست آمده است. نتیجه به دست آمده با نتایج حاصل از سیستم‌های پیچیده پیش اعوجاج ساز دیجیتالی قابل قیاس است.

نتیجه به دست آمده با نتایج حاصل از سیستم‌های پیچیده پیش اعوجاج ساز دیجیتالی قابل قیاس است.



شکل (۱۳): خروجی سیستم پیشنهادی به ازای سیگنال ورودی WCDMA

Fig. (13): The output of the proposed system for WCDMA input signal

۵- نتیجه‌گیری

در این مقاله ساختار پیش اعوجاج ساز دیجیتال را بررسی گردید و یک ساختار پیش اعوجاج ساز دیجیتالی قابل تطبیق پیشنهاد گردید. یکی از مهمترین مشکلات تقویت کننده‌های RF دیجیتالی اعوجاج است که تلاش‌های بسیاری برای حذف آن با استفاده از سیستم‌های آنالوگ صورت گرفته ولی نتایج به دست آمده چشمگیر نبوده است. با توجه به پیشرفت زیاد سیستم‌های DSP در سالیان اخیر در این مقاله یک مدار مبتنی بر DSP برای کاهش اعوجاج ارائه کردیم و کارایی آن را به کمک شبیه سازی نشان دادیم. نتایج شبیه سازی نشان داد که در نسبت توان کانال مجاور کاهش قابل توجهی داریم و این نتیجه با پیش اعوجاج سازهای دیجیتالی با ساختارهای بسیار پیچیده قابل مقایسه است.

سپاسگزاری

در پایان از زحمات آقای دکتر دهقانی که ما را در انجام این پروژه یاری کردند تشکر می‌نماییم.

مراجع

[1] S.C. Cripps, RF power amplifiers for wireless communications, Artech House, 1999.
[2] J.S. Kenney, A.Leke, "Power amplifier spectral regrowth for digital cellular and PCS applications", Microwave J., Vol.38, No.10, pp.74-92, Oct. 1995.
[3] J.S. Kenney, A. Leke, "Design considerations for multicarrier CDMA base station power amplifiers," Microwave J., Vol.42, No.2, pp.76-86, Feb. 1999.
[4] S.P. Stapleton, F.C. Costescu, "An adaptive predistorter for a power amplifier based on adjacent channel emissions", IEEE Trans. Veh. Tech., Vol.41, No.1, Feb. 1992.
[5] W. Woo, J.S. Kenney, "Predistortion linearization system for high power amplifiers", 2004 IEEE MTT-S Int. Micr. Symp. Dig., June 6-10, Ft. Worth, TX, pp.677-80, 2004.
[6] E.G. Jeckeln, F.M. Ghanouchi, M.A. Sawan, "A new adaptive predistortion technique using software-defined radio and DSP technologies suitable for base station 3G power amplifiers", IEEE Trans. Micr. Theo. Tech., Vol.52, No.9, pp.2139-2147, Sep. 2004.
[7] W. Woo, M. Miller, J.S. Kenney, "A hybrid digital/RF envelope predistortion linearization system for power amplifiers", Vol.53, No.1, IEEE Trans. Micr. Theo. and Tech., pp. 229-237, Jan. 2007.
[8] R. Sperlich, Y.C. Park, G. Copeland, J.S. Kenney, "Power amplifier linearization with digital pre-distortion and crest factor reduction", IEEE MTT-S Int. Micr. Symp. Dig., June 6-10, Ft. Worth, TX, pp.669-72, 2004.
[9] L.R. Kahn, "Single-sideband transmission by envelope elimination and restoration", Proc. IRE, pp.803-806, July, 1952.
[10] J.H. Chen, P. Fedorenko, J.S. Kenney, "A low voltage W-CDMA polar transmitter with digital envelope path gain compensation", Submitted to IEEE Microwave and Wireless Lett.
[11] F. Wang, D. Kimball, J. Popp, A. Yang, D. Lie, P. Asbeck, L. Larson, "Wideband envelope elimination and restoration power amplifier with high efficiency wideband envelope amplifier for WLAN 802.1 1g applications", IEEE MTT-S Int. Micr. Symp. Digest, Vol.2, pp.645-48, June, 2007.
[12] F. Wang, A.H. Yang, D.F. Kimball, L.E. Larson, P.M. Asbeck, "Design of wide-bandwidth envelope-tracking power amplifiers for OFDM applications, "IEEE Trans. Micr. Theo. Techn., Vol.53, No.4, pp.1244-54, April, 2006.
[13] M. Soltani, R. Amirfattahi, "The linearization of power amplifiers using artificial neuro networks", The 2nd Nation. Symp. of Comp. Engi., Elec. and Info. Tech., pp.690-692, Hamedan University, Feb. 2008.