طراحی و شبیه‌سازی یک تمام جمع‌کننده جدید در تکنولوژی نانو لوله‌ی کربنی با عملکرد بهینه

عباس اسدی آقبلاغی[۱] – مهران عمادی[۲]

(۱) کارشناس ارشد – برنامه‌نویس شرکت کوثر سپاهان، اصفهان، ایران

(۲) استادیار – گروه برق، دانشکده مهندسی برق، واحد مبارکه، دانشگاه آزاد اسلامی، مبارکه، اصفهان، ایران

تاریخ دریافت: ۱۳۹۳/۴/۱۸ تاریخ پذیرش: ۱۳۹۴/۲/۱۹

خلاصه: مدار تمام جمع کننده، به دلیل توانایی در پیاده‌سازی چهار عمل اصلی محاسباتی (جمع، تفریق، ضرب و تقسیم) به عنوان یکی از مهمترین و پرکاربردترین بخش‌های اصلی پردازنده‌های دیجیتالی در طرّاحی مدارهای مجتمع، شناخته می‌شود. بدین منظور، در این مقاله تلاش شده است که سلول تمام جمع‌کننده‌ی جدیدی با بهره‌گیری از تکنولوژی ترانزیستورهای نانولوله‌ی کربنی، جهت دستیابی به مداری با عملکردی مناسب و توان مصرفی کم، ارائه گردد. طرح پیشنهادی از ۱۲ ترانزیستور CNTFET که با استفاده از منطق ترانزیستورهای عبور به هم متصل شده‌اند، تشکیل شده است. ترانزیستورهای نانولوله‌ی کربنی در توان مصرفی و سرعت عملکرد، برتری قابل توجهی نسبت به ترانزیستورهای MOSFET از خود نشان می‌دهند. شبیه‌سازی طرح پیشنهادی، با استفاده از نرم افزار Hspice و بر مبنای مدل CNTFET، با ولتاژ اعمالی ۰/۶۵ V در سه فرکانس و سه مقدار خازن بار متفاوت، انجام می‌شود و نتایج به دست آمده، برتری طرح پیشنهادی را نسبت به مدارهای نظیر ارائـه شده در مقالات پیشین، اثبـات می‌کند.

کلمات کلیدی: ترانزیستورهای نانو لوله‌ی کربنی، سلول تمام جمع‌کننده، نانو لوله‌ی کربنی، طراحی مدارهای مجتمع با مقیاس بزرگ.

Design and Simulation of a New Optimized Full-Adder Using Carbon Nano Tube Technology

Abbas Asadi Aghbolaghi[(1)] – Mehran Emadi [(2)]

(1) MSc. - Programmer, Kowsar Slamt Sepahan, Esfahan, Iran

abbas.asadi.1363@gmail.com

(2) Assistant Professor - Department of Electrical Engineering ,Mobarakeh Branch, Islamic Azad University, Mobarakeh, Esfahan, Iran

m.emadi@mau.ac.ir

The full adder circuit is one of the most significant and prominent fundamental parts in digital processors and integrated circuits since it can be used for implementing all four basic computational functions including: addition, subtraction, multiplication, and division. so, in this paper a new low power and high performance full adder cell has been proposed with the benefit of using carbon nano tube field effect transistors. The proposed design contains 12 CNTFET transistors which are connected in pass transistor logic style to make the desired functionality. Carbon Nano Tube Field Effect Transistor (CNTFET) has modified electrical characteristics such as low power consumption and high speed in comparison with MOSFET transistor; The proposed design is simulated using Hspice software based on CNTFET model and 0.65V supply voltage. the simulations are done considering three different frequencies, and three different load capacitors. The simulation results, which demonstrated in tables and diagrams, proved the superiority of proposed design in terms of power consumption and performance (PDP) compared to the existing counterparts.

Index Terms: Carbon nano tube field effect transistor, full adder cell, carbon nano tube, VLSI design.

۱- مقدمه

به کمک یک تمام‌جمع‌کننده، می‌توان هر چهار عمل اصلی محاسباتی (جمع، تفریق، ضرب و تقسیم) را پیاده‌سازی نمود. این مدار از جمله مدارهای کلیدی در پردازنده‌ها به شمار می‌آید. از این رو بهبود تمام جمع‌کننده، باعث بهبود در عملکرد کلّی پردازنده می‌شود و باعث پیدایش دنیای محاسباتی بهینه می‌گردد. در چند دهه‌ی اخیر، روش‌های فراوانی برای پیاده‌سازی یک تمام جمع‌کننده، اعم از روش‌های دینامیک و روش‌های استاتیک، معرفی شد. ولی با این حال تمامی مدارها از یک رابطه مشترک پیروی می‌کرد. طرّاحان تلاش می‌کردند تا رابطه (۱) را به بهترین حالت ممکن پیاده‌سازی نمایند. در این رابطه A، B و C سه ورودی مدار و Sum و Carry دو خروجی آن می‌باشند [۶].

$$\begin{aligned} Sum &= A \oplus B \oplus CCarry \\ Carry &= AB + ACin + BCin \end{aligned} \qquad (۱)$$

شاید بتوان سال ۱۹۹۴ تاکنون را دوره‌ای طلایی، برای مدار جمع‌کننده و طرّاحان آن دانست. در این دوره‌ی بیست ساله، مدار جمع‌کننده، روز به روز دچار تحوّلات فراوانی شده است. یکی از روش‌های ابتدایی طرّاحی، استفاده از روش ترانزیستورهای عبور[۱] است [۱]، [۲]، [۳]. این روش به دلیل افت ولتاژ، زمانی که ترانزیستور نوع N می‌خواهد مقدار ولتاژ منبع را از خود عبور دهد و افزایش ولتاژ، زمانی که ترانزیستور نوع P می‌خواهد صفر را از خود عبور دهد، توانایی راه‌اندازی طبقات بعد از خود را نداشت. از این رو طرّاحان اجازه نداشتند خروجی مداری را که با ترانزیستور عبور، پیاده‌سازی شده بود، به گیت ترانزیستورهای طبقه بعد متصل کنند. در سال ۱۹۹۶ Issam و همکارانش یکی از قدیمی‌ترین مدارهای این روش را ارائه کردند [۱].

در مدار مذکور از ۳۲ ترانزیستور استفاده شده است که با توجه به مسیرهایی که برای سیم‌کشی نیاز دارد، باعث می‌شود تا این مدار روند پیاده‌سازی عملی مناسبی را نداشته باشد. با بررسی مقالاتی همچون مقاله‌ی Reddy و همکارانش در سال ۲۰۱۳ [۳] که در سال‌های اخیر ارائه شده است، می‌توان دریافت این روش به دلیل قدرت در حذف ترانزیستورها و کاهش حجم مدار، با وجود مشکلات روش ترانزیستورهای عبور، هنوز هم یکی از محبوب‌ترین روش‌های طرّاحی است. در این مدار با استفاده از تغییر در سایزبندی ترانزیستورها، روش جدیدی برای طراحی مدار XOR ارائه شده است، Reddy و همکارانش با کمک این نوآوری توانستند تعداد ترانزیستور و توان مصرفی را بدون افزایش تأخیر کاهش دهند. اما این نکته نباید فراموش شود، که ایجاد تغییرات در سایزبندی ترانزیستورها باعث پیچیدگی در تولید ترانزیستور می‌شود. جمع کننده‌ای که Kumar و همکارانش در سال ۲۰۱۱ ارائه کردند [۲]، یکی دیگر از مدارهایی است، که توسط ترانزیستورهای عبور ارائه شده است. مزایای این طرح عبارت‌اند از توان مصرفی پایین به علت استفاده از پیاده‌سازی جدید تابع XOR جدید با ترانزیستورهای کمتر، سطح ولتاژ خروجی مناسب به علت استفاده از گیت‌های NOT، فضای اشغالی کمتر به علت استفاده از تمام‌جمع‌کننده تنها با ۸ ترانزیستور، استفاده از تنها ۳ ترانزیستور برای پیاده‌سازی گیت XNOR، از معایب این طرح می‌توان به مواردی همچون عدم استاندارد بودن تکنولوژی ساخت، نیاز به هزینه اضافی برای ساخت ماسک و توانای محدود خروجی‌ها در راه‌اندازی طبقات بعدی به علت استفاده از ترانزیستورهای عبور در خروجی Carry نام برد.

یکی دیگر از روش‌های طرّاحی، روش C-CMOS است. مشهورترین مدار این روش، مداری به نام جمع‌کننده آینه‌ای است که توسط Zimmermann و همکارانش در سال ۱۹۹۷ به دنیای الکترونیک معرّفی شد [۴]. یکی از بزرگترین اشکالات این روش، تعداد زیاد ترانزیستور مورد استفاده برای ایجاد ساختارهای منظم با بهره‌گیری از ترانزیستورهای بالابر و پایین بر، به حساب می‌آید. در واقع برای ایجاد این مدارها از تعداد مساوی ترانزیستورهای نوع P و نوع N استفاده شده است که به عنوان مکمّل در کنار هم عمل می‌کنند. از این نکته نیز نباید غافل شد که این روش به دلیل نظمی که در چینش ترانزیستورها دارد، یکی از ساده‌ترین روش‌های طرّاحی مدارهای دیجیتال به حساب می‌آید. همچنین هیچ یک از سبک‌های طراحی مدار نمی‌توانند از لحاظ استحکام و ثبات با روش C-Cmos رقابت کنند. این امر، باعث شده‌است که ناوی و همکارانش در این روش در سال ۲۰۰۸ با کمک ۲۴ ترانزیستور به ارائه‌ی یک تمام‌جمع‌کننده، بپردازند [۵]. مدار فوق با ارائه همزمان خروجی‌ها در دو طبقه، سرعت و توان مصرفی را بهبود بخشید، ولی به دلیل استفاده‌ی همزمان از سیگنال‌های A,B,C و مکمل آنها به عنوان ورودی‌های، این مدار، زمانی کارائی مناسبی از خود نشان می‌دهد که هر ۶ ورودی نامبرده به‌طور هم‌زمان موجود باشد و نیازی به تولید آنها از سایر ورودی‌ها نباشد.

از همان آغاز ایجاد تحوّلات در طرّاحی تمام‌جمع‌کننده‌ها، مدارهای پویای زیادی مطرح شد [۶]، [۷]. به عنوان مثال، می‌توان مداری را که در سال ۲۰۱۰ توسط میرزایی و همکارانش ارائه شده است، از بهترین فعالیّت‌های محقّقان در این زمینه دانست [۷]. این روش با بهره‌گیری از پالس ساعت و شارژ و دشارژ کردن خازن بار، توانست تعداد 2N ترانزیستور روش C-CMOS را به N+2 ترانزیستور کاهش دهد. از آنجا که در منطق پویا نیم‌بازه‌ی زمانی پردازش، فقط به شارژ یا دشارژ شدن خازن بار، تعلّق دارد و بسیاری از مسیرهای مستقیم از VDD به زمین، حذف می‌شود، توان مصرفی به میزان قابل توجهی کاهش می‌یابد. بزرگترین مشکلات این روش را می‌توان مسئله‌ی اشتراک بار، نامعتبر بودن خروجی‌ها، در نیمی از بازه‌ی زمانی پردازش و افزایش پیچیدگی دانست.

نویسنده مسئول: عباس اسدی، شرکت کوثر سپاهان، اصفهان، abbas.asadi.1363@gmail.com

در یک دهه‌ی اخیر، روش جدیدی به نام روش تابع اکثرّیت، معرّفی شد. در این روش، به کمک تعداد فردی از خازن‌ها که به صورت موازی به هم متصل شده‌اند، مداری طراحی می‌شود که در آن سطحی منطقی که بیشترین تـکرار را دارد به خـروجی مدار، انتـقال می‌یابد. به عبارتی در جبر بولی، تابع اکثرّیت، تابعی است با N ورودی به یک خروجی. مقدار منطقی خروجی صفر خواهد بود. اگر پنجاه درصد یا بیش از پنجاه درصد از ورودی‌ها صفر باشند و یا برعکس. جدول درستی تمام‌جمع‌کننده‌ها جدول (۱) نشان می‌دهد رابطه (۲) صادق است.

Table (1): The integrity of operation of full adder

جدول (۱): جدول درستی عملکرد تمام جمع‌کننده

A	B	Cin	$\overline{Carry}$	$\overline{Carry}$	Sum
0	0	0	1	1	0
0	1	0	1	1	1
0	0	1	1	1	1
0	1	1	0	0	0
1	0	0	1	1	1
1	0	1	0	0	0
1	1	0	0	0	0
1	1	1	0	0	1

$$\begin{aligned} Sum &= majority(A, B, C, \overline{Carry}, \overline{Carry}) \\ Carry &= majority(A, B, C) \end{aligned} \qquad (۲)$$

بدین منظور، محققان زیادی از این قاعده استفاده کردند و جمع‌کننده‌های زیادی را معرفی نمودند [۸]، [۹]، [۱۰]. به عنوان مثال، در سال ۲۰۱۱ علی‌زاده و همکارانش توانستند با ارائه‌ی شش مدار جمع‌کننده با استفاده از این روش، مجموعه‌ی مناسبی در اختیار محقّقان قرار دهند [۱۰]. روش تابع اکثرّیت به‌دلیل وجود خازن‌های زیاد، نیازمند زمانی برای شارژ و دشارژ شدن هر خازن موجود در مدار است. این امر، تأخیر عملکرد مدار را تا حد نامطلوبی، افزایش می‌دهد. با این وجود، این روش توانسته است حجم طراحی را به صورت چشمگیری کاهش دهد. به همین منظور، این نوع طراحی در مواردی که کاهش سطح مدار، مطرح است یکی از کاندیداهای مناسب به شمار می‌آید.

از مقالاتی که با این روش ارائه شده است، می‌توان به جمع کننده سال ۲۰۰۹ ناوی و همکارانش اشاره داشت که با کمک ۷ خازن و ۸ ترانزیستور پیاده‌سازی شده است [۸]. مدار فوق دارای توان مصرفی و حجم نسبتاً مناسبی است ولی به دلیل استفاده از ۸ خازن، تاخیر بهبود چندانی نداشته است.

مدار ارائه شده، توسط ناوی و همکارانش در سال ۲۰۰۹ با تغییر در سایزبندی ترانزیستورها توانسته است، از تعداد خازن‌های مورد نیاز در مدار بکاهد. با کاهش تعداد خازن در مدار پارامترهای چون توان مصرفی، تاخیر و PDP بهبود یافت، اما این کار باعث پیچیدگی در تولید برخی از ترانزیستورهای این جمع‌کننده می‌شد که خود امری هزینه‌بر بود [۷].

یکی از روش‌های طراحی که در سال‌های اخیر ارائه شده است، روش Hybrid یا Mixed-mode است. در این روش طراحان، بخشی از مدار را با مدارهای مد جریان و مابقی را با مدارهای مد ولتاژ پیاده‌سازی می‌کنند. این کار باعث می‌شود مدار به دلیل استفاده از مد جریان با خواصی همچون افزایش سرعت و کاهش تعداد ترانزیستور روبرو شود. امّا توجه به این نکته که مدارهای مد جریان توان مصرفی بالایی دارند، انکارناپذیر است. به همین دلیل مدارهای Hybrid توان مصرفی بالایی دارند و باعث می‌شود در این نوع مدارها علیرغم افزایش سرعت، PDP بهبود چشمگیری نداشته باشد. از مدارهایی که با این روش ارائه شده است می‌توان به تمام‌جمع‌کننده‌ی Wairya در سال ۲۰۱۱ اشاره داشت [۱۱]. هدف این کار ارائه یک طراحی جدید، برای مدارهای تمام جمع کننده مد ولتاژ و ترکیب آن‌ها با مدار مد جریان, در یک سلول واحد است تا بتواند یک مدار تمام‌جمع‌کننده تک بیتی را پیاده‌سازی کند. این مقاله، همچنین، یک تابع اکثریت پر سرعت ترکیبی را بر پایه تمام جمع‌کننده تک بیتی به‌دست آورده است. که از خازن CMOS و منطق دینامیک و استاتیک CMOS در ساختارش استفاده می‌کند. طراحی تابع اکثریت استاتیک دارای نظم بسیار زیاد و تراکم بیشتری نسبت به طراحی CMOS معمولی است. همچنین مصرف انرژی، تأخیر انتشار و ابعاد کمتری نیز دارد. این در حالی است که طراح فوق پیچیدگی پایین طراحی‌های منطق مد ترکیبی را نیز حفظ می‌کند. مدارهای دیجیتال CMOS دارای مزایایی از جمله کاهش حجم، تاخیر و قابلیت تست نسبت به مدارهای استاتیک CMOS هستند.

مقاله ناوی و همکارانش درباره ترکیب مد جریان و ولتاژ پویای سلول تمام جمع‌کننده تک‌بیتی CMOS است [۱۲]. در این طراحی جدید با ترکیب مدارهای مد ولتاژ و مد جریان و استفاده از مزایای هر مدار در بهترین روش، بالاترین سرعت به دست آمده است. ولی همانگونه که گفته شد مدار دارای مصرف توان بالایی است.

به دلیل نیاز جامعه به کاهش حجم مدارهای محاسباتی، سرعت عملکرد بالا و توان مصرفی کم در سالهای اخیر، سایز ترانزیستورهای Cmos به طور مداوم، کاهش می‌یـافت تا زمانـی کـه انـدازه‌ی ترانزیستورها به مرز ۲۲nm رسید. با ورود ترانزیستورها به مقیاس کمتر از ۲۲ نانومتر، مشکلاتی در روند ساخت و عملکرد ترانزیستورها به وجود آمد. تونل‌زنی حامل‌ها از درون کانال کوچک، تونل‌زنی حامل‌ها از درون اکسید نازک گیت، پوشش عایق بسیار نازک، نشتی جریان، افزایش توان مصرفی و شیب زیر آستانه‌ی محدود از جمله مشکلاتی است که ترانزیستورهای اثر میدانی، در مقیاس نانو با آن روبرو خواهند شد. برای رفع این نقایص، باید اصلاحاتی در ساختار موجود MOSFET رخ دهد. هم چنین می‌توان از مواد و تکنولوژی جدیدی در ساخت ترانزیستورها به عنوان جایگزینی برای سیلیکون موجود در ترانزیستورهای اثر میدانی، بهره برد .

در سال ۱۹۹۱ Iijima ساختاری جدید از مولکول‌های کربن را به نام نانو لوله‌های چند دیواره‌ی کربنی[۲]، معرفی کرد [۱۳]. در سال ۱۹۹۳ Iijima و همکارانش توانستند با ارائه نانو لوله‌های تک دیواره‌ی کربنی[۳]، مشکلاتی را که بر سر راه MOSFET وجود داشت، برطرف کنند [۱۴]. نانولوله‌ها، با کمک ورقه‌ای از جنس گرافیت، که حول یک بردار، پیچیده شده است، تهیه می‌شوند. با تغییر اندازه و جهت بردار فوق و همچنین، چینش اتم‌ها حول محور نانولوله، می‌توان قطر نانو لوله را تغییر داد. اندازه قطر نانو لوله، از رابطه‌ی (۳) به دست می‌آید و در این رابطه n و m دو اندیس بردار فوق، a فاصله بین دو اتم کربن و D قطر نانولوله است [۱۵].

$$D = \frac{a}{\pi}\sqrt{n^2 + m^2 + nm} \qquad (۳)$$

تغییر قطر باعث می‌شود که نانولوله در قطرهای گوناگون، خاصیت الکتریکی متفاوتی از خود نشان دهد. به عنوان مثال، زمانی که رابطه‌ی n-m≠ 3i برقرار باشد، نانو لوله از خود خاصیت نیمه هادی نشان می‌دهد. به همین دلیل، این ماده می‌تواند به عنوان جایگزینی مناسب در کانال ترانزیستور در نظر گرفته شود تا بتوان ترانزیستورهایی با ابعاد کمتر از ۲۲nm ساخت. برای بیان مزایای استفاده از نانولوله‌های کربنی، در ساخت ترانزیستورها می‌توان از عملکرد بدون عیب، در مقیاس کمتر از ۲۲ نانومتر، سرعت بسیار بالا به دلیل خاصیّت انتقال ballistic در طول کانال، توان مصرفی کم به دلیل ابعاد مینیاتوری، تولید جریان الکتریکی زیاد، تنظیم ولتاژ آستانه با تغییر قطر نانولوله، جنبش الکترونی زیاد، کنترل بهتر بر روی تشکیل کانال، هندسه و ابعاد مشابه نوع p و n نام برد. با ساخت این ترانزیستورها، دریچه‌ای جدید بر محقّقان طرّاحی مدارهای تمام‌جمع‌کننده، گشوده شد که باعث ارائه‌ی مقالات بسیاری در چند سال گذشته بوده است [۱۶-۲۸]. در ابتدا، از این نوع ترانزیستورها در طرّاحی مدارهای تمام‌جمع‌کننده، عموماً به همراه روش تابع اکثریت استفاده می‌شد [۱۶-۲۱]. مداری که توسط ناوی و همکارانش در سال ۲۰۱۰ با کمک ۸ خازن، ارائه شده است [۱۷] مثالی از این سبک مدارها می‌باشد.

در میان خواص گوناگون نانولوله کربنی از همه بیشتر، خاصیت تغییر ولتاژ آستانه، توجه طراحان را به خود جلب کرد. از رابطه‌ی (۴) قابل مشاهده است که ولتاژ آستانه‌ی ترانزیستور رابطه‌ای عکس با قطر نانولوله دارد. از آن جا که قطر نانولوله قابل تغییر است، ولتاژ آستانه‌ی این نوع ترانزیستورها را می‌توان تغییر داد [۱۵].

$$V_{th} = \frac{\sqrt{3}a.V\pi}{3e.D} \qquad (۴)$$

در این رابطه، D قطر نانو لوله‌های کربنی، a فاصله بین دو اتم کربن، V انرژی پیوند کربن، e اندازه شارژ الکترون و V_{th} ولتاژ آستانه‌ی ترانزیستور است. استفاده از این خاصیت باعث ارائه‌ی مدارهای زیادی شد. مانند جمع کننده‌ای که توسط خطیر و همکارانش، در سال ۲۰۱۱ به کمک ۱۴ ترانزیستور CNTFET و سه خازن پیاده‌سازی شده است [۱۸]، این مدار دارای خروجی‌های Full swing و متعددی است، اما به دلیل استفاده از خازن، ترانزیستور زیاد و وجود مسیرهای استاتیک سرعت و توان مصرفی مناسبی ندارد.

باقری‌زاده و همکارانش در سال ۲۰۱۱ تلاش کردند تا با استفاده از این ویژگی، تعداد خازن‌های تابع اکثرّیت را به حداقل برسانند [۲۰]. نتیجه تلاش آنها باعث شد تا تعداد خازن‌ها به حداقل خود برسد. ولی مشکلات روش تابع اکثریت همچنان به قوت خود باقی بود.

در سال‌های اخیر، محقّقان بیشتر به این نکته توجّه داشته‌اند که در مدار از خازن استفاده نشود. به عنوان مثال می‌توان از مقالاتی که در سال‌های ۲۰۱۲ توسط قربانی و همکارانش با کمک روش C-CMOS ارائه شده است [۲۷]، نام برد. طراحی مدار به کمک ۴۲ ترانزیستور نانولوله‌ی کربنی انجام شده است که خود یک ضعف بزرگ محسوب می‌شود.

از محدود جمع‌کننده‌های روش C-CMOS می‌توان به مدار ۲۶ ترانزیستوری قربانی و همکارانش در سال ۲۰۱۳ اشاره کرد [۲۸]. همان گونه که پیش از این اشاره شد، در روش C-CMOS از تعداد زیادی ترانزیستور استفاده می‌شود. این امر باعث افزایش مقاومت در مدار می‌گردد. به همین منظور کاهش تعداد ترانزیستورهای مدار همچون حذف خازن از مدار، امری ضروری به نظر می‌رسد.

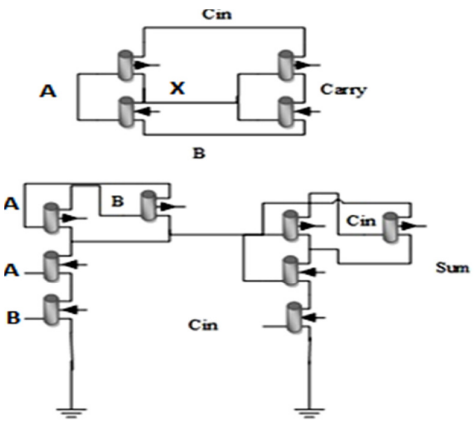
با ورود ترانزیستورهای نانولوله‌ی کربنی به دنیای الکترونیک و به دلیل قابل تغییر بودن V_{th} در این ترانزیستورها، محققان با تغییر V_{th} افت ولتاژ در ترانزیستورهای نوع P و همچنین افزایش ولتاژ در ترانزیستورهای N را به حداقل رساندند. با این اتفاق مجدداً استفاده از روش ترانزیستورهای عبور در مواردی که کاهش تعداد ترانزیستور و افزایش سرعت مورد نیاز است، انتخاب خوبی به نظر می‌رسد. از این نکته نباید غافل شد که عملکرد این روش تقریباً FULL-SWING است. به همین منظور در مواردی که قابلیت اطمینان مطرح است، استفاده از این روش پیشنهاد نمی‌شود. یکی از جدیدترین مقالات این روش مقاله‌ی شریفی و همکارانش است که به کمک ترانزیستورهای عبور در سال ۲۰۱۲ مطرح شد [۲۳].

با توجّه به اهمیت عملکرد بهینه‌ی پردازنده‌ها و همچنین برتری خصوصیات نانولوله‌ها نسبت به MOSFET، قسمت دوم این مقاله به معرّفی یک مدار تمام‌جمع‌کننده با عملکرد مناسب، و با بهره‌گیری از تکنولوژی نانولوله‌های کربنی می‌پردازد. قسمت سوم مقاله، روند طراحی و پیاده‌سازی مدار پیشنهادی را با کمک نرم‌افزار Hspice همراه با شرح جزییات بیان می‌دارد. هم چنین مقایسه بین مدار پیشنهادی و سایر طرح‌های موجود، از منظر توان مصرفی، تأخیر عملکرد و PDP را نشان می‌دهد. در آخر، به بیان نتیجه‌ی کلّی از مقاله‌ی فوق پرداخته می‌شود.

۲- مدار پیشنهادی

دو عامل مخرّب در بهبود عملکرد مدار، مقاومت و خازن به شمار می‌آیند. اکثر مدارهای طرّاحی شده در مقالات پیشین توسط نانولوله‌ی

کربنی، به کمک تابع اکثرّیت، پیاده‌سازی شده‌اند [۱۶]-[۲۱]. از این رو وجود خازن‌ها باعث افزایش توان مصرفی و تاخیر عملکرد این گونه مدارها شده است. از طرف دیگر، اکثر مدارهای ارائه شده، دارای تعداد بیش از دو طبقه طراحی هستند که خود باعث افزایش خازن بار و در نتیجه افزایش تاخیر مدار می‌شود. وجود تعداد ترانزیستورهای زیاد در طراحی مدارها، موجب افزایش مقاومت کلّی مدار می‌گردد. به همین منظور در این مقاله تلاش شده با بهره‌گیری از ترانزیستورهای عبور در طراحی مدار پیشنهادی، تعداد ترانزیستورهای مورد نیاز و در نتیجه مقاومت کلّی مدار کاهش یابد. همچنین به دلیل عدم استفاده از روش تابع اکثریت در طرّاحی این تمام‌جمع‌کننده، همانگونه که در شکل (۱) نیز قابل مشاهده است، خازن‌ها در مدار کاملاً حذف شده‌اند.



شکل (۱): شماتیک مدار پیشنهادی

Fig. (1): Schema of the proposed circuit

مدار پیشنهادی با ارائه‌ی سبک جدیدی در پیاده‌سازی تابع Carry توانست قسمت تولید خروجی Carry مدار را بدون استفاده از هیچ‌گونه خازن یا مقاومتی و فقط با کمک چهار ترانزیستور نانولوله‌ی کربنی همزمان با تولید خروجی Sum، در دو طبقه ارائه دهد.

جدول (۲) نشان می‌دهد که تابع Carry از رابطه (۵) پیروی می‌کند.

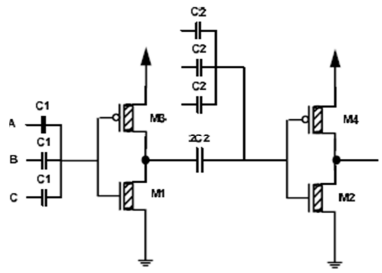
$$\begin{aligned} &A=0\ \&\ Cin=0 \Rightarrow Carry=C \\ &A=0\ \&\ Cin=1 \Rightarrow Carry=B \\ &A=1\ \&\ B=0 \Rightarrow Carry=C \\ &A=1\ \&\ B=1 \Rightarrow Carry=B \end{aligned} \qquad (۵)$$

Table (2): The integrity of operation of full adders

جدول (۲): جدول درستی عملکرد تمام‌جمع‌کننده‌ها

A	B	Cin	Carry
0	0	0	0
0	1	0	0
0	0	1	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

لذا هر زمان که A مساوی صفر است، ترانزیستور نوع P روشن می‌شود و نقطه X مساوی Cin می‌شود. حال در می‌یابیم که هر زمان Cin مساوی صفر باشد، ترانزیستور نوع P، مقدار خود Cin را به خروجی Carry انتقال می‌دهد. در صورتی که Cin مساوی یک باشد، ترانزیستور نوع N مقدار B را به Carry انتقال می‌دهد. در نتیجه دو شرط اول برقرار است. از طرفی با یک شدن مقدار A مقدار خروجی X مساوی B می‌شود. این بدین معناست که هر زمان B مساوی صفر بود، خروجی مدار با کمک ترانزیستور نوع P برابر با Cin می‌گردد و با یک شدن B خروجی مدار با کمک ترانزیستور N با مقدار سیگنال B برابر است. در نتیجه دو شرط انتهایی نیز برقرار می‌شود. مدار پیشنهادی با ارائه‌ی این سبک جدید در پیاده‌سازی تابع Carry، توانست قسمت تولید خروجی Carry مدار را بدون استفاده از هیچگونه خازن یا مقاومتی و فقط با کمک چهار ترانزیستور نانولوله‌ی‌کربنی همزمان با تولید خروجی Sum در دو طبقه ارائه دهد. قسمت Sum مدار نیز همانگونه که در شکل مشخص شده است، با کمک دو مدار XOR متوالی پیاده‌سازی شده است. پیش‌بینی می‌شود که مدار پیشنهادی به دلیل حذف خازن و کاهش تعداد طبقات از چهار طبقه به دو طبقه، نسبت به مدار ارائه شده در شکل (۲) دارای سرعت بیشتری باشد [۱۶]. این مدار در چهار طبقه به کمک تابع جمع اکثریت با ۷ ترانزیستور در سال ۲۰۰۹ توسط ناوی و همکارانش ارائه شده است.



شکل (۲): شماتیک مدار جمع‌کننده مقاله [۱۶]

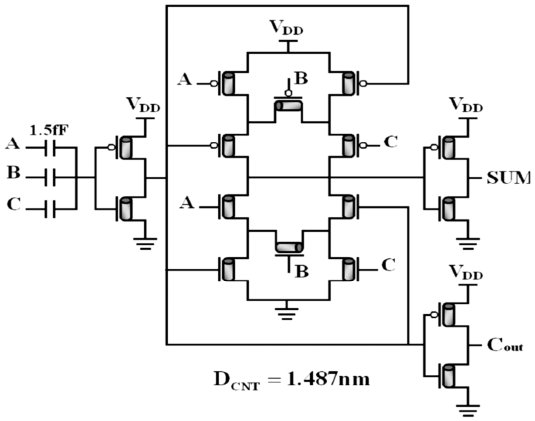
Fig. (2): The schema of the full adder circuit proposed in [16]

از سوی دیگر، رابطه‌ی (۶) در محاسبه‌ی توان مصرفی مدارهای مشخص کننده‌ی فرکانس F_{clk} در این رابطه .دیجیتال، به کار می‌رود ام (در حالت ایده‌ال i ولتاژ سوئینگ در گره $V_{i\ swing}$ساعت سیستم، ام،α_i ضریب اکتیویتی در گره i، ام i در گره load خازن $C_{i\ load}$، V_{dd} است [۶].iجریان نشتی گره‌ی I_1 جریان اتصال کوتاه مدار و I_{isc}

$$\begin{aligned} P_{total} &= P_{dynamic} + P_{shortcircuit} + P_{static} \\ &= V_{dd} F_{clk} \sum_i V_{iswing} C_{iload} \alpha_i \\ &+ V_{dd} \sum_i I_{iSC} + V_{dd} I_1 \end{aligned} \qquad (۶)$$

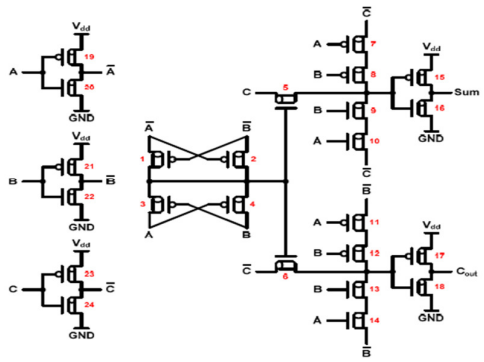
با در نظر گرفتن رابطه‌ی فوق، به نظر می‌رسد که مدار پیشنهادی می‌تواند توان مصرفی استاتیک را به حداقل برساند زیرا وجود مسیرهای مستقیم از VDD به زمین را به حداقل رسانده است.

مدار پیشنهادی، نه تنها تعداد طبقات و خازن‌ها را نسبت به مدار ارائه شده توسط ناوی و همکارانش در سال ۲۰۱۱، که شماتیک آن در شکل (۳) قابل مشاهده است، کاهش داد [۱۹]، بلکه توانست تعداد ترانزیستورهای استفاده شده در مدار را به میزان چهار عدد کاهش دهد. به نظر می‌رسد مدار پیشنهادی، در هر دو پارامتر توان و PDP، عملکردی بهتر نسبت به مدار نامبرده داشته باشد.



شکل (۳): شماتیک مدار جمع کننده مقاله [۱۹]

Fig. (3): The schema of the full adder circuit proposed in [19]



شکل (۴): شماتیک مدار جمع‌کننده مقاله [۲۲]

Fig. (4): The schema of the full adder circuit proposed in [22]

مرادی و همکارانش در سال ۲۰۱۲ مدار تمام جمع‌کننده‌ای ارائه دادند که در شکل (۴) قابل مشاهده است [۲۲]. در این مدار همچون مدار پیشنهادی از هیچ گونه خازنی استفاده نشده است. با این حال این مدار با کمک ۲۴ ترانزیستور نانولوله کربنی، پیاده‌سازی شده است که تعداد آن در مقایسه با طرح پیشنهادی این مقاله، به میزان ۱۲ عدد بیشتر است. پیش‌بینی می‌شود مدار پیشنهادی بتواند نسبت به این مدار، توان مصرفی بهتری ارائه دهد.

همانگونه که از رابطه (۶) مشخص است، افزایش میزان خازن بار باعث افزایش توان مصرفی می‌شود. یکی دیگر از عواملی که در توان مصرفی تأثیر مستقیم دارد، وجود مسیرهای مستقیم از VDD به زمین است. به همین دلیل در طراحی مدار پیشنهادی تلاش شده است با کاهش تعداد طبقات، مدار خازن بار به حداقل برسد. همچنین با استفاده از روش ترانزیستور عبور، مسیرهای استاتیک حذف شود. یکی دیگر از برتری‌های مدار پیشنهادی نسبت به سایر هم‌نوعان خود حداقل استفاده از ترانزیستور است. به عنوان مثال، تمام جمع‌کننده‌ی مقاله‌ی [۴] با ۱۴ ترانزیستور در سه طبقه پیاده‌سازی و مدار مقاله‌ی [۲۳] با ۱۲ ترانزیستور و در ۴ طبقه پیاده‌سازی شده است. در صورتی که مدار پیشنهادی در این مقاله در ۲ طبقه و با کمک ۱۲ ترانزیستور پیاده‌سازی شده است. این امر احتمال بهبود با توان مصرفی را در مدار پیشنهادی بالا می برد و پیش‌بینی می‌شود توان مصرفی بهبود قابل توجهی روبرو شود.

۳- بحث و مقایسه

شرح آزمایش‌ها، در چهار قسمت مجزا انجام می‌گیرد. بخش اوّل به توضیح جزییات چگونگی پیاده‌سازی مدار پیشنهادی با استفاده از نرم‌افزار Hspice می‌پردازد. سپس بخش دوم و سوم، به بررسی درستی عملکرد مدار و مقایسه نتایج به دست آمده، برای مدار پیشنهادی با نتایج اعلام شده، در مقالات پیشین می‌پردازد. در نهایت، به مقایسه‌ی نتایج به دست آمده از پیاده‌سازی مدار پیشنهادی و سایر مدارهای پیشین، با در نظر گرفتن شرایط یکسان توسط نرم افزار Hspice پرداخته می‌شود.

۳-۱- شرح شرایط آزمایش

مدار پیشنهادی در این مقاله، توسط نرم‌افزار Hspice و در تکنولوژی ۳۲nm با در نظر گرفتن پارامترهایی که در جدول (۳) ذکر شده است، پیاده‌سازی شده است.

Table (3): Parameters of carbon nano-tube model

جدول (۳): پارامترهای مدل کربن نانوتیوب

Parameter	Value
Lch	32nm
Lgeff	100nm
Lss	32nm
Ldd	32nm
Kgate	16
Tox	4nm
Csub	40pF/m
Efi	6eV
Tubes	3

در تحلیل سرعت مدار پیشنهادی، از سه مقدار متفاوت برای خازن بار با اندازه‌های ۱/۴ FF، ۲ FF و ۲/۴ FF در دمای ۲۷ ^{o}C و فرکانس ۳۱/۲۵ MHZ استفاده شده است. همچنین فرکانس‌های مختلف در

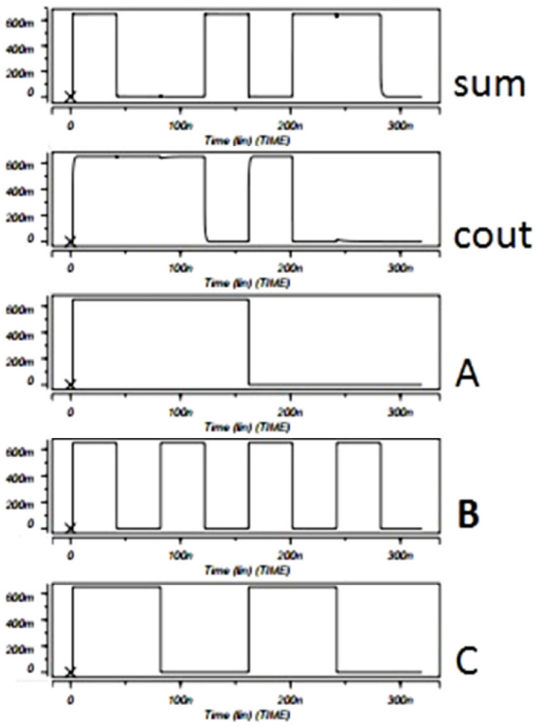
تحلیل توان مصرفی مدار، در دمای $27^{o}C$ و خازن بار ۱/۴ FF برابر با ۶۲/۵ MHZ، ۴۱/۶ MHZ و ۳۱/۲۵ MHZ در نظر گرفته شده است. در نهایت در تحلیل PDP مدار پیشنهادی دماهای $0^{o}C$ ،$27^{o}C$ و $50^{o}C$ در فرکانس ۳۱/۲۵ MHZ و خازن بار ۱/۴ FF استفاده شده است. ولتاژ اعمالی به مدار پیشنهادی، در کلیه‌ی حالات مختلف شبیه سازی برابر با ۰/۶۵ V و نوع تحلیل مداری، تحلیل گذرا است.

۳-۲- بررسی درستی عملکرد مدار

سه سیگنال A، B و C مطابق شکل (۵) برای بررسی هر ۸ الگوی ورودی ممکن، به مدار اعمال شده‌اند تا خروجی‌های Sum و Carry به عنوان نتایج نهایی به دست آیند.

با بررسی شکل (۵) می‌توان دریافت که مدار پیشنهادی دارای خروجی‌های صحیح برای هر ۸ الگوی ورودی است. این امر بیانگر عملکرد صحیح مدار است.

در دو دهه‌ی گذشته، یکی از ضعف‌های مدارهایی که با ترانزیستورهای عبور، پیاده‌سازی شده بودند، افت یا افزایش ولتاژ در خروجی این مدارها بود. امروزه با جایگزین کردن نانولوله‌ها و استفاده از خاصیّت تغییر ولتاژ آستانه، این مشکل تا حدود زیادی از بین رفته است. شکل (۵) نشان می‌دهد با تغییر قطر نانولوله، ولتاژ آستانه‌ی مطلوبی به دست آمده است که باعث می‌شود مدار، تقریباً به شکل Full swing عمل کند.



شکل (۵): شکل موج ورودی و خروجی مدار

Fig. (5): Input and output wave form for the proposed circuit

۳-۳- مقایسه طرح پیشنهادی با نتایج اعلام شده در مقالات پیشین

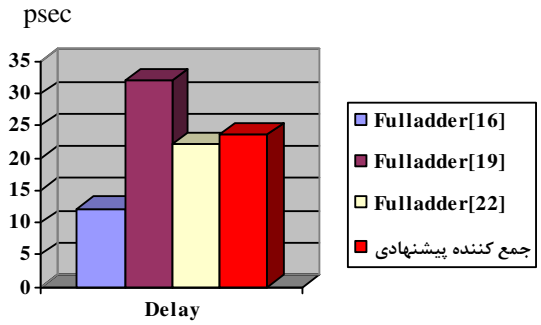
در مقاله‌های پیشین، آزمایش‌ها و پیاده‌سازی‌ها، در شرایط خاصی انجام شده است. به طور مثال، متفاوت بودن ولتاژ منبع، یکسان نبودن خازن بار و یکسان نبودن تکنولوژی پیاده‌سازی. از طرفی، در نظر گرفتن شرایط فوق ممکن است بهترین نتایج را برای مدار ایجاد کند و تغییر شرایط، باعث افت در نتایج حاصل شده گردد. به همین منظور همانگونه که در جدول (۴) مشاهده می‌شود، این بخش به مقایسه نتایج به دست آمده از مدار پیشنهادی در نرم‌افزار Hspice در دمای $27^{o}C$، خازن بار ۱/۴ FF و فرکانس ۳۱/۲۵ MHZ با مقادیر اعلام شده، در مقالات پیشین می‌پردازد.

Table (4): Comparison between implementation results for the delay, power, and PDP of the proposed circuit and results cited in previous literature

جدول (۴): مقایسه‌ی نتایج به دست آمده، برای سه پارامتر تأخیر، توان، PDP از پیاده‌سازی مدار پیشنهادی و نتایج اعلام شده در مقالات پیشین

	Power (*E-8)w	Delay (*E-12)s	PDP (*E-18)J
Full Adder [16]	341.08	12.188	41.57
Full Adder [19]	29.41	32.07	9.432
Full Adder [22]	16.23	22.137	3.5932
تمام جمع‌کننده پیشنهادی	10.56	23.63	2.495

با مراجعه به شکل (۶) و جدول (۴) می‌توان دریافت که مدار پیشنهادی، نسبت به مقاله‌ی [۱۹]، توانسته به میزان ۲۶٪ افزایش سرعت داشته باشد. این در حالی است که سرعت عملکرد مدار پیشنهادی ۴۸٪ نسبت به مقاله‌ی [۱۶] و ۶٪ نسبت به مقاله‌ی [۲۲]، کاهش داشته است.



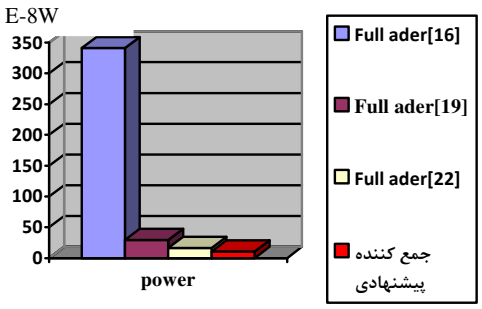
شکل (۶): نمودار مقایسه تأخیر

Fig. (6): Delay comparison diagram

همچنین از نظر توان مصرفی، مدار پیشنهادی، ۶۹٪ نسبت به مقاله‌ی [۱۶]، ۶۴٪ نسبت به مقاله‌ی [۱۹] و ۳۵٪ نسبت به مقاله‌ی [۲۲]، بهبود یافته است. این امر در شکل (۷) قابل مشاهده است.

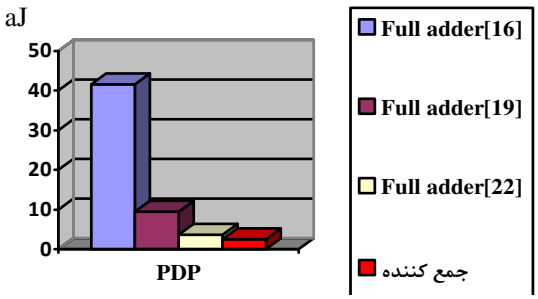
از آن جایی که پارامتر PDP به عنوان حاصل ضرب توان مصرفی در تأخیر تعریف می‌شود، می‌توان این پارامتر را یکی از بهترین معیارهای مقایسه‌ی مدارهای دیجیتال دانست.

با توجه به شکل (۸) و جدول (۴)، مدار پیشنهادی توانسته است به میزان ۹۴٪ نسبت به مدار مقاله‌ی [۱۶]، ۷۴٪ نسبت به مدار مقاله‌ی [۱۹] و ۳۱٪ نسبت به مدار مقاله‌ی [۲۲]، پارامتر کلیدی PDP را کاهش دهد. این نکته به خودی خود نشان دهنده‌ی بهبود در عملکرد مدار پیشنهادی است.



شکل (۷): نمودار مقایسه‌ی توان مصرفی

Fig. (7): Power consumption comparison diagram



شکل(۸): نمودار مقایسه عملکرد کلی

Fig. (8): PDP comparison diagram

Table (5): Output results of circuit power consumption for three different frequency

جدول (۵): نتایج خروجی توان مصرفی مدار برای سه فرکانس مختلف

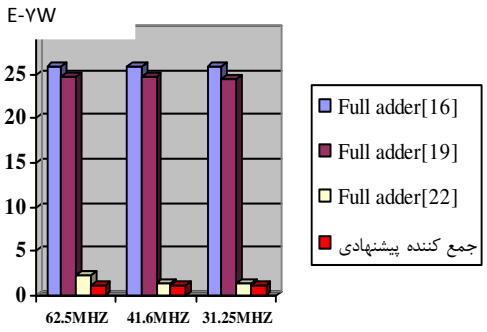
	62/5 MHZ	41/6 MHZ	31/25MHZ
Full Adder [16]	25/9 E-7 W	25/9 E-7 W	25/8 E-7 W
Full Adder [19]	24/7 E-7 W	24/6 E-7 W	24/4 E-7 W
Full Adder [22]	2/21 E-7 W	1/27 E-7 W	1/44 E-7 W
تمام جمع‌کننده پیشنهادی	1/15 E-7 W	1/09 E-7 W	1/06 E-7 W

۳-۴- مقایسه‌ی نتایج به دست آمده در Hspice برای تمامی مدارها (اعم از مدار پیشنهادی و مدارهای پیشین)

این بخش به مقایسه‌ی نتایج پیاده‌سازی مدار پیشنهادی و سایر مدارهای پیشین، توسط نرم‌افزار Hspice با در نظر گرفتن شرایط بیان شده، در قسمت ۳-۱ می‌پردازد.

شکل (۹) و جدول (۵) که توان مصرفی را در سه فرکانس متفاوت مقایسه می‌نمایند، بیانگر این امر هستند که توان مصرفی در فرکانس ۳۱/۲۵ MHZ، ۹۶٪ نسبت به مقاله‌ی [۱۶]، ۹۶٪ نسبت به مقاله‌ی [۱۹] و ۲۶٪ نسبت به مقاله‌ی [۲۲]، کاهش یافته است. در فرکانس ۴۱/۶ MHZ، ۹۶٪ کاهش نسبت به مقاله‌ی [۱۶]، ۹۵ ٪ نسبت به مقاله‌ی [۱۹] و ۱۴٪ نسبت به مقاله‌ی [۲۲]، در توان مصرفی مشاهده شده است و در نهایت در فرکانس ۶۲/۵ MHZ مدار پیشنهادی شاهد کاهش ۹۶٪ نسبت به مقاله‌ی [۱۶]، ۹۶٪ نسبت به مقاله‌ی [۱۹] و ۲۶٪ نسبت به مقاله‌ی [۲۲]، برای توان مصرفی است.

با بررسی شکل (۱۰) و جدول (۶) می‌توان دریافت که با خازن بار ۱/۴ FF، مدار پیشنهادی، ۳۷٪ نسبت به مدار مقاله‌ی [۱۹] و ۲۳٪ نسبت به مقالـه‌ی [۲۲]، تأخیر عملکرد بیشتری از خود نشان می‌دهد. با این حال مدار پیشنهادی توانسته است در تاخیر عملکرد، بهبود ۵۸٪ را نسبت به مقاله‌ی [۱۶] ارائه دهد. با خازن ۲FF مدار پیشنهادی ۴۰٪ نسبت به مدار مقاله‌ی [۱۹] و ۲۱٪ نسبت به مقاله‌ی [۲۲]، دارای تاخیر بیشتری است و تنها توانسته است ۵۰٪ نسبت به مقاله‌ی [۱۶]، بهبود داشته باشد. در نهایت، با در نظر گرفتن خازن بار به میزان ۲/۴ FF، مدار پیشنهادی ۳۸٪ نسبـت به مـدار مقالـه‌ی [۱۹] و ۱۹٪ نسبت به مقاله‌ی [۲۲]، دارای تأخیر بیشتری است و تنها ۴۷٪ نسبت به مقاله‌ی [۱۹]، بهبود تاخیر عملکرد را از خود نشان می‌دهد.



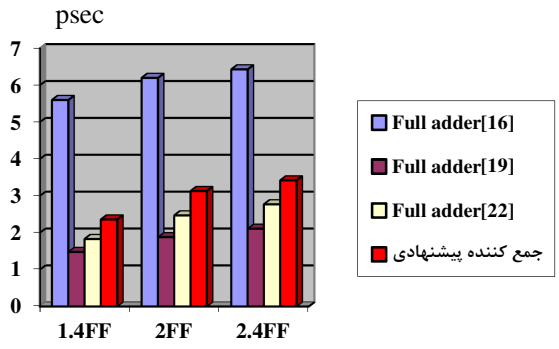
شکل (۹): نمودار مقایسه‌ی توان مصرفی

Fig. (9): Power consumption comparison diagram

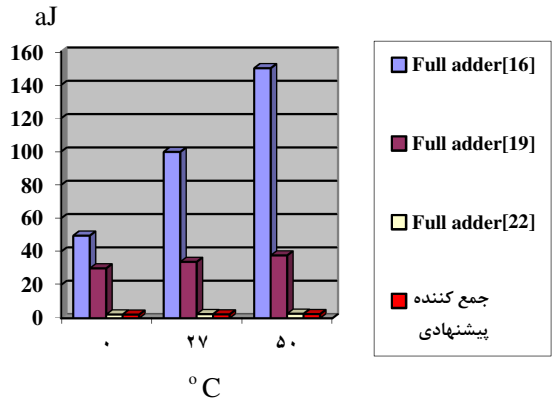
Table (6): Output results of circuit delay for three different value of load capacitor

جدول (۶): نتایج خروجی تاخیر مدار برای سه خازن بار مختلف

	۱.۴FF	۲FF	۲.۴FF
Full Adder [16]	5/60 E-11 S	6/20 E-11 S	6/43 E-11 S
Full Adder [19]	1/48 E-11 S	1/88 E-11 S	2/11 E-11 S
Full Adder [22]	1/83 E-11 S	2/47 E-11 S	2/77 E-11 S
تمام جمع کننده پیشنهادی	2/36 E-11 S	3/13 E-11 S	3/43 E-11 S



شکل (۱۰): نمودار مقایسه‌ی تأخیر
Fig. (10): Delay Comparison diagram



شکل (۱۱): نمودار مقایسه‌ی عملکرد کلی (PDP)
Fig. (11): PDP comparison diagram

همانگونه که در قسمت ۳-۳ بیان شد، برای بررسی عملکرد کلّی مدار، باید پارامتر PDP را مورد بررسی قرار داد. شکل (۱۱) و جدول (۷) مدار پیشنهادی را با سایر مراجع مقایسه می‌نماید. همانگونه که مشهود است، مدار پیشنهادی در دمای $0\ ^{o}C$ توانسته، ۹۶٪ نسبت به مدار مقاله‌ی [۱۶] و ۹۳٪ نسبت به مقالـه‌ی [۱۹] ۳٪ نسبت به مقاله‌ی [۲۲] PDP بهتری دارد. در دمای $27\ ^{o}C$ مدار پیشنهادی ۹۸٪ نسبت به مدار مقاله‌ی [۱۶] و ۹۳٪ نسبت به مقاله‌ی [۱۹] و ۶٪ نسبت به مقاله‌ی [۲۲]، PDP را بهبود بخشیده است. در نهایت، با در نظر گرفتن دما به میزان $50\ ^{o}C$، مدار پیشنهادی ۹۸٪ نسبت به مـدار مقالـه‌ی [۱۶]، ۹۳٪ نسبت به مقاله‌ی [۱۹] و ۵٪ نسبت به مقاله‌ی [۲۲]، بهبود PDP را از خود نشان داده است.

Table (7): Output Results of circuit PDP for three different temperature values

جدول (۷): نتایج خروجی PDP مدار برای سه دمای مختلف

	$0\ ^{o}C$	$27\ ^{o}C$	$50\ ^{o}C$
Full Adder [16]	49/59 E-18 J	99/85 E-18 J	150/12 E-18 J
Full Adder [19]	29/97 E-18 J	33/85 E-18 J	37/73 E-18 J
Full Adder [22]	2/26 E-18 J	2/49 E-18 J	2/72 E-18 J
تمام جمع کننده پیشنهادی	2/19 E-18 J	2/34 E-18 J	2/50 E-18 J

۴- نتیجه گیری

در این مقاله یک سلول تمام‌جمع‌کننده‌ی جدید، با عملکرد بهینه در تکنولوژی نانولوله‌های کربنی ارائه شده است. ایده‌ی اصلی این مقاله، استفاده از ترانزیستورهای عبور، جهت دست‌یابی به مداری با حداقل تعداد ترانزیستور و همچنین حذف خازن‌ها در طراحی ساختار سلول تمام‌جمع‌کننده‌ی فوق است. نتایج شبیه‌سازی با استفاده از نرم‌افزار Hspice و بر مبنای مدل Cntfet نشان می‌دهد که سلول تمام جمع‌کننده پیشنهادی، از نظر توان مصرفی، بهبود قابل توجهی نسبت به طرح‌های موجود دارد. کاهش توان مصرفی در مدار پیشنهادی، بهبود پارامتر PDP (حاصل ضرب توان در تأخیر) را نسبت به سایر طرح‌های موجود به دنبال داشته است. از این جهت، طرح پیشنهادی که برای کاربردهایی با توان مصرفی کم و عملکرد بهینه مناسب است. برای اجرای پژوهش‌هایی در این زمینه، به محقّقان پیشنهاد می‌شود که در آینده تمرکز طرّاحی بر روی افزایش سرعت مدارهای تمام‌جمع‌کننده، با حفظ توان مصرفی کم قرار گیرد. یکی از ایده‌های پیشنهادی برای دستیابی به این مهم، پرهیز از اتصال گیت‌های ترانزیستورها به خروجی طبقات پیشین است.

پی نوشت

1- Pass Transistor
2- Multi Wall Carbon Nano Tube (MWCNT)
3- Single Wall Carbon Nano Tube (SWCNT)

References

[1] S. Issam, A. Khater, A. Bellaouar, M.I. Elmasry, "Circuit techniques for CMOS low-power high performance multipliers", IEEE Journal of Solid-State Circuit, Vol.31, pp. 1535-154431, Oct. 1996.
[2] M. Kumar, S. Arya, S. Pandey," Single bit full adder design using 8 transistors with novel 3 transistors xnor gate", International Journal of VLSI design and Communication Systems, Vol. 2, No. 4, Dec. 2011.

[3] G.K. Reddy, "Low power-area designs of 1 bit full ader in cadence virtuoso platform", International Journal of VLSI design & Communication Systems, Vol. 4, No. 4, pp. 55–64, Aug. 2013.
[4] R. Zimmermann, W. Fichtner, "Low-power logic styles: cmos versus pass-transistor logic", IEEE Journal of Solid-State Circuits, Vol. 32, pp. 1079-1090, July 1997.
[5] K. Navi, O. Kavehei, M. Ruholamini, A. Sahafi, S. Mehrabi, N. Dadkhahi, "Low-power and high-performance 1-bit cmos full adder cell", Journal of computers, Vol. 3, No. 2, 2008
[6] J.M. Rabaey, "Digital integrated circuits, a design perspective", Prentice Hall, Englewood Cliffs, NJ, 1996.
[7] R. Mirzaee, M. Moaiyeri, K. Navi, "High speed np-cmos and multi-output dynamic full adder cells", International Journal of Electrical, Computer, and Systems Engineering, Vol. 4, No. 4, pp. 304–310, 2010.
[8] K. Navi,M. Maeen, V. Foroutan, S. Timarchi, O. Kavehei, "A novel low-power full-adder cell for low voltage", Integration, the VLSI Journal, Vol. 42, pp. 457–467, 2009.
[9] K. Navi ,V. Foroutan, M. RahimiAzghadi, M. Maeen, M. Ebrahimpour, M. Kaveh, O. Kavehei, "A novel low-power full-adder cell with new technique in designing logical gates based on static cmos inverter", Microelectronics Journal, Vol. 40, pp. 1441–1448, 2009.
[10] M. Alizadeh, B. Forouzandeh, R. Sabbaghi-Nadooshan, "Six new full adder cells based on majority-not gate in 45nm cmos technology and analysis in soi technology", International Journal of Computer Science Issues, Special Issue, ICVCI-2011, Vol. 1, No. 1, Nov. 2011.
[11] S. Wairya, R.K. Nagaria, S. Tiwari, "New design methodologies for high-speed mixed-mode cmos full adder circuits", International Journal of VLSI design and Communication Systems, Vol. 2, No. 2, June 2011.
[12] K. Navi, R. Zabihi, M. Haghparast, T. Nikobin, "A novel mixed mode current and dynamic voltage full adder" , World Applied Sciences Journal, Vol. 4, No. 2, pp. 289-294, 2008.
[13] S. Iijima,"Helical microtubules of graphitic carbon", Nature,Vol. 354, pp. 56-58,7 Nov. 1991.
[14] S. Iijima, T. Ichihashi, "Single-shell carbon nanotubes of 1-nm diameter", Nature, Vol. 363, pp. 603-605, 17 June 1993.
[15] J. Deng, "Device modeling and circuit performance evaluation for nanoscale devices: silicon technology beyond 45 nm node and carbon nanotube field effect transistors", Ph.D. Dissertation , Stanfor University, 2007.
[16] K. Navi, A. Momeni, F. Sharifi, P. Keshavarzian, "Two novel ultra high speed carbon nanotube full-adder cells", IEICE Electronics Express, Vol. 6, No. 19, pp.1395-1401, 2009.
[17] K. Navi, M. Rashtian, A. Khatir, P. Keshavarzian, O. Hashemipour, " High speed capacitor- inverter based carbon nano tube full adder", Nanoscale RessLett, Vol. 5, pp. 859-862, 2010.
[18] A. Khatir , Sh. Abdolahzadegan ,I. Mahmoudi, "High speed multiple valued logic full adder using carbon nano tube field effect transistor", International Journal of VLSI design and Communication Systems, Vol. 2, No.1, 2011.
[19] K. Navi, H.H. Sajedi, R. F. Mirzaee, M.H. Moaiyeri, A. Jalali, O. Kavehei, "High-speed full adder based on minority function and bridge style for nanoscale", Integration , the VLSI Journal, Vol. 44, pp. 155–162, 2011.
[20] M. Bagherizadeh, M. Eshghi, "Two novel low-power and high-speed dynamic carbon nanotube full-adder cells", Nanoscale Research Letters, 6:519, Sep. 2011.
[21] A. AsadiAghbolaghi., Sh. Moghimi, "Designing a new full adder with carbon nano-tube technology", Nano Symposium, Islamic Azad University, Najafabad Branch, Materials Department, Najaf Abad, Iran, April 2014.
22] M. Moradi, R.F. Mirzaee, M.H. Moaiyeri, K. Navi, "An applicable high-efficient cntfet-based full adder cell for practical environments", International Symposium on Computer Architecture and Digital Systems, 2012.
[23] F. Sharifi, A. Momeni, K. Navi, "Cnfet based basic gates and a novel full adder cell", International Journal of VLSI design and Communication Systems, Vol. 3, No. 3, June 2012.
[24] R. SharifiRad, M. Norouziand, S.K.H. Rabori, "A great efficiency full adder cell based on carbon nano-tube technology", Research Journal of Applied Sciences, Engineering and Technology, Vol. 5, No. 14, pp. 3791-3795, 2013.
[25] A. AsadiAghbolaghi, M. Emadi, M. Dolatshahi. "Designing and analyzing a full adder using carbon nano-tube technology". International Conference on Information Technology Management, Communication and Computer, June 2014.
[26] A. AsadiAghbolaghi., M. Emadi, M. Dolatshahi, "Designing a high speed full adder with carbon nano-tube technology", National Conference on Computer Science and Engineering, Islamic Azad University, Najafabad Branch, Oct. 2014
[27] A. Ghorbani, M. Sarkhosh, E. Fayyazi , N. Mahmoudi , P. Keshavarzian, "A novel full adder cell based on carbon nano tube field effect transistors" , International Journal of VLSI design and Communication Systems, Vol. 3, No. 3, 2012.
[28] A. Ghorbani, M. Sarkhosh, "A new low power full adder cell based on carbon nanotube field effect transistors", Journal of Basic and Applied Scientific Research, Vol. 3, No. 3, pp. 1267-1272, 2013.