

یک سلول XOR جدید دو ورودی مبتنی بر CNTFET با توان نشتی فوق العاده پایین برای تمام جمع‌کننده‌های ولتاژ پایین و توان پایین

امیر باغی رهین - وحید باغی رهین

مریی - گروه مهندسی برق، واحد سردرود، دانشگاه آزاد اسلامی، سردرود، ایران

تاریخ دریافت: ۱۳۹۷/۸/۱۲ تاریخ پذیرش: ۱۳۹۷/۱۲/۲۴

خلاصه: گیت XOR یکی از بلوک‌های سازنده پایه در یک مدار تمام جمع‌کننده است که بهبود عملکرد آن می‌تواند به یک تمام جمع‌کننده بهبود یافته منجر شود. بدین منظور، در این مقاله، یک سلول XOR جدید ولتاژ پایین مبتنی بر ترانزیستورهای اثر میدان نانو لوله کربنی (CNTFET) پیشنهاد شده است. اهداف طراحی اصلی برای این مدار جدید، اتلاف توان کم، جریان نشتی پایین و سوئینگ ولتاژ کامل در یک ولتاژ تغذیه کم می‌باشد. چندین مدار XOR به طور کامل با استفاده از HSPICE با فناوری‌های ۳۲ نانومتر CMOS و CNTFET در یک ولتاژ تغذیه کم شبیه‌سازی شده‌اند. مدار XOR پیشنهادی با مدارهای قبلاً شناخته شده مقایسه شده و عملکرد ممتاز آن نشان داده شده است. شبیه‌سازی‌ها نشان می‌دهند که XOR ولتاژ پایین جدید، تلفات توان کمتر، جریان نشتی کمتر و حاصلضرب تأخیر در توان (PDP) کوچکتری در مقایسه با مدارات XOR قبلی دارد و نسبت به تغییرات فرآیند مقاوم می‌باشد. براساس نتایج بدست آمده در ولتاژ تغذیه ۰/۵ ولت، فرکانس ۲۵۰ مگا هرتز و خازن بار ۳/۵ فمتو فاراد، XOR پیشنهادی تاخیر انتشار برابر ۱۴۹/۰۵ پیکوثانیه، توان مصرفی ۷۱۶/۷۲ پیکو وات، توان نشتی ۱/۲۵ پیکو وات و PDP برابر $10^{-21} \times 683/10$ ژول از خود نشان می‌دهد. XOR پیشنهادی می‌تواند به خوبی در مدارات جمع‌کننده ولتاژ پایین و توان پایین استفاده شود.

کلمات کلیدی: سلول XOR، ترانزیستور اثر میدان نانو لوله کربنی (CNTFET)، نشتی فوق العاده پایین، تمام جمع‌کننده، حاصلضرب تأخیر در توان (PDP).

A New 2-Input CNTFET-Based XOR Cell With Ultra-Low Leakage Power for Low-Voltage and Low-Power Full Adders

Amir Baghi Rahin - Vahid Baghi Rahin

Instructor – Department of Electrical Engineering, Sardroud Branch, Islamic Azad University, Sardroud, Iran

mohandes.amir.baghi@gmail.com

mohandes.baghi@gmail.com

Abstract: The XOR gate is one of the basic building blocks in the Full Adder (FA) circuit, whose performance improvements can lead to improved Full Adder. For this purpose, in this paper, a new low voltage XOR cell based on Carbon Nanotube Field Effect Transistor (CNTFET) is proposed. The main design goals for this new circuit are low power dissipation, low leakage current and full voltage swing at a low supply voltage ($V_{dd} = 0.5$ V). Several XOR circuits were completely simulated using HSPICE with 32nm CMOS and 32nm CNTFET technologies at a low supply voltage. The proposed XOR circuit is compared with the previously known circuits and its outstanding performance is shown. Simulations show that the new low voltage XOR has lower power dissipation, less leakage current and lower PDP than other XOR circuits, and is resistant to process variations. Based on the results obtained at $V_{dd}=0.5$ V, frequency=250 MHz and $C_{load}=3.5$ fF, the proposed XOR shows propagation delay of 149.05 ps, power consumption of 716.72 pW, leakage power of 25.1 pW and PDP of 10.683×10^{-21} J. The proposed XOR can be used well in low voltage and low power Full Adder circuits.

Index Terms: Exclusive-OR (XOR) cell, Carbon Nanotube Field Effect Transistor (CNTFET), Ultra-low leakage, Full Adder (FA), Power Delay Product (PDP)

نویسنده مسئول: امیر باغی رهین، مریی - گروه مهندسی برق، واحد سردرود، دانشگاه آزاد اسلامی، سردرود، ایران، mohandes.amir.baghi@gmail.com

۱- مقدمه

است، همواره طراحی سلول‌های تمام جمع‌کننده با سرعت بالا و عملکرد بالا و در نتیجه مدارهای محاسباتی پیچیده با حاصل ضرب تأخیر در توان (PDP) کم مهم بوده است. در این مقاله، یک طراحی جدید با استفاده از ترانزیستورهای CNTFET برای مدار XOR با عملکرد ولتاژ پایین را پیشنهاد می‌شود. تمام گره‌ها در مدار پیشنهادی سوئیچینگ ولتاژ کاملی دارند و مساله جریان اتصال کوتاه استاتیک وجود ندارد.

این مقاله به شرح زیر سازماندهی می‌شود: در بخش دوم پیش زمینه‌ای در مورد ساختارهای قبلی XOR ارائه می‌شود. در بخش سوم مروری بر ترانزیستور اثر میدان نانولوله کربنی خواهیم داشت. در بخش چهارم مدار XOR جدید پیشنهاد می‌شود. نتایج شبیه‌سازی و تجزیه و تحلیل عملکرد چندین مدار مختلف XOR به همراه مدار پیشنهادی در بخش پنجم بحث و بررسی می‌شوند. نتیجه‌گیری‌ها بطور خلاصه در بخش ششم ارائه خواهند شد.

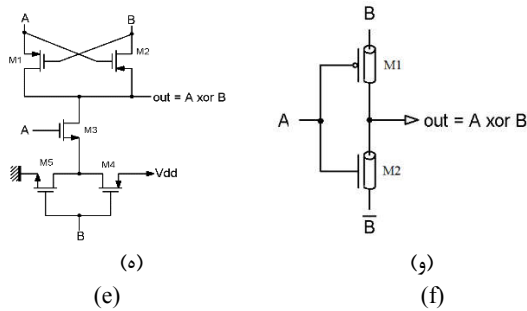
۲- مروری بر کارهای پیشین

برای پیاده‌سازی مدار XOR، چندین مدار مختلف در مقالات و متون علمی توسعه یافته‌اند، به طوری که در شکل (۱) نمونه‌هایی از معروف‌ترین آنها نشان داده شده است.

مدار XOR مبتنی بر منطق ترانزیستور عبور دوبل^۳ (DPL) به منظور بهبود عملکرد مدار در ولتاژهای تغذیه کاهش یافته طراحی شده است [۱۱]. به دلیل حضور ادوات NMOS و PMOS، تمام گره‌ها در مدارهای DPL سوئیچینگ ولتاژ کاملی داشته و مساله جریان اتصال کوتاه وجود ندارد. مدار XOR تحقق یافته با استفاده از منطق DPL در شکل (الف) نشان داده شده است. عیب این مدار نیاز به ورودی‌های مکمل می‌باشد. بر اساس پیکربندی مبتنی بر وارونگر^۴، سه وارونگر می‌تواند به صورت مناسب مدار XOR را بسازد [۱۲]. این ساختار در شکل (ب) نشان داده شده است. با این حال، این مدار معایب جدی دارد. گرچه می‌تواند در ولتاژ تغذیه بالا عمل کند، در این ساختار گره $n2$ سوئیچینگ ولتاژ کاملی ندارد. دو حالت وجود دارد که در آن مدار XOR مبتنی بر وارونگر سیگنال‌های خروجی ضعیف تولید می‌کند. اولین حالت با ورودی‌های $A=1$ و $B=0$ رخ می‌دهد. برای این مورد، گره $n1$ برابر '0' منطقی شده و ترانزیستور PMOS روشن می‌شود و منجر به این می‌شود که ترانزیستور PMOS سیگنال ضعیف '0' را عبور دهد که حدود $|V_{Tp}|$ برای گره $n2$ می‌باشد (V_{Tp} ولتاژ آستانه ترانزیستور PMOS است). مورد دیگر زمانی رخ می‌دهد که ورودی‌ها $A=1$ و $B=1$ باشند. برای این مورد، ترانزیستور NMOS روشن شده و ترانزیستور PMOS خاموش می‌شود و منجر به عبور سیگنال '1' منطقی ضعیف از ترانزیستور NMOS می‌گردد که ولتاژ گره $n2$ حدود $V_{dd}-V_{Tn}$ می‌باشد (V_{Tn} ولتاژ آستانه ترانزیستور NMOS است). بنابراین، این سیگنال‌های ضعیف در گره $n2$ نمی‌توانند وارونگر خروجی را درایو کنند و مدار XOR نمی‌تواند در ولتاژ تغذیه پایین بطور قابل اعتماد کار کند. گرچه این مدار می‌تواند در ولتاژهای تغذیه بالاتر عمل کند، جریان درین ثابت، اتلاف توان در این مدارها را افزایش می‌دهد. با توجه به افت‌های ولتاژ آستانه، یک اتلاف

فرایند کاهش مقیاس MOSFET در حال نزدیک شدن به حد فناوری در زیر ۲۰ نانومتر است که ممکن است به دلیل تغییرات فرآیند سیلیکون موجب تخریب عملکرد کارایی افزاره شود. با کاهش ویژگی اندازه در حوزه نانو، فناوری CMOS با مشکلات و چالش‌هایی جدی مانند چگالی توان بالا، کاهش کنترل گیت، اثرات کانال کوتاه و حساسیت بالای تغییرات فرآیند مواجه شده است [۱]. این مشکلات در زمان‌های آتی مناسب بودن فناوری CMOS را برای کاربردهای توان پایین و با کارایی بالا محدود خواهد کرد. بنابراین، دانشمندان در حال کار بر روی نانو فناوری‌های نوظهور مانند MOSFET های چند گیتی (یعنی FinFET) [۲]، [۳]، اتوماتای سلولی نقطه کوانتومی (QCA) [۴]، ترانزیستور تک الکترون (SET) [۵] و ترانزیستور اثر میدان نانولوله کربنی (CNTFET) [۶]، [۷] به عنوان جانشین‌های احتمالی برای فناوری MOSFET معمولی مبتنی بر سیلیکون هستند. با این حال، با توجه به شباهت بین MOSFET ها و CNTFET ها از نظر عملکرد و ویژگی‌های ذاتی، CNTFET در مقایسه با دیگر فناوری‌های نانو امیدوارکننده است. علاوه بر این، یکی دیگر از ویژگی‌های مهم CNTFET، ساختار باند یک بعدی منحصر به فرد آن است که از پراکندگی پشتی^۱ جلوگیری می‌کند و موجب عملیات نزدیک به بالستیک می‌شود [۸]. به طور کلی، CNTFET دارای عملکرد بالاتر و مصرف انرژی کمتری در مقایسه با MOSFET مبتنی بر سیلیکون بوده و برای کاربردهای ولتاژ پایین و فرکانس بالا بسیار مناسب است. یکی دیگر از ویژگی‌های قابل توجه CNTFET دارا بودن تحرک^۲ مشابه و ژئومتری یکسان افزاره برای P-CNTFET و N-CNTFET، و در نتیجه قابلیت‌های یکسان جریان درین است، که برای تعیین اندازه ترانزیستور در مدارهای مجتمع بسیار مهم می‌باشد [۸]. جمع‌کننده‌ها عنصر کلیدی در عمل ضرب هستند و در نتیجه بخش مهمی از سیستم‌های پردازش سیگنال دیجیتال (DSP) را تشکیل می‌دهند. از آنجایی که XOR مؤلفه اساسی در مدارهای تمام جمع‌کننده می‌باشد طراحی مدار XOR جدید در مقالات ارائه می‌شود. هدف اصلی این تحقیق، اتلاف توان کم در ولتاژ تغذیه کم و استفاده از فناوری نانو در طراحی مدارات جمع‌کننده است. با توجه به استفاده فزاینده از باتری در سیستم‌های ارتباطات شخصی و محاسباتی قابل حمل، اتلاف انرژی به یکی از محدودیت‌های اصلی طراحی تبدیل شده است. راه حل‌های توان پایین یک پیش نیاز برای ادامه ی پیشرفت تجهیزات ارتباطات تلفن همراه و کامپیوترهای قابل حمل هستند. اتلاف انرژی کم در توسعه تجهیزات غیرقابل حمل نیز با توجه به هزینه‌های مرتبط با خنک‌کنندگی مهم می‌باشد.

با توجه به عبارت مجذور ولتاژ تغذیه در رابطه اتلاف توان [۹]، [۱۰]، از مهمترین پارامترهای کنترل اتلاف توان می‌توان به ولتاژ تغذیه اشاره کرد. با این حال، در حالی که کاهش ولتاژ تغذیه مؤثرترین راه برای کاهش اتلاف توان است، چنین کاهش نیاز به روشهای جدید طراحی برای مدارهای مجتمع ولتاژ پایین و توان پایین دارد. از آنجایی که سلول تمام جمع‌کننده هسته اساسی و بلوک سازنده اکثر مدارات محاسباتی



شکل (۱): مدارهای XOR قبلی؛ (الف) مبتنی بر منطق ترانزیستور عبور دوبل (DPL) [۱۱]، (ب) مبتنی بر وارونگر [۱۲]، (ج) مبتنی بر گیت انتقال (TG) [۱۰]، (د) مدار وانگ و همکارانش [۱۳]، (ه) پنج ترانزیستوری [۱۴]، (و) XOR چهار ترانزیستوری [۱۵]

Fig. (1): The previous XOR circuits; (a) double pass transistor logic (DPL) [11], (b) inverter-based [12], (c) transmission gate (TG) [10], (d) circuit of Wang et al [13], (e) 5T-based XOR [14], (f) 4T-based XOR [15].

در مرجع [۱۵] یک سلول XOR جدید مبتنی بر CNTFET برای استفاده در ساختار تمام جمع‌کننده پیشنهاد شده است. همانطور که در شکل (ه) نشان داده شده، این XOR از چهار عدد ترانزیستور تشکیل شده است (مکمل سیگنال B توسط یک وارونگر ساخته می‌شود). عیب اصلی این XOR نیز وارد شدن سطح منطقی بد برای یک ترکیب ورودی در گره خروجی است. هنگامی که $A=1$ و $B=0$ است، ترانزیستور M1 خاموش شده و ترانزیستور M2 روشن خواهد شد. به دلیل عبور سطح منطقی پایین از طریق ترانزیستور NMOS، ولتاژ آستانه ترانزیستور NMOS منجر به کم شدن سطح سوئینگ در خروجی XOR خواهد شد.

۳- ترانزیستور اثر میدان نانولوله کربنی (CNTFET)

نانولوله کربنی (CNT) یک ورقه از گرافیت است که در امتداد یک بردار پیچش پیچانده می‌شود. یک CNT می‌تواند تک جداره (SWCNT) و یا چند جداره (MWCNT) باشد [۱۶]. SWCNT ها از یک استوانه و MWCNT ها از چندین استوانه تشکیل شده اند. یک SWCNT بسته به مقدار بردار کایرالیته می‌تواند فلزی یا نیمه رسانا باشد که توسط شاخص‌های (n_1, n_2) تعیین می‌شود و زاویه چینش اتمهای کربن در امتداد نانولوله را مشخص می‌کند [۱۷]. اگر $n_1 - n_2 = 3k$ باشد $(k \in \mathbb{Z})$ ، SWCNT رسانا و در غیر این صورت نیمه‌رسانا می‌باشد. در ترانزیستورهای اثر میدان نانولوله کربنی (CNTFET) یک یا چند SWCNT نیمه‌هادی به عنوان کانال افزاره مورد استفاده قرار گرفته‌اند. شکل (۲) طرح کلی از یک افزاره CNTFET معمولی را نشان می‌دهد. فاصله مابین مراکز دو SWCNT مجاور تحت گیت یکسان یک CNTFET اصطلاحاً گام (pitch) نامیده می‌شود که بطور مستقیم عرض گیت و کنتاکت‌های این افزاره را تحت تأثیر قرار می‌دهد. عرض یک CNTFET می‌تواند بطور تقریبی از رابطه زیر محاسبه شود [۱۷]:

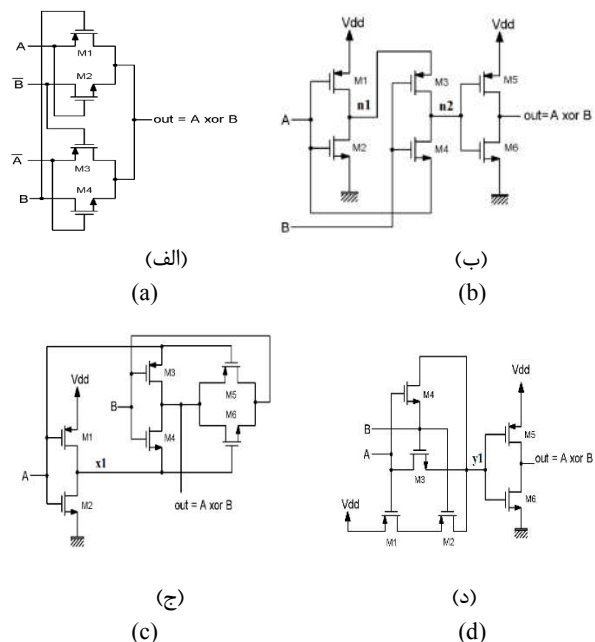
$$W_{gate} \approx \text{Min}(W_{min}, N \times \text{Pitch}) \quad (1)$$

توان حالت آماده به کار غیر صفر وجود دارد که این مدارات را برای کاربردهای ولتاژ پایین و توان پایین نامناسب می‌سازد.

برای رسیدن به یک سوئینگ ولتاژ کامل در شکل (ب)، یک گیت انتقال (TG) اضافی می‌تواند این نقیصه را اصلاح کند، چنانچه در شکل (ج) نشان داده شده است [۱۰]. این مدار برای تمامی حالت‌های ورودی در یک ولتاژ تغذیه پایین صحیح می‌باشد. با این حال، این ساختار هنوز هم برخی از معایب، مانند از دست دادن قابلیت درایو نمودن و مساحت کل مورد نیاز بزرگتر برای بار خروجی بزرگ را دارا می‌باشد.

بطوری که در شکل (د) نشان داده شده، Wang و همکارانش در مرجع [۱۳] مدار XOR شش ترانزیستوری پیشنهاد نموده‌اند. با این حال، این مدار قابلیت درایو نمودن محدودی در یک ولتاژ تغذیه پایین دارد. بخصوص، گره داخلی $y1$ با یک ولتاژ $|V_T|$ بزرگتر یا کوچکتر از حد معمول خواهد بود (V_T در اینجا ولتاژ آستانه ترانزیستور می‌باشد). حالتی وجود دارد که این مدار XOR سیگنال‌های ضعیف در گره $y1$ تولید خواهد کرد. این حالت برای ورودی‌های $A=1$ و $B=1$ رخ می‌دهد. برای این مورد، ترانزیستور NMOS روشن شده و ترانزیستور PMOS خاموش می‌شود. این امر موجب یک سیگنال '1' ضعیف می‌شود که حدود $V_{dd} - V_{Tn}$ در گره $y1$ می‌شود. بنابراین، این سیگنال ضعیف در گره $y1$ نمی‌تواند وارونگر خروجی را درایو کند و مدار XOR در ولتاژ تغذیه پایین نمی‌تواند بطور قابل اعتماد عمل کند.

در مرجع [۱۴] یک سلول XOR جدید پیشنهاد شده است. همانطور که در شکل (ه) نشان داده شده، این XOR از پنج عدد ترانزیستور تشکیل شده است. عیب اصلی این XOR، وارد شدن سطح منطقی بد برای یک ترکیب ورودی در گره خروجی است. هنگامی که $A=0$ و $B=0$ است، ترانزیستور M3 خاموش شده و هر دو ترانزیستور M1 و M2 روشن خواهد شد. به دلیل عبور سطح منطقی پایین از طریق ترانزیستورهای PMOS، ولتاژ آستانه ترانزیستور PMOS در خروجی XOR تولید خواهد شد.



این نوع افزاره محسوب می‌شود. SB-CNTFET ها ویژگی‌های ambipolar قوی از خود نشان می‌دهند که استفاده آنها را در خانواده‌های منطقی شبیه CMOS محدود می‌کند. برای غلبه بر نقطه ضعف ذکر شده، در CNTFET شبیه MOSFET، ویژگی‌های تک قطبی و رفتار اثر میدانی حاصل شده است. این نوع از CNTFET براساس اصل مدولاسیون ارتفاع سد با استفاده از پتانسیل گیت عمل می‌کند. مزیت اصلی CNTFET شبیه MOSFET در مقابل SB-CNTFET این است که محل اتصال کانال-سورس هیچ سد شاتکی نداشته و از این رو جریان حالت روشن قابل توجه بالاتر را دارا می‌باشد. در نتیجه، CNTFET های شبیه MOSFET برای کاربردهای دیجیتال با عملکرد فوق العاده بالا بسیار مناسب هستند. در T-CNTFET، که اصطلاحاً CNTFET تونل زنی باند-به-باند نامیده می‌شود، جریان‌های حالت روشن آن فوق العاده پایین بوده و برای کاربردهای زیر آستانه و فوق العاده کم توان بسیار مناسب می‌باشد [۲۰]-[۱۸].

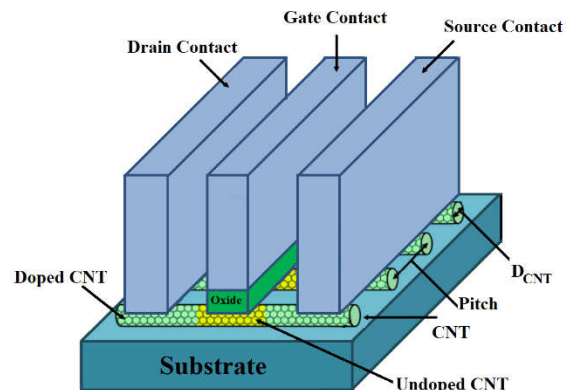
بر اساس جوانب مثبت و منفی ذکر شده برای انواع مختلف CNTFET و نیز به دلیل شباهت بیشتر بین CNTFET شبیه MOSFET و MOSFET از نظر عملکرد و ویژگی‌ها، این نوع از CNTFET برای طراحی مدار XOR پیشنهادی استفاده شده است.

۴- XOR پیشنهادی

در شکل (۳) شماتیک XOR پیشنهادی نشان داده شده است. این یک مدار XOR دو ورودی می‌باشد، که تابع XOR را با استفاده از هفت عدد CNTFET پیاده‌سازی می‌کند. این مدار تابع XOR را با کوتاه‌ترین مسیر بحرانی ممکن و بدون استفاده از هر گونه ورودی‌های مکمل پیاده‌سازی می‌کند. لازم به ذکر است که کوتاه شدن مسیر بحرانی طرح‌ها کارآمدترین راه برای کاهش تاخیر و مصرف توان بطور همزمان می‌باشد. علاوه بر این، مدارهای با ورودی‌های مکمل به وارونگرهای اضافی برای مکمل‌گیری از ورودی‌های اصلی نیاز دارند. در XOR پیشنهادی ترانزیستورهای M5 تا M7 به منظور کاهش توان استفاده شده‌اند. در اینجا ترانزیستور M7 نقش یک خازن را ایفا می‌کند و براساس تکنیک ارائه شده در مرجع [۲۱] به منظور کاهش توان، دو ترانزیستور به صورت سری و موازی با یک خازن در شبکه پایین کش استفاده می‌شود تا بخش عمده‌ای از جریان نشستی مدار جمع‌کننده را محدود کند.

اتصال سری دو ترانزیستور اثر پشته شدن^۶ را بهبود می‌بخشد و جریان نشستی در این حالت کمتر خواهد شد. به همین دلیل است که در شکل (۳) دو ترانزیستور M5 و M6 سری شده‌اند. ترانزیستور M7 که در این مدار مابین شبکه پایین کش و GND قرار گرفته و با دو ترانزیستور M5 و M6 موازی شده است، نقش یک خازن را بازی می‌کند. این خازن بخش عمده‌ای از جریان نشستی ایستا را متوقف می‌کند. این موضوع به دلیل راکتانس بالای خازن به سیگنال DC است. خازن اضافه شده با ثابت زمانی RC تا مقدار Vdd شارژ خواهد شد و هنگامی که بطور کامل شارژ شد، با مقدار Vdd شارژ شده باقی خواهد ماند. زیرا هیچ مسیری برای دشارژ شدن خازن وجود ندارد و بنابراین عبور جریان بیشتر را متوقف خواهد نمود.

که در اینجا W_{min} حداقل عرض گیت و N تعداد نانولوله‌ها زیر گیت می‌باشد. علاوه بر این، مشخصه جریان-ولتاژ (I-V) افزاره‌های MOSFET و CNTFET شبیه هم هستند [۸].



شکل (۲): ساختار یک CNTFET

Fig. (2): The structure of CNTFET

مشابه با افزاره MOSFET، یک CNTFET نیز ولتاژ آستانه دارد که ولتاژ مورد نیاز برای روشن کردن افزاره بطور الکترونیکی از طریق گیت است. عمده مزیت CNTFET ولتاژ آستانه‌اش (V_{th}) می‌باشد که می‌توان با تغییر دادن قطر نانولوله‌های کربنی آن را تنظیم کرد. این ویژگی‌های عملی CNTFET باعث انعطاف‌پذیری بیشتر CNTFET نسبت به MOSFET برای طراحی مدارات دیجیتال شده و آنرا برای طراحی مدارات با چندین ولتاژ آستانه مناسب می‌کند. ولتاژ آستانه یک CNTFET تقریباً بصورت نیمی از باند شکاف در نظر گرفته می‌شود و می‌تواند توسط فرمول زیر محاسبه شود [۱۷]:

$$V_{th} \approx \frac{E_g}{2e} = \frac{\sqrt{3}}{3} \frac{a \cdot V_{\pi}}{e \cdot D_{CNT}} \approx \frac{0.43}{D_{CNT}(\text{nm})} \quad (2)$$

که در اینجا پارامتر a (تقریباً برابر ۰/۲۴۹ نانومتر) فاصله اتمی کربن به کربن، V_{π} (تقریباً برابر ۳/۰۳۳ الکترون ولت) انرژی پیوند π - π کربن در مدل tight bonding، e بار الکترون واحد و D_{CNT} قطر CNT می‌باشد. از رابطه (۲) می‌توان نتیجه‌گیری کرد که ولتاژ آستانه CNTFET یک تابع معکوس از قطر CNT است که توسط رابطه زیر محاسبه می‌شود [۱۷]:

$$D_{CNT} = \frac{a \times \sqrt{n_1^2 + n_2^2 + n_1 n_2}}{\pi} \approx 0.0783 \times \sqrt{n_1^2 + n_2^2 + n_1 n_2} \quad (3)$$

به عنوان مثال، برای یک CNTFET با اعداد کایرال $(n_1, n_2) = (19, 0)$ ، D_{CNT} برابر ۱/۴۸۷ نانومتر می‌شود و در نتیجه ولتاژ آستانه برابر ۰/۲۹۳ ولت است.

در حال حاضر سه نوع مختلف از CNTFET ها (SB-CNTFET، CNTFET شبیه MOSFET و T-CNTFET) در مقالات و متون علمی ارائه شده‌اند. SB-CNTFET یک افزاره تونل‌زنی است که از طریق یک سد شاتکی (SB) در محل اتصال کانال-سورس کار می‌کند. سد انرژی در واقع ترانسپانسی SB-CNTFET در حالت روشن را محدود کرده و باعث کاهش قابلیت تحویل جریان می‌شود که یک عیب برای

می‌شود. تمامی مدارات با استفاده از ابزار شبیه‌ساز Synopsys HSPICE 2008 با فناوری 32nm CMOS برای مدارات و مدل Compact SPICE [۲۲-۲۳] با تمام غیر ایده‌آلی‌ها برای مدارات مبتنی بر 32nm CNTFET شبیه‌سازی شدند. این مدل استاندارد برای افزاره‌های CNTFET شبیه MOSFET طراحی شده است که هر ترانزیستور ممکن است یک یا چند نانولوله کربنی داشته باشد. این مدل همچنین اثرات سد شاتکی، اثرات پارازیتی شامل مقاومتها و خازن‌های نانولوله کربنی، سورس-درین و گیت و اثرات پوشاندگی شارژ در CNT را در نظر می‌گیرد. پارامترهای مدل CNTFET و مقادیر آنها، با توضیحات مختصر، در جدول (۲) نشان داده شده است.

در این مقاله به منظور کمینه کردن PDP، اندازه ترانزیستورهای تمامی مدارهای XOR، بر اساس روش تعیین اندازه ترانزیستور، مشخص شدند. الگوی ورودی کامل با تمام حالت‌های گذار ممکن از یک ترکیب ورودی به دیگری به مدارات اعمال شدند تا تأخیر انتشار آنها را اندازه‌گیری کنیم. تأخیر هر مدار از زمانی که سیگنال ورودی به $\frac{1}{2}V_{DD}$ می‌رسد تا زمانی که سیگنال خروجی به همان سطح ولتاژ می‌رسد اندازه‌گیری می‌شود. تمام حالت‌های انتقال ورودی از یک حالت به حالت دیگری بررسی شده، تأخیر برای هر انتقال اندازه‌گیری شد و مقدار حداکثر به عنوان تأخیر هر مدار گزارش شده است. توان مصرفی میانگین در طی یک دوره زمانی طولانی نیز به عنوان پارامتر توان متوسط در نظر گرفته شده است. به منظور ایجاد یک مصالحه بین توان مصرفی و تأخیر مدارها، عملکرد این مدارها را می‌توان با محاسبه حاصل‌ضرب تأخیر در توان (PDP) ارزیابی نمود، که حاصل‌ضرب توان مصرفی میانگین و حداکثر تأخیر است. در نتیجه، PDP می‌تواند یک پارامتر مهم برای ارزیابی و مقایسه عملکرد این مدارها باشد.

Table (2): Parameters of the CNTFET model

جدول (۲): پارامترهای مدل CNTFET

پارامتر	مقدار	توضیحات
L_{ch}	32 nm	طول فیزیکی کانال
L_{geff}	100 nm	مسیر آزاد میانگین در کانال نانولوله کربنی ذاتی
L_{ss}	32 nm	طول محدوده گسترش سمت سورس نانولوله کربنی دوپینگ شده
L_{dd}	32 nm	طول محدوده گسترش سمت درین نانولوله کربنی دوپینگ شده
K_{gate}	16	ثابت دی‌الکتریک ماده دی‌الکتریک گیت بالایی
T_{ox}	4 nm	ضخامت ماده دی‌الکتریک گیت بالایی
C_{sub}	40 pF/m	خازن کوپلینگ مابین ناحیه کانال و بستر
E_{fi}	0.6 eV	سطح فرمی لوله سورس و درین دوپینگ شده

۵-۲ ارزیابی عملکرد مدارهای XOR

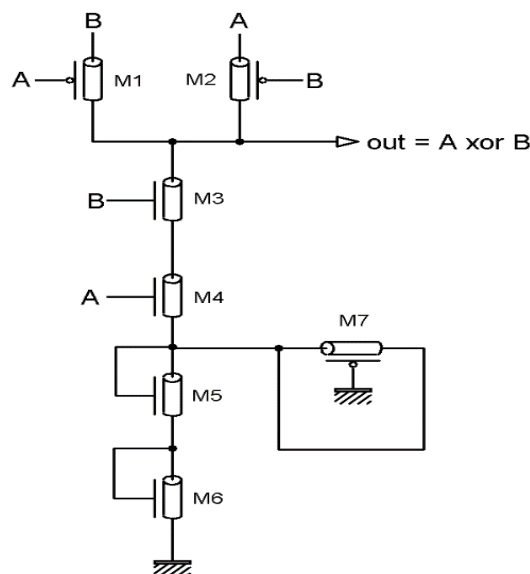
در آزمایش اول، مدارهای XOR در ولتاژهای تغذیه ۰/۸، ۰/۶۵ و ۰/۵ ولت و در فرکانس ۱۰۰ مگا هرتز با خازن‌های بار ۲/۱ فمتو فاراد شبیه‌سازی شدند. نتایج دقیق این شبیه‌سازی‌ها در جدول (۳) ذکر شده

جدول درستی سلول XOR پیشنهادی در جدول (۱) نشان داده شده است. هنگامی که $A=0$ و $B=0$ است، ترانزیستور $M3$ و $M4$ خاموش شده و دو ترانزیستور $M1$ و $M2$ روشن خواهند شد. در این حالت، خروجی مدار در سطح منطقی '0' قرار خواهد گرفت. خازن شکل گرفته با ترانزیستور $M7$ ، به دلیل قطع بودن مسیر متشکل از ترانزیستور $M3$ و $M4$ ، شارژ اولیه خود را نگهداری خواهد نمود. هنگامی که $A=0$ و $B=1$ است، ترانزیستور $M2$ و $M4$ خاموش شده و دو ترانزیستور $M1$ و $M3$ روشن خواهند شد. در این حالت، خروجی مدار در سطح منطقی '1' قرار خواهد گرفت. هنگامی که $A=1$ و $B=1$ است، ترانزیستور $M1$ و $M2$ خاموش شده و دو ترانزیستور $M3$ و $M4$ روشن خواهند شد. در این حالت دو ترانزیستور سری $M5$ و $M6$ روشن شده و دو سر ترانزیستور $M7$ اتصال کوتاه می‌شود. اینکار باعث دشارژ شدن خازن شکل گرفته توسط ترانزیستور $M7$ می‌شود و خروجی مدار در سطح منطقی '0' قرار خواهد گرفت.

Table (1): Truth table of XOR cell

جدول (۱): جدول درستی سلول XOR

A	B	A XOR B
0	0	0
0	1	1
1	0	1
1	1	0



شکل (۳): مدار XOR پیشنهادی

Fig. (3): The Proposed XOR circuit

۵- نتایج شبیه‌سازی

۱-۵ تنظیمات آزمایش‌ها

در این بخش، طرح پیشنهادی به طور گسترده در وضعیت‌های مختلف مورد ارزیابی قرار گرفته و با سایر مدارات XOR مطرح شده مقایسه

Table (3): Results from the first experiment ($C_{load}=2.1$ fF and frequency=100 MHz)

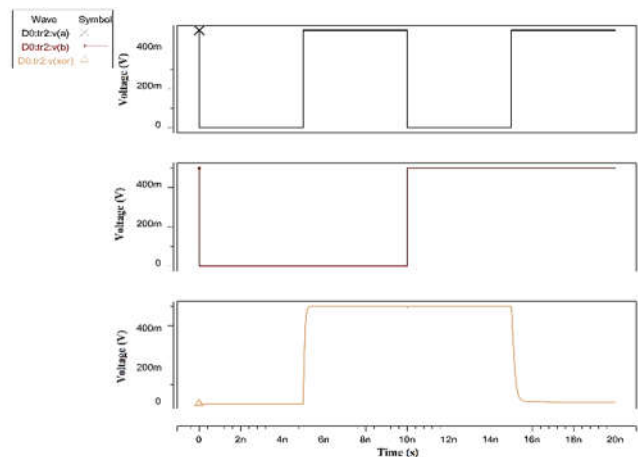
جدول (۳): نتایج حاصل از آزمایش اول (خازن بار ۲/۱ فمتوفاراد و فرکانس ۱۰۰ مگاهرتز)

V_{DD} (V)	0.5	0.65	0.8
Delay ($\times 10^{-12}$ s)			
Proposed	90.715	69.631	60.033
DPL	85.249	39.010	26.356
Inverter-based	824.08	341.57	163.22
Transmission gate	11.585	53.486	37.831
Wang et al.	414.19	177.51	89.607
5T-based XOR	102.81	47.65	33.01
4T-based XOR	55.01	25.98	17.22
Power ($\times 10^{-12}$ W)			
Proposed	27.452	41.059	62.320
DPL	29105	53185	89978
Inverter-based	68144	146490	296840
Transmission gate	12619	22095	38690
Wang et al.	49097	97154	183660
5T-based XOR	10196	23611	30317
4T-based XOR	23268	39712	60365
Leakage Power ($\times 10^{-12}$ W)			
Proposed	1.25	21.13	32
DPL	18638.1	34939.7	63215
Inverter-based	14641.0	27598.8	50315.3
Transmission gate	8563.9	16650.9	31831.3
Wang et al.	14647.8	27608.4	50330.4
5T-based XOR	5661	10054	17690
4T-based XOR	1685	2179	2680
PDP ($\times 10^{-21}$ J)			
Proposed	2.4903	2.8590	3.7413
DPL	2481.1	2074.7	2371.5
Inverter-based	56156	50036	48450
Transmission gate	14619	11818	14637
Wang et al.	20336	17246	16457
5T-based XOR	1048.2	1125.3	1001
4T-based XOR	1280	1031.9	1039.9

برای ارزیابی عملکرد مدارها در فرکانس‌های مختلف، مدارهای XOR در فرکانس‌های مختلف از ۱۰۰ مگاهرتز تا ۵۰۰ مگاهرتز با بار خازنی ۲/۱ فمتوفاراد و ولتاژ تغذیه ۰/۶۵ ولت شبیه‌سازی شدند. نتایج حاصل از این آزمایش در شکل (۶) نشان داده شده است. در شکل (۶) می‌توان مشاهده کرد که XOR پیشنهادی در فرکانس‌های مختلف عملکرد خوبی داشته و می‌تواند به طور قابل اعتماد و با PDP کم در فرکانس‌های مختلف کار کند. همچنین می‌توان از نتایج استنباط نمود که XOR پیشنهادی دارای کمترین PDP در میان سلول‌های دیگر در فرکانس‌های مختلف بوده و PDP آن با افزایش فرکانس در مقایسه با سایر مدارها به میزان کمتری افزایش می‌یابد.

برای ارزیابی مصونیت این مدارات به تغییر دمای محیط، این مدارها همچنین در طیف گسترده‌ای از دماها از صفر تا ۱۰۰ درجه سانتی‌گراد در ولتاژ تغذیه ۰/۶۵ ولت، خازن بار ۲/۱ فمتوفاراد و فرکانس ۱۰۰ مگا-هرتز شبیه‌سازی شدند. نتایج حاصل از این آزمایش در شکل (۷) ترسیم شده است. از نتایج تجربی می‌توان چنین استنباط نمود که XOR پیشنهادی عملکرد قابل قبولی در طیف گسترده‌ای از دماها داشته و PDP آن در مقایسه با طرح‌های دیگر در تمام دماها کمترین است.

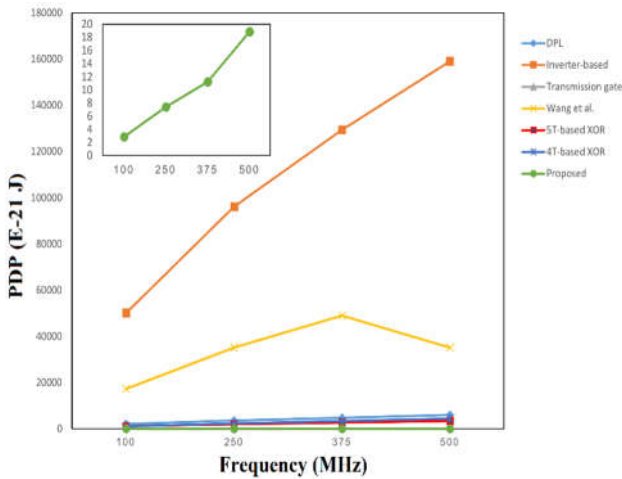
است. بهترین نتایج در هر ولتاژ با اعداد پر رنگ نمایش داده شده است. در این آزمایش با توجه به نتایج تجربی، XOR پیشنهادی کمترین مصرف توان نشستی، کمترین توان مصرفی میانگین و کمترین PDP را نسبت به طرح‌های دیگر در همه ولتاژهای تغذیه از خود نشان می‌دهد. شکل موج‌های ورودی و خروجی مدار XOR پیشنهادی به ازای ولتاژ تغذیه ۵/۰ ولت، فرکانس ۱۰۰ مگاهرتز و خازن بار ۲/۱ فمتوفاراد در شکل (۴) نشان داده شده است. در این شکل عملکرد خوب سلول XOR پیشنهادی در ولتاژ پایین واضح و آشکار می‌باشد. در بازه ۵ تا ۱۰ نانو ثانیه و ۱۰ تا ۱۵ نانو ثانیه که به ترتیب ورودی $A=1$ و $B=0$ ، $A=0$ و $B=1$ است خروجی XOR برابر یک منطقی می‌شود. در مابقی حالت‌های ورودی A و B ، خروجی XOR پیشنهادی برابر صفر منطقی می‌شود. شکل موج خروجی XOR پیشنهادی نشان داده شده در شکل (۴) با نتایج جدول (۱) مطابقت دارد.



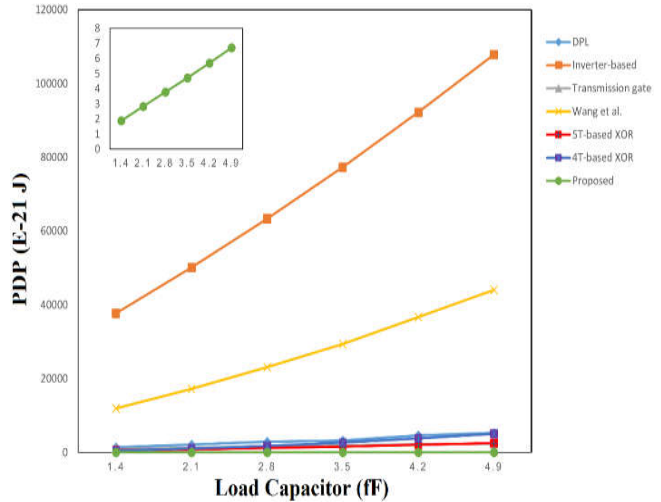
شکل (۴): شکل موج‌های ورودی و خروجی مدار XOR پیشنهادی
Fig. (4): Input and output waveforms of the proposed XOR circuit

به منظور ارزیابی عملکرد این مدارها در یک شرایط یکسان، تمامی مدارها به طور گسترده در فرکانس ۲۵۰ مگاهرتز و با استفاده از خازن بار ۲/۵ فمتوفاراد در خروجی، در سه ولتاژ تغذیه فوق‌الذکر شبیه‌سازی شدند. نتایج حاصل از این آزمایش در جدول (۴) ذکر شده است. بهترین نتایج در هر ولتاژ با اعداد پر رنگ نمایش داده شده است. در این آزمایش نیز با توجه به نتایج تجربی، XOR پیشنهادی کمترین مصرف توان نشستی، کمترین مصرف توان میانگین و کمترین PDP را نسبت به طرح‌های دیگر در همه ولتاژهای تغذیه از خود نشان می‌دهد.

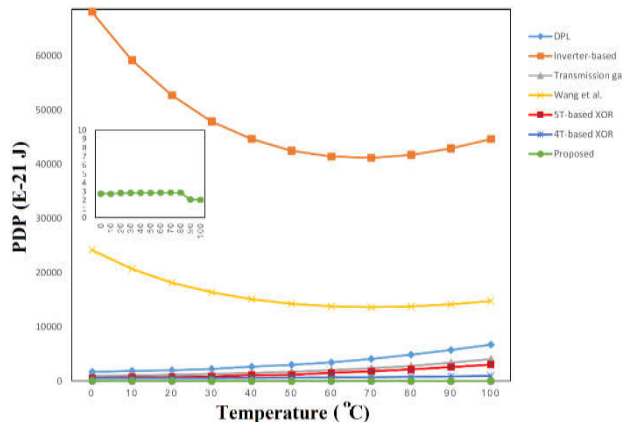
به منظور بررسی نمودن قابلیت درایو این مدارات، تمامی مدارات XOR با استفاده از خازن‌های بار خروجی مختلف در محدوده‌های ۱/۴ فمتو و فاراد تا ۴/۹ فمتو فاراد در فرکانس ۱۰۰ مگاهرتز و ولتاژ تغذیه ۰/۶۵ ولت مورد شبیه‌سازی قرار گرفتند. PDP این مدارات بر حسب تغییر خازن بار در شکل (۵) ترسیم شده‌اند. با توجه به نتایج تجربی، PDP طرح پیشنهادی پایین‌تر از PDP سایر مدارات برای تمامی خازن‌های بار خروجی می‌باشد.



شکل (۶): PDP مدارهای XOR برحسب فرکانس کاری ترسیم شده (ولتاژ تغذیه ۰/۶۵ ولت، خازن بار ۲/۱ فمتو فاراد و فرکانس ۱۰۰ مگاهرتز)
 Fig. (6): PDP of XOR circuits in terms of operating frequency variation ($V_{DD}=0.65$ V, $C_{load}=2.1$ fF and frequency=100 MHz)



شکل (۵): PDP مدارات XOR برحسب تغییر بار خازن (ولتاژ تغذیه ۰/۶۵ ولت، خازن بار ۲/۱ فمتوفاراد و فرکانس ۱۰۰ مگاهرتز)
 Fig. (5): PDP of XOR circuits in terms of load capacitor variation ($V_{DD}=0.65$ V, $C_{load}=2.1$ fF and frequency=100 MHz)



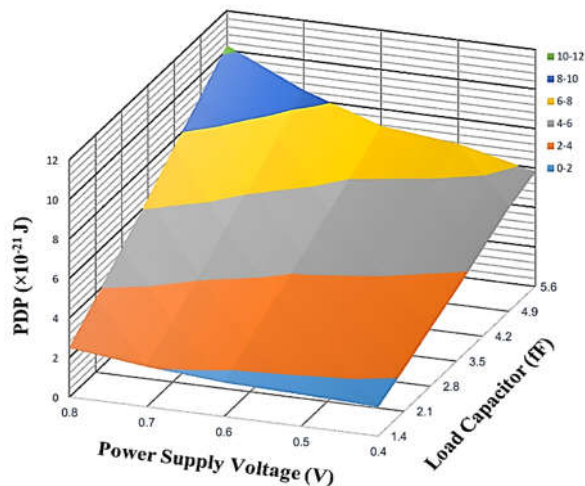
شکل (۷): PDP مدارات XOR برحسب تغییرات درجه حرارت (ولتاژ تغذیه ۰/۶۵ ولت، خازن بار ۲/۱ فمتو فاراد و فرکانس ۱۰۰ مگاهرتز)
 Fig. (7): PDP of XOR circuits in terms of temperature variation ($V_{DD}=0.65$ V, $C_{load}=2.1$ fF and frequency=100 MHz)

می‌توان قابلیت درایو نمودن مدار XOR پیشنهادی را دقیقاً به طور همزمان با تغییرات خازن بار و ولتاژ منبع تغذیه مورد بررسی قرار داد. می‌دانیم که وضعیت بدترین حالت تأخیر موقعی رخ می‌دهد که ولتاژهای منبع تغذیه کم بوده و همچنین خازن‌های بار بالا استفاده شده باشد. از سوی دیگر، زمانی که هم ولتاژ منبع تغذیه و هم خازن بار افزایش می‌یابد مدارات دیجیتال توان بسیار بیشتری مصرف می‌کند. برای بررسی با جزئیات این ویژگی، مدار XOR پیشنهادی را در فرکانس ۱۰۰ مگاهرتز با استفاده از یک تعداد بزرگ از خازن‌های بار خروجی در محدوده ۱/۴ فمتوفاراد تا ۵/۶ فمتوفاراد و نیز محدوده گسترده‌ای از ولتاژهای تغذیه از ۰/۸ ولت تا ۰/۴ ولت مورد شبیه‌سازی قرار دادیم. نتایج حاصل از این آزمایش در نمودارهای سه بعدی ترسیم شده‌اند، که در شکل‌های (۸) تا (۱۰) نشان داده شده‌اند. نتایج این نمودارها می‌تواند برای تجزیه و تحلیل بهتر قابلیت درایو نمودن طرح پیشنهادی مفید باشد. از نتایج شبیه‌سازی می‌توان استنباط نمود که که سلول XOR پیشنهادی با کارایی بالا در ولتاژهای پایین حتی با خازن‌های بار بزرگ کار می‌کند.

Table (4): Results from the second experiment ($C_{load}=3.5$ fF and frequency=250 MHz)

جدول (۴): نتایج حاصل از آزمایش دوم (خازن بار ۳/۵ فمتوفاراد و فرکانس ۲۵۰ مگاهرتز)

V_{DD} (V)	0.5	0.65	0.8
Delay ($\times 10^{-12}$ s)			
Proposed	149.05	115.61	100.07
DPL	134.19	61.22	41.32
Inverter-based	106.60	443.09	214.43
Transmission gate	17.822	84.701	56.807
Wang et al.	542.54	234.57	120.53
5T-based XOR	163.66	73.24	50.05
4T-based XOR	90.38	42.95	28.13
Power ($\times 10^{-12}$ W)			
Proposed	716.72	107.68	163.39
DPL	53062	98326	16568
Inverter-based	168240	348500	662180
Transmission gate	22292	39685	62196
Wang et al.	142450	269840	467990
5T-based XOR	23186	40515	70474
4T-based XOR	80435	143790	224940
Leakage Power ($\times 10^{-12}$ W)			
Proposed	1.25	2.113	3.2
DPL	18638.1	34939.7	63215
Inverter-based	14641	27598.8	50315.3
Transmission gate	8563.9	16650.9	31831.3
Wang et al.	14647.8	27608.4	50330.4
5T-based XOR	5661.6	10054.1	17689.1
4T-based XOR	1658	2179	2680
PDP ($\times 10^{-21}$ J)			
Proposed	10.683	12.449	16.351
DPL	7120.3	6019.8	6846.3
Inverter-based	179340	154410	141990
Transmission gate	3972.9	3.361.4	3533.2
Wang et al.	77283	63295	56407
5T-based XOR	3794.7	2967.6	3527.5
4T-based XOR	6270	6176.5	6329.9

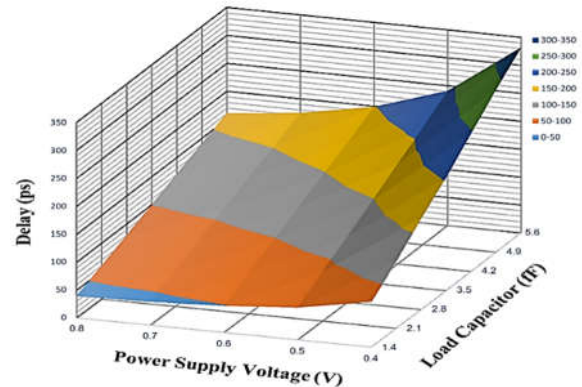


شکل (۱۰): حاصلضرب تاخیر در توان پیشنهادی بر حسب تغییرات ولتاژ تغذیه و خازن بار

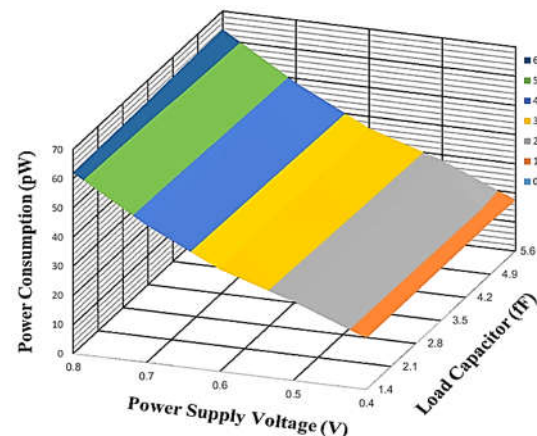
Fig. (10): PDP of the proposed XOR in terms of supply voltage and load capacitor variations

با توجه به مطالب فوق‌الذکر، به منظور ارزیابی استحکام سلول XOR پیشنهادی در حضور تغییرات قطر، دو تجزیه و تحلیل گذرای مونت کارلو انجام شد. در ابتدا، تحلیل مونت کارلو با تعداد معقولی از ۳۰ تکرار برای هر شبیه‌سازی با استفاده از شبیه‌ساز HSPICE به انجام رسید. اهمیت آماری ۳۰ تکرار بسیار زیاد است. اگر یک مدار به درستی برای کل ۳۰ تکرار کار کند، احتمال ۹۹ درصد وجود دارد که برای بیش از ۸۰ درصد تمام مقادیر اجزای احتمالی به درستی عمل کند [۶]. در نهایت، به منظور بررسی دقیق‌تر استحکام سلول XOR پیشنهادی، شبیه‌سازی مونت کارلو دیگری با ۹۰ تکرار به انجام رسید. در واقع تعداد تکرارها ۳ برابر بیشتر از شبیه‌سازی اول است.

توزیع قطر به صورت گاوسی با توزیع ۳ سیگما فرض شده است [۲۴]. با توجه به عدم دقت تکنیک‌های ساخت، یک انحراف استاندارد از مقدار میانگین در محدوده‌های ۰/۰۴ نانومتر تا ۰/۲ نانومتر برای هر مقدار متوسط قطر در نظر گرفته می‌شود [۲۵]. میانگین تغییرات تاخیر، توان مصرفی و PDP سلول XOR مبتنی بر CNTFET بر حسب تغییرات قطر CNT در جدول (۵) نشان داده شده‌اند. نتایج تجربی نشان می‌دهد که سلول XOR مبتنی بر CNT قوی است و به درستی در صورت عدم مطابقت‌های قطر عمل می‌کند. در نتیجه می‌توان این چنین استدلال نمود که عملکرد سلول XOR ارائه شده حساسیت کمتری نسبت به تغییرات قطر دارد.



شکل (۸): تأخیر XOR پیشنهادی بر حسب تغییرات ولتاژ تغذیه و خازن بار
Fig. (8): Delay of the proposed XOR in terms of supply voltage and load capacitor variations



شکل (۹): توان مصرفی XOR پیشنهادی بر حسب تغییرات ولتاژ تغذیه و خازن بار

Fig. (9): Power consumption of the proposed XOR in terms of supply voltage and load capacitor variations

در ادامه تغییر فرآیند بررسی شده است. یکی دیگر از پارامترهای عملکرد مدارهای مقیاس نانو، استحکام در برابر تغییرات فرآیند است. تغییرات فرآیند تصادفی و سیستماتیک از عمده‌ترین چالش‌ها در طراحی مدارهای مقیاس نانو هستند. هنگامیکه ویژگی اندازه افزارها به نواحی نانو کاهش می‌یابد، تغییر فرآیند یک نگرانی مهم می‌شود که بطور منفی بر روی سرعت، توان مصرفی و قابلیت اطمینان این مدارات تاثیر می‌گذارد. از آنجایی که یک CNTFET به تغییرات قطر CNTها نسبت به تغییرات طول و عرض حساس تر است، عدم مطابقت‌های قطر در نظر گرفته می‌شود. توجه داشته باشید که عدم مطابقت‌های قطر CNTها به نوبه خود ولتاژ آستانه CNTFETها را تغییر خواهد داد. در این بخش تاخیر، توان مصرفی و PDP سلول XOR پیشنهادی در حضور تغییرات فرآیند، یعنی انحرافها و عدم مطابقتها در قطر نانولوله‌های ترانزیستورهای CNTFET اندازه گیری می‌شود. این تغییر بیشترین تاثیر را بر روی سد انرژی افزارهای CNTFET و عملکرد مدارهای مبتنی بر CNTFET دارد.

Table (6): Simulation results of CNTFET-based XOR cells ($C_{load}=3.5$ fF and frequency=250 MHz)
جدول (۶): نتایج شبیه‌سازی سلول‌های XOR مبتنی بر CNTFET (فرکانس ۲۵۰ مگا هرتز و خازن بار ۳/۵ فمتو فاراد)

V_{DD} (V)	0.5	0.65
Delay ($\times 10^{-12}$ s)		
Proposed	149.05	115.61
DPL	137.23	100.42
Inverter-based	204.84	131.33
Transmission gate	106.49	88.635
Wang et al.	127.20	89.412
5T-based XOR	136.01	103.32
Power ($\times 10^{-12}$ W)		
Proposed	71.672	107.68
DPL	19953	37125
Inverter-based	114020	196740
Transmission gate	85624	11836
Wang et al.	111010	187870
5T-based XOR	11352	25565
Leakage Power ($\times 10^{-12}$ W)		
Proposed	1.250	2.113
DPL	1122	1464
Inverter-based	843.4	1101
Transmission gate	15330	20250
Wang et al.	978.2	1676
5T-based XOR	618.8	1132
PDP ($\times 10^{-21}$ J)		
Proposed	10.683	12.449
DPL	2738.2	3728.2
Inverter-based	23356	25838
Transmission gate	911.80	1049.1
Wang et al.	14120	16798
5T-based XOR	1543.9	2641.4

Table (7): Comparison between CNTFET-based and MOSFET-based proposed XOR cells ($C_{load}=3.5$ fF and frequency=250 MHz)

جدول (۷): مقایسه مابین سلول‌های XOR پیشنهادی مبتنی بر CNTFET و مبتنی بر MOSFET (فرکانس ۲۵۰ مگا هرتز و خازن بار ۳/۵ فمتو فاراد)

V_{DD} (V)	0.5	0.65	0.8
Delay ($\times 10^{-12}$ s)			
CNTFET-based XOR	149.05	115.61	100.07
MOSFET-based XOR	218.10	92.61	61.968
Power ($\times 10^{-12}$ W)			
CNTFET-based XOR	71.672	107.68	163.39
MOSFET-based XOR	1872.9	1440	4057.2
Leakage Power ($\times 10^{-12}$ W)			
CNTFET-based XOR	1.250	2.113	3.2
MOSFET-based XOR	1.01	1.70	2.5767
PDP ($\times 10^{-21}$ J)			
CNTFET-based XOR	10.683	12.449	16.351
MOSFET-based XOR	408.46	133.36	251.41

۶- نتیجه‌گیری

در این مقاله، یک XOR هفت ترانزیستوری مبتنی بر CNTFET با جریان نشی فوق‌العاده پایین و کارایی بالا پیشنهاد شد. مزیت بزرگ XOR پیشنهادی کاهش توان مصرفی و توان نشی آن می‌باشد. مسیر بحرانی XOR پیشنهادی تنها شامل دو CNTFET بوده و به تاخیر انتشار بسیار کوتاه منجر می‌شود. مدار XOR پیشنهادی پیاده‌سازی کارآمدتری از نظر انرژی دارد و باعث می‌شود این طرح برای استفاده در ساختار تمام جمع‌کننده خیلی مناسب باشد. نتایج شبیه‌سازی‌ها بهبود

Table (5): Variations of the proposed XOR parameters against the deviations of the diameters of CNTs
جدول (۵): تغییرات پارامترهای XOR پیشنهادی در برابر تغییرات قطر CNTها

# of iterations = 30									
Diameter deviations (nm)	0.04	0.06	0.08	0.1	0.12	0.14	0.16	0.18	0.2
Delay variation ($\times 10^{-11}$ s)	6.91	6.89	6.89	6.89	6.89	6.89	6.89	6.90	6.91
Power variation ($\times 10^{-11}$ W)	4.08	4.08	4.08	4.09	4.09	4.10	4.10	4.11	4.08
PDP variation ($\times 10^{-21}$ J)	2.82	2.81	2.81	2.82	2.82	2.82	2.83	2.84	2.82
# of iterations = 90									
Diameter deviations (nm)	0.04	0.06	0.08	0.1	0.12	0.14	0.16	0.18	0.2
Delay variation ($\times 10^{-11}$ s)	6.92	6.92	6.92	6.92	6.93	6.93	6.94	6.96	6.97
Power variation ($\times 10^{-11}$ W)	4.08	4.08	4.01	4.02	4.09	3.96	4.10	4.11	3.97
PDP variation ($\times 10^{-21}$ J)	2.82	2.82	2.78	2.78	2.83	2.75	2.85	2.86	2.77

۵-۳ شبیه‌سازی XORهای مبتنی بر MOSFET با استفاده از CNTFETها

در این بخش سلول‌های XOR، که قبلاً بر اساس فناوری MOSFET در مقالات ارائه شده‌اند، یعنی DPL، Inverter-based، Transmission، Inverter-based، DPL، gate، Wang و 5T-XOR با استفاده از فناوری 32nm CNTFET شبیه‌سازی شده و عملکرد آنها مورد ارزیابی قرار گرفت. قطر نانولوله‌های کربنی این طرح‌های اصلاح شده ۱/۴۸۷ نانومتر در نظر گرفته شدند. نتایج شبیه‌سازی طرح پیشنهادی و سلولهای فوق‌الذکر بر اساس CNTFET در جدول (۶) لیست شده‌اند. با توجه به این نتایج نیز مشخص می‌شود که XOR پیشنهادی هرچند که تاخیر بیشتری دارد، ولی همچنان کمترین مقدار توان مصرفی میانگین، توان نشی و PDP را به خود اختصاص می‌دهد و عملکرد ممتازی نسبت به سایر XORهای پیاده‌سازی شده با CNTFET دارد.

۵-۴ شبیه‌سازی XOR پیشنهادی مبتنی بر CNTFET با استفاده از MOSFETها

در این بخش سلول XOR پیشنهادی که قبلاً بر اساس فناوری CNTFET ارائه شد، با استفاده از فناوری 32nm MOSFET شبیه‌سازی شده و عملکرد آن با نمونه مبتنی بر CNTFET مورد ارزیابی قرار گرفت. نتایج شبیه‌سازی طرح پیشنهادی مبتنی بر CNTFET و مبتنی بر MOSFET در جدول (۷) لیست شده‌اند. با توجه به این نتایج نیز مشخص می‌شود که XOR پیشنهادی مبتنی بر CNTFET در تمامی سه محدوده ولتاژ تغذیه ۰/۸، ۰/۶۵ و ۰/۵ از لحاظ توان مصرفی میانگین و PDP نسبت به نمونه مبتنی بر MOSFET عملکرد بهتری دارد. در ولتاژ تغذیه ۰/۸ و ۰/۶۵ ولت XOR پیشنهادی مبتنی بر MOSFET سریع‌تر عمل می‌کند اما در ولتاژ تغذیه ۰/۵ ولت دیگر نمی‌تواند با تاخیر انتشار کمتری کار کند ولی نمونه مبتنی بر CNTFET می‌تواند با تاخیر انتشار کمتری در ولتاژ تغذیه ۰/۵ کار کند. از لحاظ توان نشی نیز اختلافی جزئی مابین دو این وجود دارد.

قابل توجهی از لحاظ توان مصرفی میانگین، توان نشتی و PDP نسبت
به سایر سلول‌های XOR مرسوم در فناوری‌های CMOS و CNTFET
۳۲ نانومتر در وضعیت‌های مختلف نشان داد.

1. Back Scattering
2. Mobility
3. Double pass-transistor logic
4. Inverter-based
5. Transmission gate
6. Stacking effect
7. Charge Screening

References

- [1] S. Lin, Y.B. Kim, F. Lombardi, "A novel CNFET based ternary logic gate design", Proceeding IEEE/MWSCAS, pp. 435-438, Cancun, Mexico, Aug. 2009.
- [2] A. Baghi Rahin, V. Baghi Rahin, "Ultra-low-voltage and high-speed 1-bit full adder cell using finfet transistors for mobile applications", International Journal of Mechatronics, Electrical and Computer Technology, Vol. 8, No. 28, pp. 3847-3858, 2018.
- [3] A. Baghi Rahin, V. Baghi Rahin, "Ultra low voltage and low power 4-2 compressor using FinFET transistors", Journal of Intelligent Procedures in Electrical Technology, Vol. 9, No. 33, pp. 25-36, 2018.
- [4] K. Navi, S. Sayedsalehi, R. Farazkish, M. Rahimi Azghadi, "Five-input majority gate, a new device for quantum-dot cellular automata", Journal of Computational and Theoretical Nanoscience, Vol. 7, No. 8, pp. 1546-1553, 2010.
- [5] A.K. Abu El-Seoud, M. El-Banna, M.A. Hakim, "On modelling and characterization of single electron transistor", International Journal of Electronics, Vol. 94, No. 6, pp.573-585, 2007.
- [6] M.H. Moaiyeri, R. Faghil Mirzaee, K. Navi, A. Momeni, "Design and analysis of a high-performance CNFET-based Full Adder", International Journal of Electronics, Vol. 99, No. 1, pp.113-130, 2012.
- [7] S. Subash, M. H. Chowdhury, "Mixed carbon nanotube bundles for interconnect applications", International Journal of Electronics, Vol. 96, No. 6, pp.657-671, 2009.
- [8] G. Cho, Y.B. Kim, F. Lombardi, "Performance evaluation of CNFET-based logic gates", Proceeding of the IEEE/IMTC, pp. 909-912, Singapore, 2009.
- [9] A. Chandrakasan, S. Sheng, R. Brodersen, "Low-power CMOS digital design", IEEE Journal of Solid-State Circuits, Vol. 27, No. 4, pp.473-484, 1992.
- [10] U. Ko, P.T. Balsara, W. Lee, "Low-power designs techniques for high-performance CMOS adders", IEEE Trans. on VLSI Systems, Vol. 3, No. 2, pp.327-332, 1995.
- [11] M. Suzuki, K. Shinbo, T. Yamanaka, A. Shimizu, K. Sasaki, "A 1.5-ns 32-b CMOS ALU in double pass-transistor logic", IEEE Journal of Solid-State Circuits, Vol. 28, No. 11, pp.1145-1151, 1995.
- [12] N. Zhuang, H.Wu, "Anew designof the CMOS full adder", IEEE Journal of Solid-State Circuits, Vol. 27, No. 5, pp.840-844, 1992.
- [13] J. Wang, S. Fang, W. Feng, "New efficient designs for XOR and XNOR functions on the transistor level", IEEE Journal of Solid-State Circuits, Vol. 29, No. 7, pp.780-786, 1994.
- [14] M.A. Valashani and S. Mirzakuchaki, "A novel fast, low-power and high-performance XOR-XNOR cell ", Proceeding of the IEEE/ISCAS, pp. 694-697, Montreal, QC, 2016.
- [15] S.S. Hatefinasab, "CNTFET-based design of a high-efficient full adder using XOR logic", JOURNAL OF NANO-AND ELECTRONIC PHYSICS, Vol. 8, No. 4, pp. 1-6, 2016.
- [16] P.L. McEuen, M. Fuhrer, H. Park, "Single-walled carbon nanotube electronics", IEEE Trans. on Nanotechnology, Vol. 1, No. 1, pp.78-85, 2002.
- [17] Y. Bok Kim, Y.B. Kim, F. Lombardi, "Novel design methodology to optimize the speed and power of the CNTFET circuits", Proceeding of the IEEE/MWSCAS, pp.1130-1133, Cancun, Mexico, 2009.
- [18] A. Raychowdhury, K. Roy, "Carbon nanotube electronics: design of high-performance and low-power digital circuits", IEEE Trans. on Circuits and Systems, Vol. 54, No. 11, pp.2391- 2401, 2007.
- [19] A. Javey, J. Guo, D. Farmer, Q. Wang, E.Yenilmez, R.Gordon, M.Lundstrom, H.Dai, "Self-aligned ballistic molecular transistors and electrically parallel nanotube arrays", Nanoletter, Vol. 4, No. 7, 7, pp.1319-1322, 2004.
- [20] A. Javey, R. Tu, D.B. Farmer, J. Guo, R.G. Gordon, H. Dai, "High-performance n-type carbon nanotube field-effect transistors with chemically doped contacts", Nanoletter, Vol. 5, No. 2, pp.345-348, 2005.
- [21] P. Deb, A. Majumder, "Leakage reduction methodology of 1-bit full adder in 180nm CMOS technology", Proceeding of the IEEE/ICDCS, pp. 199-203, Coimbatore, India,2016.
- [22] J. Deng, H.S.P. Wong, "A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—Part I: Model of the intrinsic channel region", IEEE Trans. on Electron Devices, Vol. 54, No. 12, 3186-3194, 2007.
- [23] J. Deng, H.-S.P. Wong, "A compact SPICE Model for carbon-nanotube field-effect transistors including nonidealities and its application—Part II: Full device model and circuit performance benchmarking", IEEE Trans. on Electron Devices, Vol. 54, No. 12, pp.3195-3205, 2007.
- [24] K.El Shabrawy, K. Maharatna, D. Bagnall, B. M. Al-Hashimi, "Modeling SWCNT bandgap and effective mass variation using a monte carlo approach", IEEE Trans. on Nanotechnology, Vol. 9, No. 2, pp. 184-193, 2010.
- [25] H. Shahidipour, A. Ahmadi, K. Maharatna, "Effect of variability in SWCNT-Based logic gates", Proceeding of the IEEE/ISIC, pp.252-255, Singapore, 2009.