JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2023.1988087.1206

Vol. 13/ No. 51/Spring 2024

Research Article

A Multiplier-Less Discrete Cosine Transform Architecture Using a Majority Logic-Based Approximate Full Adder

Elham Esmaeili, Ph.D. Student[1] | Farshad Pesaran, Assistant Professor[2*] |Nabiollah Shiri, Assistant Professor[3]

[1]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, elham.esmaeili421990@gmail.com

[2]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, farshad.pesaran@iau.ac.ir

[3]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, na.shiri@iau.ac.ir

Correspondence
Farshad Pesaran, Assistant Professor of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, farshad.pesaran@iau.ac.ir

Received: 6 June 2023
Revised: 25 June 2023
Accepted: 7 July 2023

Abstract

This paper proposes a new approximate full adder (FA) based on the majority logic (ML) concept. The fundamental structure of the ML concept is a 3-input majority voter and is widely utilized in digital arithmetic cells. The ML-based proposed FA works at low power, small delay, and low power-delay-product (PDP). The carbon nanotube field-effect transistor (CNTFET) technology lowers the FA power, while the gate diffusion input (GDI) technique is used as the main technique. The swing issue of the GDI technique is resolved by the dynamic threshold (DT) technique. Compared with its exact circuit, the proposed FA saves 2 majority gates, 3 inverters, and a 4.02 ns delay. In the proposed FA, the PDP is improved by 53.73%. The product of the PDP and the normalized mean error distance (NMED) is called PDPE, and in the presented FA, it is reduced by 9.50%. Moreover, the proposed FA is embedded into a multiplier-less discrete cosine transform (DCT) design, which is an appropriate circuit for very large-scale integration (VLSI) systems. The 8-input DCT architecture consumed 2.2321 mW of power for each DCT operation. Also, the circuit has better performance in terms of PDP-area-product (PDAP). The results of DCT implementations confirm the efficiency of the FA.

Keywords: Approximate Full Adder, Majority Logic, Discrete Cosine Transform (DCT), Multiplier-Less DCT.

Highlights

- A new approximate full adder (FA) based on the majority logic (ML) concept is proposed.
- By reducing number of majority gates and removing inverter, power and delay of the purposed circuit is reduced.
- The carbon nanotube field-effect transistor (CNTFET) technology and gate diffusion input (GDI) technique are used to implement the proposed circuit.
- To compensate the outputs voltages the dynamic threshold (DT) technique is used.
- The proposed FA is embedded into a discrete cosine transform (DCT) structure.

Citation: E. Esmaeili, F. Pesaran, and N. Shiri, "A Multiplier-Less Discrete Cosine Transform Architecture Using a Majority Logic-Based Approximate Full Adder," *Journal of Southern Communication Engineering*, vol. 13, no. 51, pp. 1–12, 2024, doi: 10.30495/jce.2023.1988087.1206, (in Persian).

مقاله پژوهشی

یک مبدل کسینوسی گسسته بدون ضرب‌کننده با استفاده از گیت اکثریت و جمع‌کننده تقریبی

الهام اسماعیلی[۱] | فرشاد پسران *[۲] | نبی اله شیری[۳]

[۱] گروه مهندسی برق، واحد شیراز ، دانشگاه آزاد اسلامی ، شیراز، ایران،
elham.esmaeili421990@gmail.com

[۲] گروه مهندسی برق، واحد شیراز ،دانشگاه آزاد اسلامی، شیراز، ایران،
farshad.pesaran@iau.ac.ir

[۳] گروه مهندسی برق، واحد شیراز ،دانشگاه آزاد اسلامی، شیراز، ایران،
na.shiri@iau.ac.ir

نویسنده مسئول
*فرشاد پسران، استادیار، گروه مهندسی برق، واحد شیراز ،دانشگاه آزاد اسلامی، شیراز،ایران،
farshad.pesaran@iau.ac.ir

چکیده:

این مقاله یک جمع‌کننده‌کامل جدید را با استفاده از محاسبات تقریبی بر اساس مفهوم منطق اکثریت پیشنهاد می‌کند. ساختار بنیادی گیت‌های اکثریت، ۳ ورودی است و به طور گسترده در سلول‌های حساب دیجیتال استفاده می‌شود. جمع‌کننده پیشنهادی با توان کم، تأخیر کم و محصول تأخیر-توان (PDP) کم کار می‌کند. فناوری ترانزیستور اثر میدانی نانولوله کربنی توان جمع‌کننده‌کامل را کاهش می‌دهد در حالی که تکنیک ورودی انتشار گیت (GDI) به عنوان تکنیک اصلی استفاده می‌شود و مشکل نوسان با تکنیک آستانه دینامیکی (DT) حل می‌شود. در مقایسه با مدار دقیق، مدار پیشنهادی ۲ گیت اکثریت، ۳ اینورتر و تأخیر ۴/۰۲ نانوثانیه را دارد. در مدار پیشنهادی، پارامتر PDP به میزان ۵۳/۷۳ درصد بهبود یافته است. حاصل‌ضرب PDP و میانگین فاصله خطای نرمال شده (NMED) را PDPE می‌نامند که در جمع‌کننده‌کامل ارائه شده ۹/۵۰ درصد کاهش می‌یابد. علاوه بر این، مدار پیشنهادی در طراحی تبدیل‌کسینوس‌گسسته بدون ضرب‌کننده تعبیه شده است، که یک مدار مناسب برای سیستم‌های ادغام در مقیاس بسیار بزرگ است. معماری تبدیل‌کسینوس‌گسسته با ۸ ورودی ۲/۲۳۲۱ میلی‌وات توان برای هر عملیات تبدیل‌کسینوس‌گسسته مصرف می‌کند. همچنین مدار عملکرد بهتری از نظر حاصل‌ضرب مساحت درPDP که PDAP نامیده می‌شود، دارد. نتایج اجرای تبدیل‌کسینوس‌گسسته کارایی مدار پیشنهادی را تایید می‌کند.

کلید واژه‌ها: تبدیل کسینوسی گسسته، جمع‌کننده تقریبی، گیت اکثریت، DCT بدون ضرب کننده.

تاریخ دریافت: ۱۶ خرداد ۱۴۰۲
تاریخ بازنگری: ٤ تیر ۱۴۰۲
تاریخ پذیرش: ۱۶ تیر۱۴۰۲

https://doi.org/10.30495/jce.2023.1988087.1206

۱-مقدمه

در این قرن، دستگاه‌های با توان مصرفی کم، سطح مصرفی کم و سریع بخشی از زندگی هستند [۱-۳]. مدارهای حسابی[1] بخش‌های اصلی سیستم‌های دیجیتال هستند. در طول دو دهه گذشته، کارخانه‌های مبتنی بر نیمه‌هادی، پیشرفت‌های بسیار خوبی را در فناوری یکپارچه در مورد تکنیک‌های سرعت بالا، کم توان و با مساحت کم تجربه کرده‌اند [۴]. افزایش چگالی مدار توسط فناوری

[1] Arithmetic Circuits

نیمه‌هادی اکسید فلزی مکمل (CMOS) مصرف توان را افزایش می‌دهد زیرا در این فناوری از دو شبکه بالابر و پایین‌بر استفاده می‌شود که باعث افزایش تعداد ترانزیستورها می‌شود.

به عنوان یک راه حل، استفاده از محاسبات تقریبی می‌تواند جایگزین مناسبی برای کاربردهای مقاوم در برابر خطا باشد. سلول‌های محاسباتی مبتنی بر تقریبی از تعداد گیت‌های منطقی کمتری استفاده می‌کنند که در نتیجه می‌تواند مصرف توان را به قیمت دقت کمتر، کاهش دهد. با این حال، مدارهای CMOS تقریبی برای بسیاری از فناوری‌های جدید [۵] قابل اجرا نیستند، زیرا ساختارهای منطقی زیربنایی این دستگاه‌ها بسیار متفاوت است. سیستم‌های مدرن بسیار وابسته به منطق گیت اکثریت[1] هستند که کاملاً متفاوت از منطق قدیمی بولن است. یک گیت اکثریت، یک تابع منطقی با ورودی‌های مختلف مانند A، B و C و خروجیF [۶] است. تحقیقات بر روی طراحی مدارهای تقریبی مبتنی بر گیت اکثریت اخیرا انجام شده است. در [۶،۷] نویسندگان یک جمع‌کننده‌کامل[2] ۱ بیتی را بر اساس گیت اکثریت ارائه کردند.

تمام جمع‌کننده به عنوان یک عنصر کلیدی در سلول‌های حسابی پیچیده برای انجام محاسباتی مانند جمع، ضرب و تقسیم استفاده می‌شود [۸-۱۲]. این تمام‌جمع‌کننده‌ها در ساختارهای تبدیل‌کسینوسی‌گسسته[3] سنتی تعبیه شده‌اند تا عملکردهای منطقی فشرده‌سازی صوتی و تصویری پیچیده را در پردازش سیگنال دیجیتال بهتر کنند. بنابراین، ساختارهای تبدیل‌کسینوسی‌گسسته مختلف با پیچیدگی بالا، مصرف توان کم و توان عملیاتی بالا توسط بسیاری از محققین پیشنهاد شده است [۱۳]. طرح‌های تبدیل-کسینوسی‌گسسته از نظر سبک منطقی متفاوت هستند، که بر پارامترهای طراحی مختلف از جمله توان، تعداد ترانزیستور و سرعت تأثیر می‌گذارد [۱۴،۱۵]. مدار معمولی متکی به سطوح وارونگی، تعداد ترانزیستورها به صورت سری، ابعاد ترانزیستور و نحوه سیم‌کشی این قطعات به عنوان یکی از مهم‌ترین عوامل در هنگام طراحی است [۱۶]. معماری‌های تبدیل‌کسینوسی‌گسسته کنونی برای استفاده از انواع متعددی از واحدهای جمع‌کننده و ضرب‌کننده اعمال می‌شوند که مصرف توان بالاتر و سرعت کمتری را فراهم می‌کنند.

تمام‌جمع‌کننده تقریبی پیشنهادی در ساختار تبدیل‌کسینوسی‌گسسته به صورت خط لوله بدون ضرب‌کننده پیاده‌سازی می‌شود [۱۷]. تمام‌جمع‌کننده‌های پیشنهادی اخیرا به عنوان بلوکی از پیاده سازی‌های تبدیل‌کسینوسی‌گسسته به همراه یک نیم جمع‌کننده، نیم تفریق‌کننده، فلیپ فلاپ D و مدار شیفت چپ ۱ بیتی عمل می‌کنند. این مقاله یک تمام‌جمع‌کننده تقریبی بر اساس منطق گیت اکثریت را پیشنهاد می‌کند. فناوری ترانزیستورهای اثر میدانی نانولوله کربنی (CNTFET) ۳۲ نانومتری برای شبیه‌سازی و نمایش کاربرد تمام‌جمع‌کننده و تبدیل‌کسینوسی‌گسسته استفاده می‌شود. طرح‌های پیشنهادی کم توان، پرسرعت و مساحت کوچک هستند و تکنیک آستانه دینامیکی [4] (DT) باعث خروجی‌های تمام نوسان می‌شود.

بقیه این مقاله به شرح زیر سازماندهی شده است. بخش ۲ طراحی تقریبی تمام‌جمع‌کننده (بر اساس گیت اکثریت) و کارهای مرتبط با معماری تبدیل‌کسینوسی‌گسسته را شرح می‌دهد. بخش ۳ ساختار تمام‌جمع‌کننده تقریبی مبتنی بر گیت اکثریت را ارائه می‌دهد. نتایج شبیه‌سازی و تحقیقات جامع را می‌توان در بخش ۴ یافت. بخش ۵ مقاله را به پایان می‌رساند.

۲-بررسی طرح‌های قبلی تمام‌جمع‌کننده و تبدیل‌کسینوسی‌گسسته

در سال‌های گذشته، بسیاری از محققان طرح‌های مختلفی از تمام‌جمع‌کننده را با استفاده از سبک‌های منطقی مختلف با سرعت بالا، ترانزیستور کمتر و توان کمتر پیشنهاد کرده‌اند [۱۸]. ساختارهای تمام‌جمع‌کننده به دو سبک منطقی تقسیم می‌شوند، سبک اول سبک منطق ایستا است در حالی که دومی مربوط به سبک پویا است. مدارهای منطقی مبتنی بر دینامیک سرعت بالاتری در حدود دو برابر مدارهای منطق ایستا دارند زیرا از بهینه‌سازی اندازه انتقال پیشرفته استفاده می‌کنند، در حالی که سلول‌های مبتنی بر منطق

[1] Majority logic
[2] Full Adder
[3] Discrete Cosine Transform
[4] Dynamic threshold

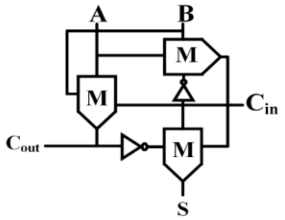
استاتیک به دلیل خازن‌های بار و آستانه ولتاژ بالا کندتر هستند [۱۹]. مدارهای تمام نوسان فضای زیادی را با ترانزیستورهای بیشتر و مصرف توان بیشتر در مقایسه با مدارهای بدون نوسان کامل اشغال می‌کنند، اما قابلیت انتقال بسیار خوبی را ارائه می‌دهند.

۲-۱-طراحی تمام‌جمع‌کننده تقریبی

شکل ۱ یک تمام‌جمع‌کننده دقیق بر اساس گیت اکثریت را نشان می‌دهد که از ۳ گیت اکثریت و ۲ وارونگر تشکیل شده است [۲۰]. ورودی‌های آن A، B و C در نظر گرفته می‌شوند در حالی که S و C_{out} خروجی هستند. خروجی های C_{out} و S به صورت زیر نمایش داده می‌شوند:

$$C_{out} = AB + BC_{in} + AC_{in} = M(A, B, C_{in}) \quad (۱)$$

$$S = A \oplus B \oplus C_{in} = M\left(\overline{C_{out}}, M\left(A, B.\overline{C_{in}}\right), C_{in}\right) \quad (۲)$$



شکل ۱: تمام جمع‌کننده دقیق بر اساس منطق گیت اکثریت [۲۰]

Figure 1. Schematic of ML-based accurate full adder [20]

در [۷]، یک AFA1[1] پیشنهاد شده است و نمودار آن در شکل ۲ نشان داده شده است. AFA1 خروجی S را به عنوان مکمل C_{out} تولید می‌کند اما ۲ خطا (از بین ۸ ترکیب ورودی) را هنگام به دست آوردن خروجی S می‌دهد (همان‌طور که در جدول ۱ نشان داده شده است). معادلات C_{out} و S به شرح زیر است:

$$C_{out} = M(A, B, C_{in}) \quad (۳)$$

$$S = \overline{C_{out}} \quad (۴)$$

در [۶]، یک تمام‌جمع‌کننده تقریبی، یعنی AFA2، پیشنهاد شد. همانطور که در رابطه ۵، C را می‌توان تقریباً C_{out} در نظر گرفت. بر اساس رابطه ۵، با جایگزینی C_{out} نادرست در معادله ۲، خروجی تقریبی S به صورت زیر به دست می‌آید:

$$C_{out} = C_{in} \quad (۵)$$

$$S = M(\overline{C_{out}}, M\left(A, B.\overline{C_{in}}\right), C_{in}) = M(A, B, \overline{C_{in}}) \quad (۶)$$

در [۲۷] دو تمام‌جمع‌کننده تقریبی به نام‌های PPA1 و PPA2 پیشنهاد شد و معادلات آنها برای C_{out} و S به شرح زیر است:

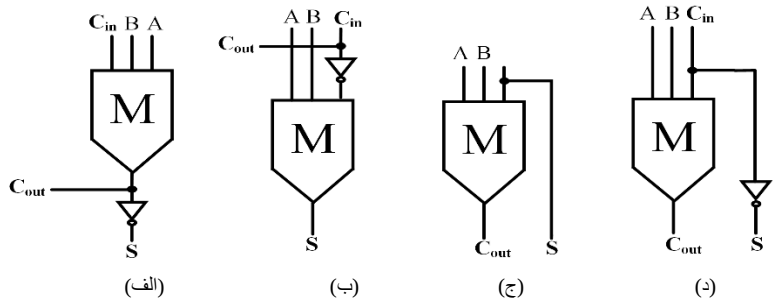
$$C_{out} = M(A, B, C_{in}) \quad (۷)$$

$$S = C_{in} \quad (۸)$$

$$C_{out} = M(A, B, C_{in}) \quad (۹)$$

$$S = \overline{C_{out}} \quad (۱۰)$$

[1] Approximate full adder



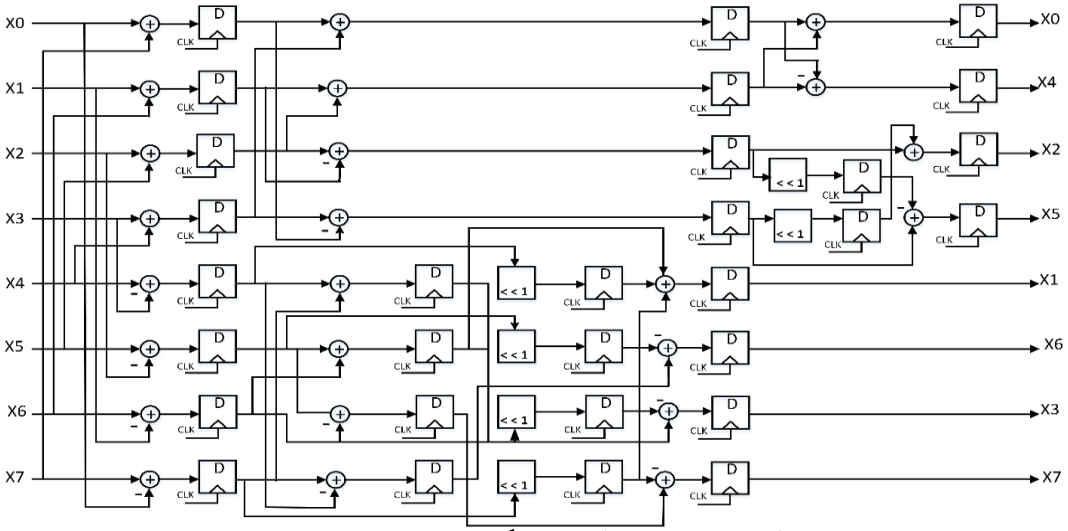
(الف) (ب) (ج) (د)

شکل ۲: تمام‌جمع‌کننده‌های تقریبی: (الف) شماتیک AFA1 [۷]، (ب) شماتیک AFA2 [۶]، (ج) شماتیک PPA1، (د) شماتیک PPA2 [۲۷]

Figure 2. Approximate FAs: (a) schematic of AFA1 [7], (b) schematic of AFA2 [6], (c) schematic of PPA1, (d) schematic of PPA2 [27]

۲-۲-معماری تبدیل‌کسینوسی‌گسسته

بسیاری از محققان الگوریتم‌های تبدیل‌کسینوسی‌گسسته مختلفی را برای کاهش پیچیدگی مدار از نظر سطوح حسابی و منطقی پیشنهاد کرده‌اند [۱۷]. اکثر سلول‌های پیشنهادی برای کار به عنوان یک فشرده‌ساز تبدیل‌کسینوسی‌گسسته به ضرب‌کننده‌ها، جمع کننده‌ها و تفریق‌کننده‌ها نیاز دارند [۲۱]. هنگامی که گروهی از سلول‌های مختلف برای ساخت یک ساختار کامل تبدیل‌کسینوسی-گسسته متصل می‌شوند، عملکرد کل تبدیل‌کسینوسی‌گسسته به طور خاص در مورد میزان توان یا معیارهای دیگر مانند تاخیر و مساحت کاهش می‌یابد. یک ساختار کلی تبدیل‌کسینوسی‌گسسته باید دارای پیچیدگی محاسباتی کم، چگالی‌خطای کم و طول بردار ورودی بالاتر باشد تا نیازهای روزافزون صنعت پردازش چندرسانه‌ای پیشرفته را برطرف کند [۲۲]. ضرب‌کننده‌هایی که در تبدیل-کسینوسی‌گسسته‌ها استفاده شده‌اند، بیشترین مقدار توان در معماری را اتلاف می‌کنند [۱۵]. تاکنون، محققان علاوه بر الگوریتم‌های تبدیل‌کسینوسی‌گسسته، الگوریتم‌های تبدیل‌کسینوسی‌گسسته بدون ضرب‌کننده را در نظر گرفته‌اند تا تمام نیازهای یک معماری تبدیل‌کسینوسی‌گسسته با تمام مشخصات ذکر شده در بالا را پوشش دهند. شکل ۳ معماری تبدیل‌کسینوسی‌گسسته را بر اساس الگوریتم بدون ضرب نشان می‌دهد.



شکل۳: یک ساختار تبدیل‌کسینوسی‌گسسته بدون ضرب کننده ۸:۱ [۱۷]

Figure 3. A multiplier-less DCT architecture as one dimensional 8x1 [17]

۳-تمام‌جمع‌کننده تقریبی پیشنهادی با کارایی بالا

در اینجا، یک تمام‌جمع‌کننده تقریبی جدید ارائه شده است، و یک نوع دقیق نیز با دو تمام‌جمع‌کننده تقریبی ۱ بیتی موجود مقایسه شده است [۶،۷]. جدول درستی تمام‌جمع‌کننده تقریبی پیشنهادی در جدول ۱ آورده شده است که نشان می‌دهد این مدار ۴ خطا برای Sum دارد و هیچ خطایی برای C_{out} ندارد.

جدول۱: جدول درستی تمام‌جمع‌کننده پیشنهادی

Table 1. The truth table of the proposed AFA

ABC_{in}	Exact FA [20] C_{out} -Sum	AFA1 [7] C_{out} -Sum	AFA2 [6] C_{out} -Sum	PPA1 [27] C_{out} -Sum	PPA2 [27] C_{out} -Sum	Proposed AFA C_{out} -Sum
۰۰۰	۰۰	۰۱	۰۱	۰۰	۰۰	۰۰
۰۰۱	۰۱	۰۱	۱۰	۰۱	۰۰	۰۰
۰۱۰	۰۱	۰۱	۰۱	۰۰	۰۱	۰۰
۰۱۱	۱۰	۱۰	۱۰	۱۱	۱۰	۱۰
۱۰۰	۰۱	۰۱	۰۱	۰۰	۰۱	۰۱
۱۰۱	۱۰	۱۰	۱۰	۱۱	۱۰	۱۱
۱۱۰	۱۰	۱۰	۰۱	۱۰	۱۱	۱۱
۱۱۱	۱۱	۱۰	۱۱	۱۱	۱۱	۱۱
ER[1]	-	۰/۵	۰/۲۵	۰/۵	۰/۲۵	۰/۵
NMED[2]	-	۰/۱۶۶	۰/۰۸۳	۰/۱۶۶	۰/۰۸۳	۰/۱۶۶

بنابراین نرخ خطا مدار پیشنهادی ۵۰٪ است. اگرچه نرخ خطا این طرح بالاست، اما پیچیدگی مدار را در مقایسه با طرح های دیگر کاهش می‌دهد. توابع تمام‌جمع‌کننده پیشنهادی به شرح زیر است:

$$Sum = A \quad (۱۱)$$

$$C_{out} = AB + BC_{in} + AC_{in} = M(A, B, C_{in}) \quad (۱۲)$$

هدف از طرح پیشنهادی کاهش توان و تاخیر است که با کاهش تعداد گیت‌های اکثریت (در مقایسه با تمام‌جمع‌کننده دقیق و سایر مراجع) به ۱ گیت و حذف وارونگر انجام می‌شود. شکل ۴ تمام‌جمع‌کننده پیشنهادی را نشان می‌دهد که در آن از تکنیک ورودی انتشار گیت[3] (GDI) استفاده شده است. همانطور که از سطح ترانزیستور مدار مشاهده می‌شود، برای رسیدن به یک بلوک کارآمد با توان کم و بدون افت در ولتاژهای خروجی، از تکنیک آستانه دینامیکی استفاده می‌شود. بنابراین، سطح دروازه تمام‌جمع‌کننده با تکنیک DT بهینه شده است. در مدارهای معمولی GDI، ترمینال بالک به پایانه های سورس/ درین وصل می‌شود، اما در مدار پیشنهادی، بالک به ترمینال گیت به دلیل DT متصل می‌شود. با استفاده از DT، خروجی حتی در فرکانس‌های بالا نوسان کاملی دارد.

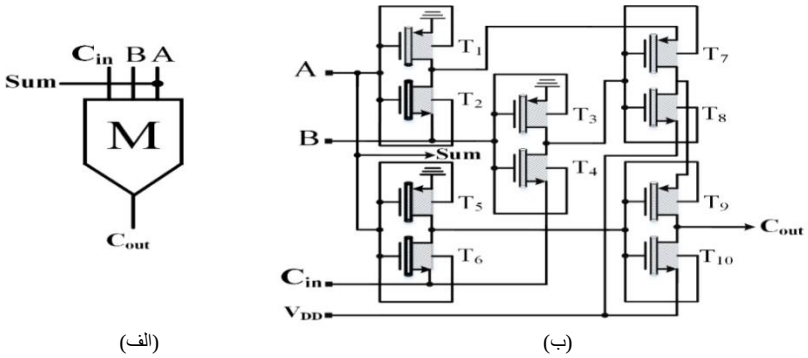
$$ER = \frac{\text{incorrect outpts}}{\text{total output}} \quad (۱۳)$$

[1] Error Rate

[2] Normalized Mean Error Distance

[3] Gate-Diffusion Input

$$NMED = \frac{\frac{1}{n}\sum_{i=1}^{n}\left|ExactOutput_i - ApproximateOutput_i\right|}{ExactOutput_{Max}} \quad (۱۴)$$



(الف) (ب)

شکل۴: تمام‌جمع‌کننده پیشنهادی: (الف) شماتیک (ب) سطح ترانزیستور

Figure 4. Proposed AFA: (a) schematic (b) transistor-level

همانطور که از جدول ۲ مشخص است، طول کانال ترانزیستورهای استفاده شده برابر با ۳۲ نانومتر و تعداد لوله‌های استفاده شده در هر ترانزیستور برابر با ۱۰ است.

جدول ۲: پارامترهای در نظر گرفته شده برای فناوری CNTFET

Table 2. The considered parameters for CNTFET technology

پارامترها	مقدار	توضیحات
L_{ch}	۳۲ nm	طول فیزیکی کانال
L_{geff}	۱۰۰ nm	طول متوسط مسیر آزاد در کانال نانو لوله ذاتی
L_{ss}	۳۲ nm	طول بخش ناخالص سازی شده نانو لوله در سمت سورس
L_{dd}	۳۲ nm	طول بخش ناخالص سازی شده نانو لوله در سمت سورس
K_{gate}	۱۶	ثابت دی الکتریک
T_{ox}	۴ nm	ضخامت اکسید
C_{sub}	۴۰ pF/m	خازن جفت ساز میان ناحیه کانال و زیرلایه
E_{fi}	۰/۶ eV	سطح فرمی نانو لوله‌های ناخالص‌سازی شده در نواحی سورس و درین
Pitch	۵ nm	فاصله بین تیوب‌ها
Chirality Vector	(۳۸,۰)	بردار کایرالیتی
Tubes	۱۰	تعداد تیوب‌ها

در مقایسه با تمام‌جمع‌کننده دقیق، تمام‌جمع‌کننده پیشنهادی ۲ گیت اکثریت، ۳ وارونگر و تاخیر ۴/۰۲ نانوثانیه را ذخیره می‌کند. در سطح مدار، منطق GDI و ویژگی منحصر به فرد CNTFET با تغییر قطر نانولوله‌های کربنی[1] (DCNT) استفاده می‌شود. تمام-جمع‌کننده پیشنهادی تعداد کمی ترانزیستور دارد (۱۰ ترانزیستور). تعداد کم ترانزیستورها گره‌های داخلی مدار را کاهش می‌دهد و خازن‌های داخلی کاهش می‌یابد، بنابراین توان و تاخیر کاهش می‌یابد و سرعت تمام‌جمع‌کننده افزایش می‌یابد. همچنین تعداد کم ترانزیستورها مساحت مدار را کاهش می‌دهد. مدار پیشنهادی مبتنی بر فناوری ترانزیستورهای نانو لوله‌های کربنی ۳۲ نانومتری با

[1] Diameter of the Carbon Nano Tube

استفاده از نرم افزار HSPICE در سطح ترانزیستور شبیه‌سازی و ارزیابی شده است. CNTFET دارای مزایای قابل توجهی مانند جریان کم است که آن را برای کاربردهای کم مصرف و سرعت بالا مناسب می‌کند.

۴-نتایج شبیه سازی و مقایسه

۴-۱- شبیه سازی تمام‌جمع‌کننده

مدار تقریبی پیشنهادی در سطح ترانزیستور طراحی شده و توسط نرم افزار HSPICE و فناوری CNTFET دانشگاه استنفورد با مدل فشرده ۳۲ نانومتری سازگار با SPICE شبیه‌سازی شده است. فرکانس ۵۰۰ مگاهرتز، V_{DD} برابر ۰/۹ ولت و دما ۲۷ درجه سانتی‌گراد در نظر گرفته شده است. پارامترهای تعداد گیت‌های اکثریت[۱](MV)، تعداد وارونگرها[۲] (INV)، میانگین خطای نرمالیزه شده NMED، تاخیر، توان و PDP[۳] بین جمع‌کننده‌های دقیق [۲۰]، AFA1 [۷]، AFA2[۶]، PPA1، PPA2 [۲۷] و AFA پیشنهادی مقایسه شده و نتایج در جدول ۳ ارائه شده است. در مقایسه با جمع‌کننده دقیق، مدار پیشنهادی ۲ گیت اکثریت، ۳ اینورتر و تاخیر ۴/۰۲ نانو ثانیه را ذخیره می‌کند. طرح پیشنهادی PDP مدار را تا ۵۳/۷۳ درصد در مقایسه با AFA1 بهبود می‌بخشد. همچنین، PDPE[۴] به عنوان یک اندازه‌گیری ترکیبی از تمام‌جمع‌کننده تقریبی استفاده می‌شود. همان‌طور که در جدول ۳ نشان داده شده است، مدار پیشنهادی PDPE را ۹/۵۰ درصد در مقایسه با AFA2 کاهش می‌دهد، که مزایای مدار پیشنهادی را از نظر عملکرد کلی تایید می‌کند.

جدول ۳: مقایسه عملکرد FA های تقریبی مختلف

Table 3. Performance comparison of different approximate FAs

Frequency=500 MHz, Temperature=27 ºC, V_{DD}=0/9 V. CNTFET 32 nm Technology.								
Adder Type	**MV**	**INV**	**Delay (ns)**	**Power (µw)**	**PDP (fJ)**	**NMED**	**PDP*NMD**	**FoM**
Exact [20]	۳	**۲**	۷/۱۳	۵/۳۶	۳۸/۲۱۶	-	-	-
AFA1 [7]	۱	۱	۵/۱۶	۴/۵۵	۲۳/۴۷۸	۰/۰۸۳	۱/۹۴	۲۵/۶۰
AFA2 [6]	۱	۱	۵/۱۳	۴/۶۸	۲۴/۰۰۸	۰/۰۸۳	۱/۹۹	۲۶/۱۸
PPA1 [27]	۱	۰	۳/۱۵	۳/۸۷	۱۲/۱۹۰	۰/۱۶۶	۲/۰۲	۱۴/۶۱
PPA2 [27]	۱	۱	۵/۱۵	۴/۶۷	۱۵/۱۵۰	۰/۰۸۳	۱/۹۹	۲۶/۲۲
Proposed AFA	**۱**	۰	**۳/۱۱**	**۳/۷۹**	**۱۰/۸۶۲**	**۰/۱۶۶**	**۱/۸۰**	**۱۳/۰۲**

در شکل. ۵، نتایج PDP و NMED برای تمام‌جمع‌کننده‌های تقریبی نشان داده شده است. محور X-Y، NMED و PDP را به صورت جداگانه نشان می‌دهد. با در نظر گرفتن نتایج PDP برحسب NMED، مدار پیشنهادی با بهترین عملکرد ظاهر می‌شود، در حالی‌که [۶] بدترین نتایج را دارد. برای متعادل کردن معیارهای سخت‌افزاری و سطح کاربرد، یک رقم شایستگی[۵] (FoM) ایجاد می‌شود که هم پارامترهای مدار و هم پارامترهای دقت را در بر می‌گیرد، مانند FoM1 که با رابطه ۱۵ محاسبه می‌شود.

$$FoM = PDP / 1 - NMED \quad (۱۵)$$

[1] Majority gate count (Mjority Voter)

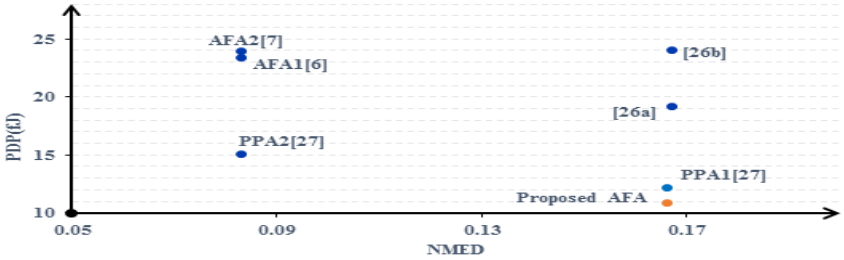
[2] Inverter count

[3] Power Delay Product

[4] Product of the PDP and the NMED

[5] Figure of Merits.

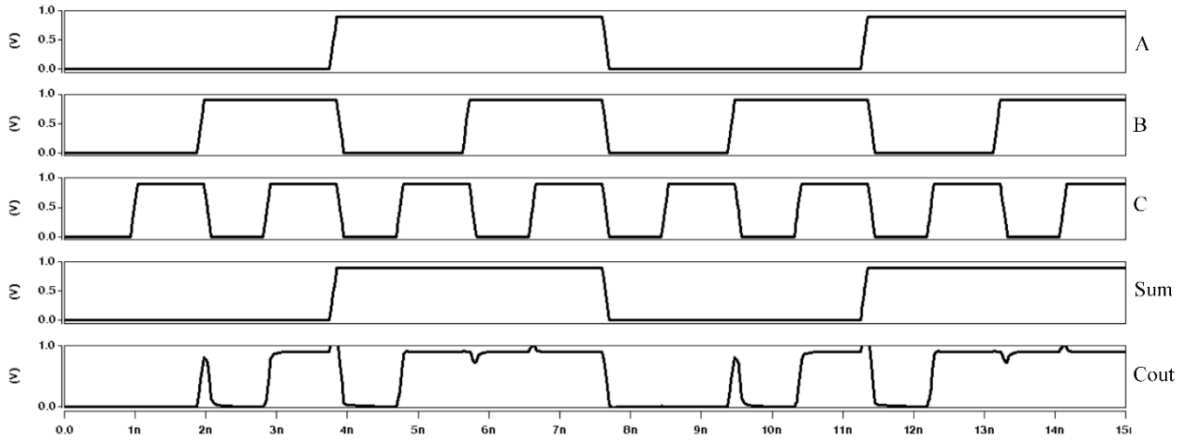
در جدول ۳، نتایج FoM، تمام‌جمع‌کننده پیشنهادی و منابع در نظر گرفته شده است. مدار پیشنهادی بهترین عملکرد را نشان می‌دهد، در حالی که AFA2 بدترین عملکرد را دارد.



شکل ۵: PDP برحسبNMED تمام‌جمع‌کننده‌های تقریبی

Figure 5. PDP-NMED of the approximate FAs

شکل موج تمام‌جمع‌کننده ارائه شده در شکل ۶ نشان داده شده است که جدول درستی را تایید می‌کند. در اینجا، بهره‌وری ادغام تکنیک DT و فناوری CNTFET با نوسان کامل خروجی‌ها دیده می‌شود.



شکل ۶: شکل موج ورودی-خروجی AFA پیشنهادی

Figure 6. Input-output waveforms of the proposed AFA

برای بررسی عملکرد تمام‌جمع‌کننده تقریبی، تغییرات V_{DD} از ۰/۷ ولت تا ۱/۲ ولت اعمال می‌شود. سایر پارامترها به عنوان فرکانس ۵۰۰ مگاهرتز و دما ۲۷ درجه سانتیگراد تنظیم می‌شوند. سپس بدترین نتایج استخراج می‌شوند. تمام‌جمع‌کننده پیشنهادی عملکرد بهتری نسبت به سایر مراجع دارد. لازم به ذکر است که تمام‌جمع‌کننده پیشنهادی به دلیل تعداد کم ترانزیستور به دلیل تکنیک GDI رقیب اصلی سایر مراجع است.

۴-۲-نتایج شبیه سازی مدار تبدیل‌کسینوسی‌گسسته مورد نظر

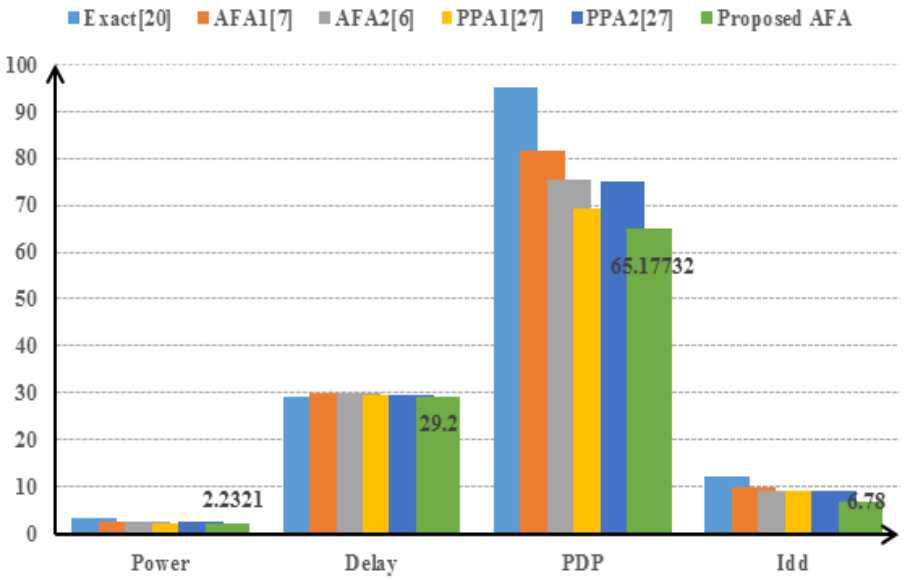
تمام‌جمع‌کننده پیشنهادی به عنوان یک جزء اساسی در یک تبدیل‌کسینوسی‌گسسته بدون ضرب‌کننده تعبیه شده است [۱۷]. در مقایسه با معماری‌های مشابه که توسط سایر محققان توصیف شده است، تنها ۲۴ جمع‌کننده-تفریق‌کننده استفاده می‌شود. با کاهش تعداد جمع‌کننده‌ها و حذف مالتی پلکسرها و ضرب‌کننده‌های اضافی، مصرف توان و تاخیر به میزان قابل توجهی کاهش می‌یابد. علاوه بر این، تمام‌جمع‌کننده پیشنهادی در تبدیل‌کسینوسی‌گسسته هایی با طول بیشتر قابل استفاده است.

جدول ۴: نتایج شبیه سازی در برابر تغییرات V_{DD}

Table 4. Simulation results against V_{DD} variation

Designs	Temperature=27 °C, Load Capacitance =1 fF, Frequency=500 MHz.								
	0/7 V			0/9 V			1/2 V		
	Power (µW)	Delay (ns)	PDP (fJ)	Power (µW)	Delay (ns)	PDP (fJ)	Power (µW)	Delay (ns)	PDP (fJ)
Exact [20]	۵/۸۶	۷/۱۰	۴۱/۶۰	۵/۳۶	۵/۳۶	۳۸/۲۱	۶/۷۲	۷/۱۵	۴۸/۰۴
AFA1 [7]	۳/۰۹	۵/۱۴	۱۵/۸۸	۴/۵۵	۴/۵۵	۲۳/۴۷	۵/۴۷	۵/۱۸	۲۸/۳۳
AFA2 [6]	۳/۵۴	۵/۱۱	۱۸/۰۸	۴/۶۸	۴/۶۸	۲۴/۰۸	۵/۳۸	۵/۱۵	۲۷/۷۰
PPA1 [27]	۳/۱۸	۳/۱۷	۱۰/۰۸	۳/۸۷	۳/۸۷	۱۲/۱۹	۵/۸۹	۳/۱۷	۱۸/۶۷
PPA2 [27]	۳/۷۱	۵/۱۷	۱۹/۱۸	۴/۶۷	۴/۶۷	۲۴/۰۵	۶/۲۲	۵/۱۹	۳۲/۲۸
Propose AFA	**۳/۱۴**	**۳/۰۸**	**۹/۶۷**	**۳/۷۹**	**۳/۱۱**	**۱۰/۸۶**	**۴/۲۱**	**۳/۱۵**	**۱۳/۲۶**

مراحل میانی زیادی در معماری ساخته شده وجود دارد [۲۳-۲۶]، بنابراین ولتاژهای بالاتری برای به حرکت درآوردن عناصر مدار تاخیر و شیفت مورد نیاز است. جدول ۵ و شکل ۷ توان، تعداد ترانزیستور، تاخیر، PDP، محصول PDP و مساحت (PDAP) و جریان متوسط را با هم مقایسه می‌کنند. سلول پیشنهادی نسبت به سایر ساختارها از نظر توان، مساحت و جریان متوسط عملکرد بهتری دارد. مدار دقیق و ساختار AFA1 حداکثر توان و جریان را با مساحت زیاد و تعداد زیاد ترانزیستور دارد. هر ورودی تحت یک تبدیل کسینوس گسسته قرار گرفت تا یک خروجی تبدیل شده تولید کند. طراحی معماری تبدیل‌کسینوسی‌گسسته با ۸ ورودی به مجموع ۱۳۱۰ ترانزیستور نیاز دارد و ۲/۲۳۲۱ میلی‌وات توان برای هر عملیات موفقیت آمیز تبدیل‌کسینوسی‌گسسته مصرف می‌کند. همچنین مدار از نظر PDAP عملکرد بهتری دارد.



شکل۷: مقایسه ساختار تبدیل‌کسینوسی‌گسسته

Figure 7. A comparison of the DCT architecture

جدول۵: نتایج شبیه‌سازی ساختار تبدیل‌کسینوسی‌گسسته با پیاده‌سازی تمام‌جمع‌کننده‌های مختلف

Table 5. Simulated results of DCT architecture by implementing the FAs

Adder Type	Power (mW)	Delay (ns)	Area (#)	PDP (fJ)	PDAP	I_{dd} (mA)
DCT_Exact [20]	۲۴۶۷/۳	۲۹/۳۰	۱۵۲۸	۹۵/۱۲۸۳۱	۱۴۵۳۵۶/۱	۱۲/۰۱
DCT_AFA1 [7]	۲/۷۲۹۱	۲۹/۹۵	۱۴۲۸	۸۱/۷۳۶۵۵	۱۱۶۷۱۹/۸	۹/۷۷
DCT_AFA2 [6]	۲/۵۲۱۳	۲۹/۹۸	۱۴۲۰	۷۵/۵۸۸۵۷	۱۰۷۳۳۵/۸	۹/۲۰
DCT_PPA1[27]	۲/۳۵۱۲	۲۹/۴۰	۱۴۳۸	۶۹/۱۲۵۲۸	۹۹۴۰۲/۱۵	۹/۱۲
DCT_PPA2[27]	۲/۵۴۱۷	۲۹/۵۰	۱۴۴۵	۷۴/۹۸۰۱۵	۱۰۸۳۴۶/۳	۸/۹۹
DCT_Proposed AFA	**۲/۲۳۲۱**	**۲۹/۲۰**	**۱۳۱۰**	**۶۵/۱۷۷۳۲**	**۸۵۳۸۲/۲۹**	**۶/۷۸**

۵-نتیجه‌گیری

در این مطالعه یک تمام جمع‌کننده تقریبی جدید با تعداد ترانزیستور کم، توان کم و تاخیر کم پیشنهاد شده است. مدار پیشنهادی بر اساس مشخصات قابل توجه منطق اکثریت طراحی شده است. برای مقایسه بهتر، سایر تمام‌جمع‌کننده‌های شناخته شده برای ارزیابی عملکرد طرح پیشنهادی در مقایسه با سایر تمام‌جمع‌کننده‌ها از نظر توان، تاخیر و جریان شبیه‌سازی شده‌اند. بلوک پیشنهادی از نظر قابلیت انتقال و افزایش سرعت عملیاتی آن بهبود یافته است. مساحت و توان مصرفی طرح پیشنهادی نیز نسبت به سایر طرح‌های تمام‌جمع‌کننده با تعداد گیت‌های بالا برتری دارد. علاوه بر این، تمام‌جمع‌کننده پیشنهادی در معماری تبدیل‌کسینوسی-گسسته برای کاهش بیشتر مصرف توان و تاخیر برای اجرای سخت‌افزار بهینه‌تر استفاده می‌شود.

مراجع:

[1] M. Rafiee, N.Shiri and A.Sadeghi, “High-performance 1-bit full adder with excellent driving capability for multista structures,’’ *IEEE Embedded Syst Lett*., vol. 14, no. 1, pp. 47-50, 2021, doi: 10.1109/LES..3108474.

[2] N. Shiri, A.Sadeghi,M. Rafiee and M.Bigonah “SR-GDI CNTFET-based magnitude comparator for new generation of programmable integrated circuits,” *Int. J. Circ. Theor*. Appl.;pp.1-26, 2022, doi:10.1002/cta.3251.

[3] S. Ansari, H. Jiang, B.Cockburn and J.Han, “Low-power approximate multipliers using encoded partial products and approximate compressors,’’*IEEE J Emerg Sel Top Circ Syst*., vol. 8, no. 3, pp. 404-416, 2018, doi:10.1109/JETCAS.2832204.

[4] J. Deng and W. H-SP, “A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—part I: model of the Intrinsic Channel Region,’’ *IEEE Trans Electron Dev*., vol. 54, no. 12, pp. 3186-3194, 2007, doi:10.1109/TED.909030.

[5] Z. Chu, C. Shang, T. Zhang, Y. Xia, L. Wang and W. Liu, “Efficient Design of Majority-Logic-Based Approximate Arithmetic Circuits, ” in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 30, no. 12, pp. 1827-1839, Dec. 2022, doi: 10.1109/TVLSI.2022.3210252.

[6] T. Zhang, W. Liu, E. McLarnon, M. O'Neill and F. Lombardi, "Design of Majority Logic (ML) Based Approximate Full Adders, ” *IEEE International Symposium on Circuits and Systems (ISCAS)*, Florence, Italy, 2018, pp. 1-5, doi: 10.1109/ISCAS.2018.8350962.

[7] C. Labrado, H. Thapliyal and F. Lombardi, "Design of majority logic based approximate arithmetic circuits, " *IEEE International Symposium on Circuits and Systems (ISCAS)*, Baltimore, MD, USA, 2017, pp. 1-4, doi: 10.1109/ISCAS.2017.8050819.

[8] E. Esmaeili, F.Pesaran and N.Shiri. "A high-efficient imprecise discrete cosine transform block based on a novel full adder and Wallace multiplier for bioimages compression'' *Int. J. Circ.Theor.Appl.* vol. 51, no. 3, pp. 1-24, 2023, doi:10.1002/cta.3551.

[9] T. Rashedzadeh, S.M. Riazi and N. Cheraghi Shirazi, "Analysis of effect of changes of FINs Architectural on FINFET Drain current and on Average Power Dissipation and Propagation Delay in the Hybrid-CMOS full adder," *Journal of Southern Communication Engineering*, vol. 10, no. 40, pp. 25–36, July 2021, (in persian).

[10] H. Arfavi, SM. Riazi, and R. Hamzehyan, "Evaluation of temperature, Disturbance and Noise Effect in Full Adders Based on GDI Method," *Journal of Southern Communication Engineering*, June 2023, doi: 10.30495/jce.2023.1973764.1197, (in persian).

[11] M. Sayyaf, A. Ghasemi and R. Hamzehyan, "Design of Low Power Single-Bit Full-Adder Cell Based on Pass-Transistor Logic," *Journal of Southern Communication Engineering*, 2022, doi: 10.30495/jce.2022.692834, (in persian).

[12] A. Sadeghi, N. Shiri, and M. Rafiee, M.Tahghigh. "An efficient counter-based Wallace-tree multiplierwith hybrid full adder core for image blending," *Front Inform Technol Electron Eng*, Vol. *23*, PP.950–965, 2022, https://doi.org/10.1631/FITEE.2100432.

[13] F. M. Bayer and R. J. Cintra, "Image Compression via a Fast DCT Approximation," in *IEEE Latin America Transactions*, vol. 8, no. 6, pp. 708-713, Dec. 2010, doi: 10.1109/TLA.2010.5688099.

[14] S. Bouguezel, M. O. Ahmad and M. N. S. Swamy, "A novel transform for image compression," *IEEE International Midwest Symposium on Circuits and Systems*, Seattle, WA, USA, 2010, pp. 509-512, doi: 10.1109/MWSCAS.2010.5548745.

[15] M. Jridi, A. Alfalou and P. K. Meher, "A Generalized Algorithm and Reconfigurable Architecture for Efficient and Scalable Orthogonal Approximation of DCT, " in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 2, pp. 449-457, Feb. 2015, doi: 10.1109/TCSI.2014.2360763.

[16] R. J. Cintra and F. M. Bayer, "A DCT Approximation for Image Compression, " in *IEEE Signal Processing Letters*, vol. 18, no. 10, pp. 579-582, Oct. 2011, doi: 10.1109/LSP.2011.2163394.

[17] U S. Potluri, A .Madanayake, R J. Cintra, F M. Bayer and N. Rajapaksha, "Multiplier-free DCT approximations for RF multi-beam digital aperture-array space imaging and directional sensing," *Meas. Sci. Technol.*, vol. 23, p. 114003, 2012, doi: 10.1088/0957-0233/23/11/114003.

[18] A. Sadeghi, N. Shiri, and M. Rafiee, "High-Efficient, Ultra-Low-Power and High-Speed 4:2 Compressor with a New Full Adder Cell for Bioelectronics Applications," *Circuits Syst Signal Process* , vol. 39, pp. 6247–6275, 2020, doi: 10.1007/s00034-020-01459-x.

[19] A. Sadeghi., et al.: "Tolerant and low power subtractor with 4:2 compressor and a new TG-PTL-float full adder cell,'' *IET Circuits Devices Syst*. vol. 16, no. 1, pp. 1-24, 2022, doi: 10.1049/cds2.12117.

[20] H. Cho and E. E. Swartzlander, "Adder and Multiplier Design in Quantum-Dot Cellular Automata, " in *IEEE Transactions on Computers*, vol. 58, no. 6, pp. 721-727, June 2009, doi: 10.1109/TC.2009.21.

[21] S. Bouguezel, M.O. Ahmad and M.N.S. Swamy, "Low-complexity 8× 8 transform for image compression," *Electron. Lett.*, vol. 44, no. 21, pp. 1249–1250, 2008, doi: 10.1049/el:20082239.

[22] Y. -H. Chen, T. -Y. Chang and C. -Y. Li, "High Throughput DA-Based DCT With High Accuracy Error-Compensated Adder Tree," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 19, no. 4, pp. 709-714, April 2011, doi: 10.1109/TVLSI.2009.2037968.

[23] N. R. Konijeti, J. V. R. Ravindra and P. Yagateela, "Power Aware and Delay Efficient Hybrid CMOS Full-Adder for Ultra Deep Submicron Technology," *European Modelling Symposium, Manchester*, UK, 2013, pp. 697-700, doi: 10.1109/EMS.2013.117.

[24] G. Ramana Murthy, C. Senthilpari, P. Velrajkumr and L.T. Sze, "A novel design of multiplexer based full-adder cell for power and propagation delay optimization," *Journal of Engineering Science and Technology*, vol. 8, no. 6, pp. 764–777. 2013.

[25] S. Verma, D. Kumar and G. K. Marwah, "New High Performance 1-Bit Full Adder Using Domino Logic," *International Conference on Computational Intelligence and Communication Networks*, Bhopal, India, 2014, pp. 961-965, doi: 10.1109/CICN.2014.203.

[26] M. Mirzaei and S. Mohammadi, "Process variation-aware approximate full adders for imprecision-tolerant applications," *Computers & Electrical Engineering*, vol. 87, p. 106761, 2020, doi: 10.1016/j.compeleceng.2020.106761.

[27] M. C. Parameshwara and N. Maroof, "An Area-EfficientMajority Logic-Based Approximate Adders with Low Delay for Error-Resilient Applications," *Circuits, Systems, and Signal Processing*, vol. 41, pp. 4977–4997, 2022, doi: 10.1007/s00034-022-02014-6.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH

E-ISSN: 2980-9231
https://jce.bushehr.iau.ir

https://doi.org/10.30495/jce.2023.1992434.1216

Vol. 13/ No. 51/Spring 2024

Research Article

A New Model for Enhancing Efficiency in On-Chip Optical Networks Based on Adaptive Routing Algorithm

Mohammadreza Hemmati, Ph.D. candidate[1] |S. Mohammadali Zanjani, Assistant Professor[2*] | Elham Yaghoubi, Assistant Professor[3]

[1]Faculty of Computer Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran. Mr.hemati@sco.iaun.ac.ir

[2]Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran. sma_zanjani@pel.iaun.ac.ir

[3]Faculty of Computer Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran. e.yaghoubi@pco.iaun.ac.ir

Correspondence
S. Mohammadali Zanjani[3], Assistant Professor, Smart Microgrid Research Center, Najafabad Branch, Islamic Azad University, Najafabad. sma_zanjani@pel.iaun.ac.ir

Received: 26 July 2023
Revised: 16 September 2023
Accepted: 10 October 2023

Abstract

The lower power consumption, larger communication bandwidth, and reduced latency are advantages of optical networks over electrical communications. However, there are challenges in these networks, such as routing and connectivity issues, which result in increased network size and wastage. As networks become more complex and larger, building on-chip networks brings problems like communication costs between components and the likelihood of unpredictable failures in communication circuits. Therefore, providing an error-tolerant routing algorithm plays a crucial role in the development of on-chip network architecture. In this article, an adaptive fault-tolerant routing algorithm will be presented, whose main objective is to create the ability to handle a reasonable number of faults without disrupting the healthy nodes in the network. The simulation results of message delay in the proposed method show a gradient norm equal to 1.1691E-5 and μ=1E-8 for epoch=280, demonstrating its capability to reduce delay in the network. A very slight change in message delay in evaluating the proposed method also indicates the acceptability of the proposed method. Moreover, the presence of a gradient of 1.527E-3 and μ=1E-7 for epoch=350 in the energy consumption value indicates a reduction in energy consumption compared to conventional methods in existing references, although the proposed system may incur additional overhead compared to some previous methods.

Keywords: Network on-Chip, Adaptive Routing Algorithm, Fault-Tolerant Algorithm, Congestion-Aware Dynamic Routing.

Highlights

- Introducing an adaptive fault-tolerant routing algorithm in interconnection networks with torus topology.
- Enabling the network to handle a significant number of faults without disrupting the healthy nodes.
- Interact with a reasonable number of faults without the need to discard healthy nodes.
- Reduction in message delay, energy consumption, and network cost compared to conventional methods.

Citation: M. Hemmati, S.M. Zanjani, and E. Yaghoubi, "A New Model for Enhancing Efficiency in On-Chip Optical Networks Based on Adaptive Routing Algorithm," *Journal of Southern Communication Engineering*, vol. 13, no. 51, pp. 13–22, 2024, doi: 10.30495/jce.2023.1992434.1216, (in Persian).

مقاله پژوهشی

یک مدل جدید برای افزایش کارایی در شبکه روی تراشه نوری بر اساس الگوریتم مسیریابی تطبیقی

محمدرضا همتی[۱] | سید محمدعلی زنجانی*[۲] | الهام یعقوبی[۳]

[۱]دانشکده مهندسی کامپیوتر، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران.
mr.hemati@sco.iaun.ac.ir

[۲]دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران.
sma_zanjani@pel.iaun.ac.ir

[۳]دانشکده مهندسی کامپیوتر، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران.
e.yaghoubi@pco.iaun.ac.ir

نویسنده مسئول: *سید محمدعلی زنجانی، استادیار، مرکز تحقیقات ریزشبکه‌های هوشمند، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران.
sma_zanjani@pel.iaun.ac.ir

چکیده:

توان مصرفی کمتر، پهنای باند ارتباطی بزرگ‌تر و تأخیر کمتر از مزایای شبکه‌های نوری نسبت به ارتباطات الکتریکی است؛ اما چالش‌هایی مانند مسیریابی و هم‌بندی در این شبکه‌ها وجود دارد به نحوی‌که برای ارسال داده، نیاز به پیمودن گام‌های زیادی است که باعث بزرگ‌تر شدن شبکه و اتلاف می‌شود. با پیچیده‌تر شدن و بزرگ‌تر شدن شبکه‌ها، در ساخت شبکه روی تراشه، مشکلاتی نظیر هزینه ارتباطات بین اجزاء و احتمال بروز هر خرابی غیر قابل پیش‌بینی در مدارهای ارتباطی وجود دارد. از این رو ارائه یک الگوریتم تحمل‌پذیر خطا، نقش مهمی در گسترش معماری شبکه روی تراشه دارد. در این مقاله، یک الگوریتم مسیریابی تطبیقی تحمل‌پذیر اشکال ارائه خواهد شد که هدف اصلی آن، ایجاد توانایی جهت تعامل با تعداد قابل قبولی اشکال بدون از کار انداختن گره‌های سالم در شبکه است. نتایج حاصل از شبیه‌سازی تأخیر پیام در روش پیشنهادی، μ برابر با ۱×۱۰^{-۵} و گرادیان برابر $۱/۱۶۹\times۱۰^{-۵}$ به ازای epotch مساوی با ۲۸۰ است که توانایی آن را در کاهش تأخیر بر روی شبکه اثبات می‌نماید. تغییر بسیار جزئی تأخیر پیام در ارزیابی روش پیشنهادی، نیز نشانگر قابل قبول بودن روش پیشنهادی است. همچنین، وجود μ برابر با ۱×۱۰^{-۷} و گرادیان برابر $۱/۵۲۷\times۱۰^{-۳}$ به‌ازای epotch مساوی با ۳۵۰ در مقدار انرژی مصرفی، بیانگر کاهش انرژی مصرفی نسبت به روش‌های مرسوم در مراجع موجود است، هرچند احتمالا سربار سامانه پیشنهادی نسبت به برخی روش‌های قبلی افزایش می‌یابد.

کلیدواژه‌ها: شبکه روی تراشه، الگوریتم مسیریابی تطبیقی، الگوریتم تحمل‌پذیر خطا، مسیریابی پویای آگاه از ازدحام.

تاریخ دریافت: ٤مرداد ۱٤۰۲
تاریخ بازنگری: ۲۵ شهریور ۱٤۰۲
تاریخ پذیرش: ۱۸ مهر ۱٤۰۲

https://doi.org/10.30495/jce.2023.1992434.1216

۱-مقدمه

با ورود به عرصه ساخت قطعات مجتمع در مقیاس بزرگ و پیشرفت فناوری، سامانه‌های روی شبکه[۱] قادر به مدیریت بهینه منابع اطلاعات (شامل پردازنده‌ها، حافظه‌ها، پردازنده های سیگنال دیجیتال[۲] و ...) نخواهند بود؛ لذا مفهوم شبکه‌های روی تراشه[۳] برای بهبود ارتباط بین اجزاء شبکه مطرح شد [۱]. از طرفی طراحی ساختارهای کم مصرف جدید، اعم از فناوری‌های جدید نوری و یا ترانزیستورهای جدید، مانند ترانزیستورهای اثر میدان نانو لوله کربنی، نیز از اولویت‌های طراحان شده است [۳،۲]. علاوه بر طراحی معماری مناسب برای شبکه و ایجاد ساختاری منظم، الگوریتم‌های مسیریابی ارائه شده نیز تا حد زیادی کارایی شبکه‌های

[1] System on Chips (SoCs)
[2] DSP
[3] Network on Chip (NoC)

روی تراشه را تحت تأثیر قرار می‌دهند. در واقع شبکه روی تراشه، یک زیربنای جدید ارتباطی برای سامانه روی تراشه است. به طور گسترده، شبکه بر تراشه به‌عنوان یک طرح ارتباطاتی در سامانه‌های چندهسته‌ای مدرن، با هدف تضمین قابلیت اطمینان[1] ارتباطات استفاده می‌شود. درنتیجه، روش‌های تحمل خطای مؤثر در شبکه بر تراشه، از اهمیت بالایی برخوردار هستند. با توجه به مقیاس‌پذیری بالا و یکپارچه‌سازی موازیِ ارائه شده توسط شبکه روی تراشه از طریق سامانه‌های سنتی مبتنی بر اشتراک-گذاری گذرگاه، هنوز یک راه‌حل ایده‌آل در سامانه‌های با مقیاس بالا بر روی تراشه، وجود ندارد.

همان‌طور که فناوری در حال رشد است، قابلیت اطمینان به یکی از چالش‌های کلیدی شبکه بر تراشه تبدیل شده است. بسیاری از الگوریتم‌های تحمل‌پذیر خطا در شبکه بر تراشه برای غلبه بر عیوب، توسعه یافته‌اند و یک انتقال مطمئن را فراهم می‌کنند. اما الگوریتم مسیریابی پیشنهادی توجه زیادی به پیدا کردن مسیرهای کوتاه ندارد. چندین الگوریتم تحمل‌پذیر خطا که از روش‌هایی همچون حالات انتشار مبتنی بر دورترین مسیریاب قابل‌دسترسی بهره می‌برند، در [۴] بررسی شده‌اند. در همین مرجع، برای قابلیت تحمل‌پذیری خطا برای شبکه‌های روی تراشه، از طریق سازوکار مسیریابی، یک الگوریتم جدید مسیریابی تطبیقی کارآمد پیشنهاد شده است. این الگوریتم، مبتنی بر انتخاب مسیر وزن‌دار است که از طریق پیمانه‌های نظارتی از ترافیک واقعی شبکه بر تراشه استفاده می‌کند. هدف اصلی این الگوریتم، استفاده از تصمیم‌گیری‌های مسیریابی برای حفظ توان عملیاتی سیستم، تحت شرایط خطادار است. در الگوریتم مسیریابی تحمل‌پذیر خطا با توجه به هزینه کم پیشنهاد شده، در زمان واقعی طبق وضعیت کانال بیکار/مشغول/خطادار، وزن‌های پورت‌ها محاسبه شده است و بر اساس مسیر بهینه نزدیک به بسته‌ها، پورت با کم‌ترین وزن، مرتب شده است. این روش مسیریاب را قادر به کنارگذاشتن پورت‌های متراکم و تحمل‌کردن پورت‌های خطادار می‌کند. برای ارزیابی زمان تأخیر و توان عملیاتی الگوریتم پیشنهادی، چندین الگوی ترافیک برای هر دو شبکه بر تراشه بدون خطا و خطادار بررسی شده است. نتایج نشان داده است که مسیریابی با هزینه کم، توان عملیاتی بالاتری را نسبت به سایر الگوریتم‌های مسیریابی تحت الگوهای ترافیک مختلف و سطوح مختلف خطا دارد. به‌علاوه، سربار سخت‌افزاری، هزینه کمی دارد که موجب مقیاس‌پذیری شبکه بر تراشه در مقیاس بزرگ شده است. برای غلبه بر خرابی‌های دائمی در مسیریابی‌های بسته و برای کاهش خرابی‌ها، نیاز به شناسایی اجزای خراب است.

الگوریتم‌های مسیریابی به طور معمول، نواحی معیوب را با مسیریابی مجدد دور می‌زنند؛ بنابراین مسیر انتخابی همیشه کوتاه‌ترین مسیر نیست. در یک مش دوبعدی، هر لینک دو همسایه مستقیم غربی و شرقی یا شمالی و جنوبی دارد و چهار همسایه غیرمستقیم که مثلاً برای شمال و جنوب شامل شمال غربی و شمال شرقی و جنوب غربی و جنوب شرقی هستند. لینک، یک حریم فاصله دارد که شامل تمامی مسیرهایی است که به آن منتهی شده یا از آن عبور می‌کنند. ضمناً باید بتوان به یک الگوریتم مسیریابی مقابله با خطا دست یافت که بسته‌ها را از مسیری بدون حلقه در اطراف منطقه‌ای که مشکل رخ داده است، به مقصد هدایت کند. الگوریتم‌های مسیریابی قطعی و انطباقی، روش‌های انتخاب مسیر و روش‌های تشخیص مسیر بر اساس تعداد خطای بیشتر، حائز اهمیت هستند [۶-۴].

یک مشخصه کلیدی بر روی تراشه در سامانه‌های چندهسته‌ای، قابل اطمینان بودن ارتباط است. الگوی شبکه روی تراشه باید این اطمینان را از خود نشان دهد. ازآنجایی‌که فناوری نیمه‌رساناها در مقیاس زیرمیکرون و فرکانس گیگاهرتز در حال اجرا هستند، بسیار مستعد به شکست هستند. در نتیجه، اطمینان به شبکه روی تراشه با استرس بیشتری روبه‌رو شده است [۷، ۸]. منظور از اطمینان آن است که بعد از بررسی حلقه، هزینه، مسیرهای خطادار و غیر قابل استفاده، وقتی مسیری جایگزین مسیر دیگر شد و در مسیر جدید خطا اتفاق افتاد، آیا بسته به مقصد خواهد رسید؟

در ادامه و در بخش دوم، توسط روش‌های مختلف، الگوریتم‌های مسیریابی (شامل الگوریتم ترکیبی، مسیریابی همسایه، الگوریتم آگاه از ترافیک، مسیریابی پویای محموله‌ای، مسیریابی مبتنی بر جدول، الگوریتم مسیریابی آگاه از ازدحام و مسیریابی پویای تحمل‌پذیر در برابر خطا) بررسی می‌شوند و درنهایت، با فرض متمرکز بودن اطلاعات اشکالات شبکه، شبه‌کد الگوریتم مسیریابی تطبیقی نوشته می‌شود. در بخش سوم، با فرض یک شبکه از نوع ۸*۸ به معرفی الگوریتم مسیریابی تحمل‌پذیر اشکال ایستا در شبکه‌های میان ارتباطی با هم‌بندی توری و در حضور الگوهای اشکال کوژ و کاو پیشنهادی پرداخته می‌شود. نتایج شبیه‌سازی

[1] Reliability

در بخش ۴ نشانگر نوآوری روش ارائه شده است؛ به نحوی که می‌تواند با تعداد معقولی از اشکالات بدون نیاز به از کار انداختن گره‌های سالم، کارآیی بالایی را با استفاده از مسیریابی تطبیقی و تنها به کمک ۴ کانال مجازی فراهم کند. بخش ۵ به نتیجه‌گیری و پیشنهاد برای ادامه کار می‌پردازد.

۲- مسیریابی پویای آگاه از ازدحام

مسیریابی پویای آگاه از ازدحام CADR[1] یک تکنیک مسیریابی است که هدف آن بهینه‌سازی جریان ترافیک شبکه با در نظر گرفتن سطوح تراکم در زمان واقعی است. پروتکل‌های مسیریابی سنتی، معمولاً مسیرها را بدون در نظر گرفتن سطوح ازدحام واقعی در پیوندهای شبکه، بر اساس معیارهای ثابت مانند کوتاه‌ترین مسیر یا حداقل تعداد پرش انتخاب می‌کنند. این می‌تواند به توزیع نامتعادل ترافیک شبکه و افزایش ازدحام در مناطق خاص منجر شود. از سوی دیگر، CADR وضعیت تراکم فعلی پیوندهای شبکه را در نظر می‌گیرد و مسیرهای مسیریابی را به صورت پویا تنظیم می‌کند. از اطلاعات بلادرنگ در مورد شرایط شبکه، مانند استفاده از لینک، نرخ از دست دادن بسته، یا تأخیر در صف، برای تصمیم‌گیری در مسیریابی استفاده می‌کند. با انجام این کار، CADR می‌تواند به طور مؤثر ترافیک را در سراسر شبکه توزیع کند و از مناطق شلوغ و یا استفاده از لینک‌های کم استفاده جلوگیری کند [۹].

هدف اصلی CADR بهینه‌سازی عملکرد شبکه با کاهش تراکم و بهبود کارایی شبکه است. با انطباق پویای مسیرها، مسیریابی بر اساس اطلاعات ازدحام در زمان واقعی، CADR می‌تواند به دستیابی به تعادل بار بهتر، کاهش از دست دادن بسته‌ها، کاهش تأخیر و بهبود کیفیت کلی خدمات کمک کند [۱۰].

CADR می‌تواند به ویژه در شبکه‌های مقیاس بزرگ مفید باشد، جایی که ازدحام می‌تواند به دلیل عوامل مختلفی مانند تقاضای ترافیک بالا، خرابی پیوندها یا تغییرات توپولوژی شبکه رخ دهد. با نظارت مستمر و تطبیق مسیرهای مسیریابی، CADR می‌تواند به تغییرات در شرایط شبکه پاسخ دهد و ترافیک را به مسیرهای با شلوغی کمتر تغییر مسیر دهد و از انتقال روان‌تر و کارآمدتر داده‌ها، اطمینان حاصل کند. به طور کلی، CADR یک رویکرد پیشگیرانه برای مسیریابی شبکه است که اطلاعات تراکم در زمان واقعی را برای بهینه‌سازی جریان ترافیک، به حداقل رساندن ازدحام و افزایش عملکرد شبکه در نظر می‌گیرد [۱۱]. الگوریتم‌های مسیریابی پویای آگاه از ازدحام توسط روش‌های مختلف مورد بررسی قرار گرفته‌اند که در زیر توضیح داده شده است.

۱) الگوریتم‌های مسیریابی ترکیبی: یک طرح مسیریابی پویا به نام DYAD می‌تواند بر اساس شرایط ازدحام سیستم، بین الگوریتم‌های مسیریابی قطعی و الگوریتم‌های مسیریابی تطبیقی سوئیچ کند. به‌عنوان‌مثال، مزایای این دو الگوریتم ترکیب می‌شوند. به طور مشابه DYXY الگوریتم مسیریابی تطبیقی است که مبتنی بر شرایط ازدحام است و کارایی بهتری نسبت به XY و مسیریابی زوج و فرد دارد.

۲) یک روش دیگر مسیر آگاه، در [۱۲] معرفی شده است و پس از گرفتن کاندیداهای مناسب اول یا مسیریابی زوج و فرد، پورت مناسب خروجی را انتخاب می‌کند.

۳) استفاده از شبکه اختصاصی یا سیگنال‌ها برای جمع‌آوری وضعیت ترافیک یک الگوریتم مسیریابی همسایه مبتنی بر مسیر (NOP) از سیم‌های اختصاص داده شده برای تشخیص وضعیت ترافیک گره‌های همسایه استفاده می‌کند. این روش یک بهبود کارایی در میانگین تأخیر و توان عملیاتی به‌خصوص در بار ترافیک سنگین داشته است.

۴) در [۱۳] مسیریاب شبکه روی تراشه از نوع آگاه از ترافیک، از سیم‌های سیگنال اختصاص داده شده برای نشان دادن وضعیت ترافیک کانال استفاده می‌کند که منطبق بر تراکم ترافیک است.

۵) الگوریتم مسیریابی XY پویای پیشرفته، دو سیم اختصاص داده شده را در هر کانال اضافه می‌کند تا نشان دهد وضعیت ازدحام کانال‌ها در همان ردیف یا ستون به عنوان مسیریاب جاری است. این سیم‌های متراکم، مسیریاب را قادر به جلوگیری از مسیر همسایه شلوغ می‌کند. یک طرح مسیریابی آگاه از مسیر برای انتشار اطلاعات ترافیک، یک زیرشبکه آگاه از ازدحام را به کار می‌برد و به مسیریابی کمک می‌کند. چالش اصلی، نیاز به سربار اضافی است که شبکه دیگری برای انتشار اطلاعات ترافیک کمک می‌کند [۱۵،۱۴].

[1] Congestion-Aware Dynamic Routing

۶) مسیریابی محموله‌ای، یک سیاست شکستن اولویت وزن است. هر بسته، وزنی دارد که بر اساس طول عمر، فاصله و اولویت اولیه بسته محاسبه شده است. سیاست شکستن اولویت وزن در اکثر مواقع عملکرد خوبی دارد. این سیاست تنها به کمک شبیه‌ساز زبان C ارزیابی شده است و عملکرد سخت‌افزار برای مقیاس‌پذیری که چالش کلیدی شبکه بر تراشه است، در دسترس نیست. علاوه بر مسیریابی محموله‌ای، چند الگوریتم مسیریابی تطبیقی غیرمستقیم نیز در رویکردها بیان شده است که عملکرد خوبی تحت بارهای حالت گذرا و پایدار در ساختار سنجاقک داشته‌اند [۱۶].

۷) مسیریابی مبتنی بر جدول، یک سازوکار مسیریابی تطبیقی متمرکز است که در آن یک جدول مسیریابی در هر گره به کار رفته است. این سازوکار از یک پیمانه فیدبک برای نظارت وضعیت ترافیک عمومی و یک پیمانه کنترل برای تصمیم‌گیری مسیریابی استفاده کرده است. اگر وضعیت ترافیک در طی زمان انتشار بسته‌ها از منبع به مقصد تغییر کند، این سازوکار فرصتی برای خروج داده‌ها فراهم می‌کند. چالش این روش، سربار سیم اختصاص داده شده است. به‌منظور کاهش سربار، یک الگوریتم مسیریابی آگاه از ازدحام، اطلاعات ترافیک را در بسته‌ها جاسازی می‌کند. هر گره پس از دریافت اطلاعات ترافیک، نقشه ازدحام خود را به‌روزرسانی می‌کند، سپس کوتاه‌ترین مسیر برای ارسال بسته را می‌یابد.

۸) الگوریتم مسیریابی آگاه از ازدحام می‌تواند از مسیرهای شلوغ در شبکه جلوگیری کند و توانایی تعادل بار ترافیکی و همچنین توان عملیاتی بالاتری نسبت به مسیریابی قطعی معمولی به‌خصوص برای ترافیک‌های با حجم کار سنگین دارد. با این حال این الگوریتم‌ها تحت شرایط خطا، کار نمی‌کنند. برای الگوریتم مسیریابی شبکه بر تراشه، تحمل‌پذیری خطا خیلی مهم است تا قادر به ایجاد مسیریابی مؤثر برای افزایش کارایی سامانه شود [۱۷].

۹) مسیریابی پویای تحمل‌پذیر در برابر خطا، یک الگوریتم مسیریابی با پیکربندی مجدد است که قادر به حذف خطای مسیریابی بعد از مسیریابی است. با این حال، تحمل خطای مسیریاب‌ها (گره‌ها)، منجر به پشتیبانی کانال‌های خطادار نمی‌شود. در مرجع [۱۸] یک الگوریتم مسیریابی تحمل‌پذیر خطای دامنه کوچک برای حمایت از گره‌ها و خطاها پیشنهاد شده است. این الگوریتم چون تعداد لینک‌های خطادار برای هر مسیریاب یکی است، سیاست تحمل خطا را ارائه داده است.

طرح‌های مسیریابی پویای "تشخیص و بازپیکربندی یکپارچه و بی‌طرف در محیط شبکه‌ی قطع‌شده[1]" جداول مسیریابی را برای کمک به تصمیم‌گیری به کار می‌بندد که در آن مسیریاب‌های مجاور به سایر مسیریاب‌ها، درباره لینک خطادار یا روترها اطلاع می‌دهند و جداول مسیریابی را به کمک شکست‌های شناسایی‌شده به‌روزرسانی می‌کند. طرح مسیریابی تحمل‌پذیر خطای گرادیان، شبکه بر تراشه را در نواحی مختلف مدل می‌کند. پس جهت‌های مسیریابی طبق مکانی که در آن گره مقصد وجود دارد، بنا شده است. یک الگوریتم مسیریابی تطبیقی تحمل‌پذیر خطا می‌تواند به‌منظور کنارگذاشتن لینک‌های خطادار، بسته را از طریق گره میانی ارسال کند [۱۸]. در اینجا، موقعیت نسبی منبع، مقصد و گره‌های میانی محدود شده‌اند. این الگوریتم نمی‌تواند با الگوهای خطای پیچیده، درست رفتار کند و نتایج پیاده‌سازی سخت‌افزاری آن وجود ندارد.

دو الگوریتم مسیریابی تحمل‌پذیر خطا شامل FTDR[2] و FTDR-F[3] برای ذخیره فاصله گره‌های مقصد و منبع، از جداول مسیریابی استفاده کرده‌اند. زمانی که وضعیت‌های لینک تغییرمی‌کند، جدول مسیریابی به‌روزرسانی می‌شود. سپس گره جاری می‌تواند یک مسیر بدون خطا را برای ارسال بسته‌ها انتخاب کند. طبق جدول مسیریابی FTDR یک محیط مؤثر وجود ندارد که FTDR به‌منظور کاهش حجم جدول مسیریابی از یک ساختار سلسله‌مراتبی استفاده کرده باشد. تمام سامانه شبکه بر تراشه به چند منطقه تقسیم شده است و یک جدول مسیریابی جداگانه در هر منطقه استفاده شده است. این سامانه دارای محدودیت‌های کلیدی است؛ لذا لینک‌های خطادار باید دو طرفه خاموش شوند و باید دو منطقه متفاوت به هم متصل باشند. برای سامانه سه‌بعدی شبکه بر تراشه، یک الگوریتم مسیریابی تحمل‌پذیر خطا پیشنهاد شده است. LAFT[4] وضعیت خطا را از گره‌های همسایه دریافت می‌کند

[1] UDIREC & ARIADNE = Unified Diagnosis and Reconfiguration & Agnostic Reconfiguration in a Disconnected Network

[2] Fault-Tolerant Deflection Routing

[3] Hierarchical FTDR

[4] Look-Ahead-Fault-Tolerant

و یک مسیر را بر اساس این اطلاعات انتخاب می‌کند. اگر چندین مسیر وجود داشته باشد، مسیر با حداقل فاصله و بیشترین تنوع انتخاب می‌شود. چالش اصلی تمام این رویکردها این است که متأسفانه یک سازوکار کنترل ازدحام کارآمد برای مسیریابی بهینه به‌منظور حفظ عملکرد سیستم تحت بارهای ترافیک سنگین، ارائه نمی‌دهند [۱۹].

۲-۱- شبه‌کد الگوریتم مسیریابی تطبیقی

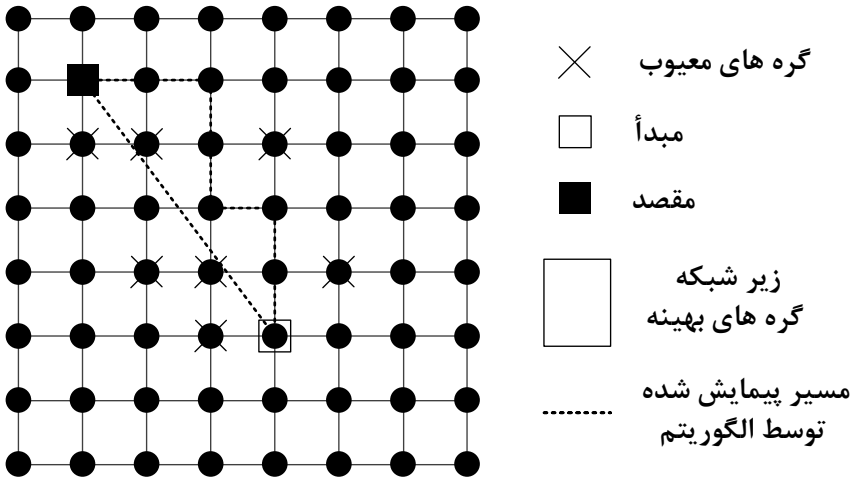
مانند اکثر الگوریتم‌های تحمل‌پذیر اشکال ایستا، در این مقاله نیز فرض اولیه بر متمرکز بودن اطلاعات اشکالات شبکه است؛ بنابراین، در مرحله مقدماتی لازم است تا اطلاعات مربوط به شبکه در تمامی گره‌های آن وجود داشته باشد.

- مرحله ۱: مبدأ گره‌های واقع در مسیر بهینه میان خود و مقصد را شناسایی کرده و در ادامه، وجود اشکال در این گره‌ها را وارسی می‌کند [۶-۴]. (در اینجا منظور از مبدأ گره‌ای است که در حال حاضر با توجه به آدرس مقصد، قصد مسیریابی دارد و لزوماً به معنای مبدأ تولید پیام نیست).
  - اگر در مسیر بهینه اشکالی وجود نداشته باشد، این بسته‌ها به شکل کاملاً تطبیقی و برمبنای الگوریتم دوآتو[1] در طول مسیر به‌پیش رانده می‌شوند.
  - اگر در مسیر بهینه اشکال یا اشکالاتی وجود داشته باشد، به مرحلهٔ ۲ می‌رود.
- مرحله ۲: شرط وجود یک مسیر بهینه بررسی می‌شود. بدین معنی که آیا زیرشبکه گره‌های بهینه برای رساندن پیام از مبدأ به مقصد اتصال دارد یا خیر؟
  - اگر مسیری پیدا شد به مرحله ۳ وارد می‌شود.
  - اگر مسیری پیدا نشد به مرحله ۴ وارد می‌شود.
- مرحله ۳: مبدأ، مربع حاصل از زیرشبکه گره‌های بهینه را به دو بخش تقسیم می‌کند. این تقسیم‌بندی با ترسیم قطر مربع که در دو سر آن مبدأ و مقصد قرار گرفته‌اند انجام می‌شود. برای هر مثلث ایجاد شده، تعداد گره‌های معیوب شمرده می‌شوند. تابع هدف این الگوریتم به دنبال گزینش مثلثی با تعداد کمینه از گره‌های معیوب است. چنانچه تعداد اشکالات در دو مثلث مساوی باشد، یکی از آن‌ها به شکل تصادفی انتخاب می‌شود. البته ممکن است گره ورودی به مثلث مورد نظر دارای اشکال باشد که در این صورت مثلث دیگری جهت مسیردهی انتخاب می‌شود. لازم به یادآوری است، حالتی که در آن هر دو گرهٔ ورودی معیوب باشند، وجود ندارد؛ زیرا شرط وجود مسیر بهینه در مرحله ۲ بررسی شده است و پاسخ آن مثبت بوده است.
- مرحله ۴: این مرحله برای انحراف از مسیر بهینه مورداستفاده قرار می‌گیرد. این حالت در شرایطی رخ خواهد داد که مسیر بهینه بین گره مبدأ و مقصد وجود نداشته باشد. البته این بدان معنا نیست که الگوریتم مثلث مسیر بهینه را حتماً تشخیص خواهد داد، بلکه ممکن است در حرکت‌های پیشین، پیام به‌سوی گرهٔ نامناسبی هدایت شده باشد.

لازم به ذکر است که این مراحل برای هر گره در طول مسیر بررسی می‌شوند. البته اگر در مرحله اول ثابت شد که می‌توان از مسیریابی تطبیقی استفاده کرد، دیگر لازم نیست مراحل بررسی برای گره‌های بعدی در طول مسیر انجام شوند.

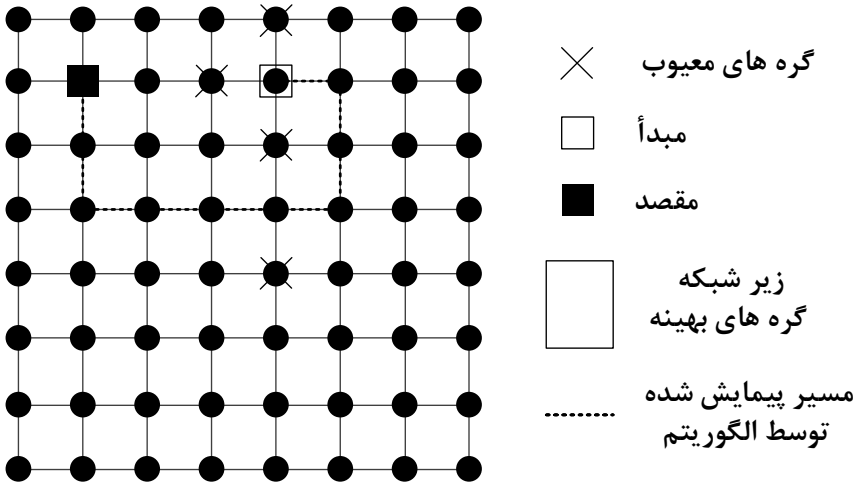
پرسش بعدی این است که الگوریتم مثلث، کانال‌های مجازی را چگونه اختصاص می‌دهد؟ بایستی اذعان داشت که مانند الگوریتم دوآتو، یک کانال مجازی به‌عنوان کانال تطبیقی درنظر گرفته می‌شود و سه کانال دیگر نیز به‌عنوان کانال‌های فرار محسوب خواهند شد. برای پیشگیری از بن‌بست، الگوریتم دوآتو از یک کانال فرار بر طبق روش مسیریابی مبتنی بر بُعد استفاده می‌کند. بدین صورت که در جهت محور X اولویت بالاتری فرض می‌شود؛ بنابراین یکی از کانال‌ها بر اساس شیوهٔ مسیریابی ابتدا در جهت غرب است. بر اساس این مسیریابی، بسته‌های پیام، اجازه‌ی استفاده از چرخش‌های منتهی به‌سوی چپ را ندارند؛ لذا، از یک کانال برای بسته‌هایی که این چرخش‌ها را انتخاب می‌کنند استفاده می‌شود. شکل ۱، مثالی از الگوریتم مثلث را به تصویر کشیده است. در این حالت، الگوریتم نیازی به ورود به قسمت انحراف از مسیر بهینه را ندارد و همان‌طور که دیده می‌شود، الگوریتم تنها مسیر بهینه را یافته است [۲۰]. در شکل ۲ نیز، روش کار الگوریتم مسیریابی مبتنی بر جهت و نیز نحوهٔ انحراف آن از مسیر اصلی نشان داده شده است.

[1] D'Hondt Algorithm



شکل ۱: عملکرد مسیریابی توسط الگوریتم مثلث[۲۰]

Figure 1: Routing performance using the Triangle Algorithm [20].



شکل ۲: عملکرد مسیریابی توسط الگوریتم مبتنی بر جهت [۲۰]

Figure 2: Routing performance using the Direction-Based Algorithm [20].

۳- معرفی الگوریتم پیشنهادی

در این قسمت، با الهام از الگوریتم‌های معرفی شده در بالا، به معرفی یک الگوریتم تطبیقی برای مسیریابی پیغام‌ها در شبکه بر تراشه NOC پرداخته می‌شود. از آنجا که می‌خواهیم ضمن رسیدن به سرعت بالاتر، سردرگمی در الگوریتم اتفاق نیفتد، ماهیت نیمه تطبیقی در نظر گرفته شده است. در واقع این الگوریتم، مشابه الگوریتم‌های بیان‌شده با تغییر در الگوریتم X-Y سعی در بالا بردن سرعت و کاهش تأخیر دارد. الگوریتم پیشنهادی برای مسیریابی بسته‌ها در هم‌بندی توری و توری مدور[1] مناسب است. شبه‌کد مربوط به این الگوریتم در شکل ۳ آورده شده است. همان‌طور که در شبه کد مشاهده می‌شود، این الگوریتم برای مسیریابی، بسته‌ها را به دو دسته تقسیم می‌کند و طبق آن، برخی از بسته‌ها را به صورت معین و طبق الگوریتم X-Y و سایر بسته‌ها را به‌صورت پویا مسیریابی می‌کند. روش کار به این صورت است که اگر Y_s بزرگ‌تر از Y_d باشد، مطابق الگوریتم X-Y بسته‌ها را مسیریابی می‌کند، در غیر این صورت، به صورت پویا، بسته‌ها را در جهات شرق، غرب و یا جنوب (غیر از شمال) مسیریابی می‌کند تا بسته به مقصد برسد. در واقع این الگوریتم مشابه بسیاری از الگوریتم‌های نیمه‌تطبیقی، برای جلوگیری از بن‌بست، از حرکت بسته‌ها در شبکه، در جهاتی که آن‌ها را از مقصد دور می‌کنند، جلوگیری می‌کند [۱۰،۹]. لازم بذکر است که برای شبیه‌سازی الگوریتم‌های مسیریابی ذکرشده و همچنین محاسبه میزان تأخیر انتقال، از نرم‌افزار متلب استفاده شده است. لازم بذکر است که

[1] Mesh and Round Mesh

مدل ترافیکی یکنواخت، مدلی است که در آن ترافیک شبکه در تمام نقاط یکسان فرض شده است، به عبارت دیگر در این مدل، احتمال این‌که مقصد یک بسته، یک گره خاص باشد، با سایر گره‌ها برابر است. در جدول ۱ ۱ شبه‌کد مربوط به الگوریتم تطبیقی ارائه‌شده قابل رؤیت است.

جدول ۱: شبه‌کد مربوط به الگوریتم تطبیقی ارائه‌شده
Table 1: Pseudocode for the proposed adaptive algorithm.

```
Message M is currently in its source at (Xs, Ys) and the
destination is (Xd, Yd).
if (Xs, Ys) = (Xd, Yd) then
    give the message to the local node and return;
else if (Ys>Yd or Ys=Yd) then XY routing
   go in X-dimension while Xs != Xd;
if (Ys != Yd) then
   go in Y-dimension while Ys != Yd and return
    else
      return;
      end if;
else   adaptive routing
go West or East or South while (Xs, Ys) = (Xd,Yd) and
return;
end if;
```

۴- نتایج شبیه‌سازی شبکه پیشنهادی

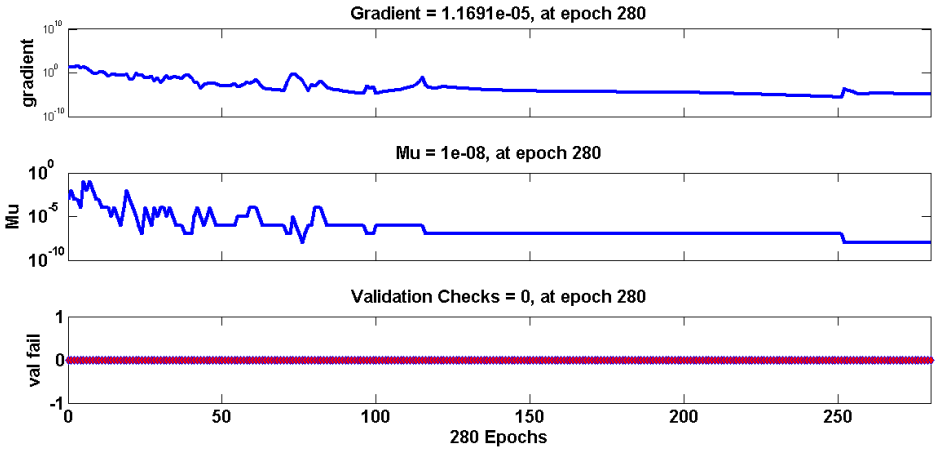
اندازهٔ شبکه مورد آزمون ۸*۸ فرض شده و حداکثر خرابی ۸۰ درصد در نظر گرفته شده است. ضمناً، از پیام‌های ۳۲ بخشی بهره برده است. تعداد کانال‌های مجازی در هر کانال فیزیکی برابر ۴ و عمق بافر به میزان دو برابر طول پیام مقداردهی شده است. فرکانس ساعت برابر ۲۰۰ مگاهرتز، طول هر لینک ۱ میلی‌متر و مقدار پتانسیل برابر ۱ ولت فرض شده است. در شبیه‌سازی از الگوی ترافیک یکنواخت استفاده شده است؛ یعنی هر پردازنده، یک پیام را با احتمال یکسانی برای سایرین ارسال می‌کند. پیام‌های تولید شده در فواصل زمانی، از یک توزیع نمایی انتخاب می‌شوند و پردازنده‌ها پیام‌ها را در یک شکل ناهمگام مسیردهی می‌کنند. همچنین فرض شده است که خرابی‌های غیرعمدی، الگوهای خرابی ایستا هستند و وقوع آن‌ها شبکه را منفصل نمی‌سازد. اِشکالات نشان داده شده در جدول ۲ مورد آزمایش قرار گرفته‌اند. لازم به ذکر است که در صورت عدم حضور گره‌های معیوب، مسیریابی تطبیقی طبق پروتکل دوآتو صورت خواهد پذیرفت.

جدول ۲: مختصات ترکیبات مختلف برای ارزیابی روش پیشنهادی
Table 1: Coordinates of various combinations for evaluating the proposed method.

الگوی اشغال	مختصات نقاط خرابی
U-Shape	(۲،۲)، (۲،۳)، (۲،۴)، (۳،۴)، (۴،۴)، (۴،۲)، (۴،۳)، (۴،۴)
L-Shape	(۲،۱)، (۲،۲)، (۲،۳)، (۲،۴)، (۳،۴)، (۴،۴)، (۵،۴)
H-Shape	(۲،۲)، (۲،۳)، (۲،۴)، (۳،۴)، (۴،۴)، (۵،۴)
T-Shape	(۲،۴)، (۳،۴)، (۴۴،۴)، (۳،۴)، (۴،۴)، (۵،۴)
±Shape	(۳،۱)، (۴،۱)، (۴،۲)، (۴،۳)، (۴،۴)
Random	(۲،۱)، (۲،۴)، (۵،۴)، (۱،۵)، (۴،۵)، (۶،۶)، (۵،۳)، (۵،۲)

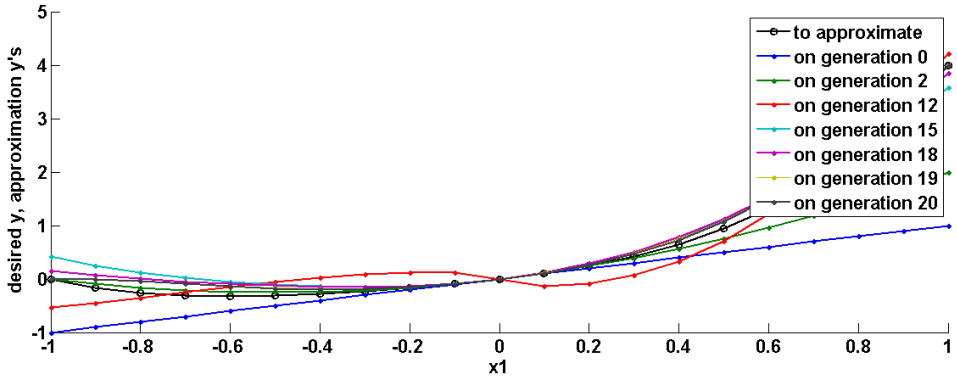
نتایج شبیه‌سازی بر اساس متوسط تأخیر پیام‌ها و متوسط توان مصرفی شبکه بیان شده‌اند. این نتایج در قالب هر دو الگوی کوژ و کاو در شکل‌های ۴ و ۵ بررسی شده است. طبق شکل ۴، برای روش پیشنهادی، گرادیان یا بیشترین شیب تغییرات را برابر با

$۱/۱۶۹ \times ۱۰^{-۵}$ و میانگین مورد انتظار[1] را برابر ۱×۱۰^{-۸} و اعتبارسنجی[2] برابر صفر را به ازای epotch برابر با ۲۸۰ در تأخیر پیام نشان می‌دهد. تغییر بسیار جزئی تأخیر پیام[3] در ارزیابی روش پیشنهادی، به‌ازای حالت تقریبی و نتایج حاصل از روش‌های مختلف تولید (در دو حالت تقریبی و مطلوب) در شکل ۵، نشانگر قابل قبول بودن روش پیشنهادی است.



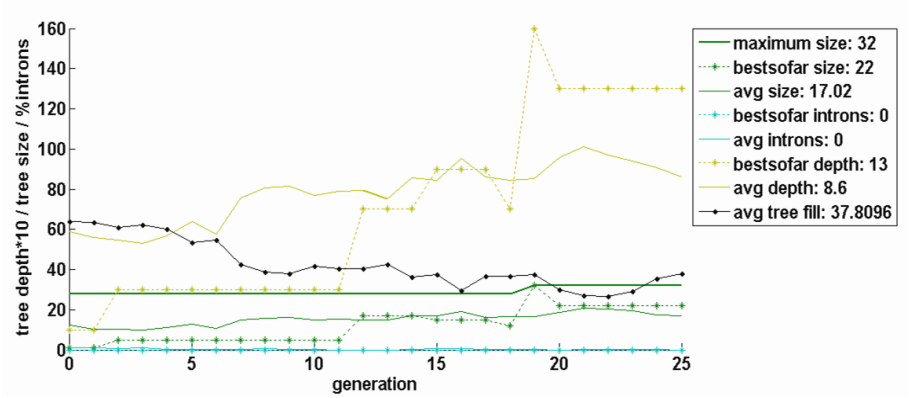
شکل ۴: مقدار تأخیر پیام در ارزیابی روش پیشنهادی

Figure 4: Message latency values in the evaluation of the proposed method.



شکل ۵: تغییر تأخیر پیام در ارزیابی روش پیشنهادی حاصل از روش‌های مختلف

Figure 5: Variation of message latency in the evaluation of the proposed method using different techniques.



شکل ۶: تغییرات انرژی مصرف شده در ارزیابی روش پیشنهادی حاصل از روش‌های مختلف

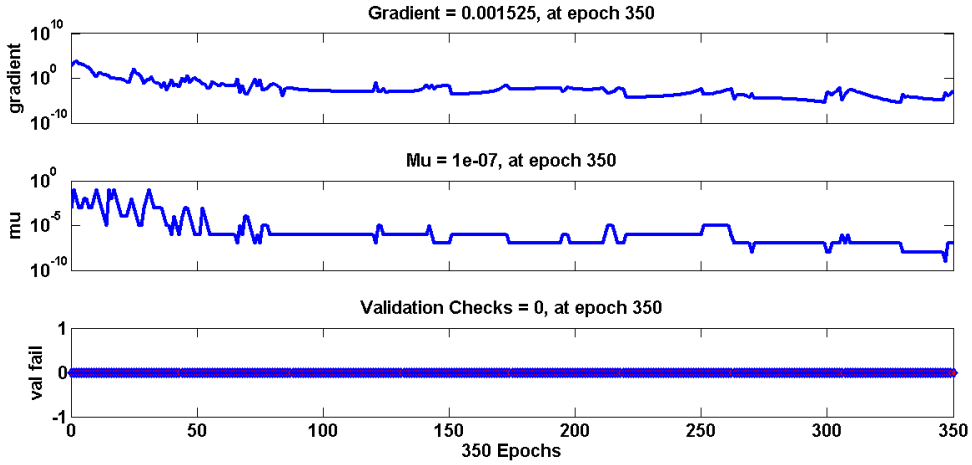
Figure 6: Changes in the consumed energy in the evaluation of the proposed method using different techniques.

[1] population mean or expected value (μ)

[2] Validation Check

[3] message latency

شکل ۷، برای روش پیشنهادی، در مقدار انرژی مصرف شده، وجود گرادیان یا بیشترین شیب تغییرات برابر با $۱/۵۲۷ \times ۱۰^{-۳}$ و میانگین مورد انتظار برابر ۱×۱۰^{-۸} و اعتبارسنجی برابر صفر را به‌ازای epotch برابر با ۳۵۰ نشان می‌دهد. این نتایج، بیانگر قابل قبول بودن نتایج، نسبت به روش‌های مرسوم در سایر مراجع ازنظر مصرف انرژی است.



شکل ۷: مقدار انرژی مصرف شده در ارزیابی روش پیشنهادی

Figure 7: Amount of consumed energy in the evaluation of the proposed method

۵- نتیجه‌گیری

در این مقاله، یک الگوریتم مسیریابی تحمل‌پذیر اشکال ایستا در شبکه‌های میان ارتباطی با هم‌بندی توری و در حضور الگوهای اشکال کوژ و کاو طراحی و شبیه‌سازی شده است. الگوریتم پیشنهادی می‌تواند از الگوهای مختلف اشکال ایستا حمایت کند. نوآوری روش ارائه شده آن است که می‌تواند با تعداد معقولی از اشکالات بدون نیاز به از کار انداختن گره‌های سالم تعامل کند و همچنان کارآیی بالایی را با استفاده از مسیریابی تطبیقی و تنها با ۴ کانال مجازی فراهم سازد و بدین ترتیب هزینهٔ شبکه را نیز کماکان در حالت کمینه حفظ کند، هرچند احتمالا سربار سامانه افزایش می‌یابد. در راستای ادامهٔ کار فعلی، ارائه الگوریتم‌های مسیریابی تحمل‌پذیر اشکال پویا می‌تواند در زمره‌ی کارهای قابل‌توجه تلقی شود، به نحوی که منجر به کاهش ضریب شایستگی (شامل حاصل‌ضرب تاخیر، انرژی مصرفی و سربار سامانه) شود.

مراجع

[1] M. R. Hemmati, M. Dolatshahi and A. Mehrbod, "Increasing the efficiency of NOC routing algorithms based on fault tolerance measurement method," *International Young Engineers Forum (YEF-ECE)*, Costa da Caparica, Portugal, 2018, pp. 31-38, doi: 10.1109/YEF-ECE.2018.8368935.

[2] A. Rezaei and S. M.A. Zanjani, "Design and Analysis of 2 Memristor-Based Nonvolatile SRAMCells," *Journal of Novel Researches on Electrical Power*, vol. 9, no. 2, pp. 47-56, 2020, dor: 20.1001.1. 23222468.1399.9.2.6.6 (in Persian).

[3] S. M. A. Zanjani and M. Parvizi, "Design and Simulation of a Bulk Driven Operational Trans-Conductance Amplifier Based on CNTFET Technology," *Journal of Intelligent Procedures in Electrical Technology*, vol. 12, no. 45, pp. 63-74, 2021, dor: 20.1001.1.23223871.1400.12.1.5.1 (in Persian).

[4] L. Benini and G. deMicheli, "Networks-on-Chip: A New Paradigm for System on Chip Design," *Design Automation and Test in Europe (DATE'02)*, vol. 35, no. 1, pp. 70-78, 2015, doi: 10.1109/DATE.2002.998307.

[5] A. B. Gabis and M. Koudil, "NoC routing protocols – objective-based classification," *Journal of Systems Architecture*, vol. 66–67, pp. 14-32, 2016, doi: 10.1016/j.sysarc.2016.04.011.

[6] S. Raja, J. Logeshwaran, S. Venkatasubramanian, M. Jayalakshmi, N. Rajeswari, N. G. Olaiya and W. D. Mammo, "OCHSA: designing energy-efficient lifetime-aware leisure degree adaptive routing protocol with optimal cluster head selection for 5G communication network disaster management," *Scientific Programming*,vol. 2022, Article ID : 5424356, 2022, doi: 10.1155/2022/5424356.

[7] F. Fazli, M. Mansubbassiri and F. Babazadeh, "A-RPL: Routing Algorithm with the Ability to Support Mobility in Internet of Things Networks," vol. 13, no. 50, pp. 11-32, doi: 10.30495/jce.2023.1975641.1183 (in Persian).

[8] S. Zarmehi, M. Daneshvar Farzanegan and A. Avokh, "A New Algorithm for Link Scheduling in MIMO Wireless Mesh Networks with Various Interference Condition by Ant Colony Algorithm," *Journal of Intelligent Procedures in Electrical Technology* , vol. 15, no. 58, pp. 31-44, 2024, dor: 20.1001.1.23223871.1403.15.58.3.4 (in Persian).

[9] B. S. Heera, Y. N. Singh and A. Sharma, "Congestion-Aware Dynamic RMCSA Algorithm for Spatially Multiplexed Elastic Optical Networks," *International Conference on Optical Network Design and Modeling (ONDM)*, Coimbra, Portugal, 2023, pp. 1-6.

[10] J. Zhang and E. Yeh, "Congestion-aware routing and content placement in elastic cache networks." *arXiv*, vol. 2303.01648, 2023.

[11] J. Oladipo, M. C. du Plessis and T. Gibbon, "Congestion aware ant colony optimisation algorithm for routing and spectrum assignment in flexi-grid optical burst switching networks." *Photonic Network Communications*, vol. 45, no. 2, pp. 67-78, 2023, doi: 10.1007/s11107-023-00993-3.

[12] C. Marcon, T. Webber and A. A. Susin, "Models of computation for NoC mapping: Timing and energy saving awareness," *Microelectronics Journal*, vol. 60, pp. 129-143, 2017, doi: 10.1016/j.mejo.2016.09.005.

[13] C.-H. Huang, C.-Y. Wang and P.-A. Hsiung, "Elastic superposition task mapping for NoC-based reconfigurable systems," *Microprocessors and Microsystems*, vol. 51, pp. 297-312, 2017, doi: 10.1016/j.micpro.2016.12.002.

[14] J. Sepulveda, D. Flórez, V. Immler, G. Gogniat and G. Sigl, "Efficient security zones implementation through hierarchical group key management at NoC-based MPSoCs," *Microprocessors and Microsystems*, vol. 50, pp. 164-174, 2017, doi:10.1016/j.micpro.2017.03.002.

[15] S. Wamakulasuriya and T. M. Pinkston, "Characterization of Deadlocks in Interconnection Networks," in *Proc. of the international Conference on Parallel Processing*, 2015, pp. 80-86, doi:10.1109/IPPS.1997.580852.

[16] Ge-Ming Chiu, "The odd-even turn model for adaptive routing," in *IEEE Transactions on Parallel and Distributed Systems*, vol. 11, no. 7, pp. 729-738, July 2000, doi: 10.1109/71.877831.

[17] J. Wu, "A fault-tolerant and deadlock-free routing protocol in 2D meshes based on odd-even turn model," in *IEEE Transactions on Computers*, vol. 52, no. 9, pp. 1154-1169, Sept. 2003, doi: 10.1109/TC.2003.1228511.

[18] J. Wu and Z. Jiang, "On Constructing the Minimum Orthogonal Convex Polygon for the Fault-Tolerant Routing in 2-D Faulty Meshesl," *IEEE Trans. on Reliability*, vol. 54, no. 3, pp. 449-458, 2015. doi: 10.1109/TR.2005.853039.

[19] M. R. Casu and P. Giaccone, "Power-performance assessment of different DVFS control policies in NoCs," *Journal of Parallel and Distributed Computing*, vol. 109, pp. 193-207, 2017, doi: 10.1016/j.jpdc.2017.06.004.

[20] R. Bishnoi, "Hybrid fault tolerant routing algorithm in NoC," *Perspectives in Science*, vol. 8, pp. 586-588, 2016, doi: 10.1016/j.pisc.2016.06.028.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH

E-ISSN: 2980-9231
https://jce.bushehr.iau.ir

https://doi.org/10.30495/jce.2023.1989614.1211

Vol. 13/ No. 51/Spring 2024

Research Article

Bi-Threshold Cooperative Spectrum Sensing with the Ability of Simultaneous Improving Throughput and Reducing Energy Consumption in Cognitive Radio Network

Masoud Moradkhani, Assistant Professor [1*] | Farzad Soltanian, Instructor [2]

[1]Department of Electrical Engineering, Ilam Branch, Islamic Azad University, Ilam, Iran, ma.moradkhani@iau.ac.ir

[2]Department of Electrical Engineering, Ilam Branch, Islamic Azad University, Ilam, Iran, farzad.64soltanian@gmail.com

Correspondence
Masoud Moradkhani, Assistant Professor, Department of Electrical Engineering, Ilam Branch, Islamic Azad University, Ilam, Iran, ma.moradkhani@iau.ac.ir

Received: 24 June 2023
Revised: 14 August 2023
Accepted: 19 August 2023

Abstract

By performing cooperative spectrum sensing in a cognitive radio network, although the network throughput increases with the increase in the number of secondary users, but at the same time, it also causes an increase in energy consumption. This makes it necessary to provide a system that is able to create a tradeoff between throughput and energy consumption. In contrast to the conventional method of spectrum sensing based on one detection threshold, spectrum sensing with double thresholds avoids reporting unreliable data to the fusion center, thus potentially leading to greater energy saving. In this paper, a double threshold spectrum sensing cognitive radio network with a non-ideal reporting channel is optimized. The values of the threshold and the sensing time are jointly optimized to maximize the throughput of the network, provided that the network energy consumption and the amount of interference with the primary users are limited. The optimization problem is formulated and a numerical method is presented to solve it. The simulation results show a flexible system that can simultaneously provide higher throughput and lower energy consumption than the conventional sensing method. These results, while confirming the higher tolerance against the error of the reporting channel, show a significant energy saving of up to 70% by guaranteeing the throughput efficiency greater than 1.

Keywords: Cognitive Radio, Cooperative Spectrum Sensing, Energy Consumption, Energy Detection, Throughput.

Highlights

- Optimization of cooperative spectrum sensing in cognitive radio network with limited energy and non-ideal reporting channel.
- Converting the multi-parameter optimization problem to a single-parameter problem using an analytical method.
- Transforming the nonlinear constraint of the problem into a simple linear search using a numerical method.
- Improving network performance in terms of throughput and energy consumption.

Citation: M. Moradkhani, F. Soltanian, "Bi-Threshold Cooperative Spectrum Sensing with the Ability of Simultaneous Improving Throughput and Reducing Energy Consumption in Cognitive Radio Network," *Journal of Southern Communication Engineering*, vol. 13, no. 51, pp. 22–36, 2024, doi: 10.30495/jce.2023.1989614.1211, (in Persian).

مقاله پژوهشی

حسگری همکارانه طیف مبتنی بر آشکارسازی دو آستانه‌ای با قابلیت بهبود همزمان گذردهی و کاهش انرژی مصرفی در شبکه رادیو شناختگر

مسعود مرادخانی*[1] | فرزاد سلطانیان[2]

[1]استادیار گروه برق، واحد ایلام، دانشگاه آزاد اسلامی، ایلام، ایران، ma.moradkhani@iau.ac.ir

[2]مربی گروه برق، واحد ایلام، دانشگاه آزاد اسلامی، ایلام، ایران، farzad.64soltanian@gmail.com

نویسنده مسئول
*مسعود مرادخانی، استادیار گروه برق، واحد ایلام، دانشگاه آزاد اسلامی، ایلام، ایران، ma.moradkhani@iau.ac.ir

چکیده:

با انجام حسگری طیف همکارانه در یک شبکه رادیو شناختگر اگر چه با افزایش تعداد کاربران ثانویه گذردهی شبکه افزایش می‌یابد، اما در عین حال باعث افزایش مصرف انرژی نیز می‌گردد. این موضوع لزوم ارائه سیستمی که قادر به ایجاد موازنه بین گذردهی و انرژی مصرفی باشد را ضروری می‌سازد. برخلاف روش متعارف حسگری طیف مبتنی بر یک مقدار آستانه آشکارسازی، حسگری طیف با دو مقدار آستانه از گزارش داده‌های غیرقابل اعتماد به مرکز همجوشی جلوگیری می‌کند، بنابراین می‌تواند به طور بالقوه منجر به صرفه‌جویی بیشتر در انرژی مصرفی شود. در این مقاله یک شبکه رادیو شناختگر با حسگری طیف دو آستانه‌ای و با فرض کانال گزارش غیر ایده‌آل بهینه‌سازی می‌گردد. مقادیر بهینه آستانه و زمان حسگری به صورت توام محاسبه می‌گردند تا گذردهی شبکه را حداکثر کرده مشروط بر اینکه انرژی مصرفی و میزان تداخل با کاربران اولیه محدود گردد. مساله بهینه سازی فرمول بندی شده و روشی عددی برای حل آن ارائه می‌گردد. نتایج شبیه‌سازی نشان‌دهنده یک سیستم انعطاف پذیر است که می‌تواند همزمان گذردهی بالاتر و انرژی مصرفی کمتری را نسبت به روش متعارف حسگری فراهم کند. این نتایج ضمن تایید تاب‌آوری بالاتر در برابر خطای کانال گزارش، صرفه جویی انرژی قابل توجهی تا سقف ۷۰٪ را با تضمین کارایی گذردهی بیشتر از ۱ نشان می‌دهد.

کلید واژه‌ها: آشکارسازی انرژی، انرژی مصرفی، حسگری طیف همکارانه، رادیو شناختگر، گذردهی

تاریخ دریافت: ۳ تیر ۱۴۰۲
تاریخ بازنگری: ۲۳ مرداد ۱۴۰۲
تاریخ پذیرش: ۲۸ مرداد ۱۴۰۲

https://doi.org/10.30495/jce.2023.1989614.1211

۱-مقدمه

رادیو شناختگر یک فناوری ارتباطی بی‌سیم است که به طور منظم محیط رادیویی اطراف خود را پایش کرده و به شکل هوشمند کانال‌های فرکانسی مشغول و بیکار را شناسایی می‌کند. سپس از کانال‌های بیکار به صورت فرصت طلبانه برای مبادله داده استفاده کرده و از کانال‌های مشغول به منظور جلوگیری از تداخل با کابران دارای مجوز که اصطلاحا کاربران اولیه نامیده می‌شوند، پرهیز می‌کند. در نتیجه به عنوان کاربر ثانویه کارایی طیفی را بهبود می‌بخشد در حالی که از تداخل با کاربران اولیه جلوگیری می‌کند [۱]. این فن‌آوری قابلیت هایی را برای صنایع مخابراتی و فن‌آوری اطلاعات فراهم می‌کند تا نیازهای روز افزون برای خدمات ارتباطی با کیفیت و پر سرعت را برآورده کنند.

کارکردهای اساسی هر رادیو شناختگر شامل حسگری طیف، مدیریت پویای طیف و مخابرات وفقی است [۲]. حسگری طیف که هدف آن تشخیص طیف فرکانس استفاده نشده در یک زمان یا مکان خاص است، به عنوان مهمترین عملکرد رادیو شناختگر

ذکر شده است [۳]. آشکارسازی انرژی به دلیل عدم نیاز آن به دانش قبلی از سیگنال اولیه، سادگی و هزینه محاسباتی کم آن یکی از روش های متداول حسگری طیف است. اگر هر رادیو شناختگر به تنهایی کار آشکارسازی کاربر اولیه را انجام دهد، عملکرد آن به دلیل مشکلات ناشی از محو شدگی و سایه زنی کاهش می‌یابد. حسگری طیف همکارانه برای حل چنین مشکلاتی پیشنهاد شده است. این روش از اطلاعات همه رادیوها یا برخی از آنها در فرآیند آشکارسازی نهایی استفاده می‌کند [۴].

در حسگری همکارانه یک ایستگاه پایه به نام مرکز همجوشی[1]، اطلاعات محلی ناشی از رادیوها را جمع‌آوری و پردازش می‌کند. این همکاری به دو صورت کلی انجام می‌گردد: ادغام داده ها یا ادغام تصمیمات. در ادغام داده ها یک نسخه وزنی از انرژی جمع آوری شده توسط هر کاربر ثانویه بدون پردازش از طریق کانال گزارش به مرکز همجوشی ارسال می‌شود و سپس با استفاده از برخی الگوریتم ها تصمیم نهایی استخراج می‌شود. در ادغام تصمیمات، کاربران ثانویه حسگری محلی را به طور مستقل انجام داده و هر کدام یک تصمیم دودویی (۱ یا ۰) مبنی بر فعالیت یا عدم فعالیت کاربر اولیه می‌گیرند. این تصمیمات محلی به مرکز همجوشی گزارش می‌شود که در آن بر اساس یک قانون از پیش تعریف شده، ترکیب شده و سپس تصمیم نهایی اتخاذ می‌گردد. یکی از قوانین بسیار مورد استفاده قانون OR است که بر اساس آن اگر حداقل یک کاربر ثانویه به فعالیت کاربر اولیه رای دهد، مرکز همجوشی نیز فعالیت کاربر اولیه را اعلام کرده و کاربران ثانویه را از اشغال کانال و مبادله داده منع می‌کند. این قانون ایمنی بالاتری را برای کاربران اولیه در برابر اثرا ت مخرب ناشی از تداخل شبکه رادیو شناختگر فراهم می‌کند.

متأسفانه با افزایش تعداد کاربران ثانویه شرکت کننده در فرآیند حسگری طیف، میزان مصرف انرژی نیز افزایش می‌یابد. این مساله به ویژه برای سیستم های با منبع تغذیه باتری مانند دستگاه های تلفن همراه و شبکه های حسگر بی سیم قابل پذیرش نیست [۵]. بنابراین یافتن روش هایی برای صرفه جویی تا حد امکان در مصرف انرژی بسیار حائز اهمیت است. در حسگری طیف غیر همکارانه هر کاربر ثانویه در هر زمان در یکی از دو فاز حسگری و انتقال عمل می‌کند. در فاز حسگری محیط فرکانسی خود را پایش کرده و به محض تشخیص باند بیکار به فاز انتقال رفته و مبادله داده را شروع می‌کند. اما در حسگری همکارانه یک مرحله اضافی بین موارد فوق وجود دارد که به آن فاز گزارش می‌گویند. در این فاز پس از مرحله حسگری کاربران ثانویه نتایج حسگری محلی خود را به مرکز همجوشی گزارش می‌کنند و منتظر دستور آن می‌مانند تا بدانند که آیا شروع به ایجاد ارتباط کنند یا خیر. انرژی مصرفی کل یک شبکه رادیو شناختگر همکارانه برابر با مجموع مصرف انرژی در سه فاز پیش گفته است.

حسگری طیف متعارف با یک آستانه آشکارسازی، هیچ کنترلی بر مصرف انرژی اعمال نمی‌کند. در این مقاله سیستمی با دو مقدار آستانه را در نظر می‌گیریم که در آن تنها تصمیمات محلی قابل اعتماد به مرکز همجوشی ارسال می‌شوند [۶]. در این روش با کاهش مصرف انرژی در فاز گزارش، انرژی مصرفی کل کاهش می‌یابد. در بیشتر کارهای انجام شده تا کنون کانال گزارش، ایده آل یا بدون خطا فرض شده است. بدیهی است که چنین فرضی در کاربردهای واقعی درست نیست. احتمال خطای بیت کانال گزارش حتی با وجود دقیق بودن نتایج حسگری محلی و تنظیم بودن زمان حسگری در مقدار بهینه خود، می‌تواند باعث کاهش شدید عملکرد حسگری همکارانه شود [۷]. به همین دلیل مدل پیشنهادی ما مبتنی بر فرض کانال گزارش غیر ایده‌آل است.

تاریخ توسعه روش‌های کارا از نظر انرژی برای شبکه‌های حسگر بی‌سیم به قدمت این فن‌آوری است، اما برای شبکه‌های رادیو شناختگر تنها به چند سال قبل باز می‌گردد. در [۸] روشی برای مکان‌یابی کاربران اولیه و ثانویه ارائه شده است تا بتوان با تعیین دقیق محدوده انتقال رادیوها و در نتیجه تنظیم موثر توان ارسالی آن ها انرژی مصرفی کل شبکه را کاهش داد. در [۹] به وسیله تنظیم فرکانس حسگری با قرار دادن زمان‌های خواب بین دوره‌های متوالی حسگری، انرژی مصرفی شبکه کاهش یافته است.

اختصاص منابع شبکه به صورت موثر میان کاربران ثانویه با هدف تامین کیفیت خدمات و صرفه‌جویی در منابع موضوع برخی کارهای مرتبط است [۱۰-۱۲]. افزایش کارایی طیفی هدف اصلی شبکه‌های رادیو شناختگر است. بنابراین افزایش گذردهی از اهمیت بسیاری در چنین شبکه هایی برخوردار است. در [۱۳] ایجاد موازنه‌ای بین گذردهی و دقت آشکارسازی در شرایط رفت و آمد کاربران ثانویه بررسی شده است. در [۱۴] به منظور بهبود گذردهی روشی برای اختصاص زمان مناسب به فعالیت های

[1] Fusion Center

مختلف رادیو شناختگر پیشنهاد شده است. برخی تحقیقات نیز در زمینه حداکثر کردن گذردهی در شبکه های دارای قابلیت جمع آوری بی سیم انرژی انجام گرفته است [۱۵-۱۷].

در سال های اخیر آشکارسازی انرژی مبتنی بر دو مقدار آستانه برای حسگری طیف در شبکه های رادیو شناختگر مورد توجه قرار گرفته است. بیشتر کارهای انجام شده بر بهبود عملکرد آشکارسازی متمرکز بوده اند [۱۸-۲۴]. برخی نیز گذردهی و انرژی مصرفی شبکه را مورد توجه قرار داده‌اند [۲۵-۲۷]. در [۱۸] به منظور مقابله با کمبود طیف و همچنین رفع مشکل تغییرات زیاد محیطی در شبکه‌های ارتباط خودرویی، از فن‌آوری رادیو شناختگر با قابلیت تنظیم خودکار مقادیر آستانه آشکارسازی استفاده شده است به گونه ای که احتمالات هشدار غلط و آشکارسازی در مقادیر مطلوب ثابت نگه داشته شوند. در [۱۹] حسگری همکارانه طیف با در نظرگرفتن تاریخچه حسگری ارائه شده است. در این روش در صورت قابل اعتماد نبودن آماره آزمون، نمونه های بیشتری از گذشته سیگنال دریافتی در محاسبه آماره آزمون دخالت داده می‌شوند. نتایج حاصل بهبود کارایی را از نظر دقت طیف سنجی نشان می‌دهد. در [۲۰] مقادیر آستانه های آشکارسازی با هدف حداقل کردن خطای تصمیم نهایی حسگری همکارانه مبتنی بر قانون همجوشی اکثریت بهینه‌سازی شده اند. در [۲۱] به منظور افزایش دقت حسگری و برای کانال‌های گوسی با محوشدگی رایلی به تصمیمات هر یک از رادیوهای شبکه متناسب با وضعیت کانال آن ها وزن مناسب اختصاص می‌یابد. تصمیم نهایی در مرکز همجوشی با ترکیب این تصمیمات وزن‌دار گرفته می‌شود. در [۲۲] یک قانون تصمیم نرم[1] مبتنی بر ترکیب انرژی های دریافت شده توسط کاربران ثانویه ارائه شده است و کارایی آن از نظر گذردهی و دقت حسگری مورد ارزیابی قرار گرفته است. در [۲۴،۲۳] از ترکیب همجوشی‌های سخت و نرم استفاده شده است که در آن در صورت قرار گرفتن آماره آزمون بین دو مقدار آستانه، به جای ارسال نتیجه حسگری به صورت دودویی مقدار آماره آزمون توسط کاربر ثانویه به مرکز همجوشی ارسال می‌شود.

در مقالات ذکر شده فوق، هدف اصلی افزایش دقت حسگری همکارانه طیف یا به عبارت دیگر بهبود منحنی مشخصه عملیاتی گیرنده ROC[2] است و برخلاف مقاله حاضر شامل ارزیابی شبکه از نظر میزان گذردهی قابل دسترس و انرژی مصرفی نیست.

در [۲۵] به منظور صرفه جویی در مصرف انرژی از ترکیب آشکارسازی دو آستانه‌ای و خوشه‌بندی استفاده شده است. بسته به موقعیت مکانی رادیوها، شبکه به خوشه‌هایی تقسیم بندی می‌شود که در هر خوشه تنها سرخوشه مجاز به ارتباط با مرکز همجوشی است. همچنین نتایج آشکارسازی که بین دو مقدار آستانه هستند، نادیده گرفته شده و به مرکز همجوشی ارسال نمی‌گردند. در این مقاله تنها کمینه کردن انرژی تحت قیود کارایی حسگری به عنوان مساله بهینه سازی مطرح شده است و پارامتر گذردهی در بهینه سازی دخالت داده نشده است.

در [۲۶] بررسی محدب بودن مساله افزایش گذردهی شبکه با انرژی مصرفی محدود مورد تاکید قرار گرفته است. در این تحقیق نشان داده شده است که برای محدوده خاصی از مقادیر احتمالات هشدار غلط و آشکارسازی و همچنین اعمال محدودیت بر تعداد کاربران ثانویه، تابع و قیود مساله محدب هستند. در مقاله حاضر بر خلاف [۲۶] ما یک راه حل عددی برای حل مساله بهینه سازی ارائه می‌دهیم که توسط آن قیود انرژی مصرفی و میزان تداخل با کاربران اولیه به یک جستجوی خطی ساده بین دو مقدار حدی زمان حسگری تبدیل می‌شود. علاوه براین هیچگونه محدودیتی بر احتمالات هشدار غلط و آشکارسازی و تعداد کاربران ثانویه اعمال نمی‌شود.

در [۲۷] مدلی ارائه شده است که بر مبنای آن در صورت قرار گرفتن آماره آزمون بین دو مقدار آستانه، مرحله حسگری طیف دوباره انجام می‌شود و این مرحله تا زمانی که نتیجه حسگری یکی از دو وضعیت فعالیت یا عدم فعالیت کاربر اولیه باشد، تکرار می‌گردد. نتایج شبیه سازی بهبود گذردهی را نشان می‌دهد. بدیهی است که انرژی مورد نیاز برای انجام مراحل اضافی حسگری باعث افزایش انرژی مصرفی کل شبکه می‌شود، اما در مقاله مذکور محدودیت انرژی مصرفی به عنوان قید مساله در نظر گرفته نشده است.

1 Soft Decision Rule

2 Receiver Operating Characteristics

در مقالات اشاره شده فوق، کانال گزارش به صورت ایده‌آل و بدون خطا در نظر گرفته شده است. چنین فرضی به دلیل پدیده محوشدگی واقعی نیست. از طرف دیگر در رادیو شناختگر به دلیل محدودیت پهنای باندکانال گزارش، استفاده از روش‌های کدگذاری تشخیص و تصحیح خطا پیشنهاد نمی‌شود. در مقاله حاضر مدل پیشنهادی مبتنی بر کانال گزارش غیرایده‌ال است.
موضوع اصلی این تحقیق ارائه روش حسگری همکارانه طیف است که به صورت توام همه موارد گذردهی شبکه، انرژی مصرفی و کارایی حسگری را در بر می‌گیرد. تازه‌های روش پیشنهادی که به صورت یک مساله بهینه سازی مدل شده است، شامل موارد زیر است:

۱- در نظر گرفتن کانال گزارش به صورت واقعی و دارای خطا.
۲- ارائه راه حل تحلیلی و تبدیل مساله با سه پارامتر بهینه سازی (مقادیر آستانه و زمان حسگری) به مساله ای با یک پارامتر بهینه سازی (زمان حسگری).
۳- ارائه راه حل عددی و تبدیل قید غیرخطی مساله به یک جستجوی خطی ساده بر روی زمان حسگری.
۴- معرفی پارامترهای جدید صرفه جویی و نسبت انرژی و ارزیابی تاثیر آن‌ها در عملکرد شبکه.

ادامه مقاله به صورت زیر تنظیم شده است. بخش ۲ حسگری طیف را معرفی می‌کند. بخش ۳ مدل پیشنهادی و روابط مربوط را ارائه می‌کند. مساله بهینه سازی و تحلیل آن در بخش ۴ ارائه شده است. در بخش ۵ نتایج شبیه سازی آورده شده است و بخش ۶ نیز نتیجه گیری نهایی را بیان می‌کند.

۲- حسگری طیف

یک شبکه رادیو شناختگر با M کاربر ثانویه را در نظر بگیرید. هر کاربر ثانویه به یک آشکارساز انرژی مجهز است. مرکز همجوشی بر مبنای قانون همجوشی OR، همکاری کاربران ثانویه با یکدیگر و هماهنگی بین آن ها را مدیریت می‌کند. سیگنال دریافتی به صورت زیر است:

$$x_i[n]=\begin{cases} z_i[n] & H_0 \\ s_i[n]+z_i[n] & H_1 \end{cases},\quad i=1,2,...,M,\qquad n=1,2,...,N. \tag{۱}$$

$x_i[n]$ سیگنال دریافتی توسط رادیو i و $N=\tau f_s$ تعداد نمونه ها است. τ و f نیز به ترتیب زمان حسگری و فرکانس نمونه برداری هستند. H_0 و H_1 فرضیه های آشکارسازی هستند که اولی بیکار بودن و دومی مشغول بودن کاربر اولیه را بیان می‌کند. $s_i[n]$ سیگنال کاربر اولیه با واریانس σ_s^2 و میانگین صفر و $z_i[n]$ نویز جمع شونده با واریانس σ_z^2 و میانگین صفر است. با فرض اینکه سیگنال و نویز متغیرهای تصادفی گوسی مستقل با توزیع یکسان هستند، آماره آزمون[1] آشکارساز انرژی به صورت زیر است:

$$TS_i=\frac{1}{N\sigma_z^2}\sum_{n=1}^{N}\left|x_i^2[n]\right|,\quad i=1,2,...,M \tag{۲}$$

پارامتر فوق با استفاده از قضیه حد مرکزی دارای توزیع نرمال است که اگر کاربر اولیه غیرفعال باشد، دارای میانگین ۱ و واریانس $1/N$ و در غیر این صورت دارای میانگین $1+\gamma$ و واریانس $1/N(1+\gamma)^2$ است که $\gamma=\sigma_s^2/\sigma_z^2$ مقدار متوسط SNR است.
حسگری طیف مبتنی بر آشکارسازی انرژی به صورت معمول مقایسه‌ای بین آماره آزمون و مقدار آستانه λ انجام می‌دهد تا تشخیص دهد که آیا کاربر اولیه فعال (H_1) است یا خیر(H_0). اگر آماره آزمون از λ بیشتر باشد، H_1 و در غیر این صورت H_0 به عنوان فرضیه درست اعلام می‌شود. احتمالات محلی هشدار غلط و آشکارسازی به صورت زیر هستند [۲]:

$$p_f(\tau,\lambda)=\Pr(TS_i\geq\lambda\mid H_0)=Q[(\lambda-1)\sqrt{\tau f_s}] \tag{۳}$$

$$p_d(\tau,\lambda)=\Pr(TS_i\geq\lambda\mid H_1)=Q[(\lambda-\gamma-1)\frac{\sqrt{\tau f_s}}{\gamma+1}] \tag{۴}$$

1 Test Statistic

فرض می‌کنیم که تصمیمات محلی از طریق کانال گزارش غیر ایده‌آل و با احتمال خطای P_e به مرکز همجوشی ارسال می‌شوند. بنابراین برای مرکز همجوشی، احتمال هشدار غلط $P_{F,conv}$ و احتمال آشکارسازی $P_{D,conv}$ را می‌توانیم به صورت زیر بیان کنیم:

$$P_{F,conv}(\tau,\lambda) = (1-P_e)p_f(\tau,\lambda) + P_e[1-p_f(\tau,\lambda)] = P_e + (1-2P_e)p_f(\tau,\lambda) \quad (۵)$$

$$P_{D,conv}(\tau,\lambda) = (1-P_e)p_d(\tau,\lambda) + P_e[1-p_d(\tau,\lambda)] = P_e + (1-2P_e)p_d(\tau,\lambda) \quad (۶)$$

همچنین این احتمالات برای کل شبکه با در نظر گرفتن قانون همجوشی OR به صورت زیر هستند که تحت عنوان احتمالات سراسری شناخته می‌شوند [۳]:

$$Q_{F,conv}(\tau,\lambda) = 1-[1-P_{F,conv}(\tau,\lambda)]^M = 1-[1-P_e-(1-2P_e)p_f(\tau,\lambda)]^M \quad (۷)$$

$$Q_{D,conv}(\tau,\lambda) = 1-[1-P_{D,conv}(\tau,\lambda)]^M = 1-[1-P_e-(1-2P_e)p_d(\tau,\lambda)]^M \quad (۸)$$

انرژی مصرفی کل شبکه ناشی از دو مرحله حسگری و گزارش است:

$$E_{conv}(\tau) = \sum_{i=1}^{M}(\tau f_s E_{s_i} + E_{r_i}) = \tau f_s \sum_{i=1}^{M} E_{s_i} + \sum_{i=1}^{M} E_{r_i} \quad (۹)$$

که E_{si} انرژی مورد نیاز برای کاربر ثانویه i جهت حسگری یک نمونه از سیگنال اولیه و E_{ri} انرژی مصرفی آن برای گزارش تنها یک تصمیم محلی دودویی به مرکز همجوشی است.

گذردهی متوسط شبکه را می‌توان به صورت رابطه زیر بیان کرد [۲۸]:

$$R_{conv}(\tau,\lambda) = \frac{T-\tau}{T}\{P(H_0)r_0[1-Q_{F,conv}(\tau,\lambda)] + P(H_1)r_1[1-Q_{D,conv}(\tau,\lambda)]\} \quad (۱۰)$$

که T زمان قاب و r_0 و r_1 به ترتیب گذردهی های شبکه در زمان عدم فعالیت و فعالیت کاربر اولیه هستند. در عمل موارد استفاده رادیو شناختگر بیشتر در مواردی است که کابر اولیه عموما غیر فعال باشد، یعنی مقدار $P(H_0)$ خیلی بیشتر از مقدار $P(H_1)$ باشد. از طرف دیگر به خاطر اثرات مخرب تداخل، فعالیت همزمان کاربران اولیه و ثانویه باعث افت قابل ملاحظه گذردهی شبکه می‌گردد. به عبارت دیگر مقدار r_1 نسبت به r_0 ناچیز بوده و قابل چشم پوشی است. همچنین ملاحظات مربوط به تداخل الزام می‌کند که مقدار آشکارسازی سراسری شبکه $Q_{F,conv}$ ، روی عددی نزدیک به ۱ تنظیم شود. با توجه به موارد گفته شده می‌توان از جمله دوم رابطه ۱۰ صرف نظر کرد و گذردهی متوسط را به صورت زیر نوشت:

$$R_{conv}(\tau,\lambda) = \frac{T-\tau}{T}[1-Q_{F,conv}(\tau,\lambda)] = \frac{T-\tau}{T}[1-P_e-(1-2P_e)p_f(\tau,\lambda)]^M \quad (۱۱)$$

۳- مدل پیشنهادی

مدل پیشنهادی مبتنی بر آشکارسازی با دو مقدار آستانه λ_1 و λ_2 است که مقدار λ_1 بزرگتر یا مساوی صفر و کوچکتر یا مساوی λ_2 است. اگر آماره آزمون بین این دو مقدار واقع شود، اطلاعات دریافتی بی اعتبار قلمداد شده و چیزی به مرکز همجوشی ارسال نمی‌شود، به عبارت دیگر نتیجه حسگری سانسور می‌گردد. اگر مقدار آماره بیشتر از λ_2 باشد، فرضیه H_1 تایید گردیده و بیت '۱' از طرف کاربر اولیه به عنوان تصمیم محلی به مرکز همجوشی ارسال خواهد شد. اگر این مقدار کوچکتر از λ_1 باشد، فرضیه H_0 تایید شده که به معنی ارسال بیت'۰' است. بنابراین تصمیم محلی هر کاربر ثانویه به صورت زیر است:

$$D = \begin{cases} 0 & TS < \lambda_1 \\ \text{No Decision} & \lambda_1 \le TS < \lambda_2 \\ 1 & TS \ge \lambda_2 \end{cases} \quad (۱۲)$$

اگر Δ را به عنوان احتمال سانسور در نظر بگیریم، خواهیم داشت:

$$\Delta(\tau,\lambda_1,\lambda_2) = \Pr(\lambda_1 \prec TS_i \prec \lambda_2) = P(H_0)\Delta_0(\tau,\lambda_1,\lambda_2) + P(H_1)\Delta_1(\tau,\lambda_1,\lambda_2) \quad (۱۳)$$

$\Delta_0(\tau,\lambda_1,\lambda_2)$ برابر با $\Pr(\lambda_1<T_i<\lambda_2|H_0)$ و بیانگر احتمال شرطی سانسور در زمان عدم فعالیت کاربر اولیه است. $\Delta_1(\tau,\lambda_1,\lambda_2)$ نیز برابر با $\Pr(\lambda_1<T_i<\lambda_2|H_1)$ و بیانگر احتمال شرطی سانسور در زمان فعالیت کاربر اولیه است. این دو پارامتر را می‌توان به صورت زیر بسط داد:

$$\Delta_0(\tau,\lambda_1,\lambda_2)=\Pr(T_i \succ \lambda_1 | H_0)-\Pr(T_i \succ \lambda_2 | H_0)=p_f(\tau,\lambda_1)-p_f(\tau,\lambda_2) \quad (۱۴)$$

$$\Delta_1(\tau,\lambda_1,\lambda_2)=\Pr(T_i \succ \lambda_1 | H_1)-\Pr(T_i \succ \lambda_2 | H_1)=p_d(\tau,\lambda_1)-p_d(\tau,\lambda_2) \quad (۱۵)$$

با در نظر گرفتن خطای کانال گزارش، احتمالات محلی هشدار غلط و آشکارسازی در مرکز همجوشی را می‌توان از روابط زیر به دست آورد:

$$P_F(\tau,\lambda_2)=(1-P_e)p_f(\tau,\lambda_2)+P_e[1-p_f(\tau,\lambda_2)]=P_e+(1-2P_e)p_f(\tau,\lambda_2) \quad (۱۶)$$

$$P_D(\tau,\lambda_2)=(1-P_e)p_d(\tau,\lambda_2)+P_e[1-p_d(\tau,\lambda_2)]=P_e+(1-2P_e)p_d(\tau,\lambda_2) \quad (۱۷)$$

با فرض آن که تعداد i کاربر ثانویه تصمیمات محلی خود را به مرکز همجوشی ارسال کنند، احتمالات سراسری به صورت زیر است:

$$q_{Fi}(\tau,\lambda_2)=1-[1-P_F(\tau,\lambda_2)]^i \quad (۱۸)$$

$$q_{Di}(\tau,\lambda_2)=1-[1-P_D(\tau,\lambda_2)]^i \quad (۱۹)$$

احتمال هشدار غلط سراسری نهایی به صورت زیر قابل محاسبه است [۲۶]:

$$\begin{aligned}Q_F(\tau,\lambda_1,\lambda_2)&=\sum_{i=1}^{M} pr(i\,|\,H_0)q_{Fi}=\sum_{i=1}^{M}\binom{M}{i}(1-\Delta_0)^i\Delta_0^{M-i}[1-(1-P_F)^i]\\&=\sum_{i=1}^{M}\binom{M}{i}(1-\Delta_0)^i\Delta_0^{M-i}-\sum_{i=1}^{M}\binom{M}{i}[(1-\Delta_0)(1-P_F)]^i\Delta_0^{M-i}\\&=(1-\Delta_0{}^M)-\{[(1-\Delta_0)(1-P_F)+\Delta_0]^M-\Delta_0^M\}\\&=1-[(1-\Delta_0)(1-P_F)+\Delta_0]^M=1-[1-(1-\Delta_0)P_F]^M\end{aligned} \quad (۲۰)$$

احتمال آشکارسازی سراسری نهایی نیز به روش مشابهی محاسبه می‌شود:

$$Q_D(\tau,\lambda_1,\lambda_2)=\sum_{i=1}^{M} pr(i\,|\,H_1)q_{Di}=1-[1-(1-\Delta_1)P_D]^M \quad (۲۱)$$

که $pr(i|H_0)$ احتمال شرطی انتخاب i کاربر ثانویه از بین M کاربر در شرایط عدم فعالیت کاربر اولیه است. همچنین $pr(i|H_1)$ احتمال شرطی انتخاب i کاربر ثانویه از بین M کاربر در شرایط فعالیت کاربر اولیه است. با توجه به مطالب فوق انرژی مصرفی و گذردهی نرمالیزه نیز مطابق روابط زیر هستند:

$$E(\tau,\lambda_1,\lambda_2)=\tau f_s E_s+(1-\Delta_0)E_r \quad (۲۲)$$

$$R(\tau,\lambda_1,\lambda_2)=\frac{T-\tau}{T}(1-Q_F)=\frac{T-\tau}{T}[1-(1-\Delta_0)P_F]^M \quad (۲۳)$$

۴- مساله بهینه سازی و تحلیل

از آنجا که رادیو شناختگر تنها در زمان هایی مجاز به مبادله داده است که کاربران اولیه غیر فعال باشند، بنابراین افزایش گذردهی در این شبکه‌ها از اهمیت بیشتری نسبت به شبکه‌های با باند فرکانسی اختصاصی برخوردار است. علاوه بر این انرژی مصرفی نیز حائز اهمیت است و افزایش گذردهی نباید به قیمت افزایش انرژی مصرفی تمام شود. در نتیجه در سیستم پیشنهادی ما یک شبکه با انرژی محدود را درنظر می‌گیریم که مقدار حداکثر آن به پارامتر β محدود می‌شود.

همچنین برای محافظت از کاربران اولیه در برابر تداخل رادیو شناختگر، مقدار حداقل احتمال آشکارسازی کل را به پارامتر قابل تنظیم α محدود می‌کنیم. بنابراین هدف ما حداکثر کردن گذردهی شبکه تحت قیودی است که انرژی مصرفی و میزان تداخل مجاز را محدود می‌کند. زمان حسگری و مقادیر آستانه پارامترهای آشکارسازی هستند که لازم است به صورت توام بهینه گردند، بنابراین مساله بهینه سازی را می توان به صورت زیر نوشت:

$$\max_{\tau,\lambda_1,\lambda_2} \quad R(\tau,\lambda_1,\lambda_2)$$

Subject to:

$$Q_D(\tau,\lambda_1,\lambda_2)\geq\alpha \quad (۲۴)$$

$$E(\tau,\lambda_1,\lambda_2)\leq\beta \quad (۲۵)$$

با توجه به رابطه ۲۱، قید ۲۴ به صورت زیر بازنویسی می شود:

$$(1-\Delta_1)P_D \geq 1-(1-\alpha)^{\frac{1}{M}} \quad (۲۶)$$

برای حل مساله، مشتق جزیی Δ_0 نسبت به λ_1 را به دست می‌آوریم:

$$\frac{\partial \Delta_0}{\partial \lambda_1} = -\frac{1}{\sqrt{2\pi}}\sqrt{\tau f_s}\exp[-\frac{1}{2}\tau f_s(\lambda_1-1)^2] \quad (۲۷)$$

می‌توان دید که مقدار $\partial\Delta_0/\partial\lambda_1$ کوچکتر یا مساوی صفر است. با گرفتن مشتقات جزیی Q_F و R نسبت به λ_1 خواهیم داشت:

$$\frac{\partial Q_F}{\partial \lambda_1} = -MP_F[1-(1-\Delta_0)P_F]^{M-1}\frac{\partial \Delta_0}{\partial \lambda_1} \quad (۲۸)$$

$$\frac{\partial R}{\partial \lambda_1} = -\frac{T-\tau}{T}\frac{\partial Q_F}{\partial \lambda_1} \quad (۲۹)$$

چون $\partial\Delta_0/\partial\lambda_1$ کوچکتر یا مساوی صفر است، بنابراین $\partial Q_F/\partial\lambda_1$ بزرگتر یا مساوی صفر و درنتیجه $\partial R/\partial\lambda_1$ کوچکتر یا مساوی صفر است. بنابراین R یک تابع نزولی از λ_1 است. به عبارت دیگر برای هر τ و λ_2، کمترین مقدار ممکن λ_1 (یعنی '۰') منجر به گذردهی حداکثر می‌گردد. با قرار دادن '۰' به جای λ_1 در روابط ۱۴، ۱۵و ۲۲ خواهیم داشت [۲۶]:

$$\Delta_0(\tau,\lambda_2) = 1-p_f(\tau,\lambda_2) \quad (۳۰)$$

$$\Delta_1(\tau,\lambda_2) = 1-p_d(\tau,\lambda_2) \quad (۳۱)$$

$$E(\tau,\lambda_2) = \tau f_s E_s + p_f(\tau,\lambda_2)E_r \quad (۳۲)$$

با توجه به رابطه ۳۱، قید ۲۶ معادل $p_d P_D \geq \alpha_1$ خواهد بود که با بسط آن به رابطه زیر می‌رسیم:

$$(1-2P_e)p_d^2 + P_e p_d - \alpha_1 \geq 0 \quad (۳۳)$$

در عمل P_e کوچکتر از ۰/۵ است و رابطه ۳۳ می‌تواند به صورت زیر بازنویسی شود:

$$p_d(\tau,\lambda_2) \geq \alpha_2 \quad (۳۴)$$

که α_2 از رابطه زیر قابل محاسبه است:

$$\alpha_2 = \frac{-P_e + \sqrt{P_e^2 + 4\alpha_1(1-2P_e)}}{2(1-2P_e)} \quad (۳۵)$$

با قراردادن Δ_0 از رابطه ۳۰ در رابطه ۲۳ مساله بهینه سازی به شکل زیر قابل بیان است:

$$\underset{\tau,\lambda_2}{Max} \quad \frac{T-\tau}{T}\{1-P_f(\tau,\lambda_2)[P_e+(1-2P_e)p_f(\tau,\lambda_2)]\}^M$$

Subject to:

$$p_d(\tau,\lambda_2) \geq \alpha_2 \quad (۳۶)$$

$$E(\tau,\lambda_2) \leq \beta \quad (۳۷)$$

برای درک بهتر کارایی روش پیشنهادی در برابر حسگری متعارف طیف، پارامتر v را که محدوده تغییرات مجاز آن بین ۰ و ۱ است به عنوان پارامتر انرژی مصرفی تعریف می‌کنیم به گونه ای که کمترین مقدار آن برابر با $E(\tau,\lambda_2)/E_{conv}(\tau^*)$ باشد. τ^* زمان بهینه حسگری متعارف است که $R_{conv}(\tau,\lambda)$ را حداکثر می‌کند مشروط بر آنکه $Q_{D,conv}(\tau,\lambda)$ بزرگتر یا مساوی α باشد. همچنین g را به عنوان پارامتر صرفه جویی انرژی در نظر می‌گیریم به طوری که مقدار آن همواره کوچکتر یا مساوی حاصل تقسیم $E_{conv}(\tau^*)$-$E(\tau,\lambda_2)$ بر $E_{conv}(\tau^*)$ باشد. توجه کنید که مقدار v یا g را محدویت منابع شبکه رادیو شناختگر تعیین می‌کند. اکنون می‌توان قید ۳۷ را با قید زیر جایگزین کرد:

$$E(\tau,\lambda_2) \leq \nu E_{conv}(\tau^*) \quad (۳۸)$$

رابطه ۳۸ را به کمک روابط ۱۰ و ۳۲ می‌توان به شکل زیر نوشت:

$$p_f(\tau,\lambda_2) \leq h(\tau,\nu) \quad (۳۹)$$

که $h(\tau,v)$ عبارت است از:

$$h(\tau,v) = v(1+\frac{f_s}{\chi}\tau^*) - \frac{f_s}{\chi}\tau \quad (۴۰)$$

پارامتر χ نسبت انرژی است که به صورت E_r/E_s تعریف می شود. همانطور که قبلا گفته شد E_s میزان مصرف انرژی ناشی از حسگری یک نمونه از سیگنال دریافتی است. انرژی مصرفی کل حسگری برابر است با $\tau f_s E_s$ که به دلیل وجود پارامتر بهینه سازی τ مقداری متغیر است. بدیهی است که $h(\tau,v)$ مقدار مثبتی است، یعنی τ در رابطه زیر صدق می کند:

$$\tau \le v(\frac{\chi}{f_s}+\tau^*) \quad (۴۱)$$

بنابراین حداکثر مقدار مجاز τ به T_1 محدود می‌شود که از رابطه زیر به دست می آید:

$$T_1 = Min[v(\frac{\chi}{f_s}+\tau^*), T] \quad (۴۲)$$

درادامه اثبات می‌کنیم که حداکثر گذردهی به ازای $p_d(\tau,\lambda_2)=\alpha_2$ حاصل می‌شود. اگر λ_2 را از توابع هشدار غلط $p_f(\tau,\lambda_2)=\alpha_2$ و آشکارسازی $p_d(\tau,\lambda_2)$ حذف کنیم، خواهیم داشت:

$$p_f = Q[\gamma\sqrt{\tau f_s} + (\gamma+1)Q^{-1}(p_d)] \quad (۴۳)$$

می‌توان دید که p_f تابعی صعودی از p_d است. همچنین گذردهی تابعی نزولی از p_f و درنتیجه تابعی صعودی از p_d است. پس کمترین مقدار احتمال آشکارسازی یعنی α_2، گذردهی را حداکثر خواهد کرد. با توجه به این نکته و با استفاده از رابطه ۴۳ نتیجه می‌گیریم:

$$\lambda_2 = \gamma + 1 + Q^{-1}(\alpha_2)\frac{\gamma+1}{\sqrt{\tau f_s}} \quad (۴۴)$$

$$p_f(\tau) = Q[\gamma\sqrt{\tau f_s} + (\gamma+1)Q^{-1}(\alpha_2)] \quad (۴۵)$$

بنابراین مساله تبدیل به رابطه زیر با فقط یک پارمتر بهینه سازی زمان حسگری می‌شود:

$$\max_{\tau} \quad \frac{T-\tau}{T}\{1-p_f(\tau)[P_e+(1-2P_e)p_f(\tau)]\}^M$$

Subject to:

$$p_f(\tau) \le h(\tau,v) \quad (۴۶)$$

قید ۴۶ غیرخطی است، اما در ادامه نشان می‌دهیم که می‌توان در همه شرایط مقادیر τ_1 و τ_2 را به دست آورد به گونه ای که در قید خطی $\tau_1 \le \tau \le \tau_2$ صدق کنند. شکل ۱ به صورت شماتیک $p_f(\tau)$ و $h(\tau,v)$ را نشان می‌دهد. از آنجا که تغییرات این دو تابع بر حسب τ نزولی است، بنابراین اگر رابطه $h(0,v_1) \ge p_f(0)$ برقرار باشد، این دو نمودار فقط یک نقطه مشترک τ_{i4} خواهند داشت و در نتیجه $\tau_1=0$ و $\tau_2=\tau_{i4}$. در غیراین صورت در حالتی که v_2 کوچکتر یا مساوی v_1 باشد و نقطه تقاطع $\tau_1=\tau_{i1}$ و $\tau_2=\tau_{i3}$ ایجاد می‌شود. بنابراین برای حداقل مقدار مجاز $v_3 = v_{min}$ خواهیم داشت $\tau_1 = \tau_2 = \tau_{i2}$. برای اینکه τ_1 و τ_2 را به دست آوریم، کافی است که ریشه های تابع جدید $f(\tau,v)=p_f(\tau)-h(\tau,v)$ را به دست آوریم.

اگرچه $f(\tau,v)$ یک تابع غیرخطی از v و فاقد راه حل تحلیلی است، اما نشان می‌دهیم که این مساله واجد شرایط لازم برای حل آن توسط الگوریتم دوبخشی[1] که یک روش محاسبه عددی با همگرایی تضمین شده است، هست. این روش ریشه تابع مفروض $y(\tau)$ را در بازه $[a,b]$ پیدا می‌کند مشروط بر تحقق شرایط زیر:

۱- $y(\tau)$ تابعی پیوسته در بازه $[a,b]$ باشد.

۲- $y'(\tau)$ برای $\tau \in [a,b]$ مخالف صفر باشد.

۳- حاصل عبارت $y(a)y(b)$ کوچکتر از صفر باشد.

فرض می‌کنیم τ_m نقطه حداقل $f(\tau,v)$ به ازای هر مقدار مشخص v باشد. اگر بازه کامل $[0, T^*]$ به دو بازه جدا از هم $[0,\tau_m]$ و $[\tau_m,T^*]$ تقسیم شود، در این صورت شرایط پیش گفته برای الگوریتم دو بخشی فراهم است و این الگوریتم را می‌توان برای هر

1 Bi-Section

بازه به کار برد. اگر تنها یک ریشه موجود باشد، الگوریتم در بازه $[0,\tau_m]$ اجرا می‌شود و برای دو ریشه در هردو بازه $[0,\tau_m]$ و $[\tau_m,T^*]$ اجرا می‌گردد. برای تعیین τ_m مقدار $f'(\tau_m)$ را برابر صفر قرار داده و آن را بسط می‌دهیم.

$$\exp[-\frac{1}{2}(\gamma\sqrt{\tau_m f_s}+(\gamma+1)Q^{-1}(\alpha_2))^2]-\frac{2\sqrt{2\pi\tau_m f_s}}{\chi\gamma}=0 \qquad (۴۷)$$

از آنجا که از τ_m تنها برای تعیین بازه ها به منظور استفاده از الگوریتم دوبخشی استفاده می‌شود، برای محاسبه مقدار تقریبی آن با توجه به اینکه $\exp(x)$ را می توان با $1+x$ تقریب زد، معادله فوق به یک معادله درجه دوم استاندارد به شکل زیر قابل بازنویسی است،

$$at^2+bt+c=0 \qquad (۴۸)$$

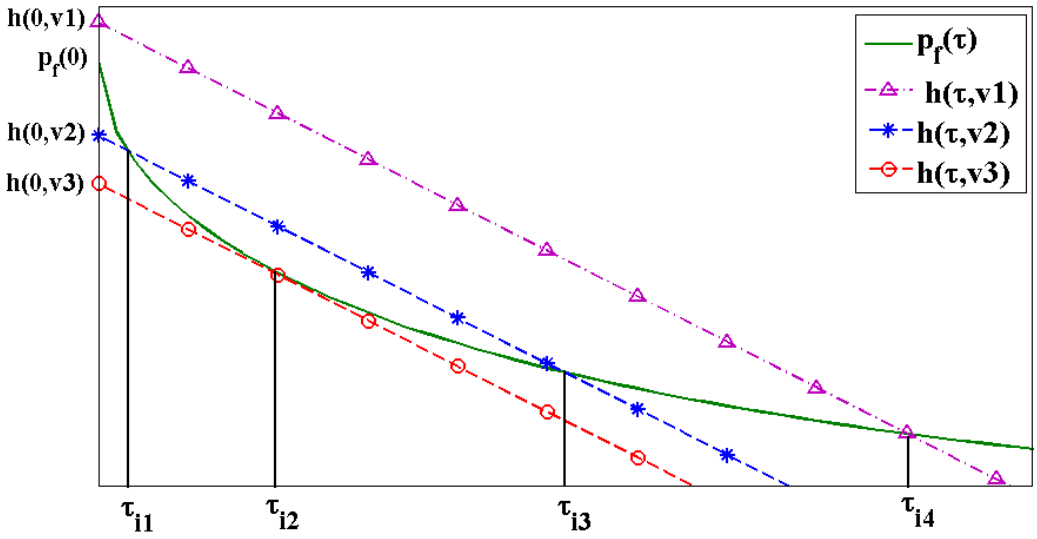
که t برابر با جذر τ_m است و ضرایب معادله هم مطابق رابطه زیر تعیین می شوند:

$$a=\frac{1}{2}\gamma^2 f_s,\qquad b=\gamma(\gamma+1)\sqrt{f_s}Q^{-1}(\alpha_2)+\frac{2\sqrt{2\pi f_s}}{\chi\gamma},\qquad c=\frac{1}{2}(\gamma+1)^2Q^{-1}(\alpha_2)^2-1 \qquad (۴۹)$$

اگر فرض کنیم که t_0 عددی مثبت و ریشه ای از معادله ۴۸ است که نسبت به ریشه دیگر برای حل معادله ۴۷ به خطای کمتری منجر می‌شود، در این صورت τ_m برابر با t_0^2 خواهد بود. به کمک روش دوبخشی τ_1 و τ_2 محاسبه شده و قید خطی زیر در مساله استفاده خواهد شد:

$$\tau_1 \le \tau \le \tau_2 \qquad (۵۰)$$

اکنون مساله بهینه سازی، یک الگوریتم ساده جستجوی خطی بر روی زمان حسگری τ است. زمان حسگری بهینه τ_{opt} مقداری است که با جستجوی τ در محدوده τ_1 تا τ_2 منجر به حداکثر شدن گذردهی شود. با قراردادن زمان حسگری بهینه در رابطه ۴۴ مقدار آستانه بهینه محاسبه می‌شود.



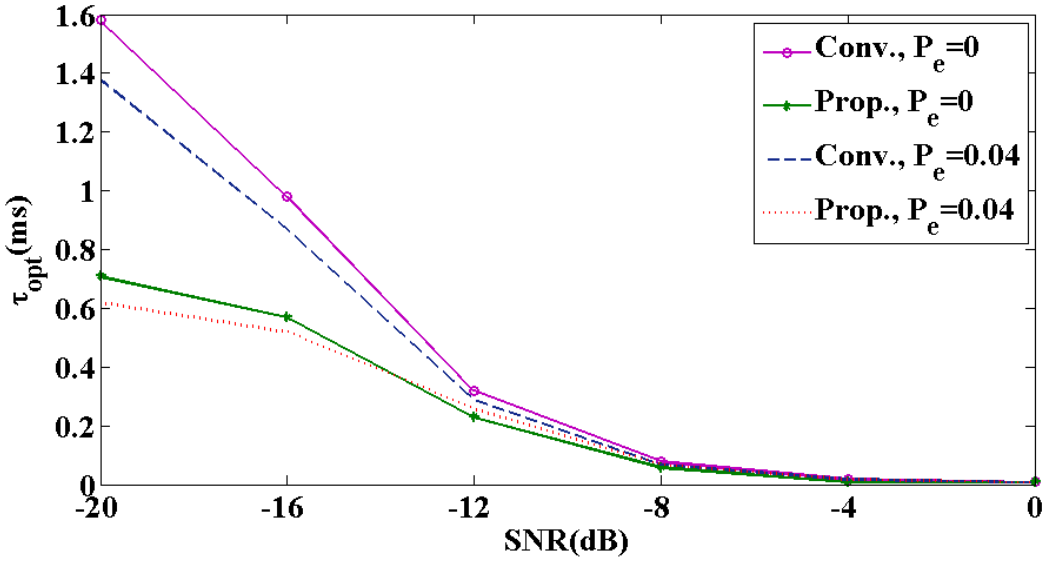
شکل ۱: نمایش ترسیمی $P_f(\tau)$ و $h(\tau,v)$

Figure 1. Schematic explanation of $P_f(\tau)$ and $h(\tau,v)$

۵- نتایج شبیه سازی

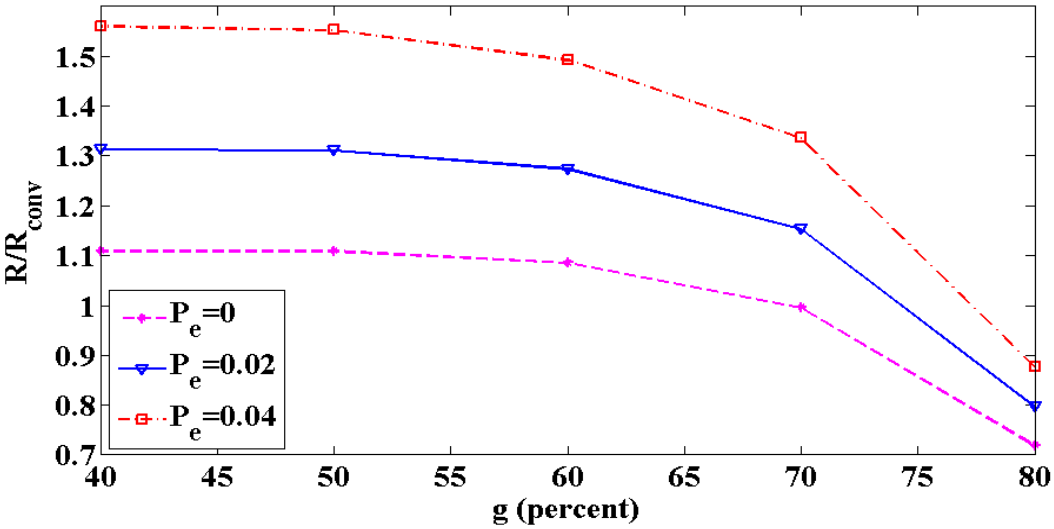
پارامترهای شبیه سازی T، α و f_s به ترتیب برابر با ۵ میلی ثانیه، ۰/۹ و ۳ مگاهرتز در نظر گرفته می‌شوند. نسبت انرژی χ برابر با ۲۰۰۰ و تعداد کاربران ثانویه ۱۰ است . از آنجا که رادیو شناختگر باید قادر به حسگری سیگنال های ضعیف اولیه باشد، در شبیه سازی از مقادیر SNR در محدوده ۰dB تا -۲۰dB استفاده شده است. شکل ۲ مقدار بهینه زمان حسگری را بر حسب SNR درهر دو شبکه رادیو شناختگر متعارف و پیشنهادی نشان می‌دهد. پارامتر صرفه جویی انرژی g در مقدار ۶۰ ٪ تنظیم شده است. مشاهده می‌شود که در هر دو مورد کانال گزارش ایده‌آل و غیر ایده‌آل، روش پیشنهادی به مقدار حداکثر گذردهی خود در زمان حسگری کمتری دست پیدا می‌کند. مقدار آستانه آشکارسازی بهینه نیز مطابق رابطه ۴۰ با معکوس جذر زمان

حسگری بهینه ارتباط دارد. کارایی گذردهی را به عنوان نسبت حداکثر گذردهی روش پیشنهادی به روش متعارف تعریف می‌کنیم. شکل های ۳ و ۴ چگونگی تغییرات کارایی گذردهی با مصرف انرژی را نشان می‌دهند. در شکل ۳ تحمل پذیری روش ارائه شده در برابر خطای کانال گزارش نشان داده شده است. اگر چه با افزایش خطا گذردهی هر دو روش افت پیدا می‌کند، اما در عین حال مشاهده می‌شود که کارایی گذردهی افزایش پیدا کرده است که این به معنی آن است که اثر مخرب خطای کانال گزارش بر حسگری متعارف نسبت به روش پیشنهادی به مراتب بیشتر است. همچنین به وضوح وابستگی بین صرفه جویی انرژی و گذردهی قابل دسترس، قابل مشاهده است. هرچه انتظار صرفه جویی انرژی بیشتری داشته باشیم، باید انتظار کاهش کارایی گذردهی را نیز داشته باشیم. با این وجود همچنان صرفه جویی انرژی قابل توجهی تا سقف ۷۰٪ برای مقادیر کارایی گذردهی بیشتر از ۱ قابل دستیابی است. در نمودارهای بعدی احتمال خطای کانال برابر با ۰/۰۲ تنظیم شده است. شکل ۴ کارایی انرژی را برحسب صرفه‌جویی انرژی در مقادیر مختلف SNR نشان می‌دهد. مشاهده می‌شود که کارایی گذردهی برای هر مقدار SNR یک تابع کاهشی از صرفه جویی انرژی است، اما میزان این کاهش برای مقادیر بالاتر SNR با شیب کمتری اتفاق می‌افتد. به عنوان مثال در SNR برابر با ۱۲dB- کارایی گذردهی تقریبا به ازای تمام مقادیر صرفه جویی انرژی کمتر از ۸۰٪، بدون افت و بالاتر از یک باقی مانده است.



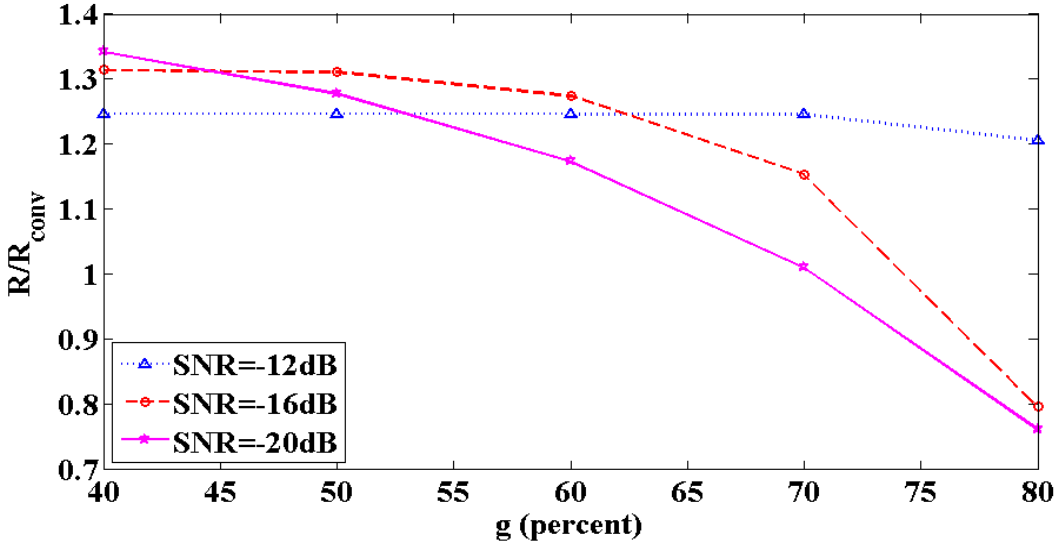
شکل ۲: زمان حسگری بهینه در برابر SNR

Figure 2. Optimal sensing time versus SNR



شکل ۳: کارایی گذردهی دربرابر صرفه جویی انرژی برای مقادیر مختلف احتمال خطای کانال

Figure 3. Throughput efficiency versus energy saving for different channel error probabilities



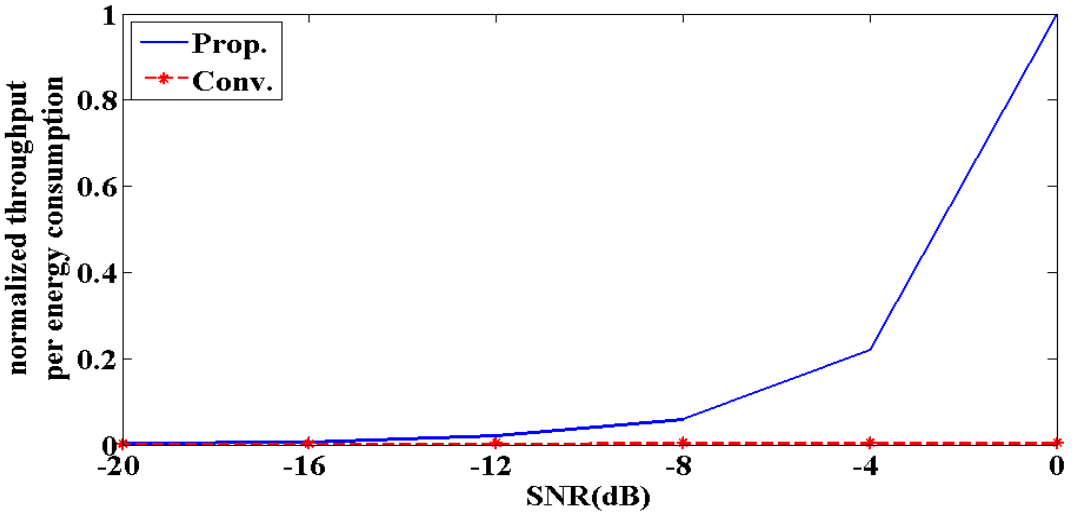
شکل ۴: کارایی گذردهی در برابر صرفه جویی انرژی برای مقادیر مختلف SNR

Figure 4. Throughput efficiency versus energy saving for different SNRs

ما علاقه‌مند به ارزیابی عملکرد روش پیشنهادی از دیدگاهی متفاوت هستیم. به سیستم اجازه می‌دهیم بدون توجه به گذردهی شبکه تا حد امکان در مصرف انرژی صرفه‌جویی کند. نسبت گذردهی به دست آمده به حداقل انرژی مصرفی ممکن در شکل ۵ نشان داده شده است. اگرچه این سناریو منجر به کمترین گذردهی می‌شود، اما همانطور که مشاهده می‌شود نسبت گذردهی قابل دستیابی به انرژی مصرفی در روش پیشنهادی می‌تواند بسیار بیشتر از روش متعارف باشد.

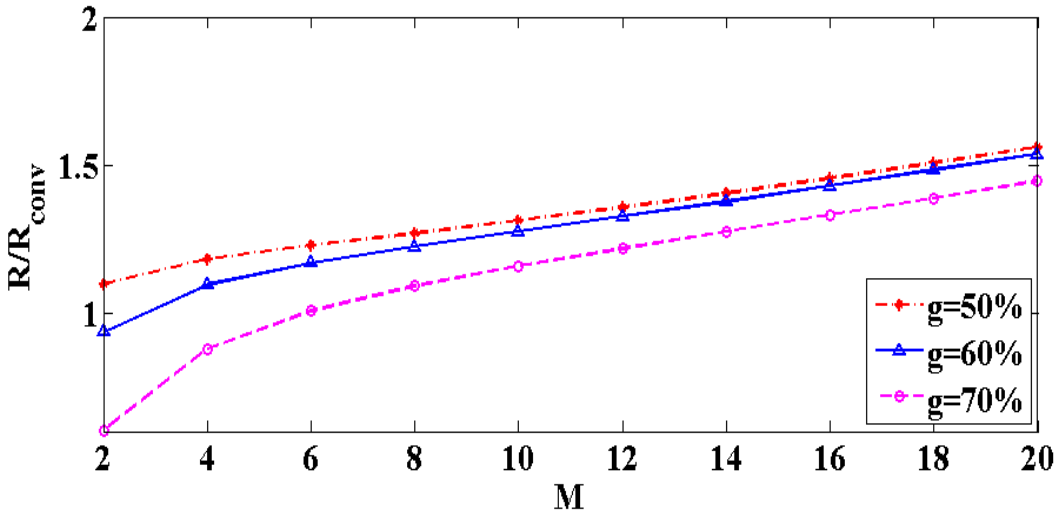
شکل ۶ به تغییرات گذردهی به عنوان تابعی از تعداد کاربران ثانویه می‌پردازد. هنگامی‌که شبکه شامل تعداد زیادی کاربر ثانویه باشد، عملکرد آن نیز بهبود می‌یابد. در روش متعارف همه کاربران ثانویه در فرایند حسگری همکاری می‌کنند، در حالی که در روش پیشنهادی تنها زیر مجموعه ای از کاربران که به عنوان کاربران قابل اعتماد شناخته می‌شوند، در حسگری طیف مشارکت می‌کنند. این موضوع بهبود هم‌زمان گذردهی شبکه و افزایش میزان صرفه‌جویی انرژی را امکان‌پذیر می‌کند.

در شکل ۷ مشاهده می‌کنیم که افزایش پارامتر نسبت انرژی منجر به کارایی گذردهی بالاتر شبکه می‌گردد. با توجه به این واقعیت که تصمیمات محلی غیر قابل اعتماد به مرکز همجوشی گزارش نمی‌شوند، افزایش انرژی گزارش‌دهی نسبت به انرژی حسگری، موجب کاهش کلی مصرف انرژی در روش پیشنهادی می‌گردد. در واقع دراین حالت زمان حسگری قادر به برآورده کردن قید انرژی در محدوده وسیع‌تری است که به نوبه خود باعث بهبود گذردهی می‌شود.



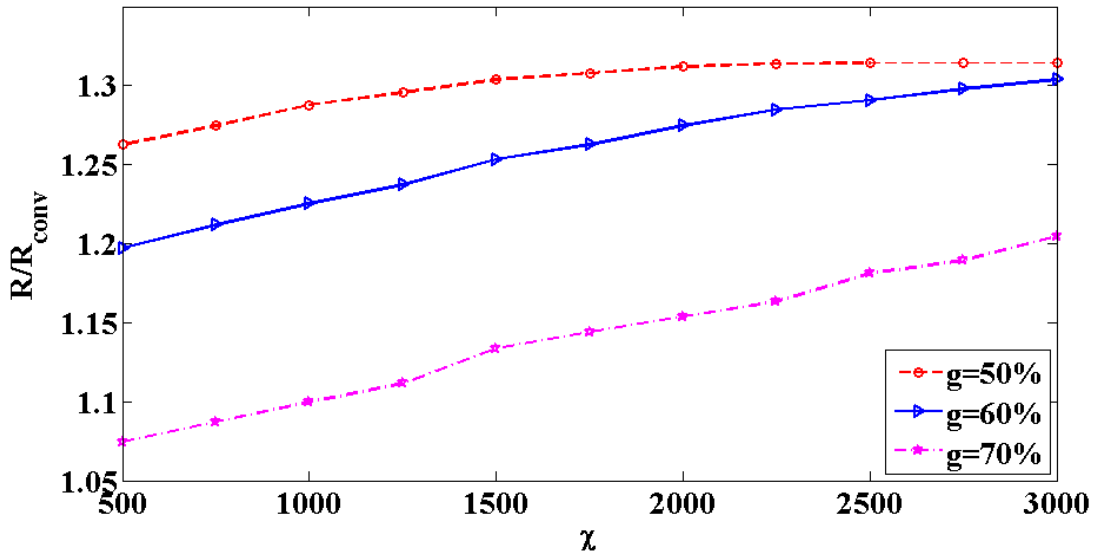
شکل ۵: نسبت گذردهی قابل دستیابی به کمترین انرژی مصرفی

Figure 5. The ratio of achievable energy to minimum energy consumption



شکل ۶: کارایی گذردهی به عنوان تابعی از تعداد کاربران ثانویه (SNR=-16dB)

Figure 6. Throughput efficiency as a function of the number of secondary users (SNR=-16dB)



شکل۷: کارایی گذردهی به عنوان تابعی از پارامتر نسبت انرژی (SNR=-16dB)

Figure 7. Throughput efficiency as a function of energy ratio (SNR=-16dB)

۶- نتیجه‌گیری

در این مقاله یک سیستم رادیو شناختگر برای حسگری طیف همکارانه ارائه گردید تا بتواند ضمن بهبود گذردهی، مصرف انرژی را نیز به مقدار دلخواه محدود کند و در عین حال از کاربران اولیه در برابر تداخل محافظت نماید. برای دستیابی به این هدف مقادیر آستانه و زمان حسگری یک آشکارساز انرژی دو آستانه‌ای توأمان بهینه شده و با روش متعارف مقایسه گردید. نتایج شبیه‌سازی نشان داد که روش پیشنهادی یک سیستم با انعطاف بالا است، به طوری که به راحتی می‌توانیم بین گذردهی قابل دستیابی و انرژی مصرفی تعادل برقرار کنیم.

عملکرد شبکه در حضور کانال گزارش غیر ایده‌آل مورد ارزیابی قرار گرفت و تحمل‌پذیری آن در برابر خطا نشان داده شد. مشاهده شد که روش پیشنهادی به زمان بهینه کمتری برای حسگری طیف نیازمند است. همچنین افزایش تعداد کاربران ثانویه و افزایش پارامتر نسبت انرژی، باعث بهبود کارایی سیستم گردید. از نظر گذردهی قابل دستیابی نیز به ازای انرژی مصرفی مشخص روش پیشنهادی عملکرد بهتری داشت.

مراجع

[1] S. Haykin and P. Setoodeh, "Cognitive Radio Networks: The Spectrum Supply Chain Paradigm," *in IEEE Transactions on Cognitive Communications and Networking*, vol. 1, no. 1, pp. 3-28, March 2015, doi: 10.1109/TCCN.2015.2488627.

[2] Y. -C. Liang, Y. Zeng, E. C. Y. Peh and A. T. Hoang, "Sensing-Throughput Tradeoff for Cognitive Radio Networks," *in IEEE Transactions on Wireless Communications*, vol. 7, no. 4, pp. 1326-1337, April 2008, doi: 10.1109/TWC.2008.060869.

[3] G. M. Salama and S. A. Taha, "Cooperative Spectrum Sensing and Hard Decision Rules for Cognitive Radio Network," *2020 3rd International Conference on Computer Applications & Information Security (ICCAIS)*, Riyadh, Saudi Arabia, 2020, pp. 1-6, doi: 10.1109/ICCAIS48893.2020.9096740.

[4] J. Tong, M. Jin, Q. Guo and Y. Li, "Cooperative spectrum sensing: a blind and soft fusion detector,"*IEEE Transactions on Wireless Communications*, vol. 17, no. 4, pp. 2726-2737, April 2018, doi: 10.1109/TWC.2018.2801833.

[5] K. R. Rao et al., "Genetic Algorithm for Cross-Layer-Based Energy Hole Minimization in Wireless Sensor Networks," *in IEEE Sensors Letters*, vol. 6, no. 12, pp. 1-4, Dec. 2022, Art no. 7005104, doi: 10.1109/LSENS.2022.3219857.

[6] R. Wan et al, "Dynamic dual threshold cooperative spectrum sensing for cognitive radio under noise power uncertainty," *Human-centric Computing and Information Sciences*, vol. 9, no. 22, pp. 1-21, 2019, doi: 10.1186/s13673-019-0181-x.

[7] S. Chaudhari et al., "BEP walls for cooperative sensing in cognitive radios using K-out-of-N fusion rules, " *Signal Processing*, vol. 93, no. 7, pp. 1900-1908, 2013, doi: 10.1016/j.sigpro.2013.01.016.

[8] N. Saeed and H. Nam, "Energy Efficient Localization Algorithm With Improved Accuracy in Cognitive Radio Networks," in *IEEE Communications Letters*, vol. 21, no. 9, pp. 2017-2020, Sept. 2017, doi: 10.1109/LCOMM.2017.2712802.

[9] A. Bayat and S. Aïssa, "Full-duplex cognitive radio with asynchronous energy-efficient sensing," in *IEEE Transactions on Wireless Communications*, vol. 17, no. 2, pp. 1066-1080, Feb. 2018, doi: 10.1109/TWC.2017.2774268.

[10] K. Illanko et al., "Energy-Efficient Frequency and Power Allocation for Cognitive Radios in Television Systems," *in IEEE Systems Journal*, vol. 10, no. 1, pp. 313-324, March 2016, doi: 10.1109/JSYST.2015.2393834.

[11] M. Cui et al., "Energy-Efficient Power Control Algorithms in Massive MIMO Cognitive Radio Networks," *in IEEE Access*, vol. 5, pp. 1164-1177, 2017, doi: 10.1109/ACCESS.2017.2652441.

[12] H. Xiao et al., "Energy-Efficient Resource Allocation in Multiple UAVs-Assisted Energy Harvesting-Powered Two-Hop Cognitive Radio Network," *in IEEE Sensors Journal*, vol. 23, no. 7, pp. 7644-7655, 1 April, 2023, doi: 10.1109/JSEN.2023.3247436.

[13] H. Pradhan, S. S. Kalamkar and A. Banerjee, "Sensing-Throughput Tradeoff in Cognitive Radio With Random Arrivals and Departures of Multiple Primary Users," *in IEEE Communications Letters*, vol. 19, no. 3, pp. 415-418, March 2015, doi: 10.1109/LCOMM.2015.2393305.

[14] A. Ahmed et al., "Cognitive Radio Timing Protocol for Interference-Constrained Throughput Maximization," *in IEEE Transactions on Cognitive Communications and Networking*, vol. 8, no. 2, pp. 989-1004, June 2022, doi: 10.1109/TCCN.2021.3137487

[15] G. C. Das et al., "Throughput Analysis of a Energy Harvesting Cooperative Cognitive Radio Network," *General Assembly and Scientific Symposium of the International Union of Radio Science*, Rome, Italy, 2020, pp. 1-4, doi: 10.23919/URSIGASS49373.2020.9232411.

[16] M. Zheng, W. Liang and H. Yu, "Harvesting-Throughput Tradeoff for CDMA-Based Underlay Cognitive Radio Networks With Wireless Energy Harvesting," *in IEEE Systems Journal*, vol. 12, no. 3, pp. 2395-2398, Sept. 2018 , doi: 10.1109/JSYST.2016.2636278.

[17] Y. Long et al., "Throughput Optimization in Energy Harvesting based Cognitive IoT with Cooperative Sensing," *IEEE Vehicular Technology Conference (VTC2021-Spring)*, Helsinki, Finland, 2021, pp. 1-5, doi: 10.1109/VTC2021-Spring51267.2021.9448917.

[18] E. Hill and H. Sun, "Double Threshold Spectrum Sensing Methods in Spectrum-Scarce Vehicular Communications," *in IEEE Transactions on Industrial Informatics*, vol. 14, no. 9, pp. 4072-4080, Sept. 2018, doi: 10.1109/TII.2018.2816580.

[19] Smriti and C. Chhagan, "Double Threshold-Based Energy Detection Spectrum Sensing Scheme by Considering the Sensing History in Confusion Region," *2018 5th International Conference on Signal Processing and Integrated Networks (SPIN)*, Noida, India, 2018, pp. 518-521, doi: 10.1109/SPIN.2018.8474248.

[20] P. Maity and S. Deshmukh, "Optimization of Majority Rule Threshold in Double Threshold Based Cooperative Cognitive Radio Network," *Twenty Fourth National Conference on Communications (NCC)*, Hyderabad, India, 2018, pp. 1-6, doi: 10.1109/NCC.2018.8599992.

[21] S. Ghosh et al, "Performance of weighted fusion based spectrum sensing under double threshold in cognitive radio network," *International Conference on* Microelectronics, Computing and Communications (MicroCom), Durgapur, India, 2016, pp. 1-4, doi: 10.1109/MicroCom.2016.7522442.

[22] H. N. Abdullah, N. Sh. Bakr and A. A. Valenzuela, "Double Threshold Soft Decision Rule for Improving Performance of Cognitive Radio Networks," *IEEE 9th International Conference on Consumer Electronics (ICCE-Berlin)*, Berlin, Germany, 2019, pp. 158-161, doi: 10.1109/ICCE-Berlin47944.2019.8966232.

[23] P. Verma and B. Singh, "Simulation study of double threshold energy detection method for cognitive radios," 2015 2nd International Conference on Signal Processing and Integrated Networks (SPIN), Noida, India, 2015, pp. 232-236, doi: 10.1109/SPIN.2015.7095276.

[24] A. Kumar, S. Saha and K. Tiwari, "A Double Threshold-Based Cooperative Spectrum Sensing With Novel Hard-Soft Combining Over Fading Channels," *in IEEE Wireless Communications Letters*, vol. 8, no. 4, pp. 1154-1158, Aug. 2019, doi: 10.1109/LWC.2019.2909879.

[25] Y. Liu, C. Zhu and P. Yan, "An energy-saving spectrum sensing scheme with combined clustering and censoring in cognitive wireless sensor networks," International Conference on Wireless Communications and Signal Processing (WCSP), Nanjing, China, 2017, pp. 1-6, doi: 10.1109/WCSP.2017.8170892.

[26] M. Moradkhani, P. Azmi and M. A. Pourmina, "Optimized energy limited cooperative spectrum sensing in cognitive radio network, "*Computers & Electrical Engineering*, vol. 42, pp. 221-231, 2015, doi: 10.1016/j.compeleceng.2014.02.005.

[27] M. Moradkhani, P. Azmi and M. A. Pourmina, "Optimized Reliable Data Combining Cooperative Spectrum Sensing Method in Cognitive Radio Networks, "*Wireless Personal Communications*, vol. 74, pp. 569-583, 2014, doi: 10.1007/s11277-013-1307-5.

[28] T. C. Thanuja, K. A. Daman and A. S. Patil, "Optimized Spectrum sensing Techniques for Enhanced Throughput in Cognitive Radio Network," *International Conference on Emerging Smart Computing and Informatics (ESCI)*, Pune, India, 2020, pp. 137-141, doi: 10.1109/ESCI48226.2020.9167576.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH

E-ISSN: 2980-9231
https://jce.bushehr.iau.ir

https://doi.org/10.30495/jce.2023.1989351.1210

Vol. 13/ No. 51/Spring 2024

Research Article

Design and simulation of membership fuzzy function generator circuit by assistance of low-power linguistic variables

Hamid Shahbazi, MSc [1] | Mojdeh Mahdavi, Assistant Professor [2*] | Mahdi Zare, Assistant Professor [3]

[1]Department of Electronics, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran.
hsh09128638934@gmail.com

[2]Department of Electronics, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran.
mahdavi.qodsiau@gmail.com

[3]Department of Electronics, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran.
d.mehdi.zare@gmail.com

Correspondence
Mojdeh Mahdavi, Assistant Professor, Department of Electronics, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran.
Email: mahdavi.qodsiau@gmail.com

Received: 21 June 2023
Revised: 12 September 2023
Accepted: 25 September 2023

Abstract

In the present study, a low-power power function generator circuit is proposed for fuzzy applications. The proposed power function generator circuit consists of squaring, square root, and analog multiplier circuits. All the circuits are designed in the subthreshold region to achieve minimum power consumption. The proposed power generator module is based on a fuzzifier circuit, and the analog multiplier circuits are used to adjust the slopes of the fuzzy functions. Besides performing the mentioned adjustments, the proposed circuit can adjust the rising and falling slopes quite separately. Analog multipliers are used in the power generator part to generate desired powers continuously with minimum number of control inputs. The proposed structure is presented in 0.35 µm technology, and the simulation results show that at a supply voltage of 1.3 V, the values of power consumption and error are respectively equal to 0.0036 µw and 0.8%, indicating the improvement of the proposed structure in terms of error and power consumption compared to the best relevant structures in the literature.

Keywords: Fuzzy controller - Integrated circuits - Power function generating circuit - Subthreshold.

Highlights

- The operation range of proposed circuit is in subthreshold region, which can be very efficient in improving power consumption.
- Besides performing basic adjustments, the proposed circuit can adjust the rising and falling slopes.
- This circuit can be used as a function generator, including triangular, trapezoidal, S-shaped, and Z-shaped functions.
- The proposed circuit provides the controllability of all parameters including the maximum fuzzifier current and the lateral shift of the function.

Citation: H. Shahbazi, M. Mahdavi, and M. Zare, "Design and simulation of membership fuzzy function generator circuit by assistance of low-power linguistic variables," *Journal of Southern Communication Engineering*, vol. 13, no. 51, pp. 37–64, 2024, doi: 10.30495/jce.2023.1989351.1210, (in Persian).

مقاله پژوهشی

طراحی و شبیه‌سازی مدار مولد توابع عضویت فازی با پشتیبانی از متغیرهای زبانی کم توان

حمید شهبازی[۱] | مژده مهدوی*[۲] | مهدی زارع[۳]

[۱] گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران،
hsho9128638934@gmail.com

[۲] گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران، *
mahdavi.qodsiau@gmail.com

[۳] گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران،
d.mehdi.zare@gmail.com

نویسنده مسئول
*مژده مهدوی، استادیار
گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران
mahdavi.qodsiau@gmail.com

تاریخ دریافت: ۳۱ خرداد ۱۴۰۲
تاریخ بازنگری: ۲۱ شهریور ۱۴۰۲
تاریخ پذیرش: ۳ مهر ۱۴۰۲

چکیده:

در این مقاله، یک مدار کم توان برای تولید توابع توان‌دار در کاربردهای فازی ارائه شده است. مدار مولد توابع توان‌دار پیشنهادی متشکل از مدارهای مربع‌کننده، رادیکال‌گیر و ضرب‌کننده آنالوگ است. تمامی مدارها در ناحیه‌ی زیر آستانه طراحی شده‌اند تا حداقل توان مورد نیاز بدست آید. در ماژول مولد توان پیشنهادی از یک مدار فازی‌ساز منطبق و برای تنظیم شیب‌های توابع فازی از مدارات ضرب‌کننده‌ی آنالوگ استفاده شده است. طراحی این مدار به گونه‌ای است که علاوه بر قابلیت‌های تنظیمات پیشین، قابلیت تنظیم شیب‌های بالارونده و پایین‌رونده را به صورت کاملاً جداگانه دارد. برای قسمت مولد توان نیز از ضرب‌کننده‌های آنالوگ استفاده شده تا بتوان توان‌های دلخواه را به صورت پیوسته و با حداقل ورودی‌های کنترلی تولید نمود. ساختار پیشنهادی در تکنولوژی ۰/۳۵ میکرومتر ارائه شده و نتایج شبیه‌سازی نشان می‌دهد که در مقدار ولتاژ تغذیه ۱/۳ ولت، توان مصرفی برابر با ۰/۰۰۳۶ میکرو وات و مقدار خطای ۰/۸ درصد است که بررسی بهترین اطلاعات موجود در این رده از ساختارها، بیانگر بهبود ساختار پیشنهادی از لحاظ خطا و توان مصرفی است.

کلید واژه‌ها: زیر آستانه، کنترلر فازی، مدارات مجتمع، مدار مولد تابع توان‌دار

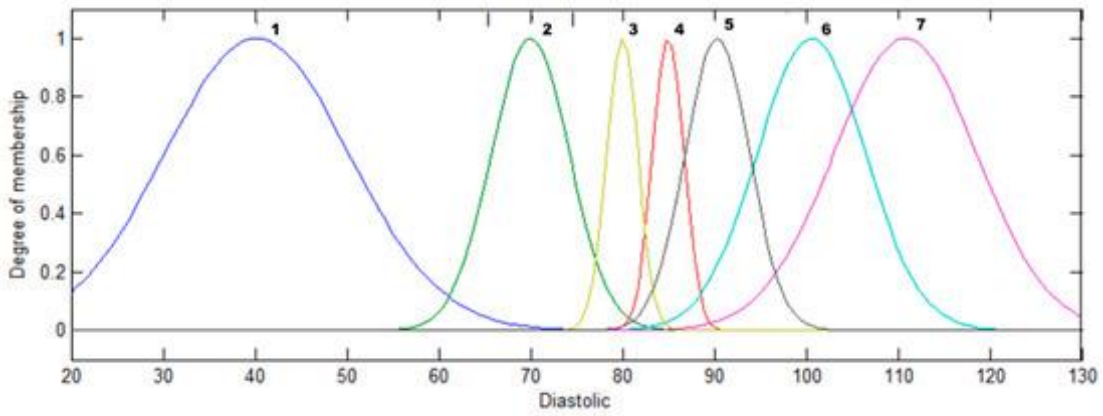
https://doi.org/10.30495/jce.2023.1989351.1210

۱-مقدمه

در دهه‌های اخیر، روش‌های محاسباتی نرم شامل محاسبات منطق فازی که رویکرد نوینی بر مبنای مدل‌سازی زندگی واقعی انسان‌ها ارائه کرده، مورد توجه مهندسان قرار گرفته است. کاربرد این روش‌ها در زمینه‌های مختلفی همچون پردازش سیگنال، اتوماسیون صنعتی، رباتیک، حمل و نقل، تشخیص بیماری‌ها و .... بوده است. برخلاف منطق دودویی، که متغیرها فقط دو مقدار صفر و یک را به عنوان حالت‌های صحیح و غلط در نظر می‌گیرند، مقادیر متغیرها در منطق فازی بین اعداد صفر و یک تغییر می‌کنند که بیانگر غلط محض و صحیح مطلق هستند. بقیه‌ی مقادیر که در بازه‌ی ۰ و ۱ قرار دارند، بیانگر درجه‌ی صحت یک متغیر است. همچون منطق دودویی که توسط گیت‌های منطقی مدل می‌شوند و بر پایه ترانزیستور هستند، منطق فازی نیز به عنوان یک منطق بی‌نهایت مقداره[1] توسط ترانزیستورها برای کاربردهای عملی پیاده‌سازی شده است [۱]. اولین گام در مدل‌سازی این منطق، ساخت مداراتی است که بتوانند یک متغیر فیزیکی که از حسگرها دریافت می‌شود را بین مقادیر صفر و یک مقداردهی کنند که به این عمل فازی‌سازی می‌گوییم. در گام دوم این مقادیر به مدارات تصمیم‌گیری و نهایتاً به مدارات غیر فازی‌ساز برای

[1] Multiple Possible Truth Values

نتیجه‌گیری اعمال می‌شوند. مدل‌هایی که برای مدارات فازی‌ساز[1] ارائه می‌شود به دو دسته‌ی مدل‌سازی بر مبنای توابع گوسی و مثلثی تقسیم می‌شوند. در شکل ۱ نمونه‌ای از توابع عضویت گوسی مشاهده می‌شود [۲].



شکل ۱: نمونه‌ای از توابع عضویت گوسی [۲]
Figure 1. A Gaussian membership function [2]

چالش اصلی در حوزه‌ی طراحی مدارات فازی‌ساز ساخت مداراتی است که بتوانند جریان خروجی حسگرها را به عددی بین صفر و یک نگاشت دهند. غالباً این‌گونه مدارهای فازی‌ساز در قالب یک مدار طراحی می‌شوند که قابلیت تولید تمامی توابع را هم‌زمان دارد و با یک سیگنال کنترلی بیرونی تنظیم می‌شود. مسئله اصلی این است که چگونه می‌توان یک فازی‌ساز در تکنولوژی‌های CMOS[2] و یا CNTFET[3] ساخت تا حداقل توان مصرفی داشته باشد [۳].

منطق فازی برای اولین بار توسط پروفسور لطفی‌زاده معرفی شد [۴]. یک دهه پس از آن، ایشان برای نزدیک‌تر کردن مدل ارائه شده به زبان انسانی، متغیرهای زبانی را پیشنهاد دادند [۵]. تلاش برای ساختن مدارات فازی به صورت مجتمع به اواخر قرن بیستم برمی‌گردد [۶]. در این مقاله از دو مدار مجزا برای تولید توابع z-شکل و s-شکل استفاده شده است. سپس با ترکیب این دو مدار ترتیبی اتخاذ داده شده است تا شکل موج مثلثی به دست آید. در مرجع [۳] نیز همین روش برای تولید مولد توابع عضویت به کار گرفته شده، با این تفاوت که این مرجع با تغییر کوچکی در مدار سبب برنامه‌ریزی کردن مجزای شیب‌های صعودی و نزولی تابع مثلثی شده‌اند. این دو مرجع راهی برای تولید توابع ذوزنقه‌ای ارائه نکردند. نگاهی کلی‌تر به تمامی مدارات پیشنهاد شده تا پیش از دهه اخیر نشان می‌دهد که همه از روشی مشابه، با ترکیب مدارات مولد توابع s-شکل و z-شکل به توابع مثلثی دست یافته‌اند، حتی طراحانی که در مُد ولتاژ کار می‌کنند [۷].

در کنار خانواده توابع عضویت مثلثی شکل (اعم از توابع s-شکل، z-شکل، مثلثی و ذوزنقه‌ای)، پیشنهادات برای تولید توابع گوسی با شیب‌ها و عرض‌های گوناگون هم بسیار بوده است . مثلاً در [۸]، مدارات توابع مولد گوسی با مدارات دیجیتال برای کاربردهای عصبی و فازی پیشنهاد شده است. هنوز تحقیقات بر روی این مدارات در مُدهای آنالوگ و با تکنولوژی‌های گوناگون در دست اقدام است [۹-۱۲]. مثلا در [۱۰]، از ترانزیستورهای CNTFET برای ساخت مولدهای توابع عضویت بهره گرفته شده است. همین تیم تحقیقاتی با همان تکنولوژی مدارات حداقل‌گیر فازی و کنترلرهای فازی برای تشخیص تصویر نیز ارائه کرده‌اند [۱۳, ۱۴].

در کنار مدارات مجتمع مولد توابع عضویت، ساخت مدارات تکمیلی برای تولید متغیرهای زبانی[4] نیز مورد توجه مهندسان الکترونیک بوده است. می‌توان گفت که اولین تجربه‌ی پیاده‌سازی مجتمع این نوع از کنترلرها در سال ۲۰۰۳ ارائه شد [۱۵]. کنترلر پیشنهادی قابلیت پشتیبانی از چند توان محدود را داشت. توان‌های پیاده‌سازی شده در این مقاله مرتبط با گزاره‌های زبانی خیلی کمتر، کمتر، کم، بیش، بیشتر، کمی بیشتر، بسیار و بسیار بیشتر (مطلقاً) بوده است. توان‌های تولیدی در این تراشه

[1] Fuzzifier
[2] Complementary metal-oxide-semiconductor
[3] Carbon Nano Tube Field Effect Transistor
[4] Linguistic variables

با به کارگیری مدار جذر گیرنده و به توان دو رساننده به دست آمده‌اند. اولین و ساده‌ترین راه برای بهبود مدار طراحی شده در [۱۵] استفاده از ترکیب‌های بیشتر بلوک‌هاست. این کار توسط متقی کشتیبان انجام گردید [۳]. در این مرجع وی توانست مداری کنترل‌پذیر برای دستیابی به چندین توان محدود، از عدد صفر تا عدد چهار با دقت ۰/۱۲۵ طراحی کند. برای رسیدن به این هدف وی هزینه‌ی طراحی پیچیده، سخت افزار بیشتر و در نتیجه‌ی آن، سطح اشغالی و توان مصرفی بیشتر را پرداخت. لازم به ذکر است که ماژول ایشان با ۱۵ کد دیجیتال برنامه‌ریزی می‌شود و مثلاً برای رسیدن به توان ۳/۳۷۵ از ۹ بلوک پشت سر هم استفاده کرده است.

در [۱۶] با استفاده از تقریب زدن توابع نمایی و لگاریتمی توسط توابع چند جمله‌ای، مداری جدید با سطح اشغالی کم برای پیاده‌سازی توابع عضویت فازی با متغیرهای زبانی پیشنهاد شد. بازه‌ی عملکردی مدار ارائه شده بین صفر تا ۲ بود و مدار از خطای قابل توجهی در نزدیکی جریان ورودی صفر برخوردار بود. جهت رفع این مشکل، در [۱۷] از تقریب توابع چند جمله‌ای برای دستیابی به توان‌ها استفاده شد که هم طیف وسیعی را شامل می‌شد و هم دیگر آن خطاها را نداشت. در همین میان، استفاده از مدارات فازی برای دستیابی به تقریب توابع هم گزارش شد. در [۱۸]، برای تولید توابع عضویت توان دار، از مدارات بهینه فازی استفاده شده است.

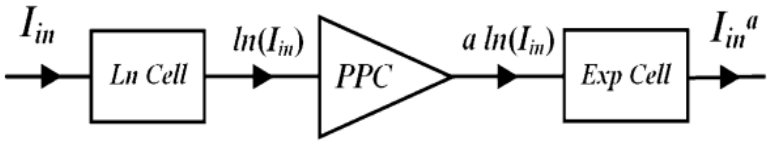
تولید توابع پیوسته توان دار با روش‌های گوناگون و با توان‌های گوناگون هنوز مورد توجه مهندسان حوزه الکترونیک بوده است [۲۰,۱۹]. گزارش‌هایی مبتنی بر عملکرد سریع CNTFET ها در ناحیه زیر آستانه ارائه شده است [۲۱] که می‌تواند دستیابی به مدارات مولد توابع عضویت کم توان و سریع را ممکن کند. گزارش مبنی بر تولید توابع گوسی کم توان نیز ارائه شده است [۲۲]. به همین دلیل ما در ناحیه‌ی زیر آستانه برای اولین بار اقدام به تولید توابع مثلثی شکل خواهیم کرد.

مطالب این مقاله به این صورت چیدمان شده است، در بخش دوم به مروری بر کارهای گذشته می‌پردازیم. در بخش سوم به بیان طراحی مدار پیشنهادی خواهیم پرداخت و تمام قسمتهای مورد نیاز برای طراحی مدار مولد فاز در این بخش توضیح داده می‌شود. در بخش چهارم به مقایسه نتایج طرح پیشنهادی با مراجع دیگر خواهیم پرداخت و در نهایت نیز نتیجه‌گیری و مراجع بیان شده است.

۲- مروری بر کارهای انجام شده

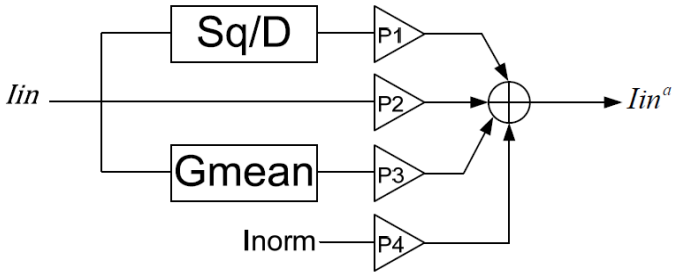
اولین پیاده‌سازی برای مدارات مولد متغیرهای زبانی به طراحی مدار Chen برمی‌گردد [۱۵]، او و همکارانش توانستند چندین توان محدود که به ترتیب عبارت بودند از ۰/۲۵، ۰/۵، ۰/۷۵، ۱/۲۵، ۱/۵، ۱/۷۵، ۲ و ۴ را ارائه کنند. این اعداد دقیقاً متناظر با گزاره‌های زبانی خیلی کمتر، کمتر، کم، بیش، بیشتر، کمی بیشتر، بسیار و بسیار بیشتر هستند. گرچه این متغیرهای زبانی دقیقاً متناسب با متغیرهایی هستند که برای اولین بار پروفسور لطفی زاده تعریف کردند و برای استفاده از قوانین کیفی کافی هستند، ولی تولید توان‌های بیشتر این امکان را می‌دهد که پارامترهای یک سیستم را که از نتایج بهینه‌سازی به دست می‌آید را بتوان به نحو احسن پیاده‌سازی کرده و کارایی سیستم‌ها را تا حد امکان بالا ببریم [۲۳-۲۵]. زیربنای اصلی مدارات Chen مدارات میانگین‌گیر هندسی و توان دو رساننده بود. عملاً ایشان با ترکیب این دو مدار توانسته بود توان‌های زیادی تولید کند، توان‌های بیشتر نیازمند چیدمان ترکیبی از این دو بلوک است. تعداد زیاد بلوک‌ها و برنامه‌ریزی آن‌ها، تولید توان‌های بیشتر بر این اساس را بسیار سخت می‌کند. با این حال، متقی کشتیبان توانست توان‌های ۰/۱۲۵ تا ۴ را با دقت ۰/۱۲۵ تولید کند [۳]. تلاش‌های ایشان برای تولید توان‌های بیشتر ستودنی است، ولی این عمل نه از لحاظ برنامه‌پذیری و نه از لحاظ توان مصرفی و سادگی طراحی قابل قبول نبود. ۱۵ کد دیجیتال برای برنامه‌ریزی آن استفاده می‌شد و بعضی برای برخی توان‌ها تا ۹ بلوک ترکیبی در مدار قرار می‌گرفت.

اما علی نادری روش شکل ۲ را برای پیاده‌سازی این توابع ارائه داد [۲۶]. وی توانست با استفاده از مدار مولد تابع Ln و نمایی و به کارگیری یک مدار برنامه‌ریز توان، مداری با دقت تولید ۰/۰۳۱۲۵ طراحی و شبیه‌سازی کند.



شکل ۲: پیشنهاد مرجع [۲۶] برای ساخت توابع توان‌دار با استفاده از تقریب توابع لگاریتمی و نمایی
Figure 2. Generation of rational-power functions based on the approximation of natural logarithmic and exponential functions as proposed in Ref. [26]

نکته‌ی قابل تأمل در مدار ایشان، نحوه‌ی طراحی لگاریتمی و نمایی بود. برای این کار، وی از تقریب‌های چند جمله‌ای استفاده کرد. این تقریب‌ها برای تولید این توابع از دقت کافی بعضاً برخوردار نبودند، مثلاً می‌دانیم که تابع لگاریتمی در نزدیکی صفر به سمت بی‌نهایت میل می‌کند و نرسیدن به چنین تقریبی خطای سیستم را برای این مقدار بسیار بزرگ می‌کند. از طرفی تقریب‌های بهتر نیز هزینه‌های گزافی همچون طراحی پیچیده‌تر، سطح اشغالی و توان مصرفی بیشتر را به دنبال دارند.
در نهایت مشفع و همکاران به جای تقریب توابع نمایی و لگاریتمی، توابع توان‌دار را تقریب زدند [۱۷]. آن‌ها با استفاده از همان تقریب چند جمله‌ای، خود تابع توان‌دار مورد نیاز را تقریب زدند که در شکل ۳ نمایش داده شده است. از آنجائی که تابع توان‌دار و تقریب از یک جنس هستند، خطای سیستم تا حد بسیار قابل قبولی کاهش یافت.

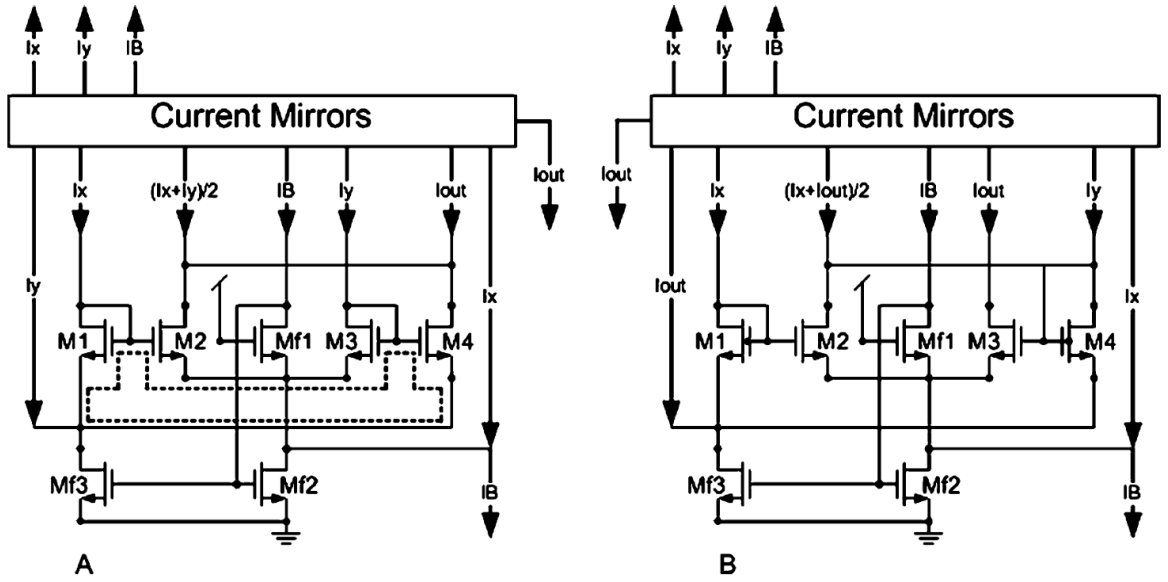


شکل ۳: تقریب توابع تواندار با استفاده از توابع چندجمله‌ی (متشکل از تابع ثابت، توان ۲ و رادیکال) [۱۷]
Figure 3. Approximation of rational-power functions using polynomial functions (including constant, square, and square-root functions) [17]

اغلب مداراتی که تاکنون صحبت کردیم همه بر مبنای بلوک‌های G-Mean[1] و Sq[2] کار می‌کردند. برخی از آن‌ها از این بلوک‌ها استفاده کردند تا توان‌های مختلف را با آن‌ها بسازند [۱۵] و برخی برای تقریب توابع نمایی و لگاریتمی [۱۶] و برخی برای ایجاد تقریب جهت تولید توابع چندجمله‌ای [۱۷] از آن‌ها استفاده می‌کردند. به همین منظور در این قسمت به بررسی این دو مدار می‌پردازیم. شکل ۴ ساختار کلی مدار موردنظر که در همه‌ی مقالات مطرح‌شده، استفاده شده است را نشان می‌دهد [۱۷].
هر دو این مدارات کاملاً بر یک اساس طراحی شده‌اند، با این تفاوت که جای خروجی و ورودی آن‌ها عوض شده است تا یکی به توان دو برساند و دیگری رادیکال بگیرد. در حالت کلی، اساس کار آن‌ها حلقه‌ای است که در شکل A نشان داده شده است. در این حلقه چهار گیت - سورس ترانزیستورهای اصلی قرار گرفته‌اند که نوشتن KVL در حلقه‌ی آن‌ها موجب ایجاد مدارات G-Mean و Sq می‌شود. به همین علت، آن را مدار حلقه انتقال خطی[3] می‌گویند [۲۷].
در سال‌های اخیر نیز طراحی برای تولید توابع توان‌دار ادامه داشته است. برای مثال مرادی‌نژاد و همکاران با استفاده از ترانزیستورهای ماسفت گیت شناور[4] در تکنولوژی ۰/۱۸ توانسته‌اند ساختاری برای تولید توابع توان‌دار با قابلیت تولید توان‌های مثبت و منفی و برنامه‌ریزی کامل پیشنهاد دهند [۲۷]. مدار ارائه شده در این مقاله از ناحیه‌ی معکوس ضعیف استفاده می‌کند که منجر به کاهش چشمگیر توان مصرفی شده، گرچه کار کردن در این ناحیه می‌تواند سبب افزایش خطا، افزایش وابستگی به

[1] Geometric mean
[2] Square
[3] Translinear-loop
[4] Floating-gate MOSFET (FGMOS)

پارامترهای ساخت و کاهش سرعت مدار شود، ولی برای مدارات فازی می‌تواند مفید واقع شوند، چرا که سرعت، آخرین پارامتر مهم در سیستم‌های کنترل است.



شکل ۴: طراحی مدارات G-Mean :Translinear-loop (A) و Sq (B) [۱۷]

Figure 4. G-mean (A) and Sq (B) circuit designs (Translinear-loop) [17]

اخیراً نیز یک تقریب برای توابع توان‌دار پیشنهاد شده است که مشابه مدل تقریبی [۱۷] است، با این تفاوت که قسمت رادیکالی از تقریب حذف شده است [۲۵,۱۹] و تنها از توابع توان دو، خطی و ثابت بهره برده‌اند. پرواضح است که این طرح در تولید طیف پیوسته‌ی توان‌ها با دقت بالا ناتوان خواهد بود.

در آخرین گزارش ارائه شده [۲۵]، محققان سعی کردند که با حذف قسمتی از مدار فقط با تقریب درجه دو توابع توان‌دار را تولید کنند.

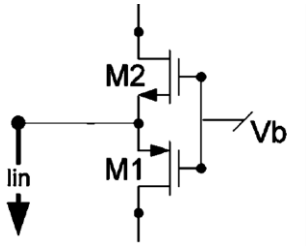
۳- طراحی مدار پیشنهادی

مدار مولد توابع فازی برای کاربردهای گوناگونی طراحی می‌شود و ممکن است مولد توابع مثلثی یا گوسی باشد. ساخت توابع مولد گوسی در مقالات مختلف پیشنهاد شده است. ایده اصلی این مقاله طراحی مدارات مولد تابع مثلثی در ولتاژهای پایین است که ملاحظات خاص خود را دارد. استفاده از سیگنال‌های جریان یا ولتاژ به عنوان سیگنال‌های ورودی، گرچه بستگی به نوع مدارات و حسگرها دارد، اهمیت چندانی ندارد، چرا که تبدیل این سیگنال‌ها به یکدیگر با مدارات هدایتی و مقاومتی میسر است. مولد توابع فازی باید خواص مخصوص به خود را داشته باشد و تمام نکات لازم مرتبط با آن را پیش از طراحی باید بررسی شود. این نکات شامل تولید تمامی توابع از خانواده مثلثی که شامل تابع مثلثی، ذوزنقه‌ای، شبه-s و شبه-z، کنترل‌پذیری تمامی پارامترها از جمله حداکثر جریان فازی‌ساز، شیفت عرضی تابع و شیب بالارونده و پایین رونده و قابلیت دریافت جریان‌های مثبت و منفی برای ورودی است.

۳-۱- مدار یکسوساز مولد

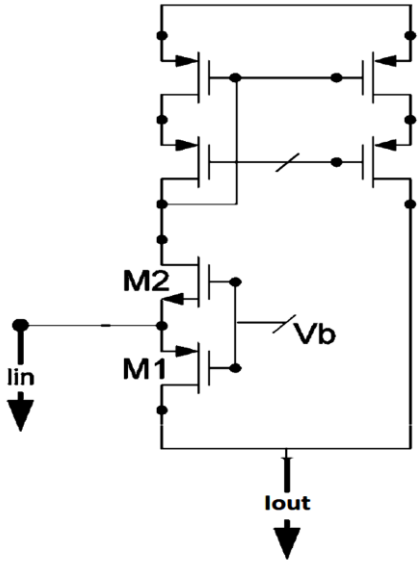
مدارهای یکسوساز به مداراتی اطلاق می‌شود که می‌توانند جریان ورودی مثبت و منفی را دریافت کنند و هر دو در یک جهت منتشر کنند. وقتی می‌گوییم جریان ورودی، مثبت است یعنی به مدار یکسوساز جریان وارد می‌شود در حالی‌که وقتی جریان ورودی منفی می‌شود یعنی جریانی از یکسوساز کشیده می‌شود. هدف آن است که مدار موردنظر هر دو نوع این جریان‌ها (تحویل دهنده یا تحویل گیرنده) را به یک صورت تبدیل کند. ساده‌ترین نوع این مدارها، مداری است که از یک ترانزیستور NMOS و یک ترانزیستور PMOS تشکیل شده است، به نحوی که جریان در هر جهتی به مدار اعمال شود، یکی از این دو ترانزیستور عمل کرده و جریان را تحویل بگیرند. مدار شکل ۵ نمونه‌ای از این نوع مدارها است. در صورتی که در این شکل، جریان ورودی مثبت

شود (هم‌جهت با آنچه در شکل نشان داده شده)، آنگاه جریان ورودی از طریق M2 هدایت می‌شود و در صورت عکس، جریان از طریق M1 هدایت می‌شود.



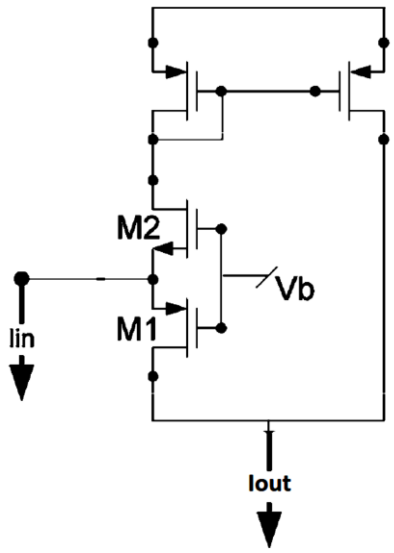
شکل ۵: ورودی مدار یکسوساز
Figure 5. Input of rectifier circuit

اکنون با توجه به این‌که جریان چگونه به طبقه بعد منتقل شود، می‌توان آینه‌های جریان PMOS یا NMOS را قرار داد. اگر قرار باشد که خروجی این مدار به صورت جریان تحویل‌دهنده به مدار طبقه‌ی بعد داده شود باید یک آینه جریان PMOS مطابق شکل ۶ قرار گیرد تا جریان‌های مثبت و منفی هردو به صورت تحویلی به مداری که بعداً به این مدار وصل می‌شود وارد شود. در واقع، زمانی که جریان ورودی مثبت یا منفی است، هر دو جریان به صورت خارج شونده از این مدار به طبقه‌ی بعد می‌رود که به این عمل یکسوسازی جریان می‌گوییم.

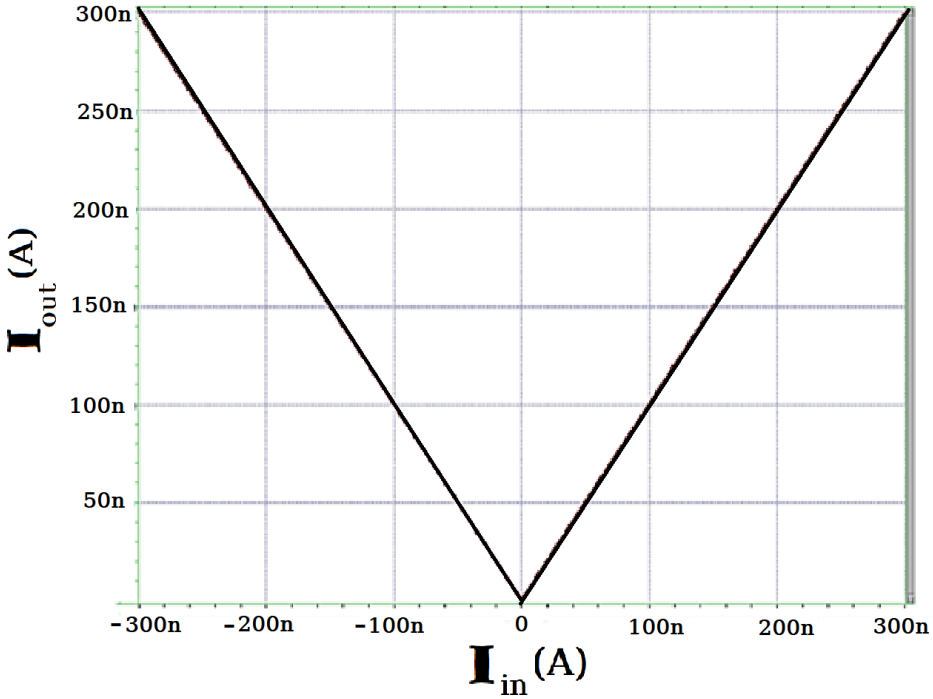


شکل ۶: مدار یکسوساز با آینه‌های جریان کسکود
Figure 6. Rectifier circuit with cascode current mirrors

البته آینه جریان به کار رفته در این مدار از نوع کسکود است که به علت محدودیت‌های نوسان ولتاژ در نواحی زیر آستانه، باید به حالت آینه جریان معمولی تبدیل شود. آینه‌های جریان کسکود قابلیت انتقال مساوی جریان با سایزهای بسیار کوچک را دارند. برای عملکرد درست مدار آینه جریان در نواحی زیر آستانه باید طول کانال بسیار بزرگ انتخاب شود که خود سبب افزایش سطح اشغالی مدار می‌شود. این محدودیت را به علت کوچکی جریان‌های کاری و دامنه‌ی کم تغذیه باید بپذیریم. پس عملاً مدار پیشنهادی برای این قسمت به صورت شکل ۷ می‌شود که نتایج خروجی آن برای محدوده‌ی جریانی در نظر گرفته شده در شکل ۸ مشاهده می‌شود.



شکل ۷: مدار یکسوساز با آینه‌های جریان ساده برای منابع تغذیه پایین
Figure 7. Rectifier circuit with simple current mirrors for low power supplies



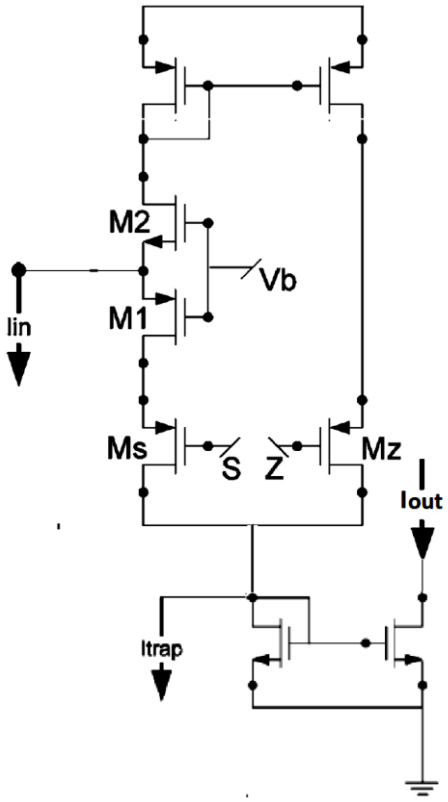
شکل ۸: خروجی مدار یکسوساز پیشنهادی
Figure 8. Output of the proposed rectifier circuit

۳-۲- ایجاد قابلیت تولید توابع مختلف

تولید توابع مختلف در این مدار با به‌کارگیری منابع جریان و کلیدهای ترانزیستوری میسر می‌شود. با اضافه نمودن دو کلید ترانزیستوری در مدار یکسوساز، می‌توان مسیرهای جریان را برای یک طرف مدار قطع نموده و توابع شبه-s و شبه-z را تولید نمود. همچنین برای تولید توابع ذوزنقه‌ای نیز می‌توان قسمتی از جریان خروجی را با یک منبع جریان از خروجی کشید تا محدوده‌ای که می‌خواهیم ذوزنقه‌ای بماند، در ابتدا کشیده شود و باقیمانده‌ی جریان به خروجی منتقل شود. مدار برنامه‌پذیر کامل برای تولید توابع گوناگون در شکل ۹ مشاهده می‌شود. در صورتی‌که ولتاژهای گیت ترانزیستورهای Ms و Mz یک منطقی

(۱/۳ ولت) است، این دو ترانزیستور هدایت کرده و مدار مطابق قبل کار می‌کند. در این صورت با کشیدن جریان Itrap از خروجی می‌توان شکل مثلثی را مطابق شکل ۱۰ به شکل ذوزنقه‌ای تبدیل کرد.

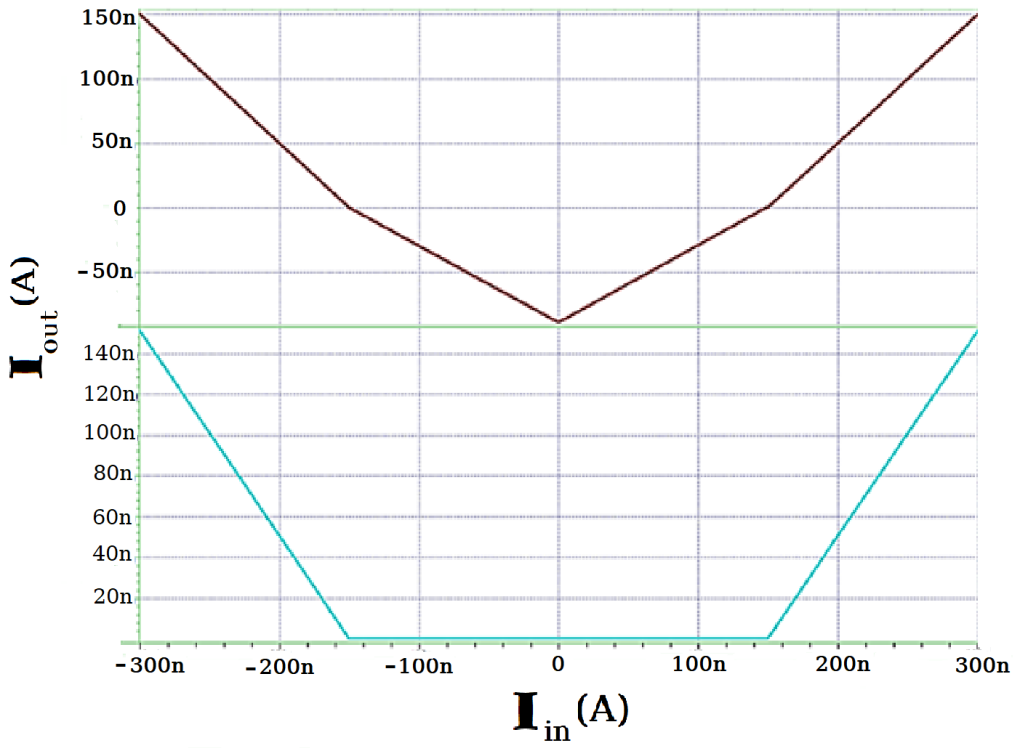
در این شکل جریان بسیار کمی به صورت منفی از ترانزیستور بار مدار عبور می‌کند که ناشی از جریان اشباع معکوس بوده و به علت دیودی بستن ترانزیستور رخ داده است. این جریان در هنگام آینه کردن حذف می‌شود و منبع جریان خروجی مدار یک جریان ایده‌آل ذوزنقه‌ای تولید می‌کند. پهنای ذوزنقه کاملاً توسط منبع جریان ذکر شده کنترل می‌شود، مثلاً در این شکل منبع جریان Itrap برابر با ۱۵۰ نانوآمپر قرار داده شده است که عملاً پهنای ذوزنقه ۳۰۰ نانوآمپر بوده و در جریان‌های ۱۵۰- و ۱۵۰ نانوآمپر ذوزنقه تغییر حالت می‌دهد.



شکل ۹: مجهز کردن مدار یکسوساز جهت تولید توابع مختلف

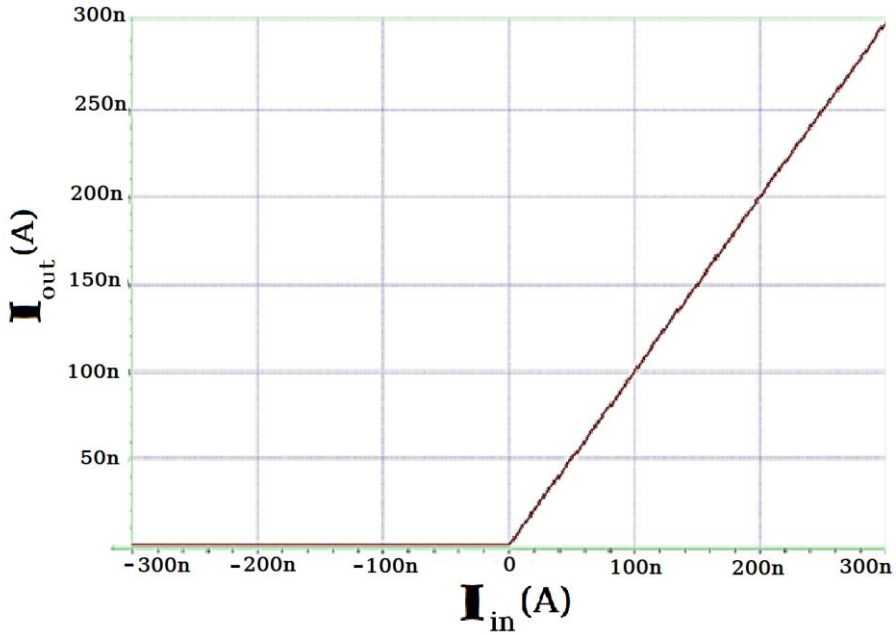
Figure 9. Enabling the rectifier circuit to generate different functions

در صورتی‌که یکی از ترانزیستورهای شکل ۹ خاموش شوند (این کار با اعمال صفر به گیت‌های ترانزیستورها انجام می‌شود) مدار از یک طرف جریان می‌کشد که شکل موج مثلثی ما به حالت z-شکل و یا s-شکل تبدیل می‌شود. نتایج شبیه‌سازی برای این حالت نیز در شکل ۱۱ و ۱۲ نشان داده شده است.



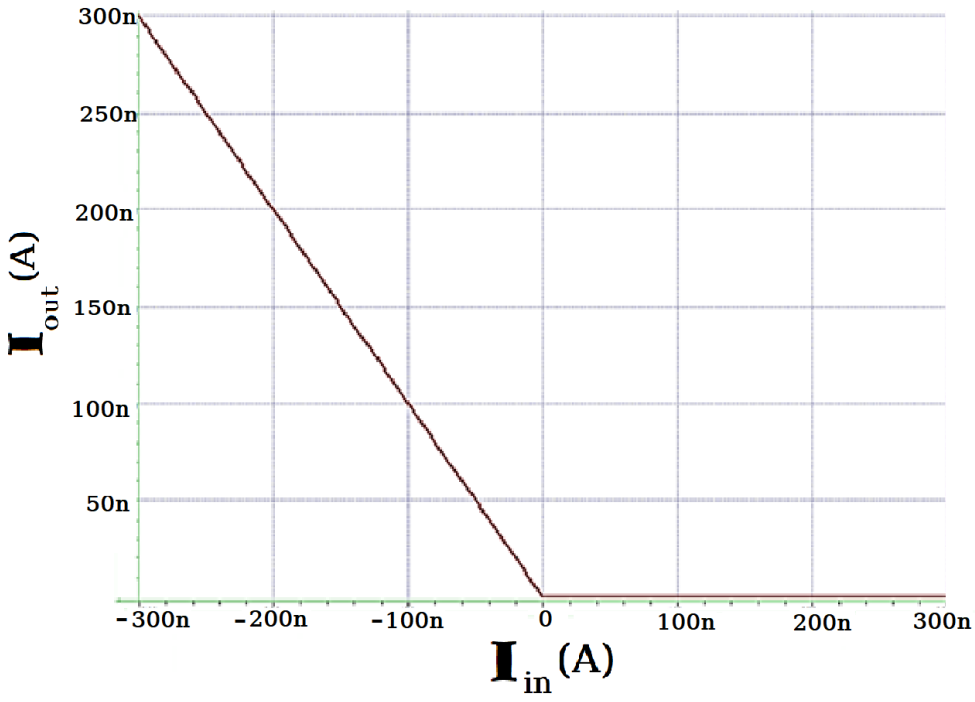
شکل ۱۰: خروجی یکسوساز برای تولید توابع ذوزنقه‌ای (با کشیده شدن جریان I trap خروجی مثلثی تبدیل به ذوزنقه ای شده است)

Figure 10. Rectifier output for generating trapezoidal functions (as I_{trap} is drawn, the triangular output becomes trapezoidal)



شکل ۱۱: خروجی مدار یکسوساز برای تولید توابع S- شکل

Figure 11. Rectifier circuit output for generating S-shaped functions



شکل ۱۲: خروجی مدار یکسوساز برای تولید توابع Z-شکل
Figure 12. Rectifier circuit output for generating Z-shaped functions

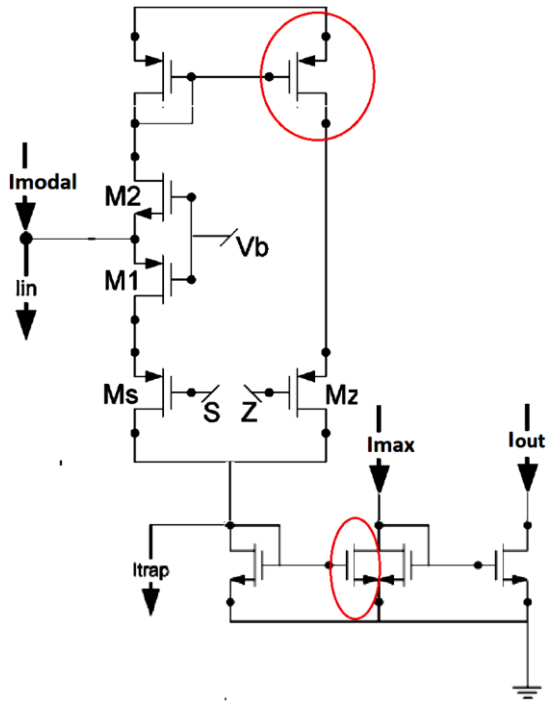
۳-۳- ایجاد قابلیت برنامه‌ریزی مدار

در بحث ایجاد قابلیت برنامه‌ریزی مدار هدف آن است که رأس مثلث، ذوزنقه، یا محل تغییر وضعیت s و z را جابه‌جا نماییم. همچنین می‌خواهیم جریان حداکثر مدار را تعیین و شیب‌های بالارونده و پایین رونده را نیز تغییر دهیم. تاکنون مداراتی مبتنی بر تغییر جداگانه شیب‌ها ارائه نشده است که در این قسمت به آن خواهیم پرداخت.

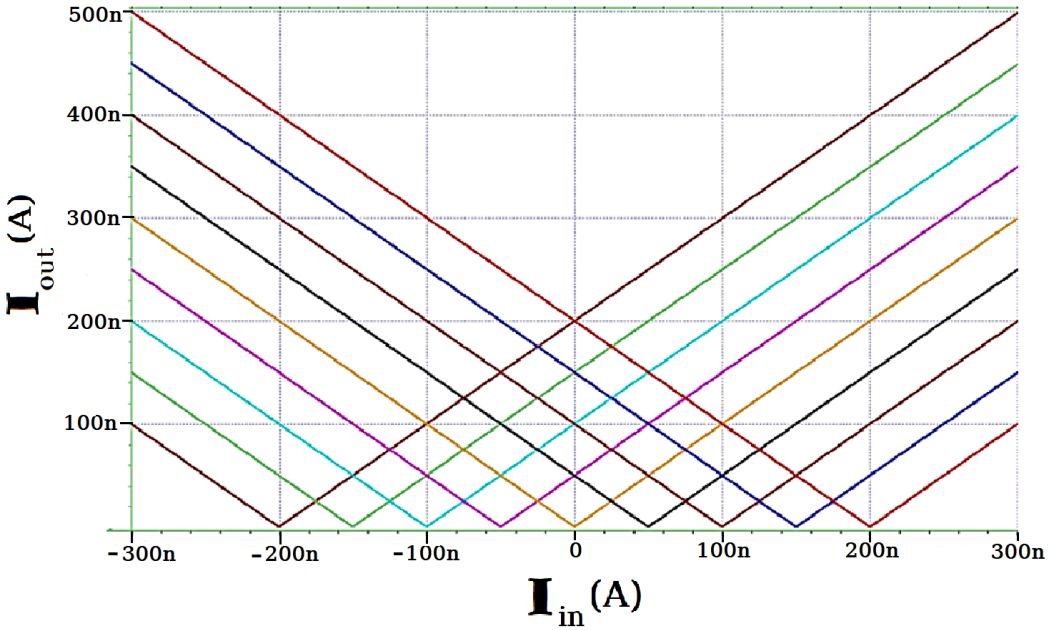
لازم به ذکر است که تغییر پهنای ذوزنقه در شکل موج ذوزنقه‌ای با تنظیم Itrap ممکن می‌شود. برای تغییر رأس مثلث و جابه‌جا شدن آن در محور طولی کافی است که یک منبع جریان را در ورودی مدار و در جهت جریان ورودی (Imodal) به صورت نشان داده شده در شکل ۱۳ قرار دهیم. نتایج حاصل از تغییر این دو منبع جریان در شکل‌های ۱۴ و ۱۵ مشاهده می‌شود.

در شکل ۱۴ جریان میانی Imodal از ۲۰۰- تا ۲۰۰ نانوآمپر تغییر داده شده، در حالی‌که Itrap برابر صفر است. رأس مثلث مطابق با این جریان‌ها تغییر کرده است. این در حالی است که در شکل ۱۵، Imodal برابر صفر است، ولی Itrap از ۰ تا ۲۴۰ با پله‌های ۳۰ نانوآمپری دستخوش تغییر شده است. همان‌طور که مشخص است پهنای ذوزنقه از ۰ تا ۴۸۰ نانوآمپر تغییر کرده است.

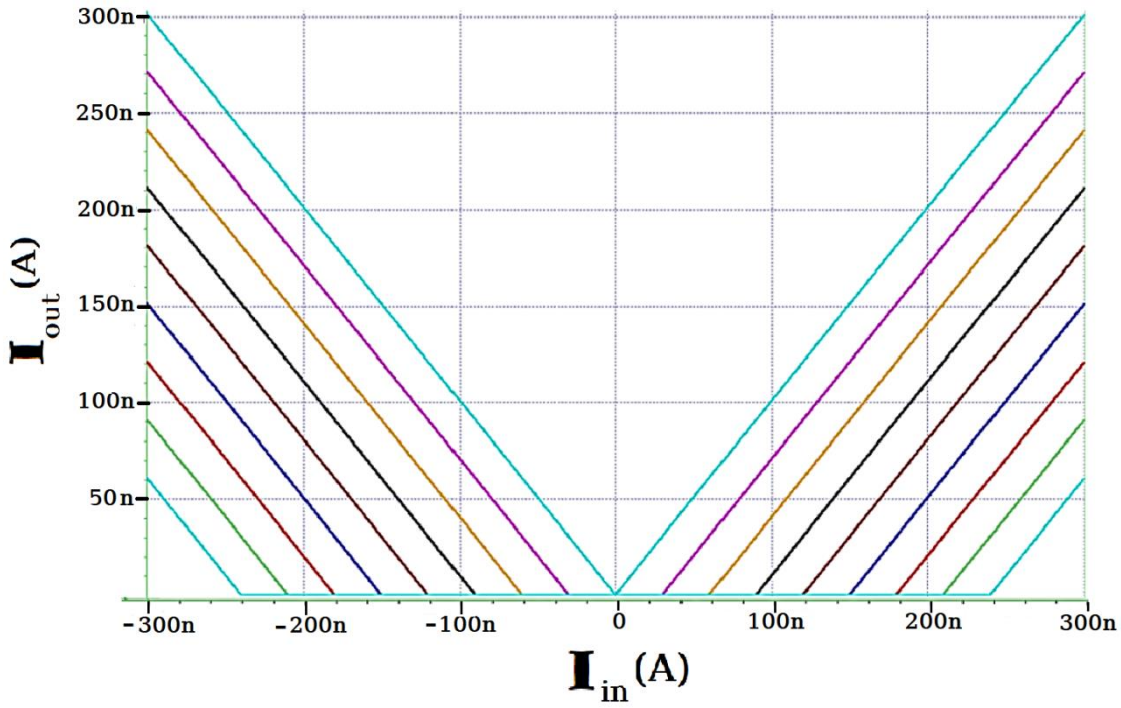
برای تنظیم جریان حداکثر هم مطابق شکل ۱۳، یک منبع جریان در خروجی قرار داده شده تا اختلاف آن و جریان خروجی یکسوساز (جریان‌هایی که تا به حال در شکل‌ها مشاهده می‌شد) به بار مورد نظر انتقال یابد. عملاً رابطه‌ی جریان خروجی به صورت Iout=Imax-Irec می‌شود که Irec جریان‌هایی هستند که تاکنون در شکل‌ها بحث شد. به عبارتی دیگر Irec=Iin+Itrap+Imodal است.



شکل ۱۳: تجهیز مدار پیشنهادی برای برنامه‌پذیری کامل
Figure 13. Enabling the proposed circuit for full programmability



شکل ۱۴: خروجی مدار یکسوساز برای تولید توابع مختلف با قابلیت جابجایی در محور جریان ورودی
Figure 14. Output of the rectifier circuit to generate different functions with the possibility of shifting along the input current axis

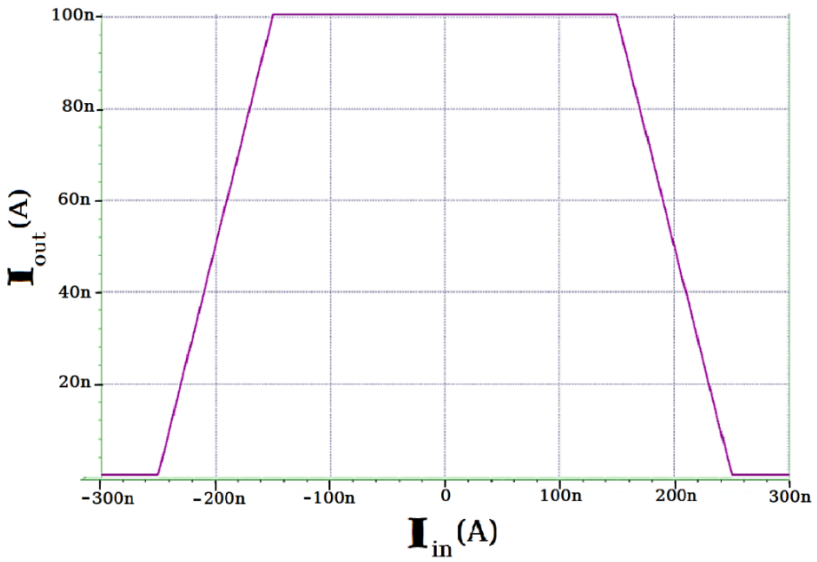


شکل ۱۵: قابلیت تنظیم پذیری مدار برای تولید توابع ذوزنقه‌ای با پهناهای مختلف

Figure 15. Adjustability of circuit to generate trapezoidal functions with different widths

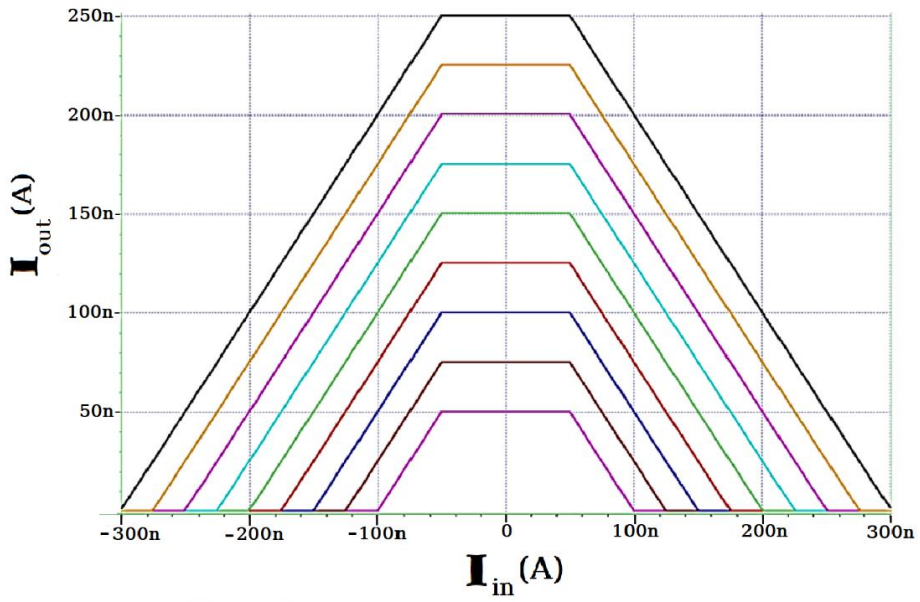
از لحاظ ریاضی چنین می‌توان گفت که جریان‌های بالا همه نسبت به محور افقی معکوس می‌شوند و به اندازه‌ی Imax به بالا می‌روند. اما از آنجایی که جریان‌های منفی اجازه‌ی عبور در ترانزیستورها را ندارند در صفر برش می‌خورند. مثلاً یک شکل موج ذوزنقه‌ای با تزریق جریان Imax به صورت شکل ۱۶ در می‌آید. در این شکل جریان Imax برابر ۱۰۰ نانوآمپر در نظر گرفته شده است. در صورت تغییر این منبع جریان شکل موج‌های ایجاد شده در شکل ۱۷ حاصل می‌شود. در این شکل جریان حداکثر از ۵۰ تا ۲۵۰ نانوآمپر تغییر کرده است.

نکته‌ی قابل توجه شکل ۱۶ این است که در صورت ثابت بودن شیب مدار و جریان Itrap ضلع بالایی ذوزنقه، که یک منطقی را شامل می‌شود ثابت مانده و برای همه‌ی حالات ۱۰۰ نانوآمپر است.



شکل ۱۶: خروجی مدار پس از اعمال جریان حداکثر ۱۰۰ نانو آمپر

Figure 16. Circuit output after applying the maximum current (I_{max}=100 nA)

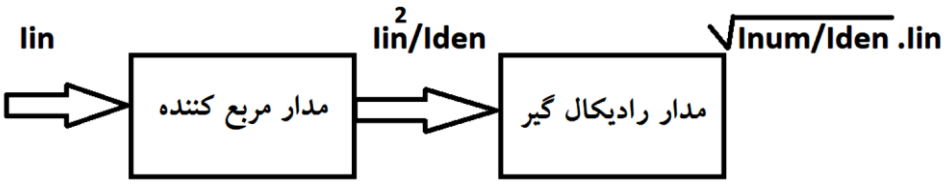


شکل ۱۷: بررسی قابلیت برنامه پذیری مدار توسط Imax

Figure 17. Evaluating the programmability of the circuit using I_{max}

اما بخش بسیار مهم که باید در ناحیه‌ی زیر آستانه طراحی شود، تنظیم‌پذیری شیب‌های بالارونده و پایین رونده است. برای این منظور باید به هنگام آینه کردن جریان‌ها میزان شیب را به جریان آینه شده انتقال دهیم. منظور از آینه‌های جریان در این جا آن چیزی است که در شکل ۱۳ با دایره‌ی قرمز رنگ نشان داده شده است. همان طور که مشخص است یک آینه جریان NMOS وجود دارد که با تغییر پهنای ترانزیستورهای آن می‌توان شیب‌های بالارونده و پایین رونده را به صورت هم‌زمان تغییر داد. اگر بخواهیم که تنها یکی از شیب‌ها تغییر کند کافی است که سایز ترانزیستورهای آینه‌ی جریان PMOS که داخل یکسوساز قرار گرفته را تغییر دهیم. این کار برای مدارات مد جریان پیشنهادی تاکنون ارائه نشده است که در این مقاله مورد بحث است. عملاً تغییر سایز ترانزیستورها با فرض مشخص بودن شیب‌ها قبل از ساخت ممکن است و اگر بخواهیم شیب‌ها به صورت کنترل‌پذیر تغییر کنند باید از آینه‌های جریان کنترل‌پذیر که قابلیت تغییر سایز دارند استفاده گردد. هرچند دقت عمل این آینه‌ها بالاست، ولی عملاً طیف پیوسته‌ای از شیب‌ها را در بر نمی‌گیرند. به همین خاطر به جای استفاده از آینه‌های جریان می‌توانیم از ضرب و تقسیم‌کننده‌های آنالوگ بهره ببریم.

برای این منظور از مدارات به توان دو رساننده و رادیکال‌گیر بهره می‌بریم، و در قسمت بعد طراحی نیز از آن‌ها برای ساخت توابع توان‌دار استفاده می‌کنیم. در واقع ابتدا جریانی که قرار است تغییر شیب یابد را به توان دو یا یک ضریب قابل تنظیم می‌رسانیم و سپس آن را از یک مدار رادیکال‌گیر عبور می‌دهیم. در نتیجه جریان به شیب مورد نظر خواهد رسید. نمایش تصویری آنچه بیان شد در شکل ۱۸ نمایش داده شده است. غالباً مدارات مربع‌کننده و رادیکال‌گیر به ترتیب به صورت ضریبی در مخرج و در صورت ظاهر می‌شوند. این ضرایب توسط منابع ولتاژ و یا جریان قابل تنظیم هستند. این دو جریان با نام‌های Inum و Iden در شکل ۱۸ مشاهده می‌شود.



شکل ۱۸: نحوه‌ی تولید مدار ضرب کننده برای ایجاد یک ضریب برای تنظیم شیب و یا ضرایب تقریب توان

Figure 18. Process of realizing the multiplier circuit to generate a coefficient for slope adjustment or power approximation coefficients

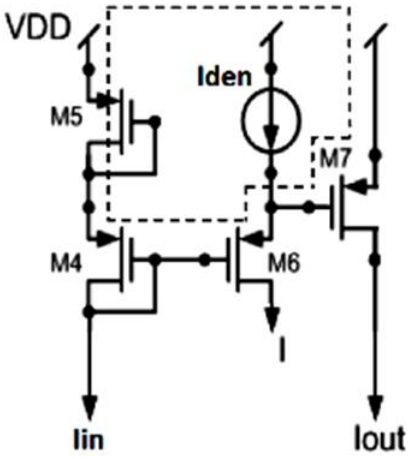
۳-۴- طراحی مدار مربع‌کننده

برای طراحی مدار مربع‌کننده طبق روال رایج از مدارات translinear بهره می‌بریم. ساخت این مدارات غالباً در ناحیه‌ی زیر آستانه راحت‌تر است، چرا که در این ناحیه روابط ترانزیستورهای FET به صورت نمایی طبق رابطه ۱ در می‌آید.

$$I_d = I_s \frac{W}{L} e^{\frac{V_{gs}}{nv_T}} \left(1 - e^{\frac{-V_{ds}}{nv_T}} + \frac{V_{ds}}{V_E} \right) \rightarrow \quad I_d \approx I_s \frac{W}{L} e^{\frac{V_{gs}}{nv_T}} \qquad (۱)$$

که در این رابطه Is یک مقدار ثابت دارد و $V_T=kT/q$. V_{GS} ولتاژ گیت-سورس و V_{DS} و V_E نیز به ترتیب ولتاژ درین-سورس و ولتاژ ارلی[1] هستند. در این رابطه n ضریب شیب نام دارد و مقداری بیشتر از ۱ دارد، در حالی که W/L نیز نسبت طول به عرض ترانزیستور است [۲۵].

مدار در نظر گرفته شده برای این بلوک در شکل ۱۹ مشاهده می‌شود.



شکل ۱۹: مدار مولد تابع سهمی (مربع کننده)

Figure 19. Parabolic function generator circuit (squaring)

اساس کار این مدار بدین صورت است که در حلقه‌ای که با خط چین نشان داده شده است مجموع ولتاژهای گیت - سورس طبق رابطه ۲ برابر صفر می‌شود [۲۵]:

$$V_{GS4} + V_{GS5} = V_{GS6} + V_{GS7} \qquad (۲)$$

با توجه به رابطه‌ی نمایی ذکر شده برای ترانزیستور در ناحیه‌ی زیر آستانه این رابطه‌ی حاصل‌جمع به رابطه‌ی حاصلضرب تبدیل خواهد شد. با توجه به اینکه سایز ترانزیستورهای را باید یکسان در نظر بگیریم و با توجه به منابع جریان قرار داده شده و جریان‌های ورودی و خروجی طبق رابطه ۳ خواهیم داشت:

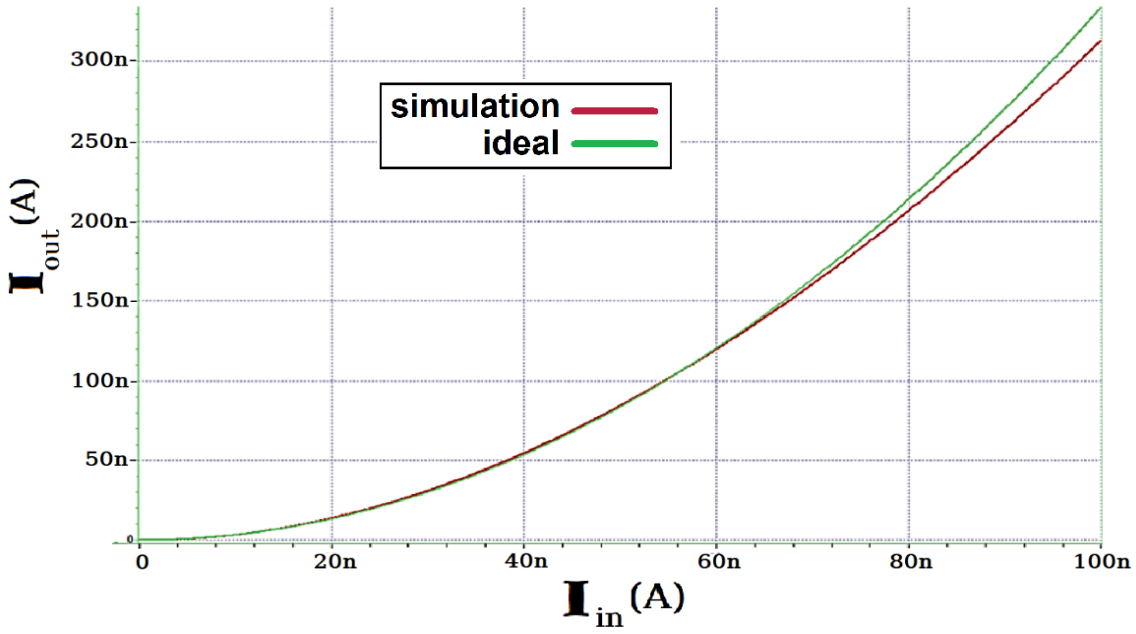
$$I_{D4} \times I_{D5} = I_{D6} \times I_{D7} \qquad (۳)$$

و در نتیجه طبق رابطه ۴ داریم:

$$I_{out} = \frac{I_{in}^2}{I_{den}} \qquad (۴)$$

همان‌طور که می‌بینیم جریان خروجی این مدار به صورت مربع جریان ورودی تقسیم بر یک مقدار ثابت به دست می‌آید. نتیجه‌ی شبیه‌سازی این مدار به ازای قرار دادن جریان Iden برابر با ۳۰ نانوآمپر در شکل ۲۰ مشاهده می‌شود. از آنجایی که تنظیم‌پذیری شیب مدار به دقت عملکرد این مدار بستگی دارد و باید برای یک بازه‌ی وسیع با دقت عمل کند، جریان Iden را تغییر می‌دهیم تا دقت مدار بررسی گردد. همان‌طور که در شکل ۲۱ مشاهده می‌شود، این مدار با دقت قابل قبولی برای جریان‌های Iden بزرگ‌تر از ۳۰ نانوآمپر، جریان ورودی را مربع می‌کند.

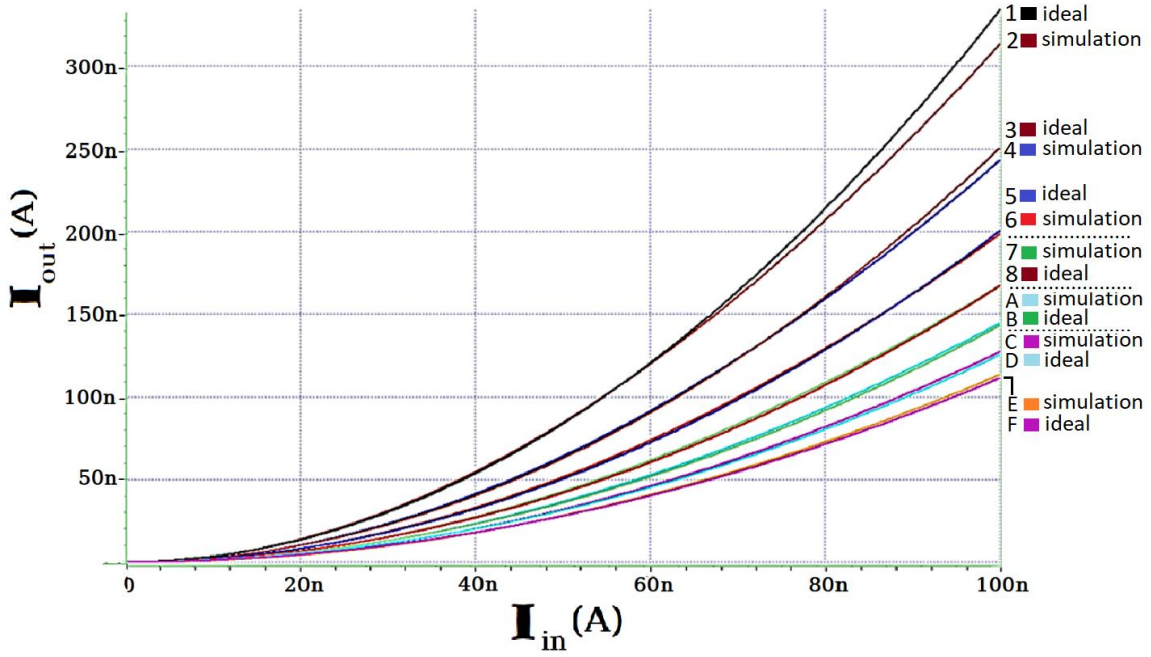
[1] Early voltage



شکل ۲۰: خروجی مدار مربع کننده

Figure 20. Squaring circuit output

در واقع هرچه جریان مخرج بزرگ‌تر شود جریان خروجی کوچک‌تر می‌شود که در این جا در حال دیدن تغییرات جریان خروجی به ازای جریان‌های Iden از ۳۰ تا ۹۰ نانوآمپر با پله‌های ۱۰ نانوآمپری هستیم. پرواضح است که مدار با دقت قابل قبولی در حال مربع‌گیری از جریان ورودی برای یک بازه‌ی خوب جهت طراحی قسمت‌های مداری است.



شکل ۲۱: تنظیم پذیری مدار مربع‌کننده و مقایسه‌ی حالات مختلف با منحنی ایده‌آل

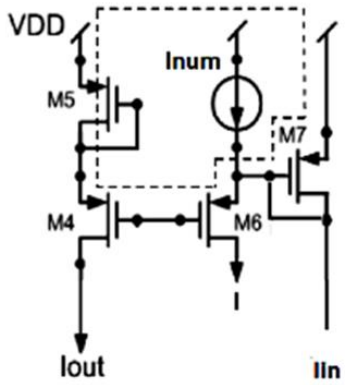
Figure 21. Adjustability of the squaring circuit and comparison of different states with the ideal curve

۳-۵- طراحی مدار رادیکال‌گیر

مدار رادیکال‌گیر نیز بر مبنای همان مدار مربع‌کننده به دست می‌آید، با این تفاوت که جای جریان ورودی و خروجی را باید عوض کرد. مدار شکل ۲۲ همان مدار شکل ۱۹ است که با جابه‌جا کردن جریان‌های خروجی و ورودی می‌توان رابطه‌ی ۵ را به دست آورد:

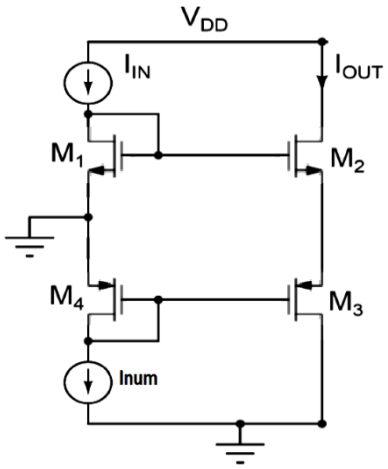
$$I_{D4} = \sqrt{I_{in} \cdot I_{num}} \quad (۵)$$

لازم به ذکر است که در این مدار ترانزیستور M7 به شکل بار در آمده است تا پذیرای جریان ورودی باشد و ترانزیستور M4 هم از حالت بار خارج شده تا بتواند جریان خروجی را به بار دهد، ولی نکته‌ی قابل تأمل این است که به علت اتصال کوتاه پیش آمده بین درین و گیت ترانزیستور M7 و اتصال منبع جریان به نقطه‌ی ورود جریان سبب عملکرد بد مدار می‌شود.



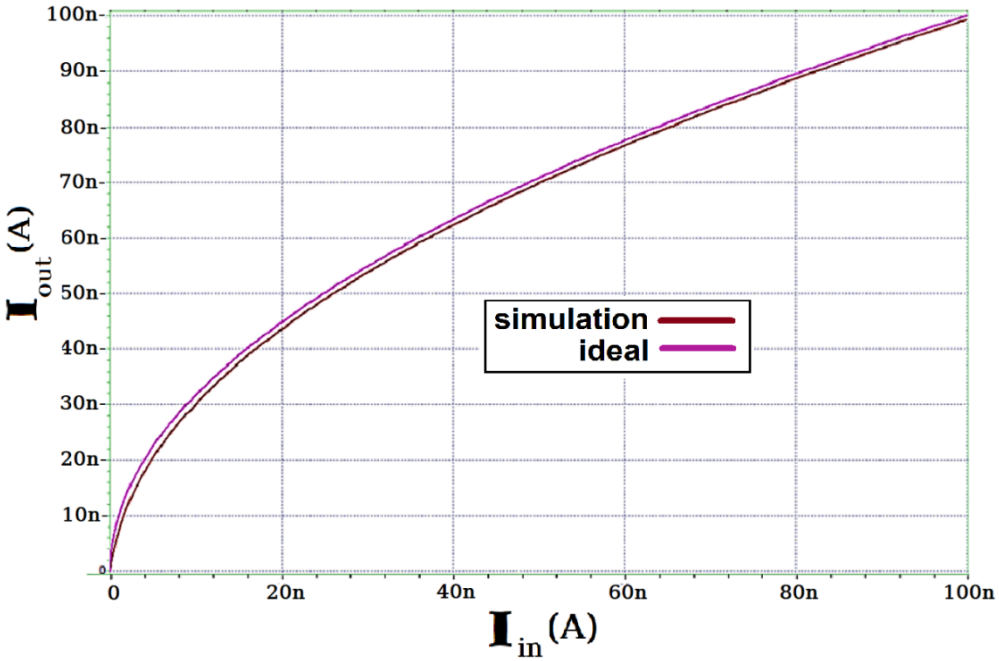
شکل ۲۲: تغییر ورودی و خروجی مدار مربع کننده جهت ساخت مدار رادیکال‌گیر
Figure 22. Changes in the input and output of the squaring circuit to realize the square root circuit

نکته‌ی قابل تأمل این مدار استفاده از ترانزیستورهای PMOS است که به علت کندی حامل‌های حفره نسبت به الکترون باید سایز آن‌ها را سه برابر ترانزیستورهای NMOS در نظر بگیریم تا در روابط ولتاژ به جریان تمامی پارامترها به صورت یکسان حذف شوند. مدار رادیکال‌گیر شبیه‌سازی شده در شکل ۲۳ مشاهده می‌شود.



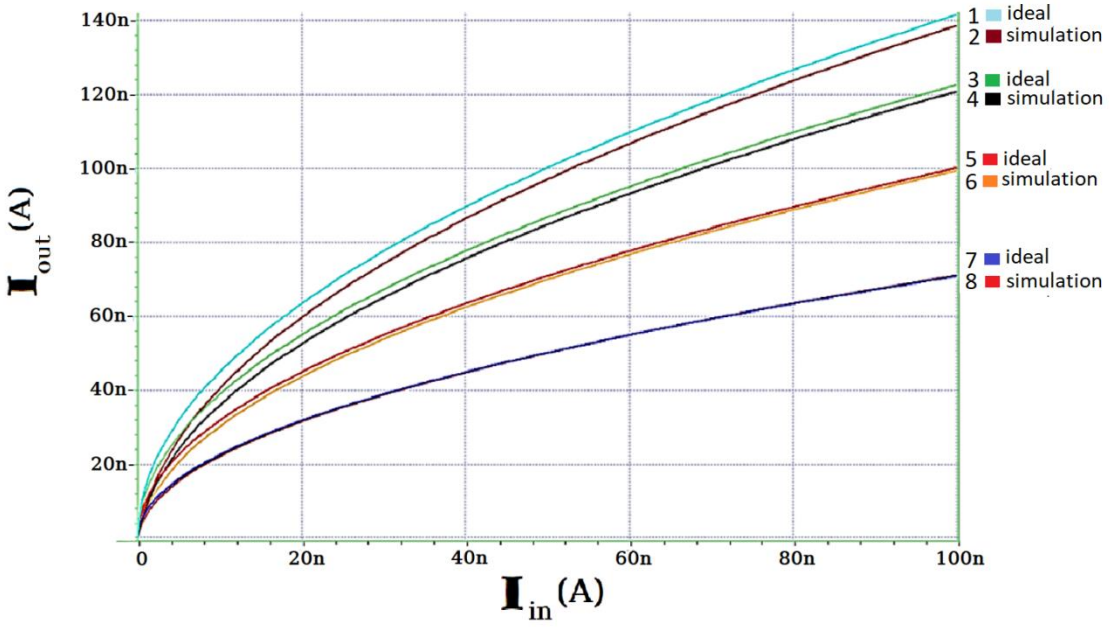
شکل ۲۳: مدار رادیکال‌گیر شبیه‌سازی شده
Figure 23. Simulated square root circuit

نتایج شبیه‌سازی این مدار به ازای جریان Inum برابر ۱۰۰ نانوآمپر در شکل ۲۴ مشاهده می‌شود. دقت این مدار نیز برای عملکرد کاری برای تغییر شیب و تولید توان بسیار قابل قبول است.



شکل ۲۴: خروجی مدار رادیکال گیر
Figure 24. Square root circuit output

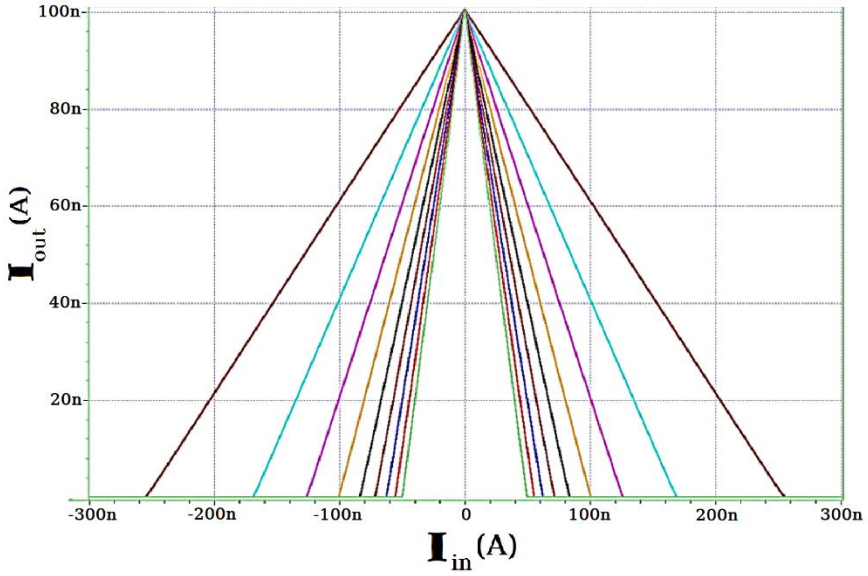
برای این قسمت نیز تنظیم‌پذیری و دقت بررسی می‌شود. جریان Inum از ۵۰ تا ۲۰۰ نانوآمپر تغییر داده شده و مشاهده می‌شود که برای جریان‌های پایین دقت مدار بیشتر شده است. برنامه‌پذیری مدار رادیکال‌گیر در شکل ۲۵ مشاهده می‌شود.



شکل ۲۵: برنامه‌پذیری مدار رادیکال‌گیر
Figure 25. Programmability of the square root circuit

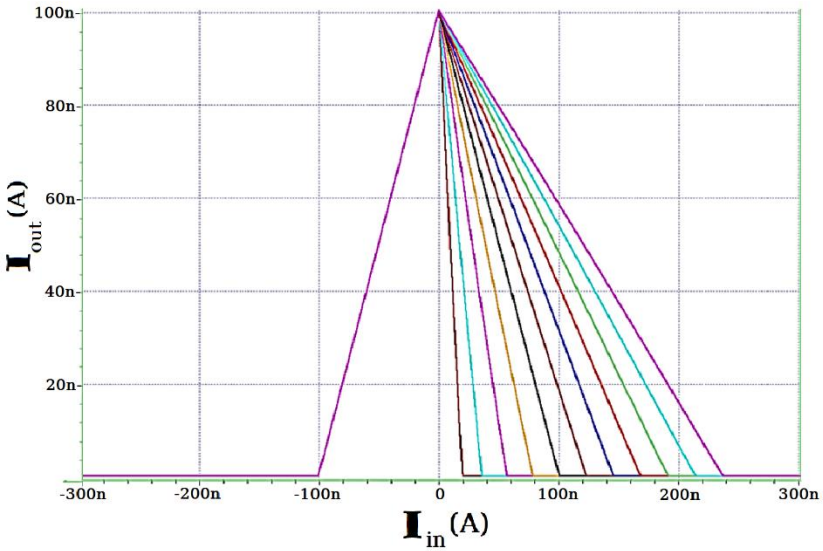
با توجه به آنچه بیان شد، با اتصال مدارهای مربع‌کننده و رادیکال‌گیر می‌توان شیب مدار را تنظیم نمود. باید توجه داشت که شیب با رادیکال نسبت‌های Inum/Iden ارتباط دارد. پس وقتی می‌خواهیم شیب ۲ را قرار دهیم باید نسبت آن‌ها ۴ به ۱ در نظر گرفته شود. با توجه به دقت مدار، بهترین گزینه قرار دادن نسبت ۱۰۰ به ۲۵ است. یا برعکس با قرار دادن نسبت ۲۵ به ۱۰۰

شیب ۰/۵ ایجاد شود. شکل ۲۶ نمونه‌ی تغییرات ایجاد شده به ازای اعمال جریان‌های مختلف صورت و مخرج است. در اینجا شیب از ۰/۵ تا ۲/۵ تغییر داده شده است که برای بسیاری از کاربردهای فازی مناسب و کافی است.



شکل ۲۶: تنظیم شیب مدار فازی ساز با استفاده از مدارات مربع کننده و رادیکال گیر
Figure 26. Slope adjustment of fuzzifier circuit using squaring and square root circuits

در صورتی که مدار تنظیم شیب دوطرفه تغییر نکند و تنها تنظیم شیب داخل یکسوساز فعال باشد، فقط تغییرات شیب یک طرف مدار را خواهیم داشت که به عنوان یکی از ایده‌های مطرح شده در این مقاله است. همان طور که در شکل ۲۷ مشاهده می‌شود این تغییرات با دقت قابل قبولی در لبه‌ی پایین رونده‌ی مثلث فازی‌ساز ایجاد شده است.

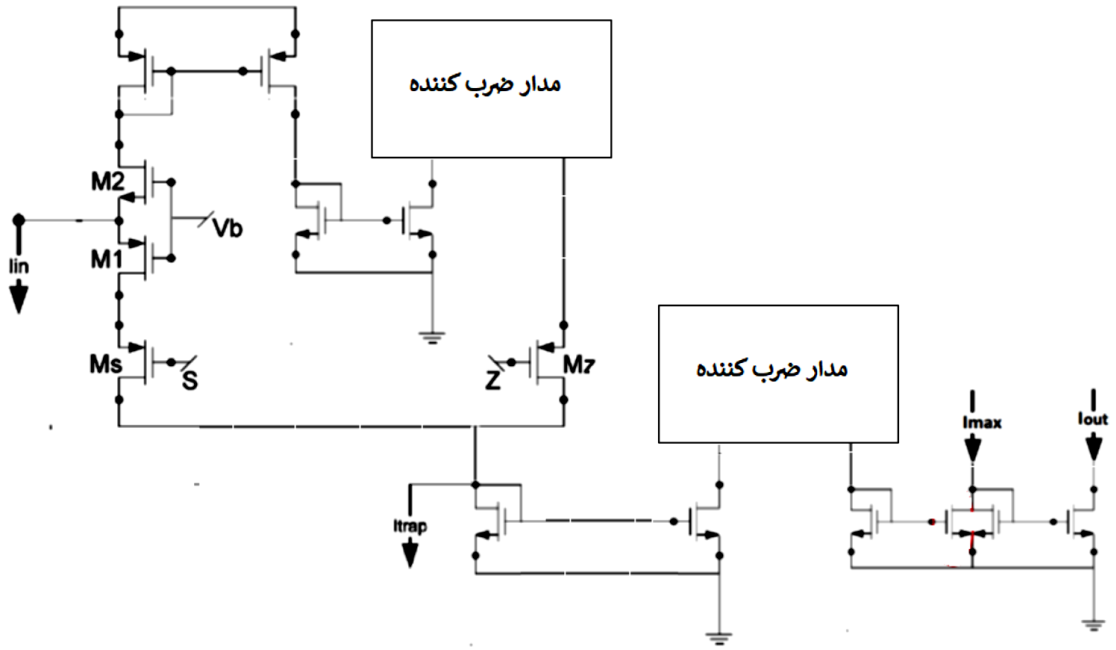


شکل ۲۷: تنظیم پذیری مدار فازی ساز برای تنظیم شیب یک طرفه
Figure 27. Capability of the fuzzifier circuit to adjust slope at one edge

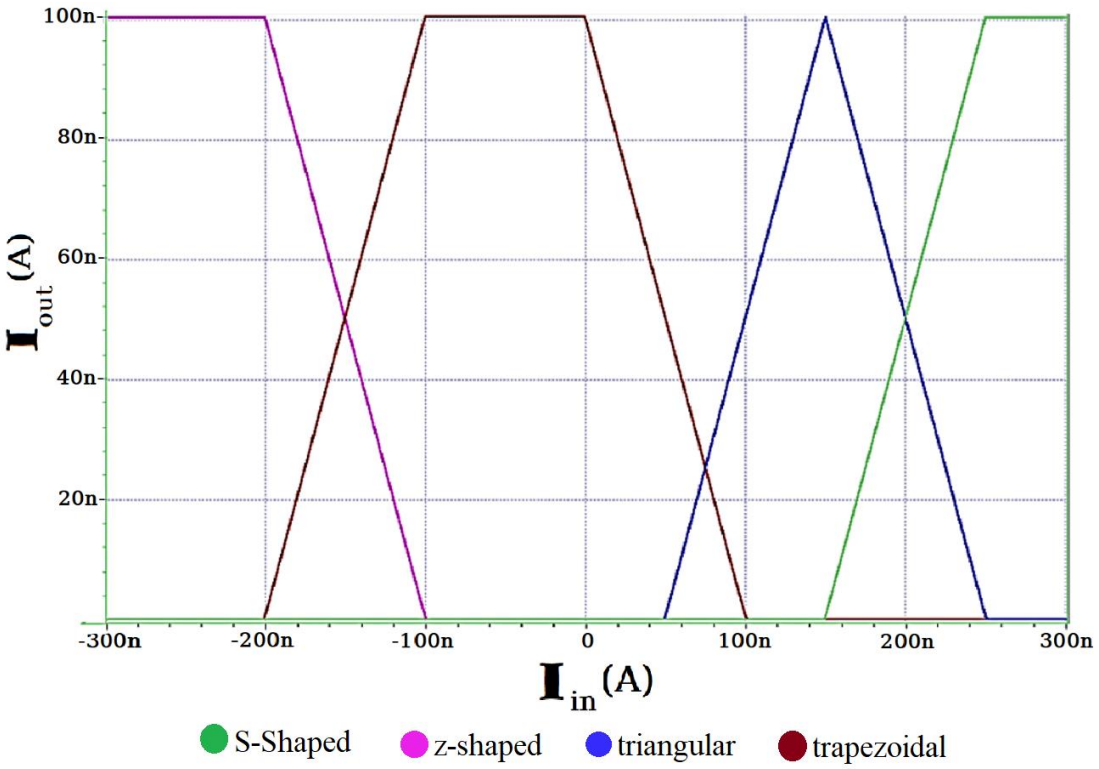
نهایتاً مدار فازی ساز به صورت شکل ۲۸ پیشنهاد می‌شود که دارای قابلیت‌های زیر است و نمونه خروجی آن در شکل ۲۹ مشاهده می‌شود:

۱. قابلیت تولید تمامی اشکال به صورت کاملاً تنظیم پذیر و آنالوگ .
۲. قابلیت تنظیم شیب بالارونده و پایین رونده‌ی مجزا و به صورت کاملاً پیوسته .

۳. محدوده‌ی جریان ورودی مثبت و منفی متقارن به بزرگی بیش از ۰/۵ میکروآمپر .
٤. قابلیت تنظیم حداکثر جریان خروجی .



شکل ۲۸: مدار پیشنهادی فازی‌ساز
Figure 28. Proposed fuzzifier circuit



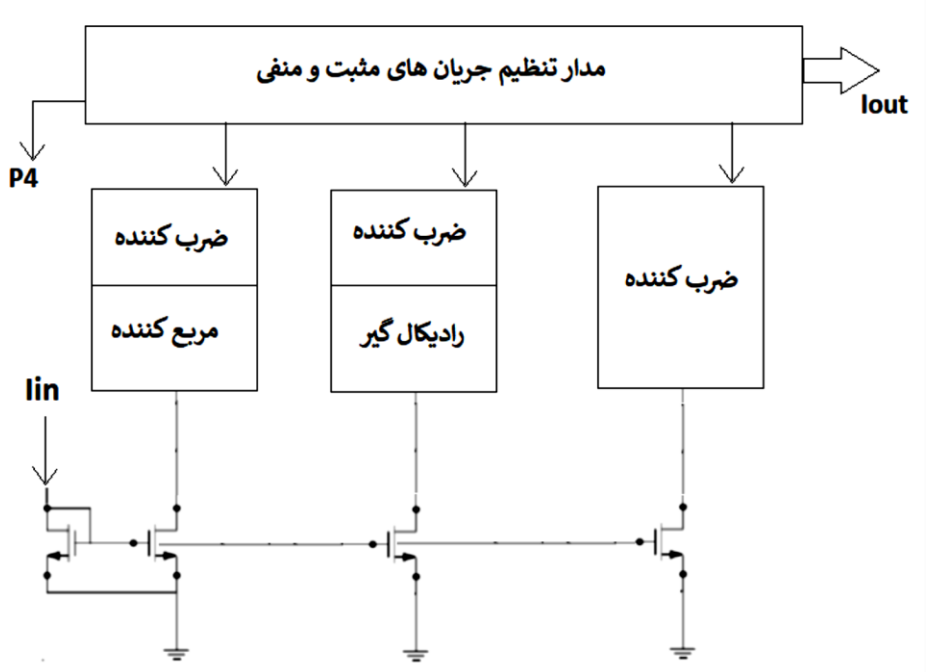
شکل ۲۹: نمونه‌ای از خروجی‌های تولید شده توسط فازی‌ساز پیشنهادی
Figure 29. An example of the outputs generated by the proposed fuzzifier

۳-۶- طراحی مدار مولد توان

در این قسمت، هدف طراحی مداری است که بتواند جریان خروجی فازی‌ساز را به هر توان دلخواهی بین ۰ تا ۴ برساند. ساده‌ترین روشی که تاکنون برای مدل‌سازی مدارات تولید توابع توان‌دار ارائه شده در [۱۷] آورده شده است. هر تابع توان‌داری را می‌توان توسط مجموعی از توابع سهمی، رادیکالی، خطی و ثابت طبق رابطه ۶ تخمین زد [۱۷]:

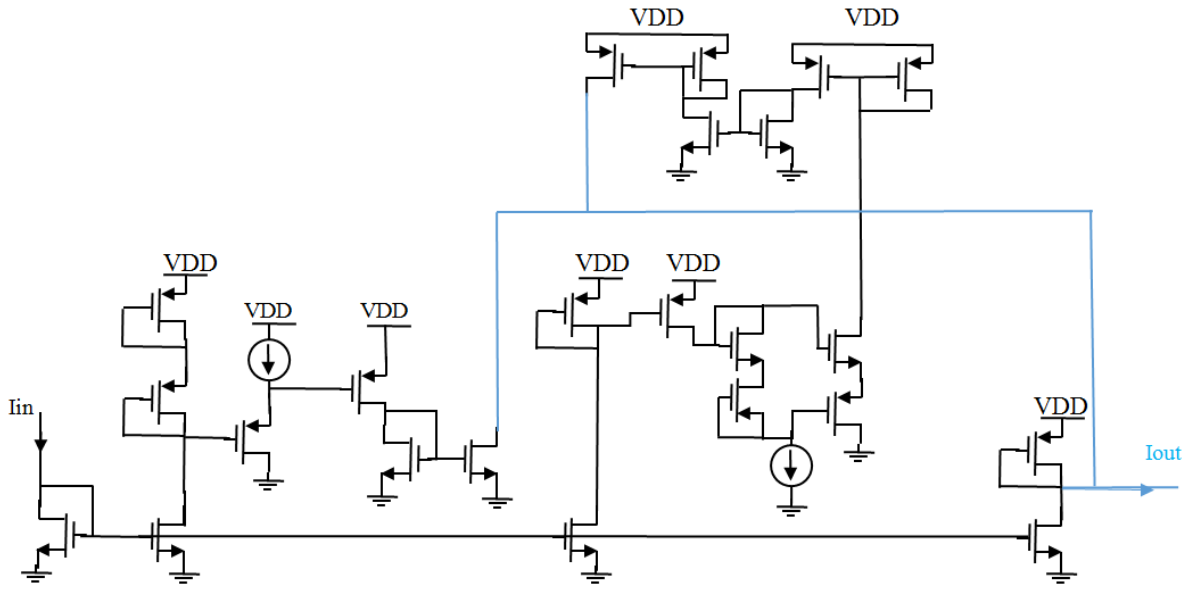
$$x^a = P_1.x^2 + P_2.x + P_3.\sqrt{x} + P_4 \qquad (۶)$$

البته این تقریب تا توان‌های ۲ جوابگو بوده و برای توان‌های بیشتر از ۲ بدین صورت عمل می‌شود که ابتدا داده را به توانی نصف توان مورد نظر که کمتر از ۲ است، رسانده و سپس آن را مربع نموده تا توان مورد نظر به دست آید. برای پیاده‌سازی این فرمول از بلوک‌دیاگرام ارائه شده در شکل ۳ استفاده می‌کنیم، که در واقع در این بلوک‌دیاگرام برای تولید یک تابع توان‌دار جریان ورودی به توان دو رسیده، رادیکال می‌گیریم و به همراه ضرایبی که به آن‌ها می‌دهیم با خود تابع (به همراه یک ضریب) و یک جریان ثابت جمع می‌شود. برای تولید توان بر اساس تقریب بیان‌شده مدار بلوکی شکل ۳۰ را پیشنهاد می‌دهیم. در این مدار ابتدا جریان خروجی فازی‌ساز را آینه کرده و به مدارات مربع‌کننده و رادیکال‌گیر منتقل می‌شود. خروجی این مدارات را به یک مدار ضرب‌کننده نیز می‌دهیم تا ضریب مورد نظر ما اعمال شود. سپس، یک نسخه دیگر از جریان فازی‌ساز به همراه جریان‌های خروجی این دو مدار به یک مدار ضرب‌کننده ارسال می‌شود تا ضریب مورد نظر برای ساخت توان مورد نیاز در دسترس باشد. متناسب با مثبت و یا منفی بودن ضریب، جریان‌های به دست آمده را با همدیگر جمع و تفریق نموده تا توان مورد نظر تولید شود. برای این منظور از کدهای دیجیتال برای هرکدام استفاده شده است. در صورتی که توان مورد نظر بیشتر از ۲ بود، پس از تولید نصف آن توان با اعمال یک بیت، جریان را وارد یک مربع کننده‌ی دیگر کرده و به توان مورد نظر می‌رسیم. در این مدار جریان‌های Inum و Iden را باید ۱۰۰ نانوآمپر که مقدار حداکثر جریان فازی‌ساز است قرار دهیم.



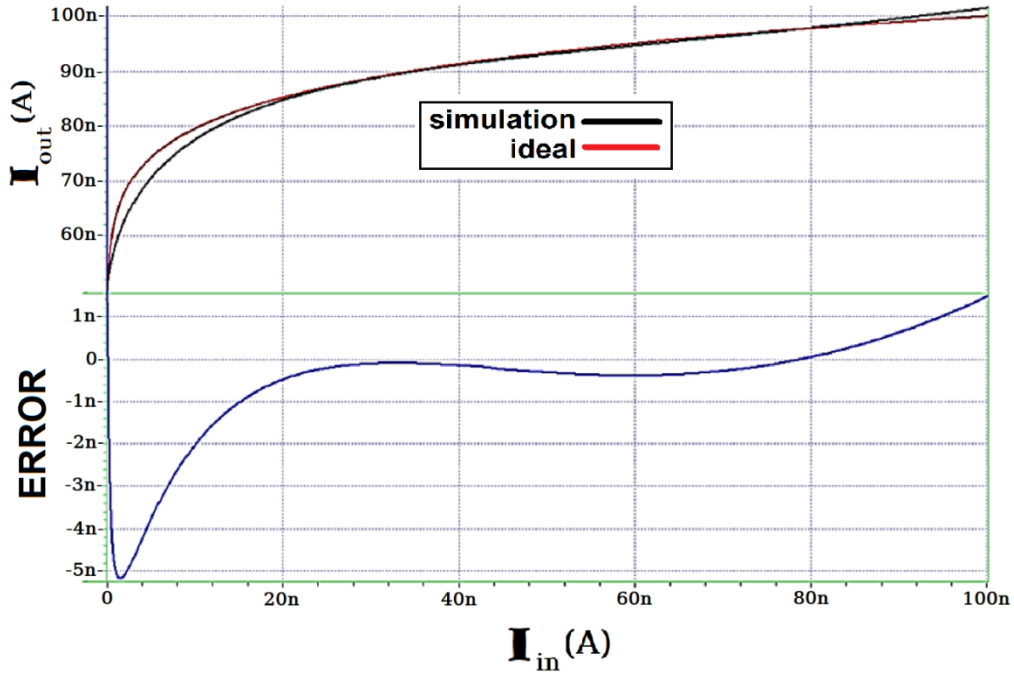
شکل ۳۰: بلوک دیاگرام پیشنهادی با استفاده از مدارات شبیه سازی شده‌ی مربع‌کننده و رادیکال‌گیر
Figure 30. Proposed block diagram using simulated squaring and square root circuits

مدار در سطح ترانزیستوری مربوط به شکل ۳۰، در شکل ۳۱ رسم شده است که این مدار را برای حالات مختلف شبیه‌سازی نموده و نتایج موردنظر به دست آمده است.



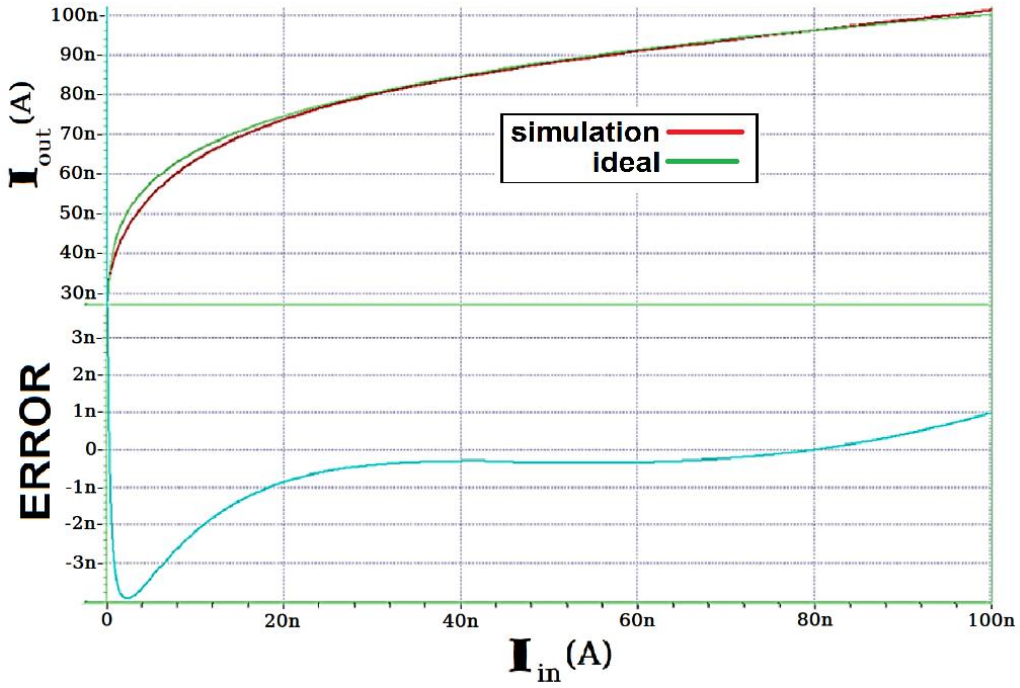
شکل ۳۱: مدار پیشنهادی با استفاده از مدارات شبیه سازی شده‌ی مربع‌کننده و رادیکال‌گیر
Figure 31. Proposed circuit using simulated squaring and square root circuits

در شکل ۳۲ یک توان بسیار کوچک شبیه‌سازی شده است. این توان عدد ۰/۱ است که برای تولید آن ضرایب تقریب به ترتیب برابر ۰/۳۱۵ و ۱/۰۴۱- و ۱/۲۳۵ و ۰/۵ است. میزان خطای حاصل از شبیه‌سازی این توان نیز در همان شکل قابل مشاهده است که در جریان‌های کم تا ۵ نانوآمپر هم می‌رسد. البته این میزان در بسیاری از جریان‌ها زیر ۱ نانوآمپر یعنی کمتر از ۱٪ است. لازم به ذکر است که این توان بسیار کم کارکرد بوده و احتمال استفاده از آن بسیار کم است و با توجه به میزان کوچکی آن، احتمال این خطاها که هم ناشی از تقریب و هم ناشی از مدار است افزایش می‌یابد.



شکل ۳۲: خروجی مدار برای تولید توان ۰/۱
Figure 32. Circuit output for a power of 0.1

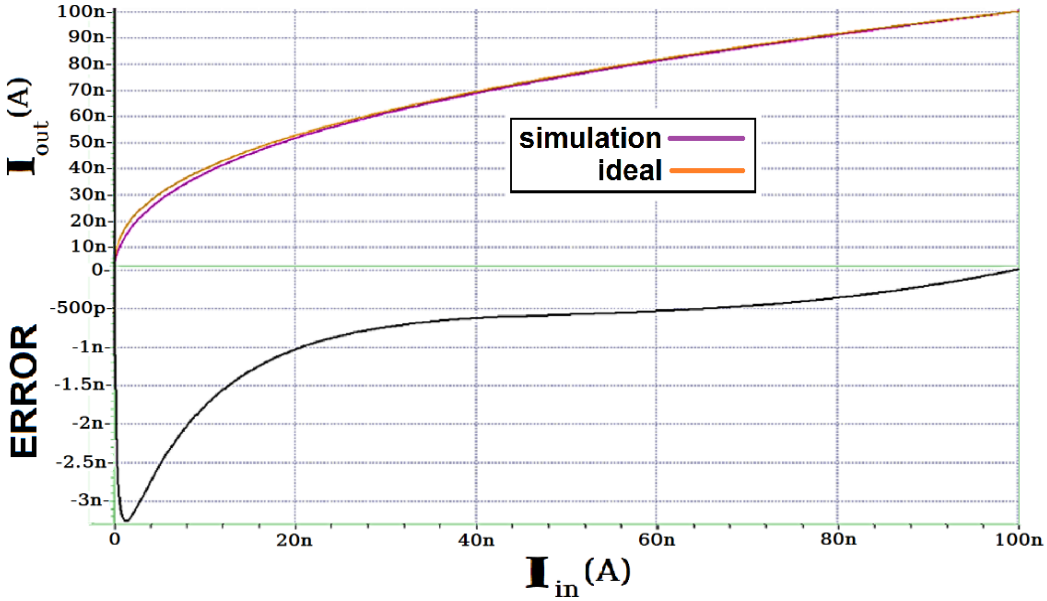
در شکل ۳۳ تولید توان ۰/۱۸۳۶ مشاهده می‌شود که این توان با توجه به اینکه هنوز نسبتاً کوچک است خطای نسبتاً کمتری



شکل ۳۳: خروجی مدار برای تولید توان ۰/۱۸۳۶

Figure 33. Circuit output for a power of 0.1836

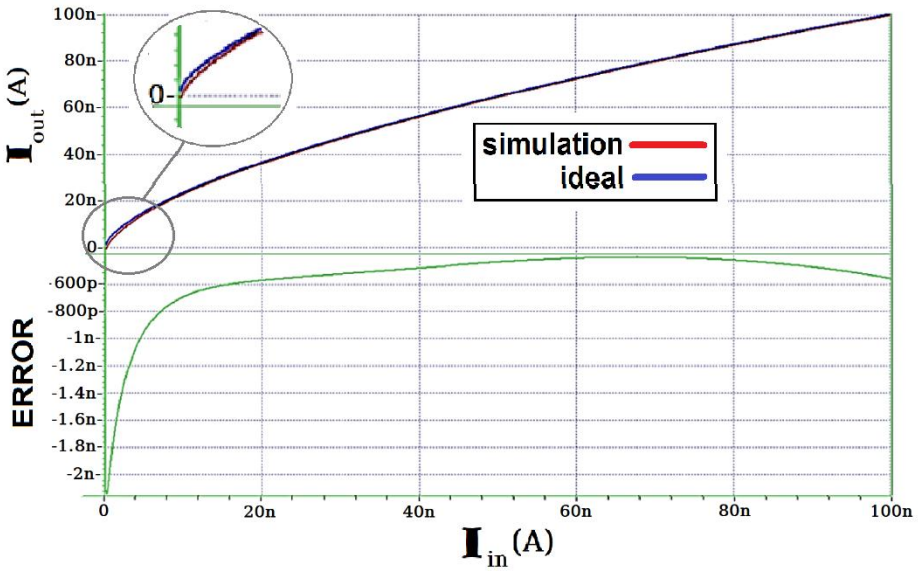
نسبت به توان قبل دارد. خروجی مدار یک تابع با توان کسری است، بنابراین توان بصورت نسبی است و واحد ندارد. در شکل ۳۴ تولید توان ۰/۴ که عددی نزدیک به ۰/۵ است مشاهده می‌شود. برای تمامی توان‌های زیر ۰/۵ ضریب P2 منفی و باقی ضرایب مثبت هستند. خطا در این حالت در حداکثر میزان خود به ۳٪ رسیده است.



شکل ۳۴: خروجی مدار برای تولید توان ۰/۴

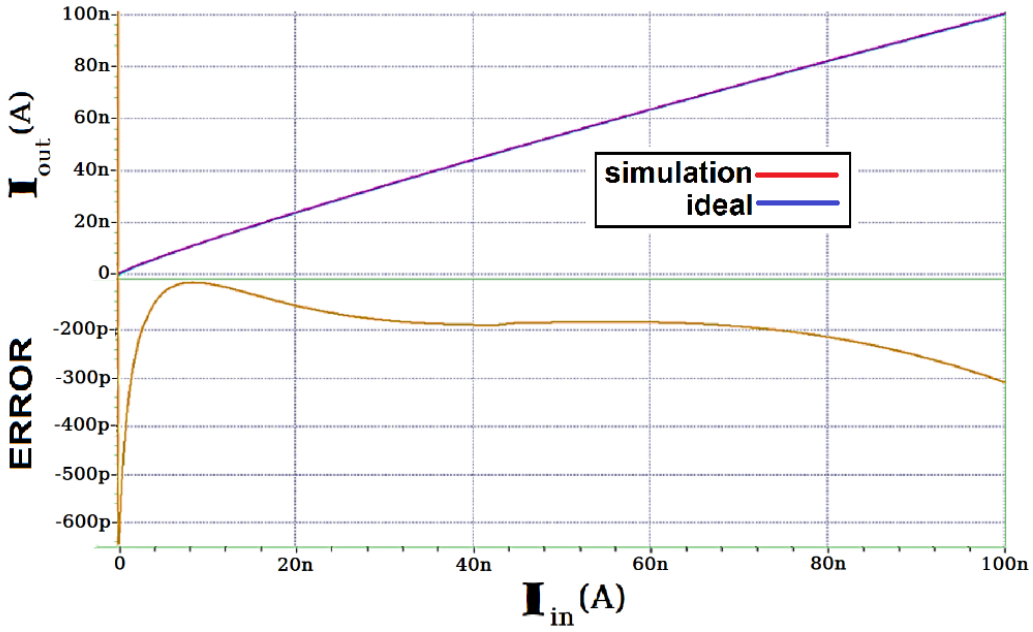
Figure 34. Circuit output for a power of 0.4

در شکل ۳۵ توان‌های بین ۰/۵ تا ۱ مدنظر است و توان ۰/۶۳ مشاهده می‌شود که خطای بسیار کمی دارد.



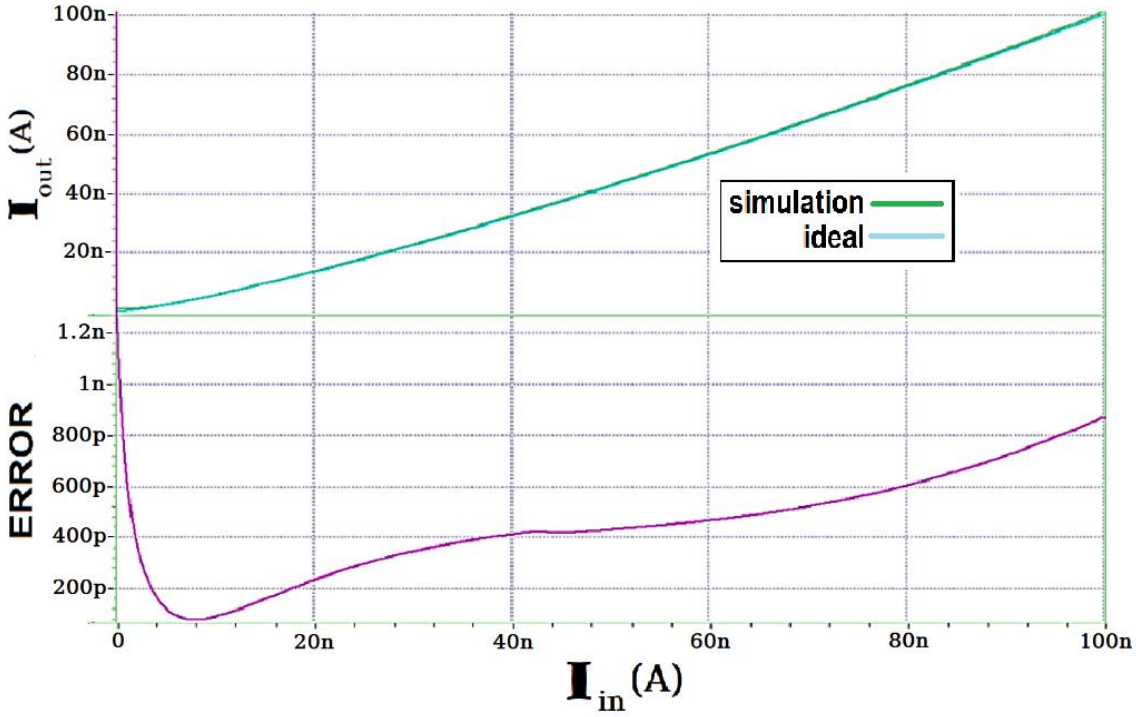
شکل ۳۵: خروجی مدار برای تولید توان۰/۶۳
Figure 35. Circuit output for a power of 0.63

در شکل ۳۶ تولید توان ۰/۹ در دستور کار قرار گرفته است که توانی نزدیک به یک است. خطای مدار پیشنهادی در این حالت در کمترین حالت خود قرار دارد.

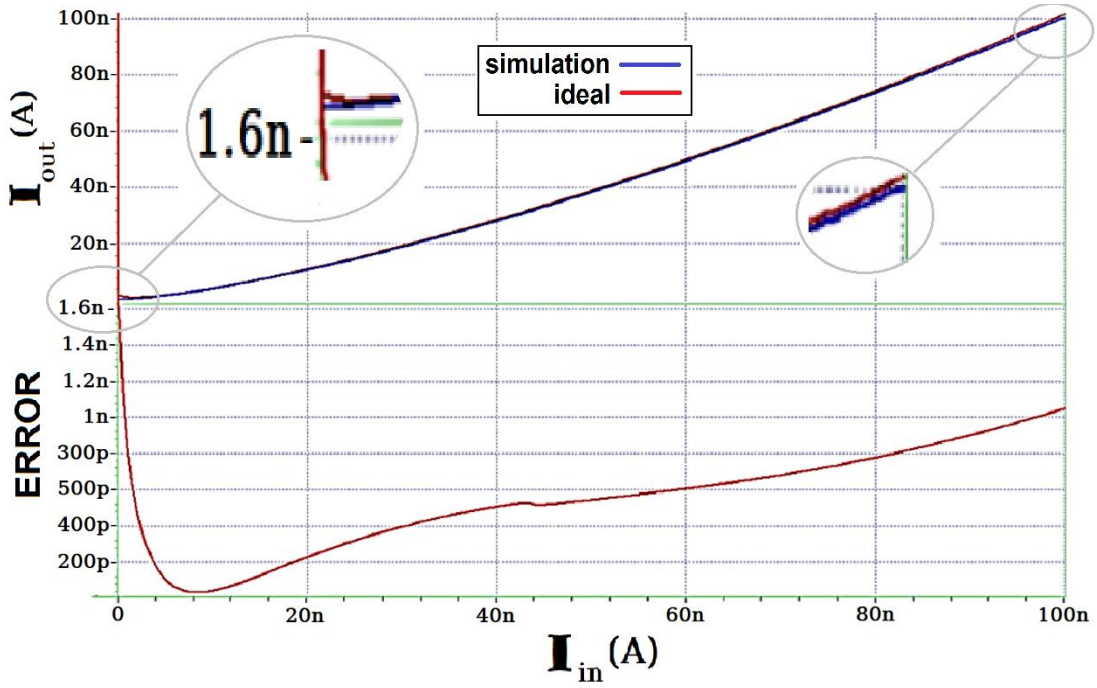


شکل ۳۶: خروجی مدار برای تولید توان ۰/۹
Figure 36. Circuit output for a power of 0.9

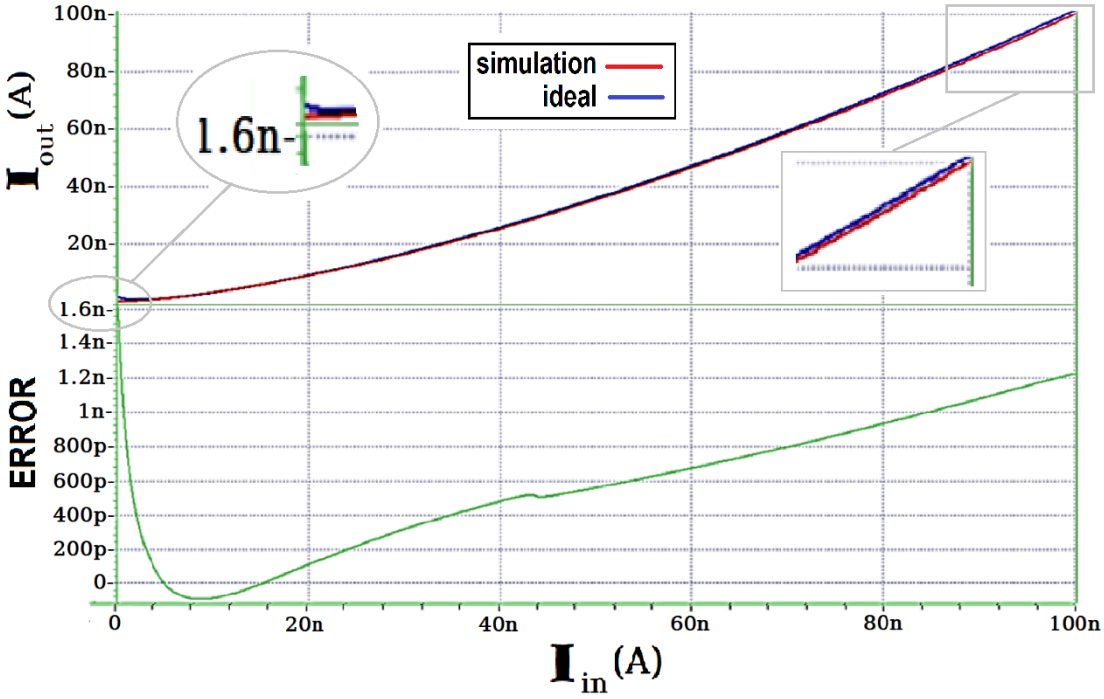
در شکل‌های ۳۷، ۳۸ و ۳۹ به ترتیب تولید توان‌های ۱/۲۵، ۱/۳۹ و ۱/۵ را مشاهده می‌کنیم که توان‌های بالاتر از ۱ و کمتر از ۲ هستند. برای تولید این توان‌ها نیز تنها ضریب P3 منفی است. خطای حاصل از تولید این توان‌ها نیز کمتر از ۱/۵ درصد است.



شکل ۳۷: خروجی مدار برای تولید توان ۱/۲۵
Figure 37. Circuit output for a power of 1.25



شکل ۳۸: خروجی مدار برای تولید توان ۱/۳۹
Figure 38. Circuit output for a power of 1.39



شکل ۳۹: خروجی مدار برای تولید توان ۱/۵
Figure 39. Circuit output for a power of 1.5

۴- ارزیابی و مقایسه با پژوهش‌های پیشین:

در جدول ۱، مقایسه‌ای بین کارهای انجام شده‌ی پیشین که از لحاظ کاربردی در پردازش سیگنال قابل ملاحظه هستند و طرح پیشنهادی انجام شده است. لازم به ذکر است که تمامی کارهای گزارش شده در ناحیه‌ی بالای آستانه کار می‌کنند که به همین دلیل، توان مصرفی بیشتری نسبت به طرح پیشنهادی دارند. از آنجایی که طراحی در ناحیه‌ی زیر آستانه سبب کند شدن عملکرد مدار می‌شود و این امر در کنترلرها اهمیت چندانی ندارد، کاهش توان مصرفی در ساختار پیشنهادی عملاً یک فایده‌ی بدون زیان محسوب می‌گردد. از طرفی مشاهده می‌کنیم که با ساخت مدارات در ناحیه‌ی زیر آستانه ساخت مدارات مربع‌کننده و رادیکال‌گیر با دقت بهتری انجام شده است که نهایتاً منجر به کاهش چشمگیر خطای کلی ساختار پیشنهادی می‌گردد، به گونه‌ای که کمترین میزان خطا بین تمامی مقالات ارائه شده در طرح پیشنهادی به دست آمده است.

۵- نتیجه‌گیری

در این مقاله، یک مدار مولد توابع توان‌دار ارائه شده که در آن برای تولید توابع توان‌دار از تقریب توابع سهمی و رادیکالی استفاده شده است. ویژگی مدارهای پیشنهادی، کارکرد مؤثر و کم توان زیر ولتاژ آستانه است. برای تنظیم ضرایب تقریب در تولید گستره‌ی وسیعی از توان‌ها، از یک مدار ضرب‌کننده‌ی آنالوگ که از پشت سر هم بستن مدارات مربع‌کننده و رادیکال‌گیر به دست می‌آید استفاده شده است. برای عملکرد بهتر این ضرب‌کننده، مدارات بایستی قابلیت عملکرد صحیحی در گستره وسیعی از جریان‌ها را داشته باشند. برای نشان دادن عملکرد مدار، یک مدار فازی‌ساز متناسب با مدار مولد توان نیز بر اساس مدارات یکسوساز طراحی شده است. تمام پارامترهای لازم برای مدار فازی‌ساز که نیاز به کنترل داشتند به نحوی طراحی شد که مدار قابلیت تغییر آنالوگ تمامی متغیرها را داشته باشد. برای اولین بار در این مقاله، مداری با قابلیت تغییر جداگانه‌ی شیب‌های بالارونده و پایین رونده پیشنهاد شده است. نتایج شبیه‌سازی مدار پیشنهادی که در تکنولوژی ۰/۳۵ میکرون و توسط نرم‌افزار HSPICE انجام شده بیانگر دقت بالای مدار برای ساخت توابع توان‌دار با قابلیت تغییر پیوسته‌ی توان است. برای تولید توان نیز از تنظیم ضرایب توسط منابع جریان بهره برده شده که نشان‌دهنده‌ی قابلیت بالای مدار برای تنظیم توان‌های پیوسته است.

Table 1. Comparison with designs in the literature

جدول ۱: مقایسه با کارهای پیشین

مرجع	تکنولوژی (میکرومتر)	منبع تغذیه (ولت)	محدوده جریان ورودی (میکرو آمپر)	توان مصرفی (میکروواوت)	دقت	خطا (درصد)	تقریب	اندازه‌گیری
[۱۵]	۰/۳۵	۳/۳	۰ الی ۳۰	–	–	–	ندارد	**ساخت**
[۳]	۰/۳۵	۳/۳	۰ الی ۳۰	–	۰/۱۲۵	–	ندارد	**شبیه سازی**
[۱۶]	۰/۳۵	۳/۳	۰ الی ۳۰	۱/۰۵	۰/۳۱۰	۱/۴۲	دارد	**شبیه سازی**
[۲۸]	۰/۳۵	۲/۵	۴۰ الی ۱۳۰	۰/۹۷	پیوسته	۳	ندارد	**ساخت**
[۱۷]	۰/۳۵	۳/۳	۰ الی ۱۰	۰/۸	پیوسته	۱/۲۵	دارد	**شبیه سازی**
[۲۰]	۰/۱۸	۰/۵	۰ الی ۰.۲	۰/۴۸	پیوسته	۱/۰۵	ندارد	**شبیه سازی**
[۲۵]	۰/۳۵	–	۰ الی ۱۰	–	پیوسته	۰/۰۳	دارد	**شبیه سازی**
[۲۹]	۰/۰۱۴(FinFET)	±۰/۵	۰ الی ۰/۱	۰/۱	پیوسته	۲/۳۵	دارد	**شبیه سازی**
[۳۰]	۰/۱۸	۱/۸	مد ولتاژ	۲/۶۱	پیوسته	–	دارد	**شبیه سازی**
[۲۳]	۰/۶۵	۱/۲	۰ الی ۳۰	۰/۸۳	پیوسته	۵/۲	دارد	**شبیه سازی**
طرح پیشنهادی	۰/۳۵	۱/۳	۰ الی ۰/۱	۰/۰۰۳۶	پیوسته	۰/۸	دارد	**شبیه سازی**

مراجع

[1] J. Wang, J. Wang, X. Cheng, J. Han and X. Zeng, "A Synthesis Friendly Dynamic Amplifier with Fuzzy-Logic Piecewise-Linear Calibration," *Proceedings of 2022 IEEE International Symposium on Circuits and Systems (ISCAS), Austin, TX, USA*, 2022, pp. 2933-2937.

[2] J.C. Guzmán, L.Miramontes, P.Melin, and G.Arechi, "Optimal genetic design of type-1 and interval type-2 fuzzy systems for blood pressure level classification," *Axioms*, vol. 8, pp. 1-8, Jan 2019.

[3] M.Kashtiban, M., A. Khoei, and K. Hadidi, "A current-mode, first-order Takagi-Sugeno-Kang fuzzy logic controller, supporting rational-powered membership functions," *IEICE transactions on electronics*, vol.90, pp. 1258-1266. June 2007.

[4] L.A. Zadeh, *Fuzzy sets, in Fuzzy sets, fuzzy logic, and fuzzy systems*, World Scientific. 1996, pp. 394-432.

[5] L.A. Zadeh, "The concept of a linguistic variable and its application to approximate reasoning," *Information sciences*, vol. 8, pp. 199-249, 1975.

[6] J.L. Huertas, S. Sanchez-Solano, I. Baturone, and A. Barriga, "Integrated circuit implementation of fuzzy controllers," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1051-1058, July 1996.

[7] A. Esmaili, A. Khoei, and K. Hadidi, "A high speed and compact mixed-signal CMOS fuzzifier," *Journal of Circuits, Systems, and Computers*, vol. 15, pp. 659-669, 2006.

[8] K. Basterretxea, J. Tarela, and I. Del Campo, "Digital Gaussian membership function circuit for neuro-fuzzy hardware," *Electronics Letters*, vol.42, pp. 44-46, 2006.

[9] S. Azimi, and H. Miar-Naimi, "Designing programmable current-mode Gaussian and bell-shaped membership functio," *Analog Integrated Circuits and Signal Processing*, vol. 102, pp. 323-330, 2020.

[10] A. Bozorgmehr, M. K. Qaleh Jooq, M.H. Moaiyeri, K. Navial and N.Bagherzadeh, "A high-performance fully programmable membership function generator based on 10 nm gate-all-around CNTFETs," *AEU-International Journal of Electronics and Communications*, vol. 123, pp. 153-293, August 2020.

[11] S. Karami, H. Ghasemian, E. Abiriet, M. R. Salehial, "An analog multi-shaped and fully programmable twin-cell mfg structure in 65nm cmos technology," *Proceedings of the 27th Iranian Conference on Electrical Engineering (ICEE)*, 2019, pp. 195-200.

[12] D. Ochao, S. Martinez, and P.Arevalo, "A Novel Fuzzy-Logic-Based Control Strategy for Power Smoothing in High-Wind Penetrated Power Systems and Its Validation in a Microgrid Lab," *Electronics Journal*, vol. 12, pp.1721-1730, 2023.

[13] A. Bozorgmehr, M. K. Qaleh Jooq, M.H. Moaiyeri, K. Navial and N.Bagherzadeh, "A novel digital fuzzy system for image edge detection based on wrap-gate carbon nanotube transistors," *Computers & Electrical Engineering*, vol.87, pp. 106811, October 2020.

[14] A. Bozorgmehr, M.H. Moaiyeri, K. Navial and N.Bagherzadeh, "Ultra-efficient fuzzy min/max circuits based on carbon nanotube FETs," *IEEE Transactions on Fuzzy Systems*, vol. 26, pp. 1073-1078, April 2017.

[15] C.-Y. Chen, Y.-T. Hsieh, and B.-D. Liu, "Circuit implementation of linguistic-hedge fuzzy logic controller in current-mode approach," *IEEE Transactions on Fuzzy Systems*, vol. 11, pp. 624-646, October 2003.

[16] A. Naderi, A. Khoei, and K. Hadidi, "Circuit implementation of high-resolution rational-powered membership functions in standard CMOS technology," *Analog Integrated Circuits and Signal Processing*, vol. 65, pp. 217-223, 2010.

[17] S. Moshfe, P. Hoseini, A. Khoei, K. Hadidi, "A fully programmable analog CMOS rational-powered membership function generator with continuously adjustable high precision parameters," *Circuits, Systems, and Signal Processing*, vol. 33, pp. 1337-1352, May 2014.

[18] M. Mokarram, A. Khoei, and K. Hadidi, "CMOS fuzzy logic controller supporting fractional polynomial membership functions," *Fuzzy Sets and Systems*, vol. 263, pp. 112-126, 2014.

[19] M.T. Abuelmaatti, and A. Kurniawan, "New design for current-mode rational-powered membership function generator," *Proceedings of the AIP Conference Proceedings*, November 2019, pp. 1-8.

[20] M.M Maryan, and S.J. Azhari, "Ultra low-power low-voltage FGMOS based-configurable analog block for current-mode fractional-power functions," *Microelectronics Journal*, vol. 64, pp. 99-105, 2017.

[21] P. U. Sathyakam, P.S. Mallick, and A.A. Saxena, "High speed subthreshold operation of carbon nanotube interconnects," *IET Circuits, Devices & Systems*, vol. 13, pp. 526-533, 2019.

[22] M. Gourdouparis, V. Alimisis, C. Dimas, P.P. Sotiriadis, "An ultra-low power,±0.3 V supply, fully-tunable Gaussian function circuit architecture for radial-basis functions analog hardware implementation," *AEU-International Journal of Electronics and Communications*, vol. 136, pp. 153755, July 2021.

[23] H. Ghasemian, S. Karami, E. Abiri, M. R. Salehi, "Design of a Low Power Analog and Multi-shaped Fully Programmable Twin-Cell Membership Function Generator Circuit in 65 nm CMOS Technology," *Circuits, Systems, and Signal Processing*, vol. 40, pp. 2-21, June 2021.

[24] Y.V. Yaghmourali, A. Fathi, M. Hassanzadazar, A. Khoei, Kh. Hadidi, "A low-power, fully programmable membership function generator using both transconductance and current modes," *Fuzzy Sets and Systems*, vol. 337, pp. 128-142, April 2018.

[25] M.T. Abuelmaatti, and A. Kurniawan, "An Improved Current-Mode Analog CMOS Rational-Powered Function Generator," *Journal of Active & Passive Electronic Devices*, vol. 15. pp. 183-197, 2020.

[26] A. Naderi, A. Khoei, and K. Hadidi, "Circuit implementation of high-resolution rational-powered membership functions in standard CMOS technology," *Analog Integrated Circuits and Signal Processing*, vol.65, pp. 217-223, 2010.

[27] M.M. Maryan, and S.J. Azhari, "Ultra low-power low-voltage FGMOS based-configurable analog block

for current-mode fractional-power functions," *Microelectronics Journal*, vol. 64, pp. 99-105, 2017.

[28] K. J. Lin, C.J. Cheng, S.F. Chiu, H.C. Su, "CMOS current-mode implementation of fractional-power functions," *Circuits, Systems, and Signal Processing*, vol.31, pp. 61-75, 2012.

[29] M. Kh. Qaleh.Jooq, F. Behbahani, M. H. Moaiyeri, "Ultra-efficient fully programmable membership function generator based on independent double-gate FinFET technology," *International Journal of Circuit Teory and Applications*, vol.51, pp. 1-18, May 2023.

[30] M. Ghasemzadeh, Kh. Hadidi, "A New Low Power Mixed-Signal Digital Voltage Mode CMOS Fuzzy Logic Controller," *Circuits, Systems, and Signal Processing*, vol.40, pp. 738-755, Feb 2021.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/ 10.30495/jce.2023.1998526.1230

Vol. 13/ No. 51/Spring 2024

Research Article

A New Automatic Watermarking Algorithm based on Fuzzy Logic and Harris Hawks Optimization

Mehdi Falah Kazemi, Assistant Professor [1*] | Arash Ahmadpour, Assistant Professor[2] | Nadia Pourmahdi, Assistant Professor[3]

[1]Department of Electrical Engineering, Lahijan Branch, Islamic Azad University (IAU), Lahijan, Iran, Assistant Professor,me.fallah@iau.ac.ir

[2]Department of Electrical Engineering, Lahijan Branch, Islamic Azad University (IAU), Lahijan, Iran, Assistant Professor, ar.amp@iau.ac.ir

[3]Department of Computer Engineering, Lahijan Branch, Islamic Azad University (IAU), Lahijan, Iran, Nadia_Pourmehdi@yahoo.com

Correspondence
Mehdi Fallah Kazemi, Assistant Professor, Department of Electrical Engineering, Lahijan Branch, Islamic Azad University (IAU), Lahijan, Iran, me.fallah@iau.ac.ir

Received: 11 October 2023
Revised: 1 November 2023
Accepted: 21 November 2023

Abstract

This paper presents a new watermarking method to improve the robustness and transparency of extracted and host images. The embedding process is based on decomposing of pyramidal directional filter bank and triangular matrix, while the watermark extraction process is based on Mamdani fuzzy logic. In this design, in order to obtain efficient robustness and transparency, the Harris hawks optimization algorithm is used to find the best value of embedding factor. For this purpose, in the embedding algorithm, pyramid directional filter bank decomposition is utilized and accordingly the approximation sub-bands are divided into 8*8 non-overlapping blocks. Moreover, by decomposing the triangular matrix, which embeds the watermark bits in the matrix element, the use of Mamdani implication and the product inference engine have led to an efficient watermark extraction. The simulation results show that the quality of the watermarked image is equal to 60.6dB. Furthermore, applying the proposed algorithm is strong against attacks.

Keywords: Watermarking, Pyramidal Directional Filter Bank Decomposition, Fuzzy inference, HHO.

Highlights

- Application of fuzzy logic in watermark image extraction.
- Application of the Harris Hawks optimization in the embedding algorithm.
- Applying a new algorithm for embedding a watermark image in the host image.
- Achieving strong robustness of the proposed algorithm to attacks.
- Achieving a watermarked image quality of 60dB.

Citation: M. Falah Kazemi, A. Ahmadpour, and N. Pourmahdi, "A New Automatic Watermarking Algorithm based on Fuzzy Logic and Harris Hawks Optimization" *Journal of Southern Communication Engineering*, vol. 13, no. 51, pp. 65–78, 2024, doi: 10.30495/jce.2023.1998526.1230, (in Persian).

مقاله پژوهشی

الگوریتم واترمارکینگ خودکار جدید مبتنی بر منطق فازی و بهینه‌سازی شاهین هریس

مهدی فلاح کاظمی[۱*] | آرش احمدپور[۲] | نادیا پورمهدی[۳]

[۱]استادیار گروه مهندسی برق، دانشکده فنی و مهندسی، واحد لاهیجان، دانشگاه آزاد اسلامی، لاهیجان، ایران،
me.fallah@iau.ac.ir

[۲] استادیار گروه مهندسی برق، دانشکده فنی و مهندسی، واحد لاهیجان، دانشگاه آزاد اسلامی، لاهیجان، ایران،
ar.amp@iau.ac.ir

[۳]گروه مهندسی کامپیوتر، دانشکده فنی و مهندسی، واحد لاهیجان، دانشگاه آزاد اسلامی، لاهیجان، ایران،
Nadia_Pourmehdi@yahoo.com

نویسنده مسئول
[*]استادیار گروه مهندسی برق، دانشکده فنی و مهندسی، واحد لاهیجان، دانشگاه آزاد اسلامی، لاهیجان، ایران،
me.fallah@iau.ac.ir

چکیده:

این مقاله یک روش واترمارکینگ (Watermarking) جدید برای بهبود مقاومت و شفافیت تصویر استخراج شده و میزبان ارائه می‌کند. فرآیند تعبیه بر اساس تجزیه بانک فیلتر هرمی جهتی و ماتریس مثلثی است و فرآیند استخراج واترمارک، بر اساس منطق فازی ممدانی (Mamdani) است. در این طرح، به منظور دستیابی به مقاومت و شفافیت کارآمد، از الگوریتم بهینه‌سازی شاهین هریس برای یافتن بهترین مقدار ضریب تعبیه استفاده شده است. در الگوریتم تعبیه، از تجزیه بانک فیلتر هرمی جهتی استفاده شده است و سپس زیر باند تقریبی به بلوک‌های ۸*۸ غیر همپوشان تقسیم می‌شود. با اعمال تجزیه ماتریس مثلثی به بلوکهای ناهمپوشان، بیت‌های نشانه در درایه ماتریس درج می‌شود و از طرف دیگر از استلزام ممدانی و موتور استنتاج ضرب برای استخراج نشانه استفاده شده است که منجر به استخراج واترمارک کارآمد شده است. نتایج نشان می‌دهد که کیفیت تصویر واترمارک شده برابر با ۶۰/۶ دسی‌بل است. در ضمن، الگوریتم پیشنهاد شده در برابر حملات مقاوم است.

کلید واژه‌ها: استلزام فازی، بهینه‌سازی شاهین هریس، تجزیه بانک فیلتر هرمی جهتی، واترمارکینگ

تاریخ دریافت: ۱۹ مهر ۱۴۰۲
تاریخ بازنگری: ۱۰ آبان ۱۴۰۲
تاریخ پذیرش: ۳۰ آبان ۱۴۰۲

https://doi.org/ 10.30495/jce.2023.1998526.1230

۱-مقدمه

پیشرفت در فناوری ساخت مدارات مجتمع، منجر به تولید سخت‌افزارهای دیجیتال قابل حمل شد. توسعه تجهیزات قابل حمل اینترنتی، انتقال و پخش تصاویر و اسناد را آسان می‌کند. بنابراین وجود یک واترمارک نامرئی برای شناسایی منبع تصویر در برخی کاربردها مهم است. به همین دلیل پخش‌کنندگان تصویر سعی می‌کنند واترمارک نامرئی را از بین ببرند تا منبع اصلی تصویر مشخص نباشد. در نتیجه، شاخه‌ای از علم مبتنی بر پیشنهاد الگوریتم‌هایی است که تصویر واترمارک در تصویر اصلی (میزبان) به گونه‌ای تعبیه شود که اولاً نامرئی باشد و ثانیاً کیفیت تصویر اصلی تا حد امکان دستخوش تغییر زیادی نشود.

پیاده‌سازی الگوریتم واترمارکینگ در حوزه مکان یا حوزه تبدیل انجام می‌شود و محققین در این دو حوزه الگوریتم و مقالات زیادی را ارائه کرده‌اند. برخی از تبدیل‌های استفاده شده عبارتند از: تبدیل فوریه گسسته[۱] (DFT)، تبدیل فوریه جزئی گسسته[۲] (DFrFT)، تبدیل موجک گسسته[۳] (DWT)، تبدیل کسینوسی گسسته[۴] (DCT)، تبدیل کانتورلت[۵] (CT). به عنوان یک بررسی در مرجع [۳]، یک واترمارکینگ کور در حوزه مکان را معرفی کرده است. در این طرح تصویر واترمارک در مؤلفه رنگ آبی درج

[1] Discrete Fourier transform
[2] Discrete Fraction Fourier transform
[3] Discrete Wavelet Transform
[4] Discrete Cosine Transform
[5] Contourlet Transform

می‌شود. مؤلفه رنگ آبی تصویر میزبان به ۲۶ تصویر کوچکتر تقسیم شده است که هر قسمت تصویر فرعی نامیده شده است. هر تصویر فرعی به ۲۵۶ بلوک تعبیه تقسیم می‌شود. ضریب DC هر بلوک تعبیه محاسبه شده و سپس ضریب بلوک تعبیه مطابق با جدول کوانتیزاسیون اصلاح می‌شود. در نهایت، واترمارک در بلوک تعبیه شده درج می‌شود. یکی از مشکلات الگوریتم معرفی شده، ظرفیت پایین آن می‌باشد. یکی دیگر از طرح‌های واترمارک تصویر رنگی در حوزه مکان در مرجع [۴] معرفی شد. در این طرح، تصویر به کانال‌های رنگی R، G و B تقسیم می‌شود. تصاویر کانال رنگی به بلوک‌های ۸*۸ تقسیم می‌شوند. برای مؤلفه رنگ B، فرآیند تعبیه از طریق الگوریتم SIRD[1] انجام می‌شود. مطابق با الگوریتم اسکن، بلوکهای ۸*۸ مؤلفه‌های رنگی R و G به بلوکهای فرعی ۴*۴ تقسیم می‌شود و سپس واترمارک در آن تعبیه می‌شود. در مرجع [۵] یک واترمارکینگ در حوزه مکان و ترکیبی از 2D-DFT[2] برای واترمارک کردن تصویر رنگی پیشنهاد شده است. هر مؤلفه رنگی تصویر اصلی به بلوک‌های کوچک‌تر تقسیم می‌شود و پیکسل‌های مربوط به واترمارک در مؤلفه DC دو بلوک مجاور تعبیه می‌شود. کاظمی و همکاران در [۶، ۷، ۸] روش‌های مختلفی را در حوزه تبدیل پیشنهاد کردند که کیفیت تصویر واترمارک شده و مقاومت واترمارک استخراج شده مناسب است. در روش اول، ترکیبی از تبدیل کانتورلت با لبه‌یابی کَنی[3] معرفی شد که در آن لبه‌یابی کَنی به زیرباندهای جهتی کانتورلت اعمال می‌شود و سپس واترمارک در آن تعبیه می‌شود. در روشی دیگر، واترمارک در ضریب کورتزیز[4] تعبیه شده است. در روش سوم از ترکیب تبدیل کانتورلت با تشخیص لبه مؤلفه رنگ زنزو[5] استفاده شده است. در مرجع [۹] روش واترمارکینگ دیگری در حوزه تبدیل بسته موجک[6] (WPT) معرفی شد که در آن تفاوت رنگ‌های RG، GB و BR محاسبه می‌شود. در این طرح، WPT به تمام تفاوت‌های سه رنگ اعمال می‌شود. با توجه به ظرفیت زیرباندها، بردارهای چندگانه برای هر تفاوت رنگ محاسبه شده و سپس واترمارک به آن اضافه می‌شود. علاوه بر این، ترکیبی از کانال‌های WPT و سه رنگ استفاده می‌شود و پیکسل‌های واترمارک در ضرایب انرژی لایه‌های داخلی تجزیه WPT قرار می‌گیرند. در مرجع [۱۰] از ترکیب تبدیل کرولت گسسته[7] (DCuT) و تبدیل RDWT[8] برای علامت‌گذاری استفاده شده است. برای این منظور، DCuT در سطح اول بر روی تصویر میزبان اعمال می‌شود. سپس ضریب فرکانس بالای انتخاب شده و RDWT بر روی آنها اعمال می‌شود. ضرایب جدید استخراج شده به بلوک‌های ۸*۸ تقسیم شده و بیت‌های واترمارک به‌آنها اضافه می‌شوند. نتایج ارائه شده نشان دهنده شفافیت و مقاومت کارآمد می‌باشد. در مرجع [۱۱]، از تبدیل FRFT[9] استفاده شده است. SVD[10] به ضرایب FRFT بصورت بلوکی اعمال می‌شود و سپس واترمارک به اولین درایه SVD اضافه می‌شود. در [۱۲] از RDWT مشابه مرجع [۱۳] استفاده شده است. در این کار از SVD برای تعبیه واترمارک استفاده شده است. اما نتایج ضعیفی در این کار گزارش شده است.

معیار سنجش نتایج واترمارکینگ به دو بخش تقسیم می‌شود. بخش اول نسبت پیک سیگنال به نویز[11] (PSNR) یا تشابه ساختاری[12] (SSIM) است که این معیار، میزان کیفیت تصویر واترمارک شده را نشان می‌دهد. بخش دوم اندازه‌گیری کیفیت تصویر واترمارک استخراج شده است که براساس همبستگی نرمال شده[13] (NC) یا نرخ خطای بیت[14] (BER) اندازه‌گیری می‌شود. بخش دوم، روش واترمارکینگ پیشنهادی معرفی می‌شود. نتایج اندازه‌گیری کیفیت تصویر واترمارک شده، کیفیت استخراج واترمارک و مقایسه با مقالات به روز در بخش سوم ارائه شده است و در نهایت نتیجه‌گیری در بخش چهارم می‌باشد.

---

[1] Simple Image Region Detector
[2] Two-Dimensional Discrete Curvelet Transform
[3] Canny
[4] Kurtosis
[5] Zenzo
[6] Wavelet Packet Transform
[7] Discrete Curvelet Transform
[8] Redundant Discrete Wavelet Transform
[9] Fractional fourier Transform
[10] Singular Value Decomposition
[11] Peak Signal to Noise Ratio
12 Structural Similarity
[13] Normalized Correlation
[14] Bit Error Rate

۲-الگوریتم واترمارکینگ پیشنهادی

الگوریتم پیشنهادی به چهار بخش تقسیم شده است که به ترتیب عبارتنداز: پیش پردازش، تعبیه واترمارک، استخراج واترمارک و بهینه‌سازی می‌باشد. در هر بخش الگوریتم‌ها بررسی و مورد بحث قرار خواهد گرفت و شبه کد نیز برای هر بخش ارائه می‌شود.

۲-۱- فرایند پیش‌پردازش

در این قسمت تصویر واترمارک دریافت شده و با سه کلید مختلف با استفاده از تبدیل آرنولد[1] به هم ریخته می‌شود. سه تصویر واترمارک به هم ریخته را MAR، MAG و MAB می‌نامیم. دلیل استفاده از تبدیل آرنولد و سه کلید مختلف به ترتیب افزایش امنیت و مقاومت در برابر حملات برش است. در ادامه تصویر رنگی میزبان نیز در فضای رنگ RGB دریافت می‌شود و به سه مؤلفه رنگ قرمز، سبز و آبی تفکیک می‌شود. تجزیه تصویر رنگی میزبان به مؤلفه‌های رنگ آن به دلیل این است که تصویر واترمارک بطور مستقل در هر سه مؤلفه درج خواهد شد. جهت آماده‌سازی تصویر میزبان برای بخش تعبیه، تجزیه بانک فیلتر هرمی-جهتی[2] (PDFBDec) به هر مؤلفه رنگی تصویر میزبان اعمال می‌شود. مرجع [۱۴] تجزیه بانک فیلتر هرمی-جهتی را شرح می‌دهد. الگوریتم ۱ شبه کد بخش پیش‌پردازش و شکل ۱ بلوک دیاگرام بخش پیش‌پردازش را نشان می‌دهد. خط اول و دوم شبه کد مربوط به دریافت تصویر واترمارک و تبدیل آرنولد با کلیدهای مختلف KR، KG و KB است. خط سوم و چهارم مربوط به دریافت تصویر میزبان و تجزیه آن به مؤلفه رنگ‌های آن است. خط ۵ اعمال فیلتر بانک هرمی-جهتی است.

1. $M = imread(watermark)$
2. $[\underset{z\in AR,AG,AB}{M_Z}] = arnold(M, K_R, K_G, K_B)$
3. $C = imread(Host\ Image)$
4. $[\underset{z\in R,G,B}{C_Z}] = imsplit(C)$
5. $[\underset{z\in R,G,B}{PD_Z}] = pdfbdec(\underset{z\in R,G,B}{C_Z})$

الگوریتم ۱: شبه کد پیش‌پردازش

Algorithm 1. Preprocessing pseudocode

شکل ۱: نمودار بلوکی پیش‌پردازش

Figure 1. Block diagram of preprocessing

۲-۲- فرایند تعبیه واترمارک

فرایند ایجاد یک تصویر واترمارک به این صورت است که زیرباند تقریب تجزیه بانک فیلتر هرمی-جهتی (AP) هر مؤلفه رنگ به بلوک‌های ۸*۸ ناهم‌پوشان تقسیم می‌شود. زیرباند تقریب (AP) یک تصویر ۵۱۲*۵۱۲ ، یک ماتریس ۲۵۶*۲۵۶ است و در نتیجه ۱۰۲۴ بلوک خواهیم داشت. تبدیل ماتریس تجزیه بالا مثلثی به هر بلوک اعمال می‌شود. بنابراین دو ماتریس Q و S بدست می‌آید. S یک ماتریس بالا مثلثی و Q یک ماتریس واحد است. اطلاعات واترمارک در درایه سطر اول و ستون هشتم ماتریس S درج می‌شود. برای تشکیل تصویر واترمارک شده، فرایند باید به صورت معکوس انجام شود، یعنی بلوک‌های ۸*۸ باید از ماتریس S تشکیل شوند و بلوک‌های ۸*۸ ادغام شده و زیرباند تقریب جدید به دست می‌آیند. تبدیل معکوس باند فیلتر

[1] Arnold transform
[2] Pyramidal Directional Filter Bank Decomposition

هرمی-جهتی[1] (PDFBRec) به زیرباند جدید تقریب و سایر زیرباندهای PDFB اعمال می‌شود و تصویر واترمارک شده در حوزه مکان به دست می‌آید.

شبه کد تعبیه واترمارک در الگوریتم ۲ نشان داده شده است. خط ۱ تجزیه زیرباند تقریب را به بلوک‌های ۸*۸ نشان می‌دهد و خط دوم استفاده از تبدیل مثلثی را بر روی بلوک‌ها نشان می‌دهد. تعبیه واترمارک در ماتریس مثلثی در خط ۳ و بازیابی ماتریس اصلی از ماتریس مثلثی در خط ۴ است. خط ۵ ادغام بلوک‌ها و تشکیل ماتریس زیرباند تقریب (AP) را نشان می‌دهد. در نهایت با اعمال تبدیل معکوس PDFBRec، تصویر هر یک از مؤلفه‌های رنگ ایجاد می‌شود. با قرار دادن سه تصویر در کنار هم، یک تصویر رنگی واترمارک شده تشکیل می‌شود. شکل ۲ نمودار بلوکی الگوریتم تعبیه واترمارک را نشان می‌دهد.

1. $PD_{\substack{z,AP \\ z\in R,G,B}} = \sum_{i=1}^{1024} Blk88_{\substack{z,i \\ z\in R,G,B}}$

2. $\begin{bmatrix} Q_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}} , S_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}} \end{bmatrix} = schur\left(Blk88_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}} \right)$

3. $snew_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}}[1,8] = \begin{cases} snew_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}}[1,8] + alfa & ,if\ M_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}} = 1 \\ snew_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}}[1,8] - alfa & ,if\ M_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}} = 0 \end{cases}$

4. $Blk88new_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}} = Q_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}} . snew_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}} . Q^T_{\substack{z,i \\ z\in R,G,B \\ i=1to1024}}$

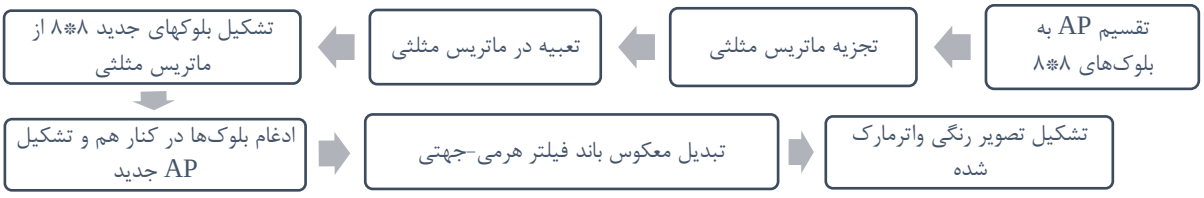
5. $PDnew_{\substack{z,AP \\ z\in R,G,B}} = \sum_{i=1}^{1024} Blk88new_{\substack{z,i \\ z\in R,G,B}}$

6. $W_{\substack{z \\ z\in R,G,B}} = pdfbrec\left(PDnew_{\substack{z,AP \\ z\in R,G,B}},... \right)$

7. $Watermarked = cat3(Wat_R, Wat_G, Wat_B)$

الگوریتم ۲: الگوریتم تعبیه واترمارک

Algorithm 2. The watermark embedding algorithm



شکل ۲: نمودار بلوکی الگوریتم تعبیه واترمارک

Figure 2. The block diagram of watermark embedding algorithm

۲-۳- فرایند استخراج واترمارک

فرایند استخراج واترمارک از تصویر واترمارک شده انجام می‌شود. تصویر واترمارک ممکن است تحت حملات مختلف قرار گرفته باشد و یا در معرض حمله‌ی قرار نگرفته باشد. با اخذ تصویر واترمارک شده، PDFBDec به سه مؤلفه رنگ آن اعمال می‌شود و ضرایب AP آن انتخاب شده و سپس به بلوک‌های ۸*۸ ناهمپوشان تقسیم می‌شود. هر بلوک بطور جداگانه به یک ماتریس بالا مثلثی تجزیه می‌شود. درایه سطر اول و ستون هشتم ماتریس تجزیه بالا مثلثی S انتخاب می‌شوند. این مقدار به عنوان ورودی مجموعه فازی انتخاب می‌شود.

[1] Pyramidal Directional Filter Bank Reconstruction

توابع عضویت ورودی و خروجی مجموعه فازی در شکل ۳ نشان داده شده است. لازم به ذکر است که تابع عضویت بصورت تطبیقی براساس ALFA در نظر گرفته شده است که در خط ۸ الگوریتم ۳ این موضوع مشخص است. اگر x ورودی مجموعه فازی باشد، قوانین فازی بصورت زیر تعریف می‌شوند:

If (x is A1) then (y is B1)
If (x is A3) then (y is B2) (۱)
If (x is A2) then (if $P_{mark}(1) \geq P_{mark}(-1)$ then y is B2 else y is B1)

در قانون سوم، از احتمال میزان ۱ یا ۱- بودن واترمارک اصلی برای اختصاص مجموعه به y استفاده می‌شود که در قسمت پیش‌پردازش برای هر تصویر واترمارک اصلی محاسبه می‌شود. خروجی موتور استنتاج نهایی برای سه قانون فوق به شرح زیر است:

$$\mu_{B,f}(y) = \cup_{l=1}^{3} \mu_B^l(y) = \mu_B^1(y) \circ \mu_B^2(y) \circ \mu_B^3(y) \quad (۲)$$

$$\mu_{B,f}(y) = \max_{l=1}^{3} \mu_B^l(y) \quad (۳)$$

هر بیت واترمارک در هر مؤلفه رنگی و در زیر باند ماتریس تقریب مثلثی تعبیه می‌شود. اگر قواعد بصورت ترکیب ممدانی استفاده شود، قانون رابطه فازی QM برابر زیر است،

$$Q_M = \bigcup_{r \in R,G,B} Rul^r \quad (۴)$$

و برای تابع عضویت می‌توان نوشت،

$$\mu_{Q_M}(x,y) = \mu_{Rul}^R(y) \circ \mu_{Rul}^B(y) \circ \mu_{Rul}^G(y) \quad (۵)$$

که در آن "$\circ$" برای نمایش عملگر s-norm است. $\mu_{Rul}{}^R(x,y)$ رابطه بکار رفته برای مولفه رنگ قرمز، $\mu_{Rul}{}^B(x,y)$ رابطه بکار رفته برای مولفه رنگ آبی و $\mu_{Rul}{}^G(x,y)$ برای مولفه رنگ سبز است. خروجی موتور استنتاج برابر است با،

$$\mu_{B'}(y) = SUP_{x \in U} t[\mu_{A'}(x), \mu_{Q_M}(x,y)] \quad (۶)$$

که اگر t-norm را ضرب در نظر بگیریم، ۶ بصورت زیر بازنویسی می‌شود،

$$\mu_{B'}(y) = SUP_{x \in U}[\mu_{A'}(x)\mu_{Q_M}(x,y)] \quad (۷)$$

با ترکیب ۷ و ۳ معادله ۸ بدست می‌آید.

$$\mu_{B',f}(y) = \max_{l=1}^{3} SUP_{x \in U}[\mu_{A'}(x)\mu_{Q_M}(x,y)] \quad (۸)$$

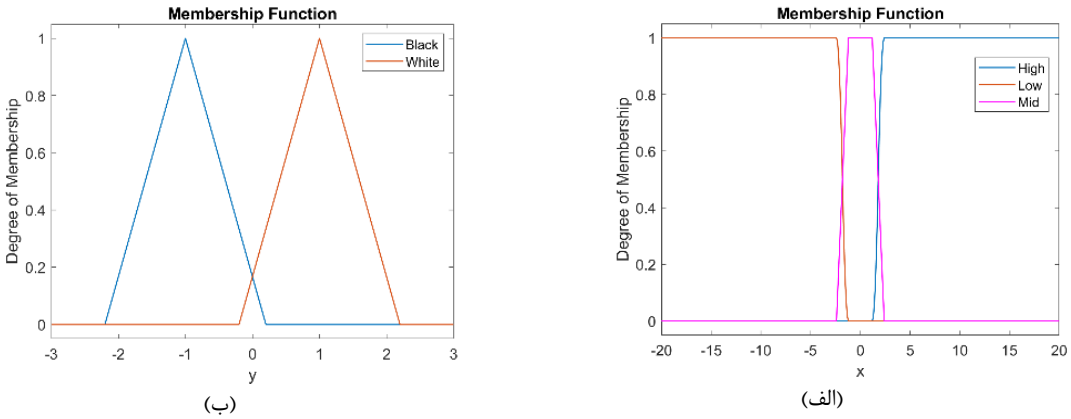
برای غیر فازی سازی y از مرکز ثقل استفاده شده است.

$$y^* = \frac{\sum_{l=1}^{3} \bar{y}^l w_l}{\sum_{l=1}^{3} w_l} \quad (۹)$$

که در آن w_l درجه ارتفاع است. در نهایت برای باینری کردن *y از قانون زیر استفاده شده است:

$$y_b = \begin{cases} 1 & y^* \geq 0.5 \\ -1 & y^* < 0.5 \end{cases} \quad (۱۰)$$

الگوریتم ۳ شبه کد و شکل ۴ نمودار بلوکی فرایند استخراج را نشان می‌دهد.



شکل ۳: (الف) تابع عضویت ورودی (ب) تابع عضویت خروجی

Figure 3. (a) input membership function (b) output membership function

1. $W = imread(Watermarked\ \ Image)$
2. $[\underset{z\in R,G,B}{W_z}] = imsplit(W)$
3. $[\underset{z\in R,G,B}{PD_z}] = pdfbdec(\underset{z\in R,G,B}{W_z})$
4. $\underset{z\in R,G,B}{PD_{z,AP}} = \sum_{i=1}^{1024} \underset{z\in R,G,B}{WBlk88_{z,i}}$
5. $[\underset{\substack{z\in R,G,B\\ i=1to1024}}{QW_{z,i}}, \underset{\substack{z\in R,G,B\\ i=1to1024}}{SW_{z,i}}] = schur(\underset{\substack{z\in R,G,B\\ i=1to1024}}{Blk88_{z,i}})$
6. $\underset{\substack{z\in R,G,B\\ i=1to1024}}{Watermark_{z,i}^{Arn}} = \underset{\substack{z\in R,G,B\\ i=1to1024}}{SW_{z,i}} - \underset{\substack{z\in R,G,B\\ i=1to1024}}{S_{z,i}}$
7. $\underset{\substack{z\in R,G,B\\ j=1to1024}}{Watermark_{z,j}} = inv_Arnold(\underset{\substack{z\in R,G,B\\ i=1to1024}}{Watermark_{z,i}^{Arn}})$

$Low: \mu_{A1}(x) = zmf(x, -2alfa/10, -alfa/10)$

$Mid: \mu_{A2}(x) = trapmf(x, -2alfa/10, -alfa/10, alfa/10, 2alfa/10)$

8. $High: \mu_{A3}(x) = smf(x, alfa/10, 2alfa/10)$

$Black: \mu_{B1}(x) = trimf(y, -2.2, -1, 0.2)$

$White: \mu_{B2}(x) = trimf(y, -0.2, 1, 2.2)$

9. $x_j = \bigcup_{z\in R,G,B} (\underset{\substack{z\in R,G,B\\ j=1to1024}}{Watermark_{z,j}})$

$if(x_j isA_1) then(y_j isB_1)$

10. $if(x_j isA_3) then(y_j isB_2)$

$f(x_j isA_2) then(ifP_{watermark}(1) \geq P_{watermark}(-1) theny_j isB_2 elsey_j isB_1)$

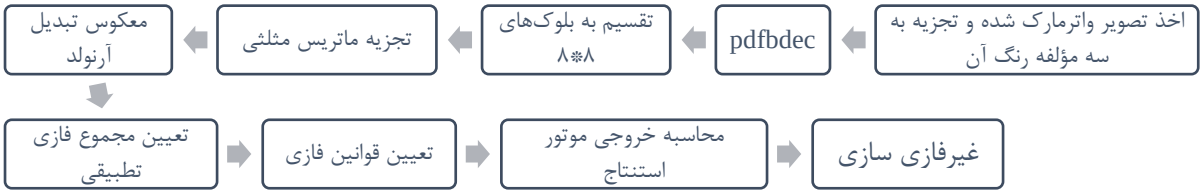
11. $\mu_{B',f}(y_j) = \max_{l=1}^{3} SUP_{x\in U}[\mu_{A'}(x_j)\mu_{Q_M}(x_j, y_j)]$
12. $y_j^* = \sum_{l=1}^{3} \bar{y}_j^l w_l \Big/ \sum_{l=1}^{3} w_l$
13. $if(y_j^* \geq 0.5) then(y_{bj} = 1) else(y_{bj} = -1)$

الگوریتم ۳: شبه کد استخراج واترمارک

Algorithm 3. The watermark extraction pseudocode

۲-۴- بهینه‌سازی ضریب درج

در این مقاله از بهینه‌ساز شاهین هریس (HHO) برای بهینه‌سازی ضریب تعبیه استفاده شده است. هدف از بهینه‌سازی به دست آوردن بهترین ضریب تعبیه برای دست یافتن به بهترین SSIM[1] و BER[2] به ترتیب برای تصویر واترمارک شده و واترمارک استخراج شده است. واضح است که BER برای حملات مختلف متفاوت است، بنابراین سناریوی حملات مختلف در بهینه‌سازی بکار رفته است.



شکل ۴: نمودار بلوکی استخراج واترمارک

Figure 4. The block diagram of watermark extraction

حملات شامل فیلتر متوسط[3] ۳*۳ (BA3)، فیلتر متوسط ۵*۵ (BA5)، فیلتر میانه ۳*۳ (BM3)، فیلتر میانه ۵*۵ (BM5)، فشرده‌سازی ۹۰ (BC9)، فشرده‌سازی ۷۰ (BC7)، نویز گاوسی ۰/۰۰۱ (BG1)، نویز گاوسی ۰/۰۱ (BG2)، نویز فلفل نمکی ۰/۰۰۱ (BP1)، نویز فلفل نمکی ۰/۰۱ (BP2)، نویز جرقه ۰/۰۰۱ (BS1)، نویز جرقه ۰/۰۱ (BS21) و نویز متعادل‌سازی هیستوگرام (BH). در ضمن در اینجا مهم است که اثر استخراج واترمارک بدون حمله را در معادله شایستگی[4] در نظر بگیریم. در معادله شایستگی، وزن‌های مختلفی برای SSIM و BER مربوط به حملات مختلف در نظر گرفته شده است. این وزن‌ها بر اساس اهمیت SSIM و BER انتخاب می‌شوند. اگر وزن‌ها به درستی انتخاب نشوند، یک معیار اندازه‌گیری بهبود بیشتری نسبت به معیار دیگر بدست می‌آورد که می‌تواند باعث کاهش معیار دیگر شود. در معادله ۱۱، وزن BER_Rt تقریبا دو برابر وزن (1-SSIM) در نظر گرفته شده است. لازم به ذکر است که این دو کمیت دارای دو ماهیت متفاوت است. نتایج نشان می‌دهد که این انتخاب منجر به نتایج مناسبی می‌شود. معادله شایستگی به صورت زیر محاسبه می‌شود:

$$BER_Rt = 6\times BN + 0.5\times\left(BA3+BA5+BM3+BM5+BC9+BC7+BG1+BG2+BP1+BP2+BS1+BS2\right)+BH$$

$$Fitness = 6\times\left(1-SSIM\right)+BER_Rt \qquad (۱۱)$$

شبه کد بهینه‌سازی در الگوریتم ۴ نشان داده شده است. در این الگوریتم، تابع حمله و ایجاد واترمارک به ترتیب با عنوان ‘different_attack’ و‘f_watermarked’ نشان داده شده است.

۳- نتایج اندازه‌گیری و تجربی

در این بخش نتایج کار ارائه شده بررسی خواهد شد. برای این منظور از شش تصویر معروف لنا، قایق، بابون، آوین، گل و فلفل استفاده شد. نتایج براساس ضریب تعبیه (ALFA) بهینه شده برای هر تصویر بیان می‌شود. معیار اندازه‌گیری بکار رفته SSIM و PSNR[5] است که SSIM درجه تشابه ساختاری بین دو تصویر میزبان و واترمارک شده را نشان می‌دهد [۱]. PSNR بر اساس تفاوت بین تصویر میزبان و تصویر واترمارک شده است که از رابطه (۱۲) محاسبه می‌شود.

$$PSNR = 10\log\left(L^2\Big/\frac{1}{MN}\sum_{m=1}^{M}\sum_{n=1}^{N}[WAT(m,n)-HOST(m,n)]^2\right) \qquad (۱۲)$$

[1] Structural Similarity
[2] Bit Error Rate
[3] Average Filtering
[4] Fitness equation
[5] Peak Signal to Noise Ratio

که در آن WAT و HOST به ترتیب تصویر واترمارک شده و تصویر میزبان (اصلی) است، L محدوده دینامیکی روشنایی پیکسلهای تصویر است (L=255). علاوه بر این، NC و BER برای اندازه‌گیری شباهت و تفاوت بین واترمارک استخراج شده و واترمارک اصلی بکار می‌رود و از معادله ۱۳ محاسبه می‌شود.

$$NC=\frac{\sum_{i=1}^{M}\sum_{j=1}^{N}M(i,j)M_e(i,j)}{\sum_{i=1}^{M}\sum_{j=1}^{N}[M(i,j)]^2},\ BER=\frac{\sum_{i=1}^{M}\sum_{j=1}^{N}|M(i,j)-M_e(i,j)|}{2\times M\times N} \quad (۱۳)$$

که در آن M و N به ترتیب طول و عرض واترمارک است. M(i,j) و Me(i,j) به ترتیب به بیت‌های واترمارک اصلی و واترمارک استخراج شده اشاره دارد.

```
Inputs: The population size 5 and maximum number of iterations T=10
Outputs: The location of rabbit and its fitness value
Initialize the random population Xi(i = 1, 2, . . . ,5)
while (t<T) do
fitness=fobj(HostIm,MarkIm,X(i));
Set Xrabbit as the location of rabbit (best location)
for (each hawk (Xi)) do
        Update the initial energy E0 and jump strength J ▷ E0=2rand()-1, J=2(1-rand())
        Update the E using Eq. (3) ref[2]
        if (|E| >= 1) then ▷ Exploration phase
                Update the location vector using Eq. (1) ref[2]
        if (|E| < 1) then ▷ Exploitation phase
                if (r >= 0.5 and |E| >= 0.5 ) then ▷ Soft besiege
                        Update the location vector using Eq. (4) ref[2]
                else if (r >= 0.5 and |E| < 0.5 ) then ▷ Hard besiege
                        Update the location vector using Eq. (6) ref[2]
                else if (r <0.5 and |E| >= 0.5 ) then ▷ Soft besiege with progressive rapid dives
                        Update the location vector using Eq. (10) ref[2]
                else if (r <0.5 and |E| < 0.5 ) then ▷ Hard besiege with progressive rapid dives
                        Update the location vector using Eq. (11) ref[2]
Return Xrabbit
function [fitness]=fobj(HostIm,MarkIm,ALFA)
   [SSIM,PSNR,WatIm]= f_watermarked (HostImage,MarkIm,ALFA);
   [BER_Rt,BER_Attack]= different_Attack (WatIm,MarkIm,ALFA);
   fitness=(BER_Rt +6*(1-SSIM));
end
```

الگوریتم ۴: شبه کد HHO (این الگوریتم از مرجع [۲] بااعمال اندکی تغییرات اخذ شده است)

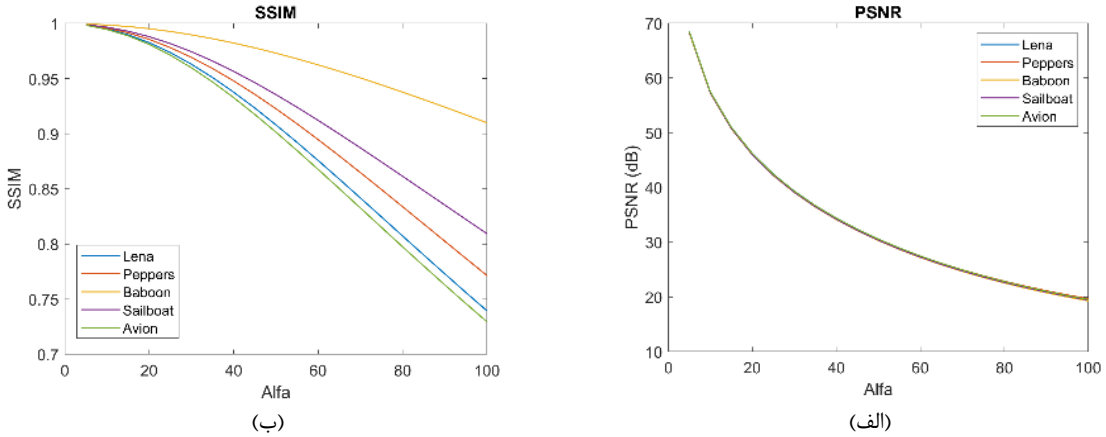
Algorithm 4. HHO pseudocode (with small changes to the pseudocode in reference [2])

جدول ۱، SSIM و PSNR تصاویر واترمارک شده الگوریتم پیشنهادی را نشان می‌دهد.

ضریب تعبیه بهینه که از HHO[1] محاسبه شده است در تصاویر واترمارک شده استفاده شده است. شکل ۵ تغییرات PSNR و SSIM را بر حسب ضریب تعبیه نشان می‌دهد. همانطور که مشاهده می‌شود PSNR و SSIM که مربوط به کیفیت تصویر واترمارک شده است با افزایش ضریب تعبیه کاهش می‌یابد. رفتار انرژی فرار (E) بهینه‌ساز HHO برای ۲۵۰ تکرار در شکل ۶ نشان داده شده است. مطابق با شکل ۶ ، E روند کاهشی دارد. علاوه بر این، برای محدوده‌های مختلف E، الگوریتم بهینه‌ساز رفتار متفاوتی دارد که در الگوریتم ۴ نشان داده شده است. مقدار بهینه ضریب تعبیه هنگامیکه انرژی فرار نزدیک به صفر است قابل استفاده است. برای اندازه‌گیری مقاومت الگوریتم پیشنهادی، تصویر واترمارک شده در معرض حملات مختلف قرار می‌دهیم و سپس تصویر واترمارک استخراج می‌شود. با محاسبه پارامتر NC، مقاومت در برابر حملات اندازه‌گیری می‌شود. در اینجا، هدف از حمله تخریب اطلاعات واترمارک است. بنابراین در طرح پیشنهادی لازم است که در برابر این حملات مقاوم باشد. اگر طرح پیشنهادی مقاومت بالایی در برابر حملات داشته باشد معیار اندازه‌گیری NC به یک نزدیک خواهد شد. شکل ۷ تصویر واترمارک شده را تحت حملات فیلتر میانه، فیلتر متوسط، نویز گاوسی، تغییر اندازه و برش نشان می‌دهد. با توجه به نتایج نشان داده شده در شکل ۷، الگوریتم پیشنهادی مقاومت بالایی در برابر حملات مختلف نشان می‌دهد. در نمودارهای ترسیم شده، مقادیر میانگین برای ده تست رسم شده است. دلیل آن است که برخی از حملات تصادفی هستند و محاسبه NC مقدار ثابتی نخواهد داشت.

[1] Harris Hawks Optimization

شکل ۸ نیز نتایج حملات ترکیبی را نشان می‌دهد. واترمارک استخراج شده برای حملات ترکیبی نیز در شکل ۹ نشان داده شده است.



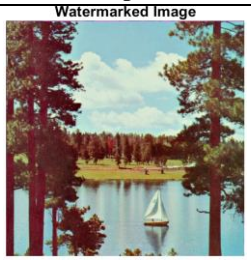
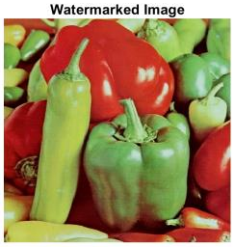
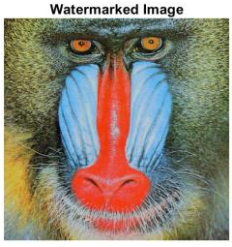
(ب) (الف)

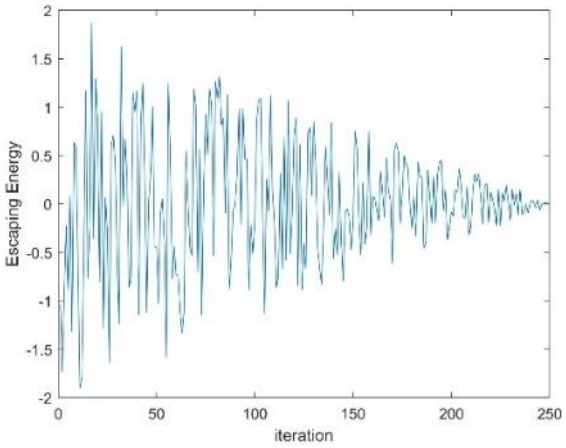
شکل ۵: کیفیت تصویر واترمارک شده بر اساس تغییرات ضریب تعبیه (الف) تغییرات PSNR برحسب ضریب تعبیه (ب) تغییرات SSIM برحسب ضریب تعبیه

Figure 5. Image quality of watermarked image based on varying embedding factor (a) Variation of PSNR according to embedding factor (b) Variation of SSIM according to embedding factor.

جدول ۱: SSIM و PSNR برای تصاویر واترمارک شده مختلف

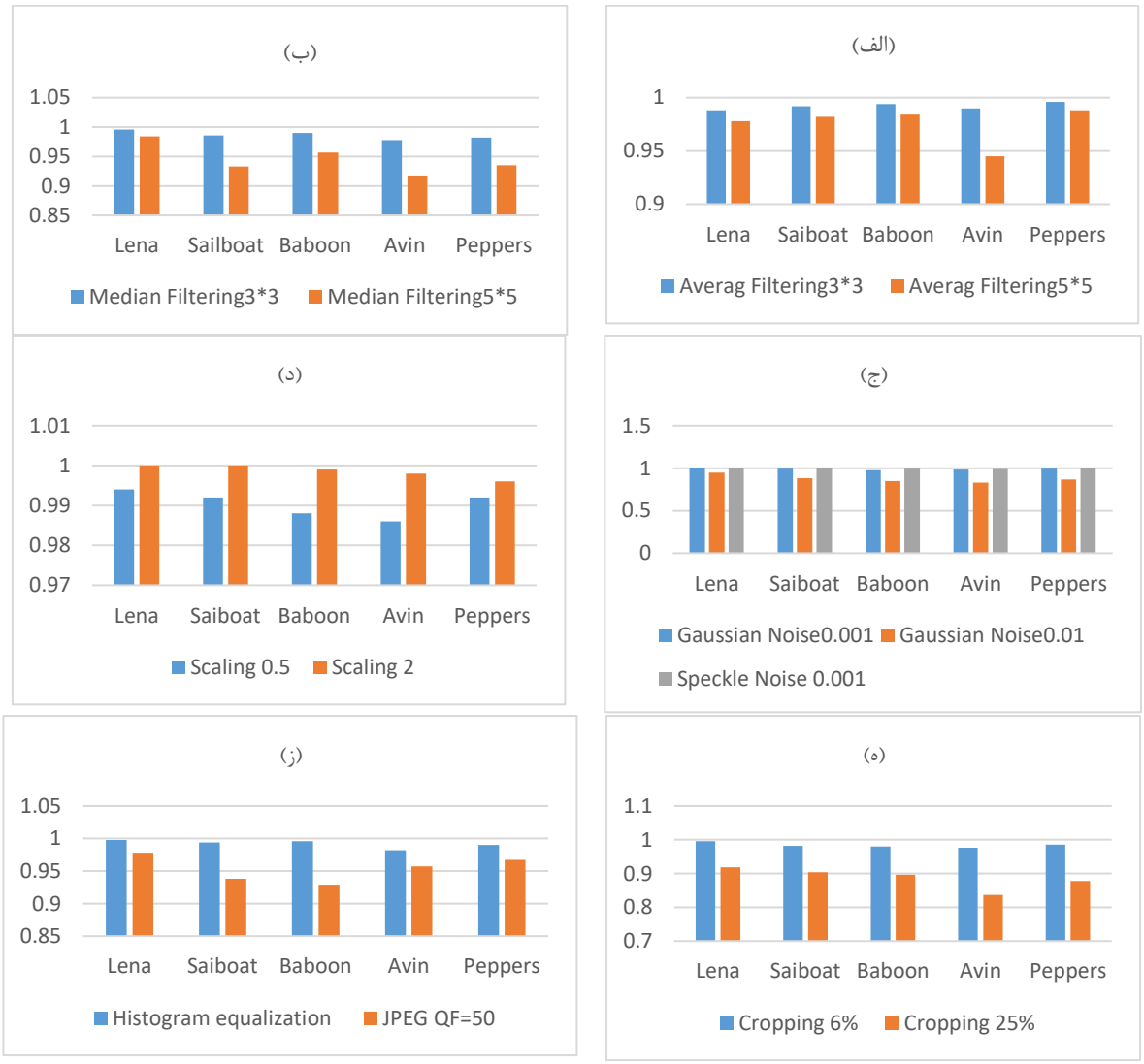
Table 1. SSIM and PSNR for various images

	Sample 1	Sample 2	Sample 3
	Watermarked Image	Watermarked Image	Watermarked Image 
PSNR/SSIM	۶۰/۶۱۴۷ ، ۰/۹۹۶۹	۶۰/۳۲ ، ۰/۹۹۶۴	۵۵/۰۴ ، ۰/۹۹۶۰
ALFA	۱۰/۳۲۱۶	۱۰/۵۲۵۸	۱۴/۸۷۳۷
	Watermarked Image 	Watermarked Image 	Watermarked Image
PSNR/SSIM	۶۲/۶۶ ، ۰/۹۹۸۰	۵۳/۴۷۶۵ ، ۰/۹۹۸۳	۵۴/۷۶۴۹ ، ۰/۹۹۶۶
ALFA	۹/۰۶۹۱	۱۶/۲۳۵۲	۱۵/۱۷۶۲



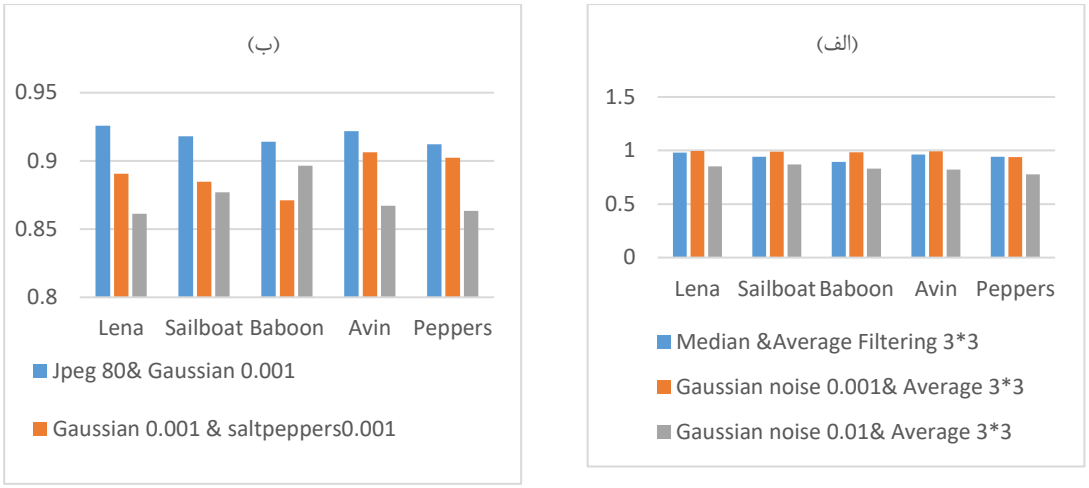
شکل ۶: رفتار انرژی فرار برای ۲۵۰ تکرار

Figure 6. Escaping energy behavior for 250 iterations



شکل ۷: مقادیر NC مربوط به واترمارک استخراج شده تحت حملات مختلف

Figure 7. NC values of extracted watermarks under different attacks



شکل ۸: نتایج حملات ترکیبی

Figure 8. Results of combined attacks

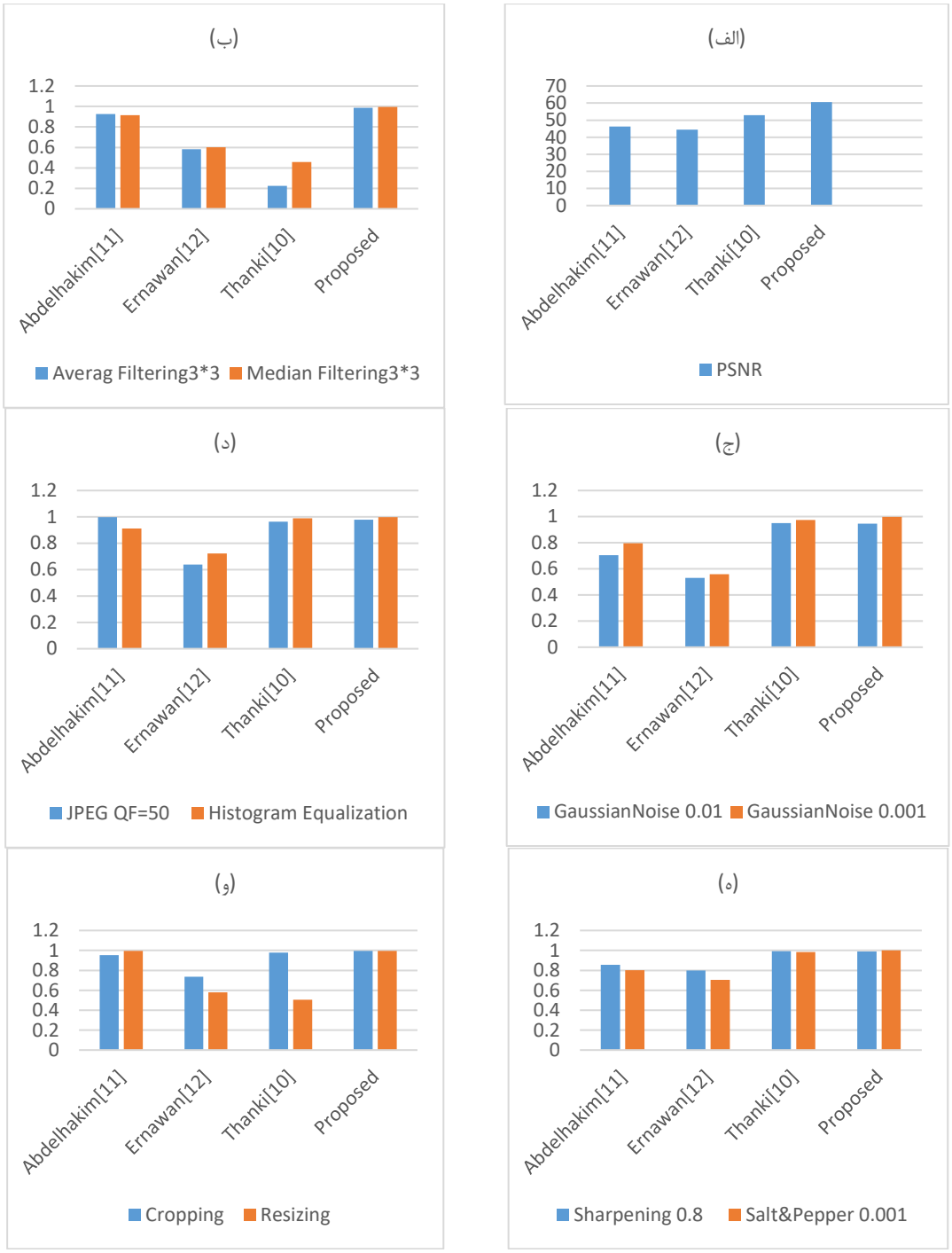
No Attack	Median & Average Filtering 3*3	Gaussian noise 0.001 & Average Filtering 3*3
NC=۱/۰۰۰۰ ، ۰/۰۰۰۰	NC=۰/۹۸۰۵ ، ۰/۰۰۹۸	**NC=۰/۹۹۶۱ ، ۰/۰۰۲۰**
Gaussian noise 0.01 & Average Filtering 3*3	Gaussian noise 0.001 & JPG QF=80 &	**Gaussian noise & Salt Peppers & Speckle (0.001)**
NC=۰/۸۵۱۶ ، ۰/۰۷۴۲	NC=۰/۹۲۵۸ ، ۰/۰۳۷۱	**NC=۰/۸۶۱۳ ، ۰/۰۶۹۳**

شکل ۹: تصاویر واترمارک استخراج شده برای حملات ترکیبی

Figure 9. the extracted watermark image for combined attacks

۳-۱-مقایسه نتایج طرح پیشنهادی با کارهای مشابه

نتایج کار پیشنهادی با سه مقاله مقایسه شده است که مقالات عبارتند از: مرجع [۱۱]، واترمارکینگ بر اساس FRFT و SVD است. مرجع [۱۲]، از RDWT و SVD برای پیاده‌سازی واترمارکینگ استفاده کرده است و مرجع [۱۰]، با استفاده از حوزه DCuT-RDWT، واترمارکینگ را انجام داده است. **شکل ۱۰** طرح واترمارکینگ پیشنهادی و کارهای مشابه را برای تصویر لنا نشان می‌دهد. مقایسه شفافیت بر اساس PSNR است. همانطور که از شکل ۱۰-الف مشخص است، شفافیت به دست آمده ۶۰/۶ دسی‌بل است که در مقایسه با مقالات تحت مقایسه، بهبود قابل توجهی است. کمیت اندازه‌گیری NC نیز برای مقایسه واترمارک استخراج شده برای حملات مختلف است. همانطور که از بخشهای مختلف شکل ۱۰ مشخص است، طرح پیشنهادی مقاومت قوی در برابر حملات دارد. در واقع برای مقایسه مقاومت طرح پیشنهادی با طرح‌های مشابه، تصویر واترمارک شده لنا در معرض حمله فیلتر متوسط، فیلتر میانه، نویز گاوسی، نویز جرقه، متعادلسازی هیستوگرام، نویز فلفل و نمکی، برش، تغییر اندازه و حملات فشرده‌سازی JPEG قرار می‌گیرد و سپس درجه تشابه واترمارک استخراج شده و واترمارک اصلی با محاسبه NC بدست می‌آید. برای به دست آموردن تخمینی از بهبود مقاومت در برابر حملات، همه‌ی NC های نشان داده شده در شکل ۱۰ را با هم جمع کرده و آنها را به عنوان امتیاز در نظر می‌گیریم. واضح است که امتیاز بالاتر به معنای مقاومت بهتر در برابر حملات است. در کار پیشنهادی امتیاز برابر ۹/۸۸ و برای مقالات [۱۱]، [۱۲] و [۱۰] به ترتیب برابر ۸/۸۶، ۶/۴۵ و ۸/۰۲ است. بنابراین، الگوریتم پیشنهادی از مقاومت کارآمدی در برابر حملات در مقایسه با سایر کارها برخوردار است.



شکل ۱۰: (الف) مقایسه شفافیت کار معرفی شده با مقالات مشابه (ب،...، و) مقایسه NC کار معرفی شده با مقالات مشابه

Figure 10. comparison of transparency of the proposed scheme with similar scheme and comparison of watermark extraction for different attacks for the introduced scheme with similar schemes

۴- نتیجه‌گیری

در این مقاله، یک طرح واترمارک بر اساس تجزیه بانک فیلتر هرمی-جهتی و تجزیه مثلثی پیشنهاد شد. رویکرد منطق فازی نیز در سطح استخراج واترمارک مورد استفاده قرار گرفت. در نتیجه‌ی استفاده از این طرح، شفافیت بالایی از تصویر واترمارک شده همراه با بهبود واترمارک استخراج شده به دست آمد. با توجه به اینکه ضریب تعبیه به صورت خطی با SSIM و مقاومت تغییر نمی‌کند، بنابراین از الگوریتم بهینه‌سازی برای به دست آوردن ضریب تعبیه بهینه استفاده شد. نتایج شبیه‌سازی نشان داد که طرح پیشنهادی از مقاومت و شفافیت بالایی برخوردار است. مقدار PSNR، ۶۰/۶ دسی‌بل برای تصویر لنا به دست آمد. علاوه بر این، اندازه‌گیری NC برای اکثر حملات مناسب بود و واترمارک استخراج شده نیز قابل تشخیص بود.

مراجع

[1] Z. Wang, A. C. Bovik, H. R. Sheikh and E. P. Simoncelli, “Image Quality Assessment: From Error Visibility to Structural Similarity,” *IEEE Transactions on Image Processing*, vol. 13, no. 4, pp. 600–612, Apr. 2004, doi: 10.1109/tip.2003.819861.

[2] A. A. Heidari, S. Mirjalili, H. Faris, I. Aljarah, M. Mafarja and H. Chen, “Harris hawks optimization: Algorithm and applications,” *Future Generation Computer Systems*, vol. 97, pp. 849–872, Aug. 2019, doi: 10.1016/j.future.2019.02.028.

[3] Q. Su and B. Chen, “Robust color image watermarking technique in the spatial domain,” *Soft Computing*, vol. 22, no. 1, pp. 91–106, Jan. 2017, doi: 10.1007/s00500-017-2489-7.

[4] J. Abraham and V. Paul, “An imperceptible spatial domain color image watermarking scheme,” *Journal of King Saud University - Computer and Information Sciences*, vol. 31, no. 1, pp. 125–133, Jan. 2019, doi: 10.1016/j.jksuci.2016.12.004.

[5] X. Zhang, Q. Su, Z. Yuan and D. Liu, “An efficient blind color image watermarking algorithm in spatial domain combining discrete Fourier transform,” *Optik*, vol. 219, p. 165272, Oct. 2020, doi: 10.1016/j.ijleo.2020.165272.

[6] M. F. Kazemi and A. H. Mazinan, “Neural network based CT-Canny edge detector considering watermarking framework,” *Evolving Systems*, vol. 13, no. 1, pp. 145–157, Mar. 2021, doi: 10.1007/s12530-021-09369-2.

[7] M. F. Kazemi, M. A. Pourmina and A. H. Mazinan, “Novel Neural Network Based CT-NSCT Watermarking Framework Based upon Kurtosis Coefficients,” *Sensing and Imaging*, vol. 21, no. 1, Dec. 2019, doi: 10.1007/s11220-019-0270-y.

[8] M. F. Kazemi, M. A. Pourmina and A. H. Mazinan, “Analysis of watermarking framework for color image through a neural network-based approach,” *Complex & Intelligent Systems*, vol. 6, no. 1, pp. 213–220, Jan. 2020, doi: 10.1007/s40747-020-00129-4.

[9] H. M. Al-Otum, “Secure and robust host-adapted color image watermarking using inter-layered wavelet-packets,” *Journal of Visual Communication and Image Representation*, vol. 66, p. 102726, Jan. 2020, doi: 10.1016/j.jvcir.2019.102726.

[10] R. Thanki, A. Kothari and D. Trivedi, “Hybrid and blind watermarking scheme in DCuT – RDWT domain,” *Journal of Information Security and Applications*, vol. 46, pp. 231–249, Jun. 2019, doi: 10.1016/j.jisa.2019.03.017.

[11] A. M. Abdelhakim, M. H. Saad, M. Sayed and H. I. Saleh, “Optimized SVD-based robust watermarking in the fractional Fourier domain,” *Multimedia Tools and Applications*, vol. 77, no. 21, pp. 27895–27917, Apr. 2018, doi: 10.1007/s11042-018-6014-5.

[12] F. Ernawan and M. N. Kabir, “A block-based RDWT-SVD image watermarking method using human visual system characteristics,” *The Visual Computer*, vol. 36, no. 1, pp. 19–37, Jun. 2018, doi: 10.1007/s00371-018-1567-x.

[13] N. M. Makbol and B. E. Khoo, “Robust blind image watermarking scheme based on Redundant Discrete Wavelet Transform and Singular Value Decomposition,” *AEU - International Journal of Electronics and Communications*, vol. 67, no. 2, pp. 102–112, Feb. 2013, doi: 10.1016/j.aeue.2012.06.008.

[14] M. N. Do and M. Vetterli, “The contourlet transform: an efficient directional multiresolution image representation,” *IEEE Transactions on Image Processing*, vol. 14, no. 12, pp. 2091–2106, Dec. 2005, doi: 10.1109/tip.2005.859376.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2023.1997636.1226

Vol. 13/ No. 51/Spring 2024

Research Article

Analysis of the Economic Impacts of Optimal Management of Large-Scale Energy Storage Facilities

Behnam Motalebinejad, PhD Student[1] | Majid Hoseina, Assistant Professor[2*] | Mojtaba Vahedi, Assistant Professor[3] | Mahmoud Samiei Moghaddam, Assistant Professor[4]

[1]Behnam Motalebinejad, Department of Electrical Engineering, Aliabad katoul Branch, Islamic Azad University, Aliabad katoul, Iran.
behtarmobi@gmail.com

[2]Department of Electrical Engineering, Hakim Sabzevari University, Sabzevar,Iran.
majidhosseina@gmail.com

[3] Department of Electrical Engineering, Shahrood Branch, Islamic Azad University, Shahrood, Iran.
email@gmail.com

[4] Department of Electrical Engineering, Damghan Branch, Islamic Azad University, Damghan, Iran.,
samiei352@yahoo.com

Correspondence
Majid Hoseina, Assistant Professor of Electrical Engineering, Hakim Sabzevari University, Sabzevar,Iran.
Email: majidhosseina @gmail.com

Received: 29 September 2023
Revised: 26 October 2023
Accepted: 27 November 2023

Abstract

Due to technological advances, today it is possible to upgrade large-scale energy storage plants. The modern architecture and technology of these power plants facilitate the possibility of optimal use of renewable energy sources and, as a result, significantly reduce energy costs and increase energy efficiency. Also, by using artificial intelligence and optimization algorithms, the performance and operation of energy storage plants can be improved. In this article, the management of large energy storage power plants is discussed. This article presents innovative measures in the management of these power plants, which include limitations on the number of times of charging and discharging. In addition, the cuckoo search algorithm is used as a powerful and efficient method in solving the proposed model. This algorithm can find global optimal solutions and can be effective in improving the efficiency and increasing the profitability of large energy storage power plants. The simulation results show that the use of this approach in the management of large-scale energy storage plants brings significant economic effects. These impacts include reducing energy costs, increasing productivity, greater independence from fossil fuel sources, maintaining the stability of the power grid, and improving the performance of the power transmission system.

Keywords: Large-scale energy storage power plants, distribution substation, evolutionary algorithm, optimization.

Highlights

- Use of energy storage power plants as an innovative solution in optimizing energy management and smart grids.
- Utilizing the cuckoo search algorithm as a robust method to enhance the efficiency of energy storage power plants.
- Providing an economic optimization approach for optimal planning of large-scale storage system planning.

Citation: B. Motalebinejad, M. Hoseina, M. Vahedi, and M. Samiei Moghaddam, "Analysis of the Economic Impacts of Optimal Management of Large-Scale Energy Storage Facilities," *Journal of Southern Communication Engineering*, vol. 13, no. 51, pp. 79–94, 2024, doi: 10.30495/jce.2023.1997636.1226, (in Persian).

مقاله پژوهشی

مدیریت نیروگاه‌های ذخیره انرژی بزرگ: بهینه‌سازی شارژ و دشارژ با الگوریتم جستجوی فاخته

بهنام مطلبی نژاد[۱] | مجید حسینا*[۲] | مجتبی واحدی[۳] | محمود سمیعی مقدم[۴]

[۱]دانشکده مهندسی برق، واحد علی آباد کتول، دانشگاه آزاد اسلامی ، علی آباد کتول، ایران behtarmobi@gmail.com

[۲]گروه علوم مهندسی، دانشگاه حکیم سبزواری، سبزوار، ایران majidhosseina@gmail.com

[۳]دانشکده مهندسی برق، واحد شاهرود، دانشگاه آزاد اسلامی، شاهرود ، ایران vahedi.mojtaba@gmail.com

[۴]دانشکده مهندسی برق، واحد دامغان، دانشگاه آزاد اسلامی ، دامغان ، ایران samiei352@yahoo.com

نویسنده مسئول

*مجید حسینا، استادیار، [۲]گروه علوم مهندسی، دانشگاه حکیم سبزواری، سبزوار، ایران majidhosseina@gmail.com

چکیده:

با توجه به پیشرفت‌های فناوری، امروزه امکان ارتقاء نیروگاه‌های ذخیره انرژی به مقیاس بزرگ وجود دارد. معماری و فناوری مدرن این نیروگاه‌ها امکان استفاده بهینه از منابع تجدیدپذیر انرژی را تسهیل کرده و در نتیجه، هزینه‌های انرژی را به شکل چشم‌گیری کاهش داده و بهره‌وری انرژی را افزایش می‌دهند. همچنین، با استفاده از الگوریتم‌های هوش مصنوعی و بهینه‌سازی، می‌توان عملکرد و عملیات نیروگاه‌های ذخیره انرژی را بهبود بخشید. در این مقاله، به بررسی مدیریت نیروگاه‌های ذخیره انرژی بزرگ پرداخته می‌شود. این مقاله اقدامات نوآورانه‌ای در مدیریت این نیروگاه‌ها را ارائه می‌دهد، که شامل محدودیت‌هایی روی تعداد دفعات شارژ و دشارژ می‌باشد. به علاوه، الگوریتم جستجوی فاخته به عنوان یک روش قوی و کارآمد در حل مدل پیشنهادی مورد استفاده قرار می‌گیرد. این الگوریتم توانایی پیدا کردن جواب‌های بهینه سراسری را دارد و می‌تواند در بهبود کارایی و افزایش سودآوری نیروگاه‌های ذخیره انرژی بزرگ تأثیرگذار باشد. نتایج شبیه‌سازی نشان می‌دهد که بهره‌برداری از این رویکرد در مدیریت نیروگاه‌های ذخیره انرژی مقیاس بزرگ تأثیرات اقتصادی قابل توجهی را به همراه دارد. این تأثیرات شامل کاهش هزینه‌های انرژی، افزایش بهره‌وری، استقلال بیشتر از منابع سوخت فسیلی، حفظ پایداری شبکه برق و بهبود عملکرد سیستم انتقال برق می‌شود.

کلید واژه‌ها: الگوریتم تکاملی، بهینه‌سازی، پست فوق توزیع، نیروگاه‌های بزرگ ذخیره انرژی.

تاریخ دریافت: ۷ مهر ۱۴۰۲
تاریخ بازنگری: ٤ آبان ۱۴۰۲
تاریخ پذیرش: ٦ آذر ۱۴۰۲

https://doi.org/ 10.30495/jce.2023.1997636.1226

۱-مقدمه

سیستم‌های ذخیره‌سازی انرژی در مقیاس بزرگ به مجموعه‌ای از فناوری‌ها و سیستم‌ها اطلاق می‌شود که به منظور ذخیره و مدیریت انرژی در مقیاس شهری یا منطقه‌ای به کار می‌روند. این سیستم‌ها با هدف مدیریت بهره‌وری انرژی و متناسب ساختن مصرف انرژی با نیازهای شهرها و جوامع بزرگ ایجاد می‌شوند. نیروگاه‌های ذخیره انرژی مقیاس بزرگ معمولاً به تأسیساتی اشاره دارند که دارای ظرفیت ذخیره بالا و توانایی تولید برق معتبر برای شبکه‌های برق منطقه‌ای یا کشوری هستند. این نیروگاه‌ها دارای ظرفیت ذخیره انرژی بزرگ هستند که معمولاً در چندین مگاوات‌ساعت اندازه‌گیری می‌شود. یکی از چالش‌های بزرگ در جوامع رشد کرده امروزی، بهره‌گیری از منابع انرژی پایدار و کاهش آلودگی هوا و انتشار گازهای گلخانه‌ای است. سیستم‌های ذخیره‌سازی انرژی در مقیاس بزرگ در واقعیت، ترکیبی از فناوری‌های مختلف هستند که به شهرها و مناطق کمک می‌کنند تا از انرژی‌های تجدیدپذیر مانند باد و خورشید بهره‌برداری کنند و انرژی را در دوره‌های باریکه و کم باری ذخیره کنند. این

سیستم‌ها شامل استفاده از باتری‌ها، سیستم‌های ذخیره‌سازی پمپ آب، تجهیزات تبدیل انرژی به هیدروژن، و سایر فناوری‌های نوین می‌شوند.

با استفاده از این سیستم‌ها، شهرها می‌توانند انرژی تولیدی از منابع تجدیدپذیر را در زمانی که نیاز به آن ندارند ذخیره کرده و در زمان‌های پیک مصرف بهره‌برداری کنند. این اقدام به بهره‌وری بالاتر از انرژی منجر می‌شود و در نهایت به کاهش هزینه‌ها و کاهش اثرات زیست‌محیطی مرتبط با تولید انرژی کمک می‌کند. با توجه به رشد جمعیت شهری و نیاز روزافزون به انرژی، سیستم‌های ذخیره‌سازی انرژی در مقیاس بزرگ اهمیت بسیاری پیدا کرده‌اند. این سیستم‌ها نه تنها به تحقق شهرهای پایدار و کارآمد کمک می‌کنند بلکه همچنین به کاهش تنش بر روی شبکه‌های انتقال انرژی و افزایش امنیت انرژی کمک می‌کنند. در کل، سیستم‌های ذخیره‌سازی انرژی در مقیاس بزرگ نقش بسیار مهمی در بهبود کیفیت زندگی شهروندان و حفاظت از محیط زیست ایفا می‌کنند.

چالش اصلی مورد بحث در مقاله، مدیریت بهینه نیروگاه‌های ذخیره انرژی بزرگ، در مقیاس بزرگ است. این مقاله تلاش می‌کند تا راهکارهای نوآورانه و کارآمدی برای بهبود مدیریت این نیروگاه‌ها ارائه دهد، به منظور مقابله با چالش‌هایی مانند تعداد محدودیت‌هایی برای فرآیندهای شارژ و دشارژ، که در این سیستم‌ها مطرح هستند. همچنین، این مقاله از الگوریتم جستجوی فاخته به عنوان یک روش کارآمد برای بهبود عملکرد و بهره‌وری نیروگاه‌های ذخیره انرژی بزرگ استفاده می‌کند. این الگوریتم توانایی دارد تا جواب‌های بهینه سراسری را پیدا کند و از طریق بهبود کارایی و افزایش سودآوری این نیروگاه‌ها تأثیرات اقتصادی قابل توجهی را فراهم کند. بنابراین، چالش اصلی مقاله در بهره‌برداری بهینه از نیروگاه‌های ذخیره انرژی بزرگ در مقیاس بزرگ و بهبود مدیریت و عملکرد آن‌ها در مواجهه با نیازهای روزافزون به انرژی و پیشرفت‌های فناوری است.

رشد جمعیت، به عنوان یکی از جریانات بزرگ دنیای مدرن، چالش‌های عمده‌ای را برای دولت‌ها در سطح جهان ایجاد کرده است. این چالش‌ها شامل مواردی چون آلودگی هوا و مصرف بی‌رویه انرژی می‌شوند [۱]. امروزه، با توجه به پیشرفت‌های چشمگیر در زمینه منابع انرژی پایدار، مفهوم شهر پایدار به عنوان یک راه حل اساسی به منظور مواجهه با این چالش‌ها در جهت افزایش کارایی عملیاتی خدمات شهری و بهبود کیفیت زندگی به وجود آمده است [۲]. شهرهای پایدار از نیروی نوآوری و توسعه در زمینه فناوری بهره می‌برند تا برنامه‌های مدیریتی جدیدی را برای بهره‌گیری بهینه از منابع انرژی ارائه دهند [۳]. این توسعه فناورانه، به معنای واقعی، در دستیابی به اهداف شهرهای پایدار و افزایش بهره‌وری انرژی نقش اساسی ایفا می‌کند. به این ترتیب، شهرهای پایدار نه تنها به بهبود محیط زیست و کاهش آثار منفی مصرف انرژی و آلودگی هوا کمک می‌کنند، بلکه نقشی مهم در ایجاد شرایط بهتری برای زندگی شهروندان و افزایش بهره‌وری اقتصادی ایفا می‌کنند. در مرجع [۴]، نمودار رقابت شبکه‌ای به منظور رقابت در بین برنامه پاسخگویی به تقاضا پیشنهاد شده است. در [۵]، نویسندگان یک مدل نظری از بازی رقابت بین برنامه‌های سمت تقاضا برای فروش انرژی ذخیره شده در باتری ارائه می‌دهند. مدل پیشنهادی در مرجع [۶] از نظر ریاضی به‌عنوان یک بهینه‌سازی دو مرحله‌ای قوی با عدم قطعیت ژنراتور توزیع‌شده تجدیدپذیر که توسط مجموعه عدم قطعیت چندوجهی تعیین می‌شود، فرمول‌بندی شده است. مرجع [۷] یک روش مبتنی بر غربالگری را برای شناسایی زمین مناسب برای نصب و راه‌اندازی ذخیره‌سازی انرژی در مقیاس بزرگ و نصب منابع تجدیدپذیر در پرتغال ارائه می‌دهد. در [۸] برنامه‌ریزی بهینه سیستم‌های ذخیره انرژی در شبکه توزیع ارائه شده است. برنامه‌ریزی بهینه مکان، ظرفیت و انرژی باتری‌ها را تعیین می‌کند در حالی که عملکرد هزینه را به محدودیت‌های فنی محدود می‌کند. در [۹] نویسندگان یک استراتژی پیشنهادی برای ردیابی پیش‌بینی بار با هدف کاهش ریسک تقاضا ارائه کرده‌اند. همچنین در این مدل، پیش‌بینی بار کوتاه مدت، پیش‌بینی انرژی باد و پیش‌بینی انرژی خورشیدی انجام شده است. مرجع [۱۰] به بررسی اثر عملکرد سیستم‌های ذخیره انرژی بر پایداری ولتاژ و کیفیت سیستم قدرت محلی می‌پردازد. مرجع [۱۱] کاربرد فناوری ذخیره‌سازی انرژی در مقیاس بزرگ و نقش پشتیبانی ذخیره انرژی باتری برای اتصال انرژی جهانی را معرفی می‌کند. مرجع [۱۲] روشی را برای بهینه‌سازی کمترین هزینه دارایی‌های تولید ارائه می‌کند در حالی که به صراحت محدودیت‌های قابلیت اطمینان ریزشبکه‌هایی را که قادر به مدیریت فعال تقاضا هستند برآورده می‌کند. مدل مدیریت باتری محدودیت‌های جنبشی را در عملکرد باتری در نظر می‌گیرد و ارسال میدان را برای تنظیم عمق تخلیه نشان می‌دهد. در [۱۳] مقایسه‌ای از برنامه‌ریزی بهینه چندین فناوری باتری برای یافتن بهترین انتخاب در کاربردهای شبکه توزیع را نشان می‌دهد. روش برنامه‌ریزی پیشنهادی یک روش چهار لایه است که عدم قطعیت مشخصات باتری و همچنین

بار و انرژی باد را در نظر می‌گیرد. نویسندگان در [۱۴] یک مدل محدب برای برنامه‌ریزی توسعه شبکه توزیع فعال پیشنهاد می‌کنند که سیستم‌های ذخیره انرژی توزیع شده را یکپارچه می‌کند. در [۱۵]، شاخص پایداری ولتاژ و انرژی مورد انتظار تأمین نشده از شبکه‌های توزیع در پیکربندی پویا متعادل و نامتعادل شبکه توزیع، از جمله منابع انرژی تجدیدپذیر و سیستم‌های ذخیره انرژی الکتریکی مورد بررسی قرار گرفته‌اند. در مرجع [۱۶]، یک شبکه توزیع برق جریان مستقیم انعطاف‌پذیر بر اساس تئوری الگوریتم سازگاری، مزایا و معایب کنترل متمرکز و کنترل باتری توزیع شده را مورد بحث قرار می‌دهد. در [۱۷]، نویسندگان در سیستم‌های انتقال و ذخیره‌سازی هماهنگ تحت عدم قطعیت یک برنامه‌ریز مرکزی سرمایه‌گذاری می‌کنند. این امر با هدف دستیابی به گسترش کارآمد انتقال و ذخیره‌سازی است که هزینه‌های سرمایه‌گذاری را به حداقل می‌رساند، در حالی که دستیابی به راندمان مؤثر یک سیستم قدرت با نفوذ بالای انرژی‌های تجدیدپذیر است. مرجع [۱۸] یک مدل نظری از رقابت غیرهمکاری را ارائه می‌دهد که رقابت تقاضا-پاسخ را برای فروش انرژی ذخیره شده در دستگاه‌های ذخیره‌سازی جمع‌آوری می‌کند. مرجع [۱۹] روشی را برای داده‌کاوی خودروهای برقی پلاگین بر اساس روش تحلیل عاملی برای ذخیره انرژی و زمان‌بندی تولید پراکنده در شبکه توزیع فعال ارائه می‌کند. در مطالعه [۲۰]، نویسندگان روشی را برای تخصیص ظرفیت ذخیره انرژی هیبریدی برای شبکه توزیع فعال با توجه به پاسخ سمت تقاضا به منظور کاهش تلفات پیشنهاد کردند. در مرجع [۲۱] مطالعه گسترده‌ای در زمینه تخصیص و کنترل بهینه سیستم ذخیره انرژی انجام شده است. در [۲۲] یک مدل پیش‌بینی به حداقل رساندن سطح شیب‌دار را در یک شبکه توزیع فعال با استفاده از سیستم‌های ذخیره انرژی پیشنهاد می‌کند. در [۲۳] یک مدل برنامه‌ریزی مخروط مرتبه دوم عدد صحیح مختلط برای تعیین بهینه مکان‌ها و ظرفیت‌های انرژی-قدرت سیستم‌های ذخیره انرژی توزیع شده پیشنهاد شده است. در مرجع [۲۴] یک مفهوم ساختمان انرژی انعطاف‌پذیر جدید، مبتنی بر کنترل هوشمند، ذخیره‌سازی گرمای نهان با چگالی بالا و شبکه‌های هوشمند پیشنهاد شده است که قادر به پیش‌بینی بهترین استراتژی عملیاتی با توجه به شرایط محیطی، نرخ‌های اقتصادی و الگوهای اشغال مورد انتظار است. هدف اصلی مرجع [۲۵] بررسی اثرات بلندمدت برنامه سمت تقاضای پیشنهادی و تأثیر آن بر پیش‌بینی بار پیک سالانه مهم برای برنامه‌ریزی شبکه استراتژیک است. مرجع [۲۶] مروری بر فناوری‌های ذخیره‌سازی انرژی الکتریکی، مواد و سیستم‌ها، چالش‌ها و چشم‌اندازهای ذخیره‌سازی شبکه در مقیاس بزرگ ارائه می‌کند. در [۲۷] یک استراتژی برای یکپارچه‌سازی بهینه سیستم‌های ذخیره انرژی باتری برای بهبود بار و توانایی میزبانی نسل توزیع شده شبکه ابزار پیشنهاد شده است. مرجع [۲۸] تأثیر سیستم‌های ذخیره انرژی باتری را بر پایداری شبکه‌های توزیع با سطوح نفوذ بالای تولید پراکنده مبتنی بر مبدل مورد بحث قرار می‌دهد. در [۲۹] یک کنترل ولتاژ هماهنگ برای شبکه توزیع فعال با توجه به اثر ذخیره انرژی با استفاده از الگوریتم بهینه‌سازی تکاملی[1] پیشنهاد شده است. در [۳۰] تأثیر هزینه‌های شارژ باتری‌ها بر روی پست‌های فوق توزیع بررسی شده است. در [۳۱] بر اساس تجزیه و تحلیل وضعیت توسعه یک باتری مقیاس بزرگ، سناریوهای کاربردی مانند کاهش نوسانات توان خروجی، توافق با طرح خروجی در سمت تولید انرژی تجدیدپذیر، تنظیم فرکانس شبکه برق، بهینه‌سازی جریان برق در انتقال نیرو را معرفی شده است. در [۳۲] یک روش جدید مبتنی بر پاسخ شبکه پویا و ویژگی‌های مختلف پاسخ سیستم ذخیره باتری را برای بهینه‌سازی ذخایر پاسخ فرکانسی سریع و جلوگیری از شکستن فرکانس از آستانه‌های کاهش بار زیر فرکانس پیشنهاد کرده است. در [۳۳]، یک سیستم شاخص ارزیابی جامع باتری با در نظر گرفتن نیروگاه فتوولتائیک در منطقه‌ای از چین با استفاده از روش منطق فازی معرفی شده است. در [۳۴] روشی را برای ارزیابی مزایای مالی سیستم‌های ذخیره انرژی باتری (BESS) نصب شده روی مشتریان ولتاژ متوسط (MV) ارائه می‌دهد، که نشان می‌دهد باتری می‌تواند از نظر اقتصادی برای مشتریان MV با مشخصات مصرف قابل پیش‌بینی و پایدار، به ویژه آن‌هایی که دارای ساختار تعرفه زمان استفاده برای تقاضا و انرژی هستند مقرون به صرفه باشد. در [۳۵]، قابلیت اطمینان سیستم ذخیره‌سازی انرژی باتری متصل به شبکه در مقیاس بزرگ و همچنین تأثیرات آن بر قابلیت اطمینان کلی سیستم‌های قدرت با توجه به تخریب باتری و انتشار فرار حرارتی بررسی شده است. در [۳۶] روشی برای تنظیم ولتاژ توسط ذخیره‌گرها، تولید متغیر منابع تولید پراکنده و ادوات کنترلی ارائه گردیده است. برای هماهنگی میان ادوات مختلف تنظیم ولتاژ استراتژی ارائه گردیده که در آن هماهنگی‌ها شامل پیکربندی تغذیه‌کننده‌ها، پروفایل تقاضا، نقاط تنظیمی تپ چنجرهای[2] ترانسفورماتورها،

[1] Evolutinary Algorithm
[2] Tap changer

تنظیمات بانک‌های خازنی و ذخیره‌گرهای به کار گرفته شده است. در [۳۷] بهینه‌سازی برنامه‌ریزی ترکیب مزرعه بادی و پمپ ذخیره‌ای در بازار برق انجام شده است. مدل‌سازی الگوریتم بهینه‌سازی در دو مرحله با قیمت‌های تصادفی بازار و تولید انرژی بادی صورت گرفته است. در [۳۸] هدف اصلی کاهش هزینه بهره‌برداری است. هزینه بهره‌برداری شامل هزینه عملکرد نیروگاه‌ها و نگهداری شبکه است. علاوه بر این در [۳۸] یک چارچوب بهینه‌سازی چند هدفه ایمن برای بهره‌بردار نیروگاه‌ها ارائه گردید. کمینه‌سازی هزینه، انرژی توزیع نشده به عنوان توابع هدف بهینه‌سازی در نظر گرفته شدند. در [۳۹] به بهینه‌سازی هم‌زمان تعداد، محل و اندازه منابع تولیدات پراکنده و جبران‌ساز سنکرون استاتیکی پرداخته شده و به‌منظور حل مسئله بهینه‌سازی از الگوریتم ژنتیک (GA) استفاده شده است. به همین منظور تابع چند هدفه شامل هزینه‌های بهره‌برداری و تولید منابع تولیدات پراکنده و جبران‌ساز سنکرون استاتیکی و قابلیت بارپذیری سیستم ارائه شده است. در [۴۰] با استفاده از روش محاسباتی و روش هوشمند الگوریتم ژنتیک[1] به منظور حداقل کردن تلفات و بهبود پروفیل ولتاژ شبکه اقدام به تعیین مکان و اندازه بهینه مولدهای مقیاس کوچک[2] در شبکه توزیع با ساختار شعاعی شده است، که ژنراتورها قادر به تولید توان اکتیو و راکتیو هستند.

با توجه به پیشینه تحقیق، انگیزه اصلی این تحقیق ارتقاء بهره‌وری و عملکرد نیروگاه‌های ذخیره انرژی بزرگ در مقیاس بزرگ با استفاده از روش‌های نوآورانه و بهینه‌سازی است. مقاله به بررسی چالش‌ها و مسائل مرتبط با مدیریت این نیروگاه‌ها پرداخته و سپس راهکارهایی ارائه می‌دهد تا از طریق محدودیت‌هایی برای تعداد فرآیندهای شارژ و دشارژ بهینه‌سازی شوند. همچنین، الگوریتم جستجوی فاخته به عنوان یک روش قوی برای بهبود کارایی این نیروگاه‌ها معرفی شده و بهره‌برداری از آن در مدیریت بهینه آن‌ها مورد توجه قرار می‌گیرد.

با توجه به شکاف مطالعاتی وجود در پیشینه پژوهش، این تحقیق به مسئله مدیریت نیروگاه‌های ذخیره انرژی بزرگ با توجه به محدودیت‌هایی که در فرآیندهای شارژ و دشارژ وجود دارد، اشاره می‌کند. همچنین، توجه به استفاده از الگوریتم جستجوی فاخته به عنوان روش بهینه‌سازی جدیدی برای بهبود عملکرد نیروگاه‌های ذخیره انرژی بزرگ از جمله مشکلات مطالعاتی این تحقیق است. این شکاف مطالعاتی نشان می‌دهد که مطالعات بیشتری در زمینه بهبود بهره‌وری و کاهش هزینه‌های انرژی از طریق بهبود مدیریت نیروگاه‌های ذخیره انرژی بزرگ با توجه به محدودیت‌ها و استفاده از الگوریتم‌های هوش مصنوعی می‌توانند انجام شوند.

هدف این مقاله افزایش کارایی شبکه‌های توزیع با استفاده از مدیریت یکپارچه نیروگاه ذخیره انرژی بزرگ با استفاده از گزینه‌های مدیریتی متنوع است. نوآوری‌های اصلی این مقاله به شرح زیر است:

۱. ارائه یک مدل بهینه‌سازی جدید برای هماهنگی مدیریت نیروگاه ذخیره انرژی مقیاس بزرگ با در نظر گرفتن گزینه‌های مدیریتی برای کنترل تعداد دفعات شارژ و دشارژ.
۲. ارائه الگوریتم جستجوی فاخته برای حل مسئله بهینه‌سازی پیشنهادی و تضمین رسیدن به جواب‌های بهینه سراسری نسبت به سایر الگوریتم‌های موجود.

پس از ارائه مقدمه در بخش اول، مدل بهینه‌سازی و روش حل مسئله پیشنهادی در بخش دوم و سوم ارائه شده است. بخش چهارم، به مطالعه عددی اختصاص دارد. در نهایت، بخش پنجم مقاله را به پایان می‌رساند.

۲- مدل بهینه‌سازی نیروگاه ذخیره انرژی

در این بخش به ارائه مدل پیشنهادی می‌پردازیم. تابع هدف مسئله در معادله ۱ نشان داده شده است. تابع هدف ۱ شامل پنج عبارت است، شامل سه سود و دو هزینه، که در آن B_t^{esm} سود تجارت انرژی مدیریت ذخیره انرژی است، B_t^{trans} سود حاصل از کاهش هزینه دسترسی انتقال است، و B_t^{dfi} سود حاصل از به تعویق انداختن سرمایه‌گذاری تسهیلات از طریق مدیریت ذخیره انرژی است. که در آن C^{esp} هزینه سرمایه‌گذاری نیروگاه‌های ذخیره انرژی و C^{om} هزینه بهره‌برداری و نگهداری نیروگاه ذخیره انرژی و عامل سالانه در معادله(۱-ج) آمده است. ρ^{day} و ρ^{month} به ترتیب تعداد روزها و ماه‌های بهره‌برداری نیروگاه ذخیره

[1] Genetic algorithm (GA)
[2] Distributed generation (DG)

انرژی در یک سال هستند. t تعداد ساعات کار نیروگاه ذخیره انرژی در یک روز و در نهایت i و d به ترتیب تورم و نرخ تنزیل هستند.

معادلات (۱-الف) الی (۱-ث) برای نشان دادن جمله‌های استفاده شده در تابع هدف (۱)، از جمله سود تجارت انرژی، سود ناشی از کاهش هزینه دسترسی به انتقال، سود حاصل از سرمایه‌گذاری تسهیلات به تعویق افتادن، هزینه سرمایه‌گذاری نیروگاه‌های ذخیره انرژی و هزینه بهره‌برداری و نگهداری نیروگاه‌های ذخیره انرژی است. در اینجا C_t^{pr} قیمت انرژی در ساعت، P_t^{ch} و P_t^{dis} به ترتیب توان شارژ و دشارژ نیروگاه ذخیره انرژی هستند. در اینجا ω_l ، ω_m و ω_h به ترتیب قیمت خرید انرژی از شبکه انتقال در دوره‌های زمانی کم، متوسط و بالا هستند. در اینجا C^{inv} هزینه سرمایه‌گذاری نیروگاه ذخیره انرژی است و ΔN تعداد سال‌های معوق است. سال معوق ΔN به دست آمده توسط رابطه ۱-چ محاسبه می‌گردد، که α برای کاهش پیک بار و ϑ افزایش تقاضای بار در هر سال است. در اینجا C^p و C^w به ترتیب اوج و هزینه ویژه انرژی نیروگاه ذخیره انرژی هستند. P^{max} و W^{max} به ترتیب حداکثر توان و حداکثر ظرفیت انرژی نیروگاه ذخیره انرژی هستند. در اینجا C^{mf} و C^{mv} به ترتیب هزینه‌های ثابت و متغیر عملیات و نگهداری نیروگاه ذخیره انرژی هستند و سالانه توان دشارژ سالانه نیروگاه ذخیره انرژی است.

محدودیت‌های در نظر گرفته شده در مدل پیشنهادی که شامل نیروگاه‌های ذخیره انرژی است، در معادلات ۲ تا ۸ آورده شده است. وضعیت انرژی نیروگاه ذخیره انرژی در ساعات مختلف در رابطه ۲ آمده است، که در آن E_t سطح انرژی نیروگاه ذخیره انرژی و η بازده نیروگاه ذخیره انرژی است. قیود ۳ و ۴ به ترتیب محدودیت شارژ و دشارژ نیروگاه ذخیره انرژی را نشان می‌دهد، که در آن X ظرفیت نیروگاه ذخیره انرژی است و متغیر باینری Z_t حالت عملیاتی شارژ-دشارژ نیروگاه ذخیره انرژی را نشان می‌دهد. معادله ۵ محدودیت انرژی را برای هر یک از نیروگاه‌های ذخیره انرژی در ساعت t نشان می‌دهد. معادلات ۶ و ۷ تعداد مجاز عملیات شارژ و دشارژ را در محدوده آن‌ها ϱ^{ch} و ϱ^{dis} نشان می‌دهد. که در آن ϱ^{ch} و ϱ^{dis} تعداد شارژ-دشارژ مجاز نیروگاه ذخیره انرژی است. معادله ۸ محدودیت دیگری را برای کاهش بار پیک اعمال می‌کند، $\bar{D}_t$ و D_t به ترتیب حداکثر بار پست و بار پست را نشان می‌دهد.

$$\max \sum_{t\in T}\left\{\left(B_t^{esm}\rho^{day}\tau\right)+\left(B_t^{trans}\rho^{month}\tau\right)\right\}+\left(B^{dfi}\right)-\left(C^{esp}\right)-\left(C^{om}\rho^{month}\tau\right) \quad (۱)$$

$$B_t^{esm}=c_t^{pr}\left(p_t^{dis}-p_t^{ch}\right)\ \forall t\in T \quad (۱\text{-الف})$$

$$B_t^{trans}=\sum_{t\in\{low\ fee\}}\omega_l\left(p_t^{dis}-p_t^{ch}\right)+\sum_{t\in\{medium\ fee\}}\omega_m\left(p_t^{dis}-p_t^{ch}\right)+\sum_{t\in\{high\ fee\}}\omega_h\left(p_t^{dis}-p_t^{ch}\right) \quad (۱\text{-ب})$$

$$B^{dfi}=c^{inv}\left(1-\left(\frac{1+i}{1+d}\right)^{\Delta N}\right) \quad (۱\text{-پ})$$

$$C^{esp}=c^{p}\left(p^{max}\right)+c^{w}\left(w^{max}\right) \quad (۱\text{-ت})$$

$$C^{om}=c^{mf}\left(p^{max}\right)+c^{mv}\left(w^{annual}\right) \quad (۱\text{-ث})$$

$$\tau=\left(\frac{1+i}{1+d}\right)^{t} \quad (۱\text{-ج})$$

$$\Delta N=\frac{\log(1+\alpha)}{\log(1+\vartheta)} \quad (۱\text{-چ})$$

$$E_{t+1}=E_t+p_t^{dis}*1/\eta-p_t^{ch}*\eta\ \ \forall t\in T \quad (۲)$$

$$0\le p_t^{ch}*\eta\le XZ_t\quad \forall t\in T \quad (۳)$$

$$0\le p_t^{dis}*1/\eta\le X\left(1-Z_t\right)\ \forall t\in T \quad (۴)$$

$$0\le E_t\le X\ \ \forall t\in T \quad (۵)$$

$$\sum_{t\in T}\left(1-Z_t\right)\le \wp^{dis} \quad (۶)$$

$$\sum_{t\in T}Z_t\le \wp^{ch} \quad (۷)$$

$$D_t-p_t^{dis}+p_t^{ch}-\left(1-\alpha\right)\bar{D}_t\le 0 \quad (۸)$$

۳-الگوریتم بهینه‌سازی پیشنهادی

الگوریتم بهینه‌سازی جستجوی فاخته یکی از الگوریتم‌های جدیدتر بهینه‌سازی است که در مهندسی برق استفاده می‌شود. CSA یک الگوریتم فرا ابتکاری مبتنی بر جمعیت است که تحت تأثیر رفتار تولید مثلی پرندگان فاخته (کوکو) طراحی شده است.

هدف الگوریتم CSA یافتن راه‌حل بهینه با شبیه‌سازی رفتار تولیدمثلی پرندگان فاخته است. در ادامه توضیح نحوه کار CSA ارائه می‌شود.

۱- مقداردهی اولیهCSA: با ایجاد جمعیتی از پرندگان فاخته آغاز می‌شود، جایی که هر پرنده یک راه‌حل محتمل در فضای جستجو را نمایندگی می‌کند.

۲- پرواز لووی: پرندگان فاخته در جستجوی لانه‌های مناسب برای تخم‌گذاری پروازهای تصادفی انجام می‌دهند. درCSA، پرواز لووی که یک قدم جستجوی تصادفی است برای هر پرنده فاخته انجام می‌شود. پرواز لووی یک پیاده‌روی تصادفی است که از توزیع تقویتی پیروی می‌کند و امکان بررسی مسافت‌های دورتر در فضای جستجو را فراهم می‌کند.

۳- انتخاب و جایگزینی لانه: پرندگان فاخته تخم خود را در لانه‌های پرنده‌های دیگر گذاشته و آن‌ها را فریب می‌دهند تا نسل خود را بزرگ کنند. درCSA، پرندگان فاخته تخم (راه‌حل جدید) را در لانه‌های انتخاب شده به‌صورت تصادفی (راه‌حل‌های موجود) قرار می‌دهند. اگر تخم تازه گذاشته شده (راه‌حل جدید) دارای بهترین مقدار برازندگی نسبت به لانه میزبان (راه‌حل موجود) باشد، لانه میزبان با راه‌حل جدید جایگزین می‌شود.

۴- تکرار: فرآیند پرواز لووی و انتخاب لانه به‌طور تکراری برای چند نسل انجام می‌شود. این امر به پرندگان فاخته اجازه می‌دهد تا به‌تدریج در فضای جستجو برای یافتن راه‌حل‌های بهتر بگردند و استفاده کنند.

۵- استخراج راه‌حل: پس از برآورده شدن شرط پایانی، بهترین راه‌حل به‌دست آمده در طول فرآیند بهینه‌سازی به‌عنوان راه‌حل بهینه استخراج می‌شود. این راه‌حل نشان‌دهنده تنظیمات بهینه برای مسئله بهینه‌سازی مهندسی برق است.

۶- الگوریتم جستجوی فاخته نتایج قابل قبولی را در برنامه‌های مختلف مهندسی برق از جمله توزیع اقتصادی، مشارکت واحد، جریان برق بهینه و یکپارچگی انرژی تجدیدپذیر نشان داده است. این الگوریتم از سادگی، کارایی و توانایی مدیریت مسائل بهینه‌سازی تک هدفه و چند هدفه برخوردار است.

مراحل الگوریتم جستجوی فاخته برای مسئله بهینه‌سازی کلی به صورت زیر است:

۱- مقداردهی اولیه:

ایجاد جمعیت اولیه از نقاط به طور تصادفی در فضای جستجو

۲- محاسبه ارزش تابع هدف:

برای هر نقطه، مقدار تابع هدف را محاسبه کرده و به عنوان ارزش برازندگی آن نقطه را ثبت می‌کنیم.

۳- پرواز لووی:

برای هر نقطه، با استفاده از یک تابع تصادفی مانند توزیع لووی، یک قدم جدید را در فضای جستجو انجام می‌دهیم.

۴- بروزرسانی نقاط:

اگر نقطه جدید بهتر از نقطه قبلی باشد، نقطه قبلی را با نقطه جدید جایگزین می‌کنیم.

۵- جایگزینی با استفاده از الگوریتم جستجوی فاخته:

برای یک تعداد تخم مشخص (تعداد نقاط جدید)، یک نقطه جدید را با استفاده از الگوریتم جستجوی فاخته جایگزین می‌کنیم.

۶- تکرار:

مراحل ۳ تا ۵ را برای تعداد تکرار مشخص تکرار می‌کنیم.

۷- استخراج نقطه بهینه:

نقطه بهترین برازندگی که در طول تمام تکرارها به‌دست آمده است، به عنوان نقطه بهینه استخراج می‌شود.

شکل ۱ نشان‌دهنده فرایند بهینه‌سازی در الگوریتم جستجوی فاخته است. الگوریتم بهینه‌سازی جستجوی فاخته (COA) یک الگوریتم بهینه‌سازی فرا ابتکاری است که از رفتار فاخته‌های نر برای یافتن بهترین زیستگاه برای تخم‌گذاری تقلید می‌کند. این الگوریتم برای بهینه‌سازی شبکه‌های توزیع با بازآرایی استفاده می‌شود.

در شکل ۱، فرایند بهینه‌سازی COA برای شبکه توزیع با بازآرایی نشان داده شده است. فرایند به شرح زیر است:

۱- مقداردهی اولیه جمعیت فاخته‌ها: در ابتدا، یک جمعیت اولیه از فاخته‌ها با موقعیت‌های تصادفی در شبکه توزیع ایجاد می‌شود. موقعیت هر فاخته نشان‌دهنده یک آرایه بازآرایی برای شبکه توزیع است.

۲- شعاع تخم‌گذاری برای هر فاخته را مشخص کن: برای هر فاخته، یک شعاع تخم‌گذاری مشخص می‌شود. این شعاع نشان می‌دهد که فاخته تا چه فاصله‌ای می‌تواند از موقعیت فعلی خود حرکت کند.

۳- تمامی فاخته‌ها را به سمت محیط جدید حرکت بده: هر فاخته با توجه به شعاع تخم‌گذاری خود به سمت محیط جدید حرکت می‌کند.

۴- تخم‌گذاری در لانه‌های مختلف: هر فاخته در لانه‌های مختلف تخم می‌گذارد. یک لانه نشان‌دهنده یک آرایه بازآرایی جدید برای شبکه توزیع است.

۵- برخی تخم‌ها شناسایی شده و از بین می‌روند: برخی از تخم‌ها شناسایی می‌شوند و از بین می‌روند. این تخم‌ها نشان دهنده آرایه‌های بازآرایی نامناسب هستند.

۶- جوامع فاخته‌ای را خوشه‌بندی کن: فاخته‌ها بر اساس موقعیت خود در شبکه توزیع خوشه‌بندی می‌شوند.

۷- آیا تعداد جمعیت بیشتر از مقدار بیشینه است؟ اگر تعداد جمعیت بیشتر از مقدار بیشینه باشد، فاخته‌های ساکن در بدترین زیستگاه‌ها از بین می‌روند.

۸- بهترین زیستگاه برای مهاجرت را انتخاب کن: بهترین زیستگاه برای مهاجرت انتخاب می‌شود. این زیستگاه نشان‌دهنده آرایه بازآرایی بهینه برای شبکه توزیع است.

۹- شروع فرآیند تخم‌گذاری فرآیند تخم‌گذاری دوباره شروع می‌شود.

۱۰- تابع هدف مسأله را ارزیابی کن: تابع هدف مسأله ارزیابی می‌شود.

۱۱- الگوریتم به شرط توقف رسیده است؟ اگر الگوریتم به شرط توقف رسیده باشد، فرایند بهینه‌سازی متوقف می‌شود.

در این الگوریتم، تابع هدف مسأله رابطه ۱ است. الگوریتم COA با تکرار مراحل ۲ تا ۱۱، به تدریج به سمت آرایه بازآرایی بهینه حرکت می‌کند.

ویژگی‌های الگوریتم COA عبارت‌اند از:

- ساده و کارآمد: الگوریتم COA یک الگوریتم ساده و کارآمد است که می‌تواند برای حل مسائل بهینه‌سازی پیچیده استفاده شود.
- قابل انعطاف: الگوریتم COA قابل انعطاف است و می‌توان آن را برای حل طیف وسیعی از مسائل بهینه‌سازی استفاده کرد.
- مقیاس‌پذیر: الگوریتم COA مقیاس‌پذیر است و می‌توان آن را برای شبکه‌های توزیع بزرگ استفاده کرد.

الگوریتم COA برای بهینه‌سازی شبکه‌های توزیع با بازآرایی نتایج خوبی حاصل کرده است. این الگوریتم می‌تواند به کاهش هزینه شارژ و دشارژ نیروگاه‌های باتری کمک کند.

طبق شکل ۱ مانند الگوریتم‌های تکاملی دیگر، الگوریتم بهینه‌سازی فاخته کار خود را با تولید یک جمعیت اولیه از فاخته‌ها آغاز می‌کند. جمعیت اولیه فاخته‌ها در لانه‌ی پرندگان پرورش می‌یابند. تخم‌هایی که بیشترین شباهت را با تخم‌های پرنده میزبان دارند، فرصت رشد و تبدیل شدن به فاخته‌های بالغ را دارا خواهند بود. سایر تخم‌ها توسط میزبان شناسایی شده و سپس

از بین می‌روند. فاخته‌ها برای ارزیابی شرایط زندگی به منظور بقا، به محیط پیرامونی خود توجه می‌کنند. محیطی که تعداد بیشتری تخم‌های فاخته در آن رشد کنند و به فاخته‌های بالغ تبدیل شوند، بیشترین سود را به دست خواهد آورد. به عبارت دیگر، فاخته‌ها در محیطی تخم‌گذاری می‌کنند که نرخ بقای تخم‌ها بیشینه باشد. تخم‌هایی که زنده می‌مانند و به فاخته‌های بالغ تبدیل می‌شوند، در محل زندگی خود جوامعی را تشکیل می‌دهند که از تعدادی فاخته تشکیل شده‌اند. هر جامعه از فاخته‌ها در یک زیستگاه خاص از محیط زندگی خود ساکن هستند. زیستگاهی که دارای بیشترین منابع غذایی و فرصت بقا برای فاخته‌ها باشد، به عنوان مقصد مهاجرتی برای جوامع دیگر انتخاب می‌شود. جوامع مهاجرت‌کننده به نزدیک‌ترین زیستگاه بهترین مکان سکونت را انتخاب می‌کنند. بر اساس تعداد تخم‌های هر فاخته و فاصله فاخته تا بهترین زیستگاه، یک "منطقه تخم‌گذاری" برای هر فاخته تعیین می‌شود. سپس، فاخته‌ها به صورت تصادفی در لانه‌های موجود در این منطقه تخم‌گذاری می‌کنند. این فرایند تا زمانی ادامه می‌یابد که بهترین نقطه با بیشترین سود (بیشترین منابع غذایی و بالاترین فرصت بقا) شناسایی شود، و سپس بیشتر فاخته‌ها به این نقطه همگرا می‌شوند. در ادامه، مراحل الگوریتم بهینه‌سازی فاخته توضیح داده خواهند شد.

برای حل یک مسأله بهینه‌سازی، در مرحله اول، مقادیر متغیرهای مسأله را باید در قالب یک آرایه نمایش دهیم. در الگوریتم بهینه‌سازی فاخته، این آرایه نمایش دهنده مقادیر متغیرهای مسأله، به عنوان "زیستگاه[1]" شناخته می‌شود. هر زیستگاه، یک نمونه یا یک جواب کاندید برای مسأله بهینه‌سازی است. جواب‌های کاندید در طی یک فرایند تکاملی به جواب بهینه سراسری همگرا می‌شوند. در یک مسأله بهینه‌سازی با NVar بُعد، زیستگاه به عنوان یک آرایه به ابعاد 1×NVar تعریف می‌شود. این آرایه مکان کنونی فاخته را در محیط نشان می‌دهد. شکل زیر نحوه تعریف این آرایه را نشان می‌دهد:

$$Habitat = [x1, x2, ..., xn] \quad (۹)$$

در اینجا xi نماینده مقدار متغیر iام در زیستگاه است.

مقادیر متغیرهای (x1,x2,x3,…, xNVar) در اینجا به صورت اعشاری هستند. سطح سود یک زیستگاه، توسط ارزیابی تابع هدف fp در زیستگاهی که شامل مقادیر (x1,x2,x3,…, xNVar) است، تعیین می‌شود. بنابراین، تابع هدف برای یک مسأله بهینه‌سازی به شکل زیر تعریف می‌شود:

$$fp = f\left(x1, x2, x3, ..., xNvar\right) \quad (۱۰)$$

در اینجا، fp نشان‌دهنده سطح سود مرتبط با زیستگاه است که براساس مقادیر (x1,x2,x3,…, xNVar) محاسبه می‌شود.

گر هدف کمینه‌سازی یک تابع هزینه باشد، می‌توانید از روش بیشینه‌سازی تابع سود برای کمینه‌سازی تابع هزینه استفاده کنید. این کار از طریق تبدیل تابع هزینه به تابع سود معکوس انجام می‌شود. به عبارت دیگر، می‌توانید تابع هزینه را به صورت منفی از تابع سود بیشینه‌سازی شده نمایش دهید. به عنوان مثال، چنانچه تابع هزینه شما با f_cos(x1,x2,x3,…, xNVar) نمایش داده شود، تابع سود مرتبط با آن به صورت زیر تعریف می‌شود:

$$fp = -f_cost\left(x1, x2, x3, ..., xNvar\right) \quad (۱۱)$$

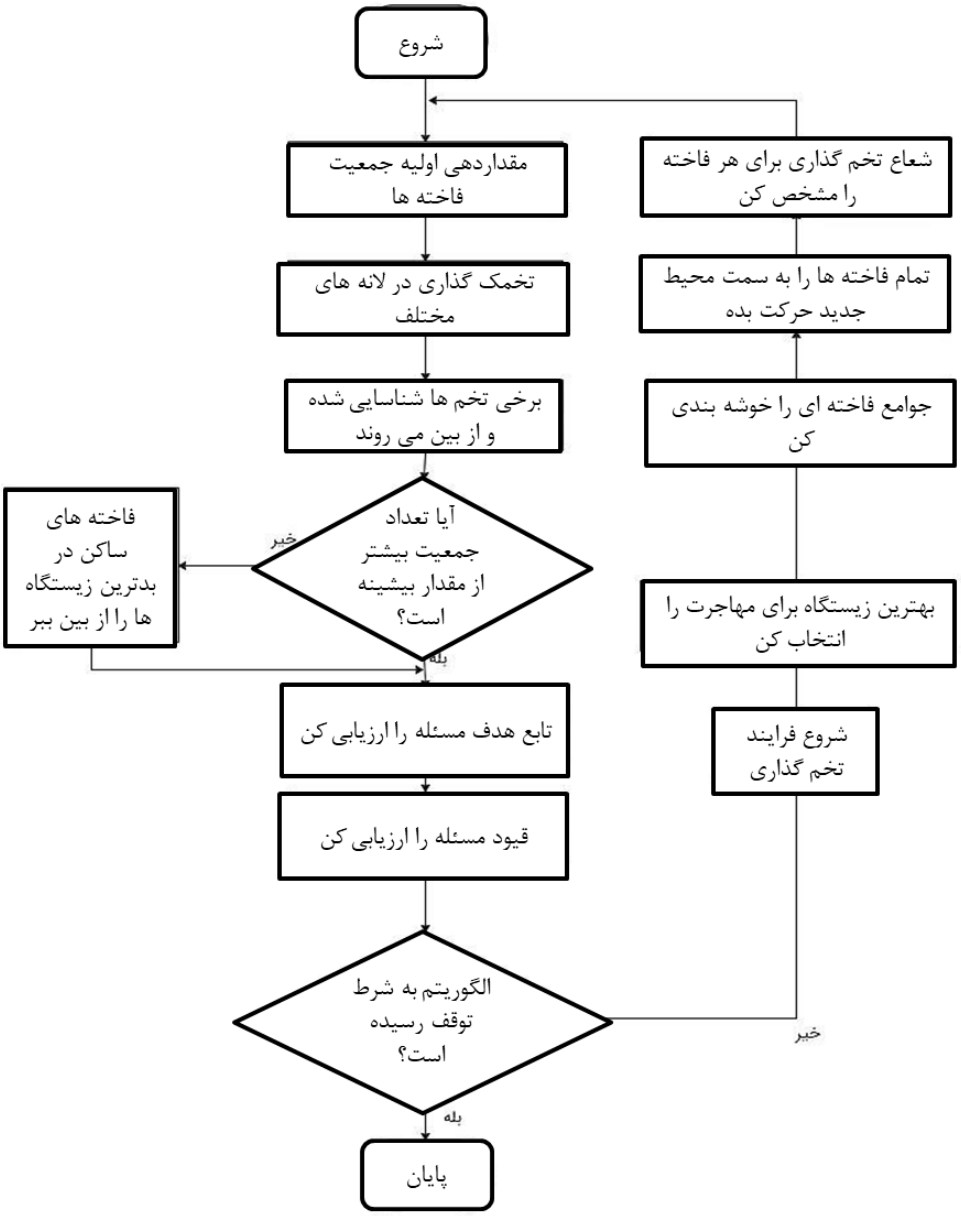
با استفاده از این تبدیل، می‌توانید با بیشینه کردن تابع سود fp ، مقدار کمینه متناظر تابع هزینه را بدست آورید. فرآیند تکاملی الگوریتم بهینه‌سازی فاخته به صورت زیر است: در ابتدا، یک ماتریس با اندازه NPopulation×NVar از زیستگاه‌های کاندید تولید می‌شود. سپس برای هر زیستگاه تولید شده، یک تعداد تصادفی از تخم‌های فاخته در نظر گرفته می‌شود. در طبیعت، هر فاخته به طور میانگین بین ۵ تا ۲۰ تخم می‌گذارد. این اعداد حداقل و حداکثر مجاز تعداد تخم‌های متغیرها در هر زیستگاه را تشکیل می‌دهند.

عادت دیگر فاخته‌ها در جهان واقعی این است که معمولاً در فاصله بیشینه از زیستگاه واقعی خود تخم‌گذاری می‌کنند. در الگوریتم فاخته، به این فاصله بیشینه، شعاع تخم‌گذاری (Egg Laying Radius) گفته می‌شود. در یک مسأله بهینه‌سازی، شعاع تخم‌گذاری برای هر فاخته، با توجه به تعداد کلی تخم‌ها و حداقل (VarHigh) و حداکثر (VarLow) مقادیر متغیرها، محاسبه می‌شود. بنابراین، شعاع تخم‌گذاری به صورت زیر تعریف می‌شود:

$$EggLayingRadius = \left(VarLow - VarHigh\right) / \left(TotalEggs - 1\right) \quad (۱۲)$$

[1] Habitat

در اینجا، Egg Laying Radius نشان‌دهنده شعاع تخم‌گذاری است که به عنوان فاصله بین تخم‌ها در نظر گرفته می‌شود. در اینجا TotalEggs نشان‌دهنده تعداد کلی تخم‌ها در یک فاخته است و VarLow و VarHigh به ترتیب نشان‌دهنده حداقل و حداکثر مقادیر متغیرها هستند.



شکل ۱: فرایند الگوریتم فاخته
Figure 1. Cuckoo algorithm process

۴-نتایج شبیه‌سازی

در این بخش، یک مطالعه موردی ارائه می‌شود تا اعتبار مدل پیشنهادی و نتایج آن در شرایط مختلف تحلیل شود. داده‌های بار و قیمت از منبع [۳۰] به دست آمده است. نوع نگهداری انرژی در این مطالعه باتری وانادیوم ردااکس[1] (VRB) است که در منبع [۳۰] ذکر شده است. مدل ریاضی پیشنهادی (معادلات ۸-۱) با استفاده از الگوریتم تکاملی پیشنهادی حل شده است. موارد مورد بررسی برای تحلیل مدل پیشنهادی به شرح زیر است:

[1] Vanadium redox battery (VRB)

حالت اول: بدون در نظر گرفتن محدودیت برای تعداد دفعات شارژ و دشارژ نیروگاه ذخیره انرژی.
حالت دوم: در نظر گرفتن محدودیت تعداد دفعات شارژ و دشارژ نیروگاه ذخیره انرژی.
در این مطالعه، نرخ تورم و نرخ تخفیف به ترتیب برابر با ۱/۵٪ و ۹٪ در نظر گرفته شده است. بار پیک فعلی و افزایش تقاضای بار هر سال به ترتیب برابر با ۱۰٪ و ۱/۵٪ هستند. جدول ۱ پارامترهای مورد نظر برای نیروگاه ذخیره‌سازی انرژی نوع VRB را نشان می‌دهد. جدول۱، پارامترهای باتری وانادیوم ردااکس (VRB) را نشان می‌دهد که به عنوان یک نیروگاه ذخیره‌سازی انرژی استفاده شده است. همان‌طور که مشاهده می‌شود، کارایی این نوع ذخیره‌سازی برابر با ۷۰٪ در نظر گرفته شده است. در این مقاله، هزینه سرمایه‌گذاری یک نیروگاه ذخیره‌سازی انرژی برابر با ۳۰۰،۰۰۰ دلار آمریکا در نظر گرفته شده است، به طبق منبع [۳۰].

جدول ۱: پارامترهای نیروگاه ذخیره‌سازی انرژی
Table 1: Energy storage plant parameters

نوع	VRB
بازده (٪)	۷۰
هزینه پیک ($/kW)	۴۲۶
هزینه انرژی ($/kWh)	۱۰۰
هزینه ثابت بهره‌برداری ($/kW/year)	۹
هزینه سرمایه‌گذاری ($)	۳۰۰۰۰۰

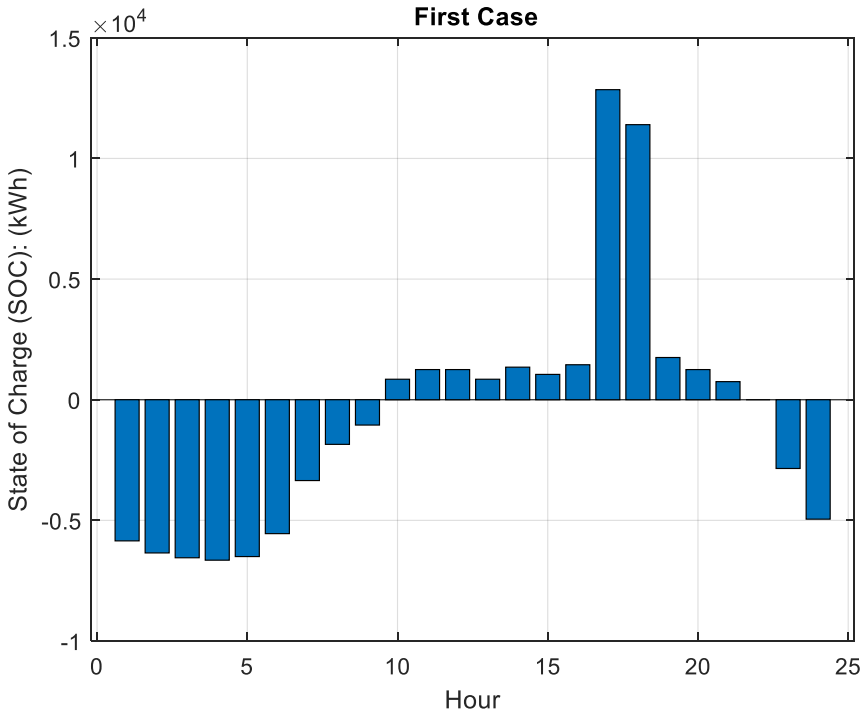
در جدول ۲ نتایج شبیه‌سازی حالت اول و دوم نشان داده شده است. با توجه به نتایج شبیه‌سازی در جدول ۲، می‌توانیم تجزیه و تحلیلی برای دو حالت مختلف ارائه دهیم:
حالت اول: بدون محدودیت تعداد دفعات شارژ و دشارژ نیروگاه ذخیره انرژی؛ در این حالت، سود حاصل از سیستم ۶۲۸۹ دلار است. این مقدار نشان‌دهنده درآمد کلی حاصل از عملیات شارژ و دشارژ نیروگاه ذخیره انرژی در طول دوره زمانی است. توان پیک دشارژ؛ با در نظر گرفتن عدم محدودیت تعداد دفعات دشارژ، توان پیک دشارژ برابر با ۱۲۸۵۰ کیلووات است. این مقدار نشان‌دهنده حداکثر توانی است که نیروگاه ذخیره انرژی می‌تواند در هر زمان راه‌اندازی کند. توان پیک شارژ؛ در این حالت، توان پیک شارژ نیز برابر با ۶۶۵۰ کیلووات است. این مقدار نشان‌دهنده حداکثر توانی است که سیستم شارژ نیروگاه ذخیره انرژی می‌تواند در هر زمان ارائه دهد.
حالت دوم: با محدودیت تعداد دفعات شارژ و دشارژ نیروگاه ذخیره انرژی؛ سود، در این حالت، سود کلی کاهش یافته و به ۳۶۸۰ دلار می‌رسد. این مقدار نشان می‌دهد که محدودیت تعداد دفعات شارژ و دشارژ تأثیر قابل توجهی بر روی سود سیستم دارد. توان پیک دشارژ، با در نظر گرفتن محدودیت تعداد دفعات دشارژ، توان پیک دشارژ نیز به ۶۲۸۵ کیلووات کاهش می‌یابد. این مقدار نشان‌دهنده توان حداکثری است که می‌توان نیروگاه ذخیره انرژی راه‌اندازی کرد. توان پیک شارژ، با توجه به محدودیت تعداد دفعات شارژ، توان پیک شارژ به ۶۶۵۰ کیلووات ثابت می‌ماند و تحت تأثیر محدودیت قرار نمی‌گیرد.

در این تجزیه و تحلیل، می‌توانیم مشاهده کنیم که در حالت اول بدون محدودیت، سود بیشتر و توان پیک دشارژ بیشتری در دسترس است. اما در حالت دوم با محدودیت تعداد دفعات شارژ و دشارژ، سود کاهش می‌یابد و توان پیک دشارژ نیز محدودتر می‌شود. این تحلیل به ما کمک می‌کند تا تفاوت‌ها و تأثیر محدودیت‌ها را در دو حالت مختلف مشاهده کنید.

جدول ۲: نتایج حاصل از شبیه‌سازی و مقایسه حالت‌های مختلف
Table 2: The results of simulation and comparison of different modes

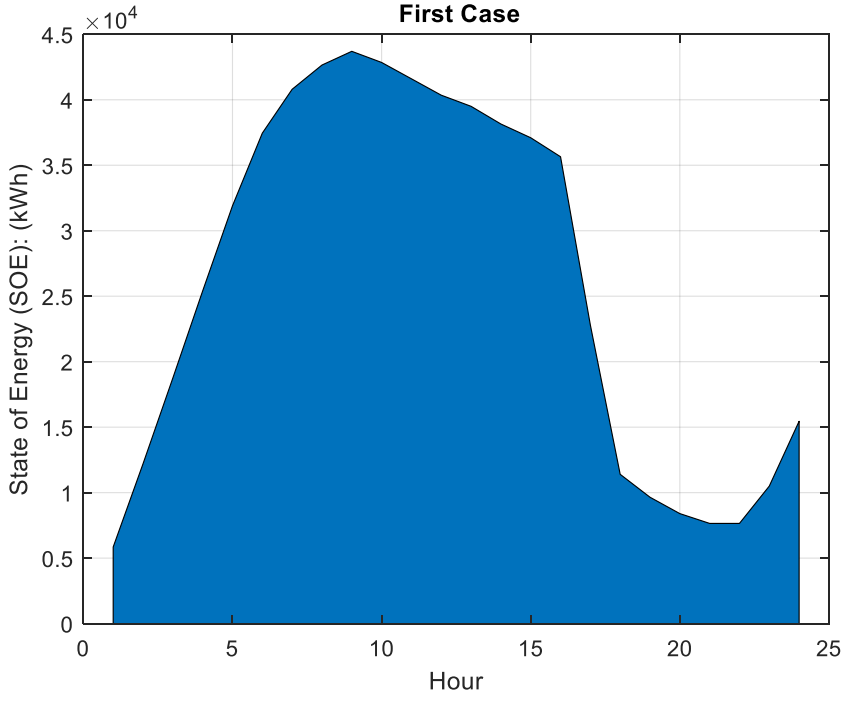
حالت	اول	دوم
سود ($)	۶۲۸۹	۳۶۸۰
توان پیک دشارژ (kW)	۱۲۸۵۰	۶۲۸۵
توان پیک شارژ (kW)	۶۶۵۰	۶۶۵۰

شکل ۲ وضعیت شارژ و دشارژ نیروگاه ذخیره انرژی را در حالت اول نشان می‌دهد. مشاهده می‌شود که وضعیت شارژ و دشارژ نیروگاه ذخیره انرژی در حالت دوم طبق شکل ۴ کاملاً با حالت اول متفاوت است. این ثابت می‌کند که علاوه بر تاثیر جدی محدودیت شارژ و دشارژ بر روی تابع هدف مسئله بر روی شارژ و دشارژ نیروگاه ذخیره انرژی هم تأثیر گذاشته است. در این شکل‌ها ناحیه منفی y نشان‌دهنده ناحیه شارژ و مثبت y نشان‌دهنده ناحیه دشارژ نیروگاه است. به همین ترتیب شکل‌های ۲ و ۴ نشان از وضعیت انرژی نیروگاه ذخیره انرژی در حالت اول و دوم است.



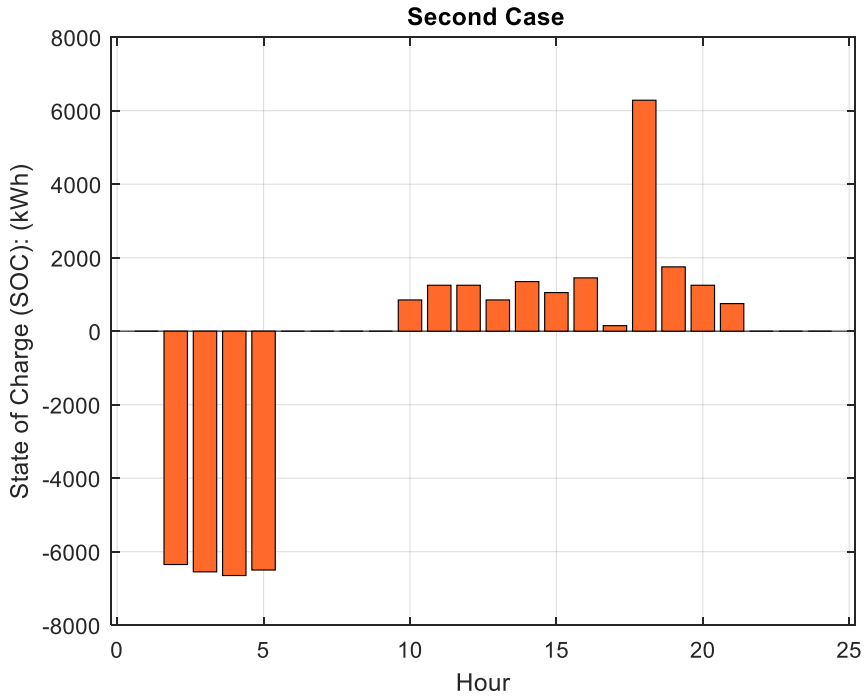
شکل ۲: توان شارژ و دشارژ باتری در حالت اول

Figure 2: Battery charging and discharging power in the first case



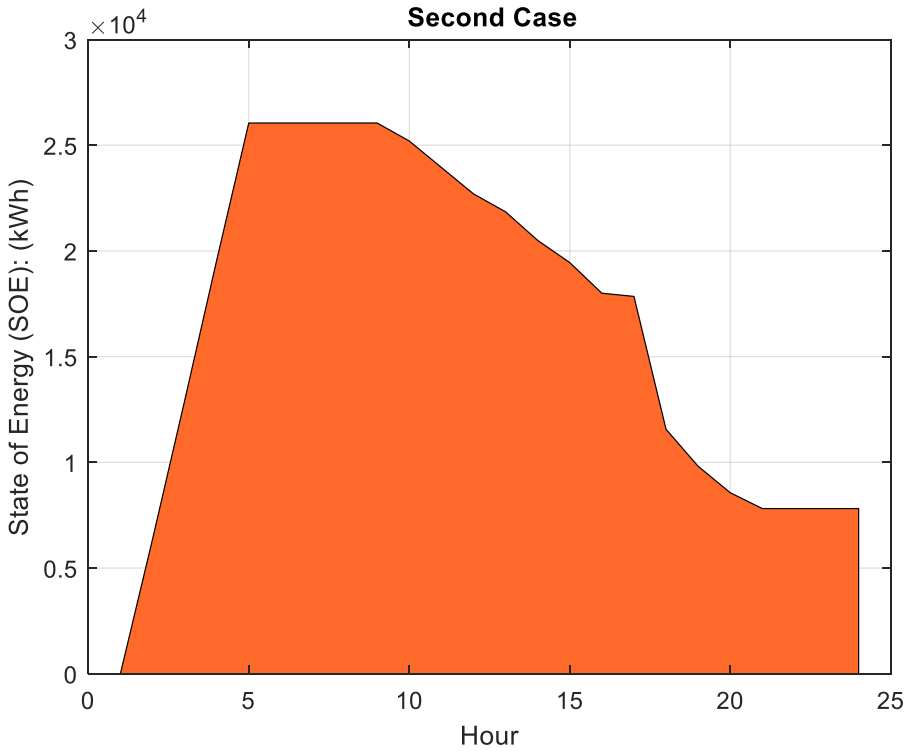
شکل ۳: وضعیت انرژی باتری در حالت اول

Figure 3: Battery energy status in the first case



شکل ۴: توان شارژ و دشارژ باتری در حالت دوم

Figure 4: Battery charging and discharging power in the second case



شکل ۵: وضعیت انرژی باتری در حالت دوم

Figure 5: Battery energy status in the second case

۴-۱- مقایسه

برای نشان دادن برتری روش پیشنهادی نسبت به دیگر روش‌های موجود، نتایج به دست آمده با سایر الگوریتم‌های تکاملی مقایسه شده است. در جدول ۳ مقایسه‌ای بین تابع هزینه به دست آمده در حالت اول و دوم نسبت به روش بهینه‌سازی ازدحام

ذرات[1] (PSO)، الگوریتم ژنتیک (GA) و بهینه‌سازی گرگ خاکستری[2](GWA) آمده است. با توجه به مقایسه‌ی نتایج جدول ۳، می‌توان مشاهده کرد که الگوریتم پیشنهادی در مسئله شارژ و دشارژ نیروگاه ذخیره انرژی نسبت به سایر روش‌های بهینه‌سازی (PSO، GA، GWA) عملکرد بهتری داشته است. در حالت اول، تابع هدف حالت اول با استفاده از الگوریتم پیشنهادی به مقدار ۶۲۸۹ دلار رسید، در حالی که روش PSO به ۵۳۴۹ دلار، روش GA به ۵۱۹۸ دلار و روش GWA به ۶۰۴۱ دلار رسیدند. این نشان می‌دهد که الگوریتم پیشنهادی قادر بوده است سود بیشتری را نسبت به سایر روش‌ها برای حالت اول به دست آورد. همچنین، در حالت دوم نیز الگوریتم پیشنهادی با تابع هدف به مقدار ۳۶۸۰ دلار بهترین نتیجه را کسب کرده است. در مقابل، روش PSO به ۲۷۸۰ دلار، روش GA به ۲۴۷۰ دلار و روش GWA به ۳۴۵۴ دلار رسیدند. این نشان می‌دهد که الگوریتم پیشنهادی در حالت دوم نیز قادر بوده است سود بیشتری را نسبت به روش‌های دیگر به دست آورد. بنابراین، می‌توان نتیجه گرفت که الگوریتم پیشنهادی در مسئله شارژ و دشارژ نیروگاه ذخیره انرژی بهترین عملکرد را از خود نشان داده است. نتایج بهبود یافته الگوریتم پیشنهادی می‌تواند به محققان و صنعتگران در ارتقای و بهینه‌سازی سیستم‌های ذخیره انرژی کمک کند و عملکرد آن‌ها را بهبود بخشد.

الگوریتم پیشنهادی در مقایسه با روش‌های PSO، GA و GWA در دو حالت مختلف بهترین عملکرد را از خود نشان داده است. در حالت اول با تابع هدف ۶۲۸۹ دلار بهترین نتیجه را ارائه داده و در حالت دوم نیز با تابع هدف ۳۶۸۰ دلار به بهترین نتیجه دست یافته است. این نتایج نشان می‌دهد که الگوریتم پیشنهادی توانسته است در بهبود عملکرد نسبت به روش‌های مقایسه شده موفق باشد. به ویژه، افزایش بهره‌وری و کاهش هزینه‌ها از جمله برتری‌های اصلی این الگوریتم است. در هر دو حالت، نتایج نشان می‌دهد که الگوریتم پیشنهادی به عنوان یک روش بهینه‌سازی کارآمد و قابل اعتماد در مسائل بهینه‌سازی عمل کرده و بهبود چشمگیری در سود و عملکرد مسائل مورد بررسی ایجاد کرده است.

جدول ۳: مقایسه الگوریتم پیشنهادی با سایر روش‌ها
Table 3: Comparison of the proposed algorithm with other methods

روش	الگوریتم پیشنهادی	PSO	GA	GWA
تابع هدف حالت اول (دلار)	۶۲۸۹	۵۳۴۹	۵۱۹۸	۶۰۴۱
تابع هدف حالت دوم (دلار)	۳۶۸۰	۲۷۸۰	۲۴۷۰	۳۴۵۴

۵-نتیجه‌گیری

در این مقاله، یک رویکرد اقتصادی برای مدیریت انرژی در پست با نیروگاه ذخیره انرژی با در نظر گرفتن گزینه‌های مدیریتی در مسئله ارائه شده است. برای این منظور مدل ارائه شده قادر به کنترل تعداد دفعات شارژ و دشارژ است. مدل پیشنهادی چندین مزیت دارد، از جمله انعطاف‌پذیری کافی برای تعداد شارژها و دشارژ مجاز. علاوه بر این، مدل پیشنهادی با استفاده از الگوریتم جستجوی فاخته حل شده است. نتایج نشان داد که در مسئله شارژ و دشارژ نیروگاه ذخیره انرژی الگوریتم پیشنهادی در این مسئله بهبود و ارتقای قابل توجهی نسبت به روش‌های بهینه‌سازی معمول مانند PSO، GA و GWA داشته است. تحلیل نتایج نشان می‌دهد که الگوریتم پیشنهادی باعث افزایش سود بیشتری می‌شود. در هر دو حالت اول و دوم، الگوریتم پیشنهادی بهترین نتیجه را ارائه کرده و تابع هدف را به مقدار بیشتری از سایر روش‌ها بهبود داده است. بنابراین، می‌توان نتیجه گرفت که الگوریتم پیشنهادی مناسب‌ترین روش بهینه‌سازی برای مسئله شارژ و دشارژ نیروگاه ذخیره انرژی است. این الگوریتم قابلیت افزایش سود و بهبود عملکرد سیستم‌های ذخیره انرژی را دارد و می‌تواند به محققان و صنعتگران در بهینه‌سازی و بهبود این سیستم‌ها کمک کند. در نتیجه، انتخاب الگوریتم پیشنهادی در مسئله شارژ و دشارژ نیروگاه ذخیره انرژی به عنوان یک روش بهینه‌سازی قابل اعتماد و کارآمد توصیه می‌شود و می‌تواند بهبود چشمگیری در سود و عملکرد این سیستم‌ها ایجاد کند. در نتیجه گیری، الگوریتم پیشنهادی نه تنها بهبود قابل توجهی در مسائل شارژ و دشارژ نیروگاه ذخیره انرژی ایجاد کرده است بلکه نتایج نشان می‌دهند که این الگوریتم به مقدار زیادی از روش‌های معمول بهینه‌سازی مانند PSO، GA و GWA برتری دارد. به عنوان مثال، الگوریتم پیشنهادی مقدار تابع هدف را به ۶۲۸۹ دلار ارتقاء داده است در حالی که بهترین روش موجود (PSO)

[1] Particle swarm optimization (PSO)
[2] Grey Wolf Algorithm (GWA)

مقدار ۵۳۴۹ دلار را داشته است. این نشان می‌دهد که الگوریتم پیشنهادی به حداقل ۱۷٪ برتری نسبت به PSO دارد. در کل، الگوریتم پیشنهادی از نظر عملکرد بهبود معناداری داشته و به عنوان روشی کارآمد و قابل اعتماد برای مسائل شارژ و دشارژ نیروگاه ذخیره انرژی توصیه می‌شود.

مراجع

[1] B. N. Silva, M. Khan and K. Han, "Towards sustainable smart cities: A review of trends, architectures, components, and open challenges in smart cities," *Sustainable Cities and Society*, vol. 38, pp. 697-713, 2018, doi: 10.1016/j.scs.2018.01.053.

[2] F. C. Robert, G. S. Sisodia and S. Gopalan, "A critical review on the utilization of storage and demand response for the implementation of renewable energy microgrids," *Sustainable cities and society*, vol. 40, pp. 735-745, 2018, doi: 10.1016/j.scs.2018.04.008.

[3] M. Motalleb, P. Siano and R. Ghorbani, "Networked stackelberg competition in a demand response market," *Applied energy*, vol. 239, pp. 680-691, 2019, doi: 10.1016/j.apenergy.2019.01.174.

[4] F. Keck, M. Lenzen, A. Vassallo and M. Li, "The impact of battery energy storage for renewable energy power grids in Australia," *Energy*, vol. 173, pp. 647-657, 2019, doi: 10.1016/j.energy.2019.02.053.

[5] S.-Y. Lee, I.-B. Lee and J. Han, "Design under uncertainty of carbon capture, utilization and storage infrastructure considering profit, environmental impact, and risk preference," *Applied Energy*, vol. 238, pp. 34-44, 2019, doi: 10.1016/j.apenergy.2019.01.058.

[6] X. Wen, Y. Yu, Z. Xu, J. Zhao and J. Li, "Optimal distributed energy storage investment scheme for distribution network accommodating high renewable penetration," *International Transactions on Electrical Energy Systems*, p. e12002, 2019, doi: 10.1002/2050-7038.12002.

[7] J. F. Carneiro, C. R. Matos and S. Van GESPel, "Opportunities for large-scale energy storage in geological formations in mainland Portugal," *Renewable and Sustainable Energy Reviews*, vol. 99, pp. 201-211, 2019, doi: 10.1016/j.rser.2018.09.036.

[8] M. Sedghi, A. Ahmadian and M. Aliakbar-Golkar, "Optimal storage planning in active distribution network considering uncertainty of wind power distributed generation," *IEEE Transactions on Power Systems*, vol. 31, no. 1, pp. 304-316, 2016, doi: 10.1109/TPWRS.2015.2404533.

[9] Y. Zheng *et al*., "Optimal operation of battery energy storage system considering distribution system uncertainty," *IEEE Transactions on Sustainable Energy*, vol. 9, no. 3, pp. 1051-1060, 2018, doi: 10.1109/TSTE.2017.2762364.

[10] M. Katsanevakis, R. A. Stewart and L. Junwei, "A novel voltage stability and quality index demonstrated on a low voltage distribution network with multifunctional energy storage systems," *Electric Power Systems Research*, vol. 171, pp. 264-282, 2019, doi: 10.1016/j.epsr.2019.01.043.

[11] B. Guo, M. Niu, X. Lai and L. Chen, "Application research on large-scale battery energy storage system under Global Energy Interconnection framework," *Global Energy Interconnection*, vol. 1, no. 1, pp. 79-86, 2018, doi: 10.14171/j.2096-5117.gei.2018.01.010.

[12] V. Mehra, R. Amatya and R. J. Ram, "Estimating the value of demand-side management in low-cost, solar micro-grids," *Energy*, vol. 163, pp. 74-87, 2018, doi: 10.1016/j.energy.2018.07.204.

[13] M. Daghi, M. Sedghi, A. Ahmadian and M. Aliakbar-Golkar, "Factor analysis based optimal storage planning in active distribution network considering different battery technologies," *Applied energy*, vol. 183, pp. 456-469, 2016. doi.org/10.1016/j.apenergy.2016.08.190

[14] H. Xing, H. Cheng, Y. Zhang and P. Zeng, "Active distribution network expansion planning integrating dispersed energy storage systems," *IET Generation, Transmission & Distribution*, vol. 10, no. 3, pp. 638-

644, 2016, doi: 10.1049/iet-gtd.2015.0411.

[15] A. Azizivahed *et al*., "Energy Management Strategy in Dynamic Distribution Network Reconfiguration considering Renewable Energy Resources and Storage," *IEEE Transactions on Sustainable Energy*, 2019, doi: 10.1109/TSTE.2019.2901429.

[16] Y. Gao, Q. Ai, M. Yousif and X. Wang, "Source-load-storage consistency collaborative optimization control of flexible DC distribution network considering multi-energy complementarity," *International Journal of Electrical Power & Energy Systems*, vol. 107, pp. 273-281, 2019, doi: 10.1016/j.ijepes.2018.11.033.

[17] X. Zhang and A. J. Conejo, "Coordinated investment in transmission and storage systems representing long- and short-term uncertainty," *IEEE Transactions on Power Systems*, vol. 33, no. 6, pp. 7143-7151, 2018, doi: 10.1109/TPWRS.2018.2842045.

[18] M. Motalleb and R. Ghorbani, "Non-cooperative game-theoretic model of demand response aggregator competition for selling stored energy in storage devices," *Applied Energy*, vol. 202, pp. 581-596, 2017, doi: 10.1016/j.apenergy.2017.05.186.

[19] A. Ahmadian, M. Sedghi, H. Fgaier, B. Mohammadi-ivatloo, M. A. Golkar and A. Elkamel, "PEVs Data Mining Based on Factor Analysis Method for Energy Storage and DG Planning in Active Distribution Network: Introducing S2S Effect," *Energy*, 2019, doi: 10.1016/j.energy.2019.03.097.

[20] N. Yan, B. Zhang, W. Li and S. Ma, "Hybrid Energy Storage Capacity Allocation Method for Active Distribution Network Considering Demand Side Response," *IEEE Transactions on Applied Superconductivity*, vol. 29, no. 2, pp. 1-4, 2019, doi: 10.1109/TASC.2018.2889860.

[21] L. A. Wong, V. K. Ramachandaramurthy, P. Taylor, J. Ekanayake, S. L. Walker and S. Padmanaban, "Review on the optimal placement, sizing and control of an energy storage system in the distribution network," *Journal of Energy Storage*, vol. 21, pp. 489-504, 2019, doi: 10.1016/j.est.2018.12.015.

[22] J. Li, Z. Xu, J. Zhao, S. Chai, Y. Yu and X. Xu, "Model Predictive Control Based Ramp Minimization in Active Distribution Network Using Energy Storage Systems," *Electric Power Components and Systems*, pp. 1-11, 2019, doi: 10.1080/15325008.2019.1577929.

[23] L. Bai, T. Jiang, F. Li, H. Chen and X. Li, "Distributed energy storage planning in soft open point based active distribution networks incorporating network reconfiguration and DG reactive power capability," *Applied Energy*, vol. 210, pp. 1082-1091, 2018, doi: 10.1016/j.apenergy.2017.07.004.

[24] J. Lizana, D. Friedrich, R. Renaldi and R. Chacartegui, "Energy flexible building through smart demand-side management and latent heat storage," *Applied energy*, vol. 230, pp. 471-485, 2018, doi: 10.1016/j.apenergy.2018.08.065.

[25] N. L. Rajakovic and V. M. Shiljkut, "Long-term forecasting of annual peak load considering effects of demand-side programs," *Journal of Modern Power Systems and Clean Energy*, vol. 6, no. 1, pp. 145-157, 2018, doi: 10.1007/s40565-017-0328-6.

[26] T. M. Gür, "Review of electrical energy storage technologies, materials and systems: challenges and prospects for large-scale grid storage," *Energy & Environmental Science*, vol. 11, no. 10, pp. 2696-2767, 2018, doi: 10.1039/C8EE01419A.

[27] N. Jayasekara, M. A. Masoum and P. J. Wolfs, "Optimal operation of distributed energy storage systems to improve distribution network load and generation hosting capability," *IEEE Transactions on Sustainable Energy*, vol. 7, no. 1, pp. 250-261, 2016, doi: 10.1109/TSTE.2015.2487360.

[28] K. Bangash, M. Farrag and A. Osman, "Investigation of Energy Storage Batteries in Stability Enforcement of Low Inertia Active Distribution Network," *Technology and Economics of Smart Grids and Sustainable Energy*, vol. 4, no. 1, p. 1, 2019, doi: 10.1007/s40866-018-0059-4.

[29] G. Shaoyun, X. Zhengyang, L. Hong, L. Mengyi, Y. Zan and Z. Chenghao, "Coordinated Voltage Control for Active Distribution Network Considering the Impact of Energy Storage," *Energy Procedia*, vol. 158, pp.

1122-1127, 2019, doi: 10.1016/j.egypro.2019.01.277.

[30] F. A. Chacra, P. Bastard, G. Fleury and R. Clavreul, "Impact of energy storage costs on economical performance in a distribution substation," *IEEE Transactions on Power Systems*, vol. 20, no. 2, pp. 684-691, 2005, doi: 10.1109/TPWRS.2005.846091.

[31] X. Li and S. Wang, "Energy management and operational control methods for grid battery energy storage systems," in *CSEE Journal of Power and Energy Systems*, vol. 7, no. 5, pp. 1026-1040, Sept. 2021, doi: 10.17775/CSEEJPES.2019.00160.

[32] I. Alcaide-Godinez, F. Bai, T. K. Saha and R. Memisevic, "Contingency Reserve Evaluation for Fast Frequency Response of Multiple Battery Energy Storage Systems in a Large-scale Power Grid," in *CSEE Journal of Power and Energy Systems*, vol. 9, no. 3, pp. 873-883, May 2023, doi: 10.17775/CSEEJPES.2022.01050.

[33] N. Pang, Q. Meng and M. Nan, "Multi-Criteria Evaluation and Selection of Renewable Energy Battery Energy Storage System-A Case Study of Tibet, China," in *IEEE Access*, vol. 9, pp. 119857-119870, 2021, doi: 10.1109/ACCESS.2021.3107192.

[34] C. O. Pereira, R. Torquato, W. Freitas and H. Ding, "Wide-Scale Assessment of the Payback of a Battery Energy Storage System Connected to MV Customers," in *IEEE Transactions on Sustainable Energy*, vol. 14, no. 3, pp. 1909-1912, July 2023, doi: 10.1109/TSTE.2023.3235213.

[35] S. Li, C. Ye, Y. Ding, Y. Song and M. Bao, "Reliability Assessment of Renewable Power Systems Considering Thermally-Induced Incidents of Large-Scale Battery Energy Storage," in *IEEE Transactions on Power Systems*, vol. 38, no. 4, pp. 3924-3938, July 2023, doi: 10.1109/TPWRS.2022.3200952.

[36] E. Azarkish and M. Esmaelbeag, "Using Genetic Optimization Algorithm in Coordination of Capacitor Banks, Transformer Tap Changers and Storage Devices in the Presence of Solar Systems," *Journal of Southern Communication Engineering*, vol. 11, no. 42, pp. 77-95, 2021 (in persian).

[37] M. Parham and S. Mortazavi, "Optimization of random scheduling combining wind farm and storage pumps in the electricity market," *Journal of Southern Communication Engineering*, vol. 9, no. 34, 2019 (in persian).

[38] S. Naseri, M. Esmaelbeag and M. Najafi, "Economic Dispatch Problem for Minimizing Cost and Improving Reliability Consifering Uncertainty," *Journal of Southern Communication Engineering*, vol. 11, no. 41, pp. 77-91, 2021 (in persian).

[39] M. khadem and M. Esmaelbeag, "Optimize the Number, Locating, and Sizing of D-STATCOM and DGs Using GA Algorithm," *Journal of Southern Communication Engineering*, vol. 11, no. 42, pp. 29-42, 2021 (in persian).

[40] M. Karami, T. Niknam and H. Mohammadi Kamerva, "Optimal placement of distributed generation sources in radial distribution network with the aim of reducing losses and improving voltage profiles using genetic algorithm," *Journal of Southern Communication Engineering*, vol. 9, no. 34, 2020 (in persian).

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0