روش سوئیچ‌زنی خازنی جدید با حساسیت کم به تغییرات ولتاژ حالت مشترک برای مبدل‌های آنالوگ به دیجیتال تقریب متوالی تفاضلی

الهام خورشیدی[۱]، عبدالرسول قاسمی[۲*]

۱: کارشناسی ارشد گروه برق الکترونیک، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران، *e.khorshidi46@gmail.com*

۲*: استادیار گروه برق، دانشگاه آزاد اسلامی، بوشهر، ایران، *rasul_ghasemi@yahoo.com*

تاریخ دریافت: ۱۳۹۸/۰۴/۱۳ تاریخ پذیرش: ۱۳۹۹/۱۰/۱۲

چکیده

در این مقاله یک مبدل آنالوگ به دیجیتال تقریب متوالی تمام تفاضلی ۱۰ بیت ۵۰۰KS/s با روش سوئیچ‌زنی پیشنهادی با توان مصرفی کم ارائه شده‌است. در این مبدل، انرژی مصرفی زیر مبدل دیجیتال به آنالوگ نسبت به ساختار متعارف ۸۶٪ و ساختار یکنوا ۲۴,۶۵٪ کاهش یافته‌است. به دلیل عملکرد سوئیچ‌زنی مکمل آرایه خازنی نیم مدار بالایی و پایینی، باعث شده تغییرات ولتاژ حالت مشترک ورودی‌های مقایسه‌کننده از گام دوم به بعد ثابت شود. شبیه سازی در تکنولوژی ۰,۱۸ µm CMOS و با منبع تغذیه ۱,۸ ولت و با نرخ نمونه برداری ۵۰۰KS/s انجام شده‌است و به یک ENOB ، ۹,۸۵ Bits و توان مصرفی ۱۷,۶۹ µW، در نتیجه یک FOM، fJ/C-s ۴۳,۵ می رسد.

واژه های کلیدی: مبدل آنالوگ به دیجیتال تقریب متوالی، روش سوئیچ زنی یکنوا، روش سوئیچ زنی switchback، تغییرات ولتاژ حالت مشترک

۱- مقدمه

مبدل‌های آنالوگ به دیجیتال تقریب متوالی، برای کاربردهای با دقت متوسط بالا (۸-۱۲ bit) و نرخ‌های نمونه‌برداری پایین تا متوسط (۱k-۲۰۰MS/s) رواج یافته است که شامل کاربردهای مخابراتی و پزشکی می‌باشد[۱]. سیگنال‌های حس شده معمولا توسط مبدل‌های آنالوگ به دیجیتال با دقت‌های متوسط (۸-۱۲ bit) و نرخ نمونه‌برداری (۱-۱۰۰۰kS/s) به کد دیجیتال تبدیل می‌شوند. در میان معماری‌های مختلف مبدل آنالوگ به دیجیتال، مبدل‌های آنالوگ به دیجیتال تقریب متوالی بازدهی توان بهتری دارند. علاوه بر این در میان همه مبدل‌ها، مبدل‌های آنالوگ به دیجیتال تقریب متوالی بیشترین بهره را از پیشرفت تکنولوژی برده است، زیرا مبدل‌های آنالوگ به دیجیتال تقریب متوالی عمدتا متشکل از مدارهای دیجیتالی هستند و همچنین در این مبدل‌ها از آپ امپ استفاده نمی‌شود. به عبارت دیگر، مبدل‌های آنالوگ به دیجیتال تقریب متوالی به بهره بالا و پهنای باند بالای آپ امپ نیاز ندارند، که توان استاتیکی بزرگی را مصرف کنند و اثر کانال کوتاه و ولتاژ تغذیه کم در تکنولوژی‌های پیشرفته را تحمل نمی‌کنند. به این دلایل پژوهش‌های بسیاری در مورد مبدل‌های آنالوگ به دیجیتال تقریب متوالی انجام شده است[۲].

توان مصرفی در مبدل‌های آنالوگ به دیجیتال تقریب متوالی به طور عمده در زیر مبدل دیجیتال به آنالوگ[۱]، مقایسه‌گرها و مدارهای دیجیتال کنترلی مصرف می‌شوند. بسیاری از تحقیقات در کاهش توان سوئیچ زنی زیر مبدل دیجیتال به آنالوگ انجام شده است. در

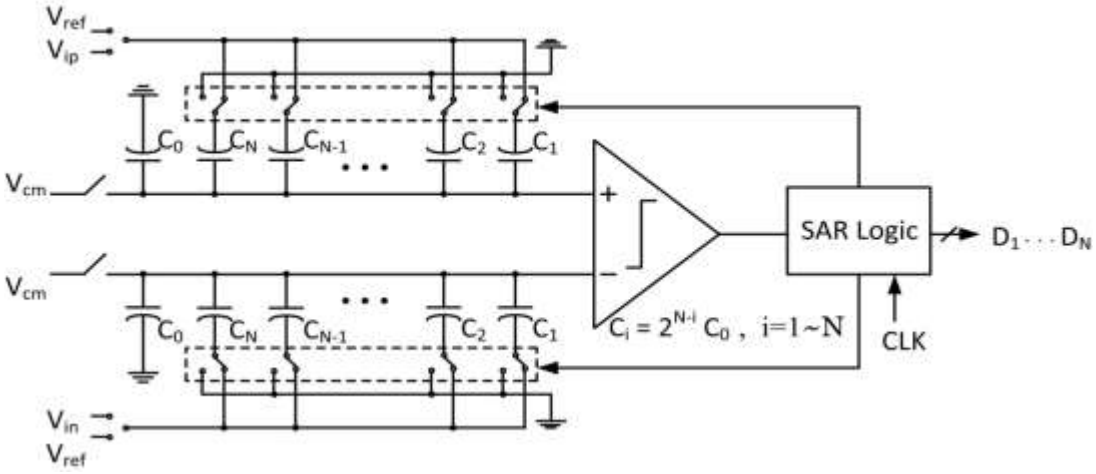
[1] DAC (Digital to Analog Converter)

مقایسه با مبدل‌های آنالوگ به دیجیتال با روش سوئیچ‌زنی متعارف[۲]، تکنیک‌های سوئیچ‌زنی energy-saving، یکنوا[۳]، V_{cm}-based و partial floating توان مصرفی زیر مبدل دیجیتال به آنالوگ را به ترتیب ۶۹٪ ، ۸۱٪ ، ۹۰٪ و ۹۴٪ کاهش می‌دهند. اگرچه توالی سوئیچ زنیV_{cm}-based و partial floating انرژی سوئیچ زنی را بیش از ۹۰٪ کاهش می‌دهند، اما آنها به منطق کنترل دیجیتال پیچیده‌ای نیاز دارند[۳]. با این حال، در طول فرآیند تبدیل، ولتاژ حالت مشترک از ترمینال ورودی مقایسه‌گر از V_{cm} به V_{refn} تغییر می‌کند و موجب آفست دینامیکی می‌شود، خازن پارازیتی مقایسه‌گر را تغییر می‌دهد و خطی بودن زیر مبدل دیجیتال به آنالوگ را تحت تاثیر قرار می‌دهد[۴].

ادامه این مقاله به شرح زیر است. بخش دوم مبدل تقریب متوالی تمام تفاضلی متعارف شرح داده می‌شود. بخش سوم به معرفی و معماری سوئیچینگ پیشنهادی پرداخته شده و مدار دیجیتال کنترلی و مقایسه‌گر دینامیکی ارائه شده است. بخش چهارم نتایج اندازه گیری را نشان می‌دهد و در انتها نتیجه‌گیری در بخش پنجم گفته شده است.

۲- معرفی مبدل تقریب متوالی تمام تفاضلی متعارف

ساختار مبدل تقریب متوالی تمام تفاضلی متعارف با آرایه خازنی دودویی در شکل۱ نشان داده شده است. در این معماری آرایه خازنی هم به عنوان مدار نمونه بردار و هم به عنوان زیر مبدل دیجیتال به آنالوگ عمل می‌کند. بنابراین، این ساختار به یک مدار نمونه‌بردار نیاز ندارد. زیرمبدل دیجیتال به آنالوگ آرایه خازنی این ساختار از دو آرایه خازنی تشکیل شده است.

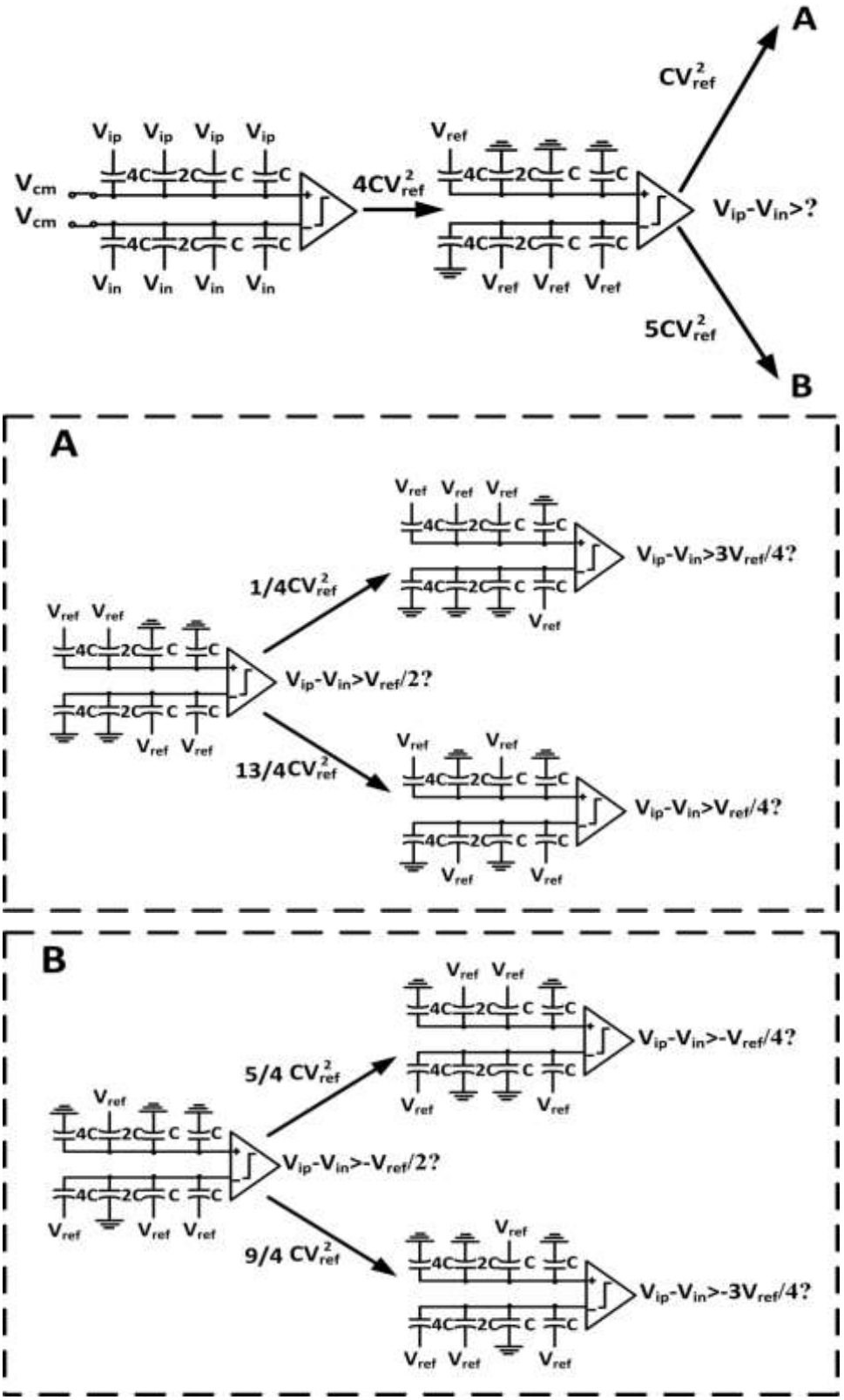


شکل۱: ساختار مبدل تقریب متوالی تمام تفاضلی متعارف[۵]

شکل۲ چگونگی سوئیچ زنی زیرمبدل آرایه خازنی این ساختار و همچنین انرژی سوئیچ زنی در هر گذر به بالا یا پایین را به تصویر کشیده است. عملکرد این مبدل به این صورت است که در فاز نمونه برداری، ورودی‌های مقایسه‌کننده به ولتاژ حالت مشترک ورودی (V_{cm}) متصل شده و سیگنال ورودی V_{ip} روی آرایه خازنی مربوط به نیم مدار بالایی و سیگنال ورودی V_{in} روی نیم مدار پایینی نمونه‌برداری می‌شود. با قطع سوئیچ‌های نمونه‌برداری، در پالس ساعت اول فاز تبدیل، C_1 مربوط به آرایه خازنی نیم مدار بالایی به V_{ref} وصل شده و سایر خازن‌های این نیم‌مدار ($C_0,C_N,...,C_1$) به زمین متصل می‌شوند. سوئیچ‌زنی خازن‌ها در نیم مدار پایین برعکس نیم مدار بالایی می‌باشد. به عبارتی دیگر، C_1 مربوط به آرایه خازنی نیم مدار پایینی به زمین وصل شده و سایر خازن‌های این نیم مدار به V_{ref}متصل می‌شوند. سپس V_{ip} با V_{in} مقایسه شده و مقدار پرارزشترین بیت یعنی D_1 تعیین می‌شود. در پالس ساعت دوم، C_2 در آرایه خازنی نیم مدار بالایی به V_{ref} وصل شده و در طرف دیگر به زمین متصل می‌شود و بسته به مقدار D_1، یا C_1 در آرایه خازنی نیم مدار بالایی و نیم‌مدار پایینی به ترتیب به V_{ref} و زمین متصل باقی می‌مانند (اگر"1"=D_1) و یا آنکه C_1 در آرایه خازنی نیم مدار بالایی به زمین متصل شده و در طرف دیگر نیز به V_{ref} وصل می‌شود (اگر"0"=D_1). درنتیجه V_{in}-V_{ip} به ترتیب با $0.5V_{ref}$ و یا -$0.5V_{ref}$ مقایسه خواهد شد. براساس نتیجه مقایسه، مقدار دومین بیت پر ارزش D_2 نیز مشخص می‌شود. این فرایند تکرار می‌شود تا

[2] conventional
[3] monotonic

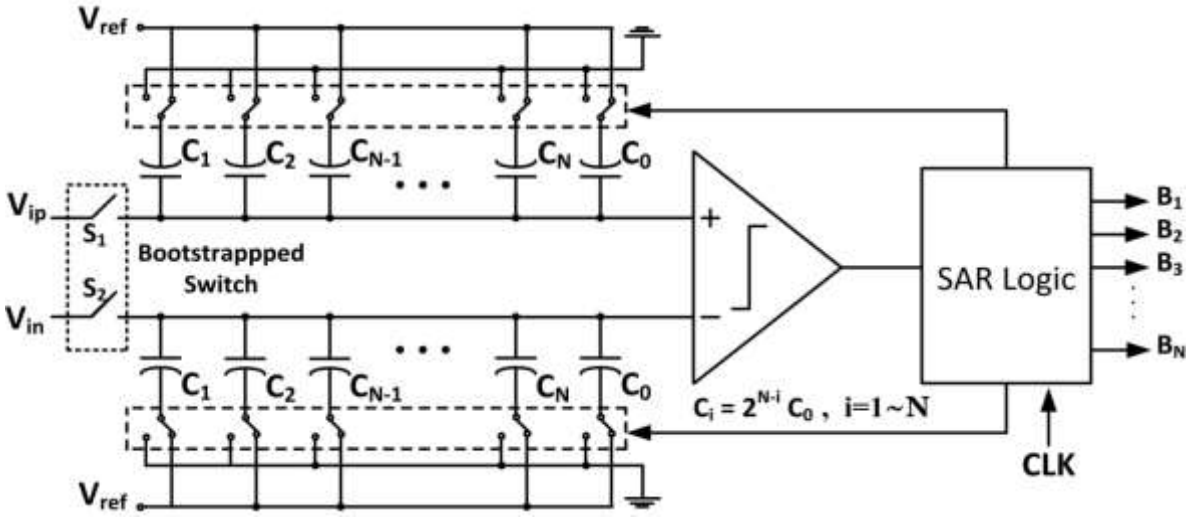
آنجا که همه N بیت خروجی تعیین شوند. به دلیل عملکرد سوئیچ زنی مکمل آرایه خازنی نیم مدار بالایی و پایینی، مقدار ولتاژ حالت مشترک ورودی‌های مقایسه‌کننده ثابت و برابر V_{cm} می‌باشد [۵].



شکل۲: چگونگی سوئیچ زنی زیر مبدل آرایه خازنی در مبدل تقریب متوالی تمام تفاضلی متعارف ۳ بیتی[۵]

۳- معرفی سوئیچینگ پیشنهادی

شکل۳ مبدل تقریب متوالی تمام تفاضلی با روش سوئیچ زنی پیشنهادی برای کاهش توان مصرفی زیرمبدل آرایه خازنی را نشان می‌دهد. بلوک‌های پایه‌ای این مدار شامل مقایسه‌گر، مدار نمونه بردار، شبکه خازنی و رجیستر تقریب متوالی می‌باشد که در ادامه به بررسی ساختار آنها می‌پردازیم. از آنجایی که ساختار کاملا تفاضلی است، عملکرد دو قسمت بالا و پایین مکمل یکدیگر هستند که برای سادگی در این قسمت تنها قسمت مثبت مورد بررسی قرار می‌گیرد.

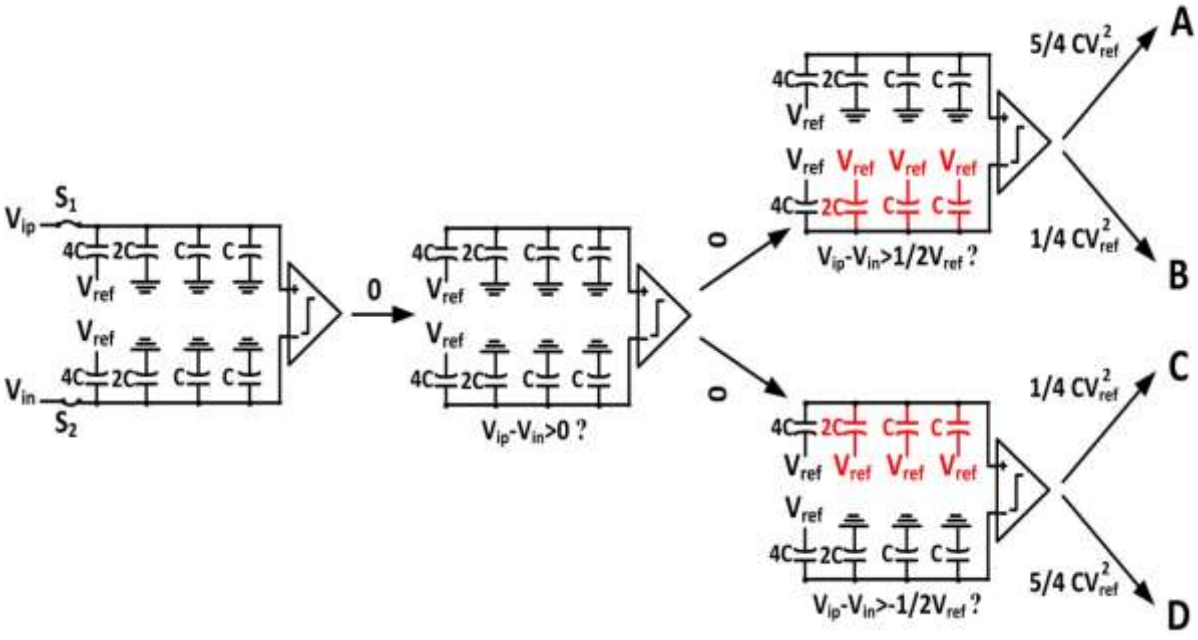


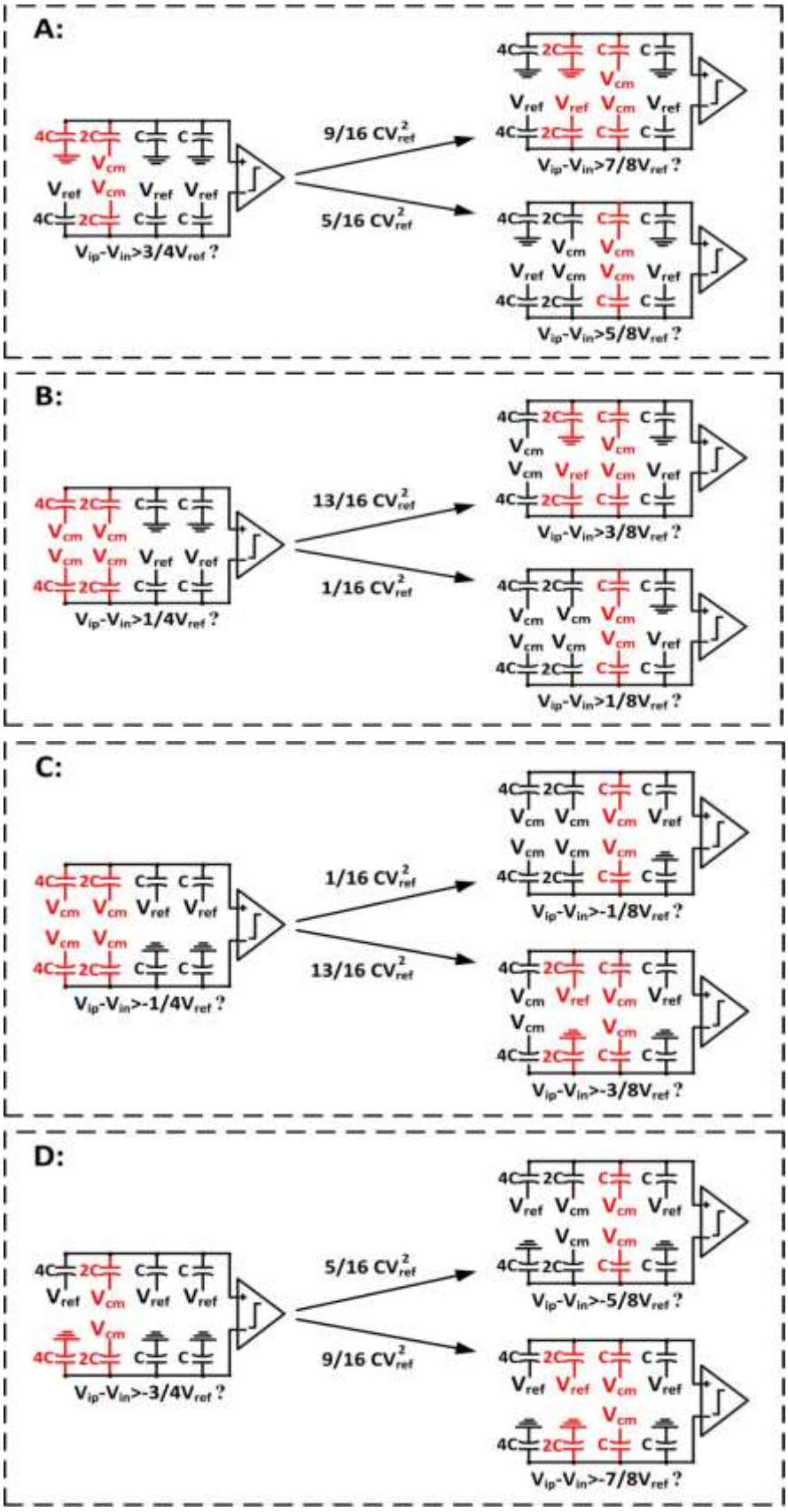
شکل۳: ساختار مبدل تقریب متوالی تمام تفاضلی پیشنهادی

مزیت اصلی این ساختار در نصف بودن مقدار کل خازن مورد نیاز در آن در مقایسه با ساختار تمام تفاضلی دودویی متعارف می‌باشد. در این مبدل تقریب متوالی تمام تفاضلی، اندازه خازن‌های آرایه خازنی که به صورت دودویی وزن‌دهی شده‌اند از رابطه زیر محاسبه می‌شود:

$$C_i = 2^{N-i-1}C_0 \quad , \quad i=1 ,\ldots, N-1 \qquad (۱)$$

شکل۴ چگونگی سوئیچ زنی زیرمبدل آرایه خازنی مبدل پیشنهادی و همچنین انرژی سوئیچ زنی در هر گذر به بالا یا پایین را به تصویر کشیده است.





شکل۴: چگونگی سوئیچ زنی زیر مبدل آرایه خازنی در مبدل تقریب متوالی تمام تفاضلی ۴ بیتی پیشنهادی

عملکرد این مدار به این صورت است که در فاز نمونه‌برداری سیگنال آنالوگ ورودی از طریق سوئیچ‌های S_1 و S_2 روی هر دو آرایه خازنی نمونه‌برداری می‌شود. صفحه پایین بزرگترین خازن (C_9) به V_{ref} سوئیچ می‌شود و در همان زمان بقیه خازن‌ها به زمین سوئیچ می‌شوند. سپس در پالس ساعت اول فاز تبدیل، سوئیچ‌های نمونه‌بردار S_1 و S_2 قطع می‌شوند و سیگنال‌های V_{in} و V_{ip} نمونه‌برداری شده روی دو آرایه خازنی با یکدیگر مقایسه می‌شوند. مقایسه‌کننده به طور مستقیم اولین مقایسه را بدون سوئیچ‌زنی هیچ خازنی انجام می‌دهد و در نتیجه مقدار پرارزشترین بیت دیجیتال (B_1) تعیین خواهد شد. در پالس ساعت دوم فاز تبدیل، خازن های C_0 تا C_8 در آرایه خازنی نیم مدار بالایی یا نیم مدار پایینی به V_{ref} سوئیچ می‌شود و V_{in} با V_{ip}-V_{ref}/2 مقایسه می‌شود (اگر B_1="1") یا V_{ip} با V_{in}-V_{ref}/2 مقایسه می‌شود (اگر B_1="0") در نتیجه، دومین بیت پر ارزش (B_2) نیز تعیین می‌شود. در پالس ساعت سوم فاز تبدیل صفحه پایین خازن C_8 در آرایه خازنی نیم مدار بالایی و نیم مدار پایینی به V_{cm} متصل می‌شوند و اگر (B_1="1", B_2="0") یا (B_1="0", B_2="1") صفحه پایین خازن C_9 نیز در آرایه خازنی نیم مدار بالایی و نیم مدار پایینی به می‌شود و V_{ip}- V_{cm} متصل می‌شوند و V_{in}+V_{ref}/4 با V_{ip}-V_{ref}/4 یا V_{ip}+V_{ref}/4 با V_{in}-V_{ref}/4 مقایسه می‌شود و اگر (B_1="1", B_2="1") خازن C_9 در آرایه خازنی نیم مدار بالایی مقایسه می‌شود و اگر (B_1="0", B_2="0") خازن C_9 در آرایه خازنی نیم مدار پایینی به زمین متصل می‌شود و V_{in}-3V_{ref}/4 با V_{ip}+3V_{ref}/4 مقایسه می‌شود. در نتیجه، سومین بیت پر ارزش (B_3) نیز تعیین می‌شود. در پالس ساعت چهارم فاز تبدیل صفحه پایین خازن C_7 در آرایه خازنی نیم مدار بالایی و نیم مدار پایینی به V_{cm} متصل می‌شوند و اگر ,"B_1="1" (B_2="1", B_3="0") یا (B_1="1", B_2="0", B_3="0") یا (B_1="0", B_2="1", B_3="1") یا ,"(B_1="0", B_2="0", B_3="1") در نتیجه V_{in}+5V_{ref}/8 با V_{ip}-5V_{ref}/8 یا V_{in}+V_{ref}/8 با V_{ip}-V_{ref}/8 یا V_{ip}+V_{ref}/8 با V_{in}-V_{ref}/8 یا V_{ip}+5V_{ref}/8 با V_{in}-5V_{ref}/8 مقایسه می‌شود و اگر (B_1="1", B_2="1", B_3="1") یا (B_1="1", B_2="0", B_3="1") خازن C_8 در آرایه خازنی نیم مدار بالایی به زمین متصل می‌شود و در آرایه خازنی نیم مدار پایینی به V_{ref} متصل می‌شود و V_{in}+7V_{ref}/8 با V_{ip}-7V_{ref}/8 یا V_{in}+3V_{ref}/8 با V_{ip}-3V_{ref}/8 مقایسه می‌شود و اگر (B_1="0", B_2="1", B_3="0") یا ,"(B_1="0", B_2="0", B_3="0") خازن C_8 در آرایه خازنی نیم مدار پایینی به زمین متصل می‌شود و در آرایه خازنی نیم مدار بالایی به V_{ref} متصل می‌شود و V_{ip}+3V_{ref}/8 با V_{in}-3V_{ref}/8 یا V_{ip}+7V_{ref}/8 با V_{in}-7V_{ref}/8 مقایسه می‌شود. در نتیجه، چهارمین بیت پر ارزش (B_4) نیز تعیین می‌شود. این فرایند تکرار می‌شود تا آنجا که همه N بیت خروجی تعیین شوند.

برای محاسبه توان مصرفی ساختار آرایه خازنی در مبدل تقریب متوالی پیشنهادی، ابتدا مقدار انرژی سوئیچ زنی کشیده شده از منبع V_{ref} برای آرایه خازنی نیم مدار بالا و پایین را محاسبه می‌کنیم و سپس با جمع آن‌ها مقدار کل توان مصرفی در هر گذر سوئیچ زنی تعیین می‌شود. در این ساختار توان مصرفی در پالس ساعت اول فاز تبدیل (بعد از فاز نمونه برداری) مساوی با صفر می‌باشد، به عبارتی E_{p1}=E_{n1}=0 است. E_{p1} و E_{n1} به ترتیب نشان دهنده‌ی انرژی مصرفی زیرمبدل آرایه خازنی نیم مدار بالایی و نیم مدار پایینی در پالس ساعت اول فاز تبدیل می‌باشند. در صورتی که ساختار متعارف برای تعیین اولین بیت پر ارزش (B_1) مقدار $5CV_{ref}^2$ انرژی مصرف می‌کند.

مقدار انرژی کشیده شده از منبع V_{ref}، ناشی از سوئیچ‌زنی آرایه خازنی، در هر پالس ساعت فاز تبدیل، به صورت زیر محاسبه می‌شود:

$$E_{p2} = 0 \ , \ E_{n2} = 0 \ \rightarrow \ E_2 = E_{p2} + E_{n2} = 0 \qquad (۲)$$

$$E_{p3} = C_3 \frac{V_{ref}}{2}\left[\left(\frac{V_{ref}}{2} - \left(-\frac{3V_{ref}}{8}\right)\right) - 0\right] = \frac{7}{8}CV_{ref}^2$$

$$E_{n3} = (C_1 + C_2 + C_4)V_{ref}\left[\left(V_{ref} - \frac{3V_{ref}}{8}\right) - \left(V_{ref} - \frac{V_{ref}}{2}\right)\right] + C_3 \frac{V_{ref}}{2}\left[\left(\frac{V_{ref}}{2} - \frac{3V_{ref}}{8}\right) - \left(V_{ref} - \frac{V_{ref}}{2}\right)\right]$$
$$= \frac{3}{8}CV_{ref}^2$$

$$E_3 = E_{p3} + E_{n3} = \frac{5}{4}CV_{ref}^2 \qquad (۳)$$

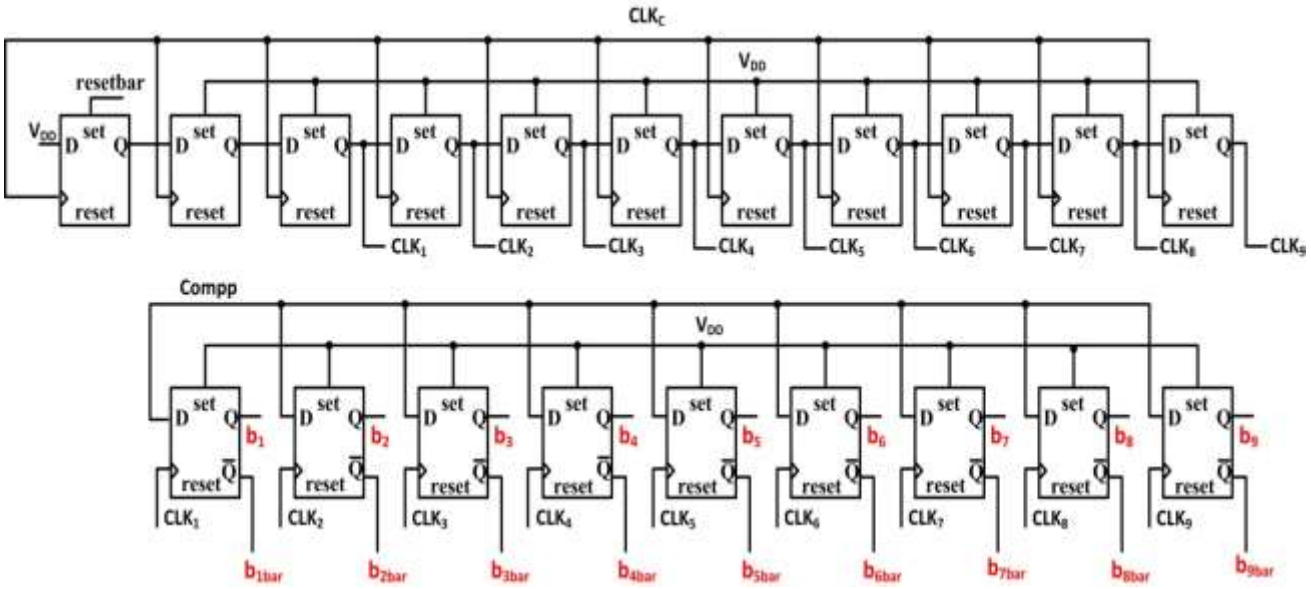
به همین روش بقیه توان‌ها نیز محاسبه می‌شوند.

۳-۱- توضیحات طراحی

طراحی دو بلوک مهم برای مبدل آنالوگ به دیجیتال پیشنهادی، یعنی مقایسه‌کننده و مدار دیجیتال کنترلی در زیر بخش زیر بحث شده است.

۳-۱-۱- مدار دیجیتال کنترلی

برای تولید پالس‌های ساعت مورد نیاز و سوئیچ خازن‌ها نیاز به یک مدار شیفت رجیستر می‌باشد که نام گذاری مبدل تقریب متوالی نیز از این قسمت مدار گرفته شده است. عملکرد این مدار که در شکل۵ داده شده است بدین ترتیب است که در فاز نمونه‌برداری با اعمال پالس نمونه‌برداری به پایه‌های set وreset فلیپ‌فلاپ‌ها، تمام خروجی‌های فلیپ‌فلاپ‌ها به "0" باز نشانی می‌شوند، به غیر از اولین فلیپ‌فلاپ سمت چپ رجیستر بالایی که به "1" باز نشانی می‌شود. در فاز تبدیل، با اولین لبه بالارونده پالس ساعت، خروجی دومین فلیپ‌فلاپ که سیگنال ورودی آن در پالس ساعت قبلی "1" بوده، "1" می‌شود، از آنجا که ورودی اولین فلیپ فلاپ یک است خروجی آن یک و تا آخر سیکل بدون تغییر باقی می‌ماند. در لبه‌های بالارونده پالس ساعت بعدی، این عمل برای فلیپ‌فلاپ‌های بعدی تکرار می‌شود. به عبارتی، این فلیپ‌فلاپ‌ها شبیه یک شیفت رجیستر عمل می‌کنند که در هر لحظه فقط خروجی یکی از آن‌ها "1" است و با هر لبه بالارونده پالس ساعت نیز یکی به جلو حرکت می‌کند و پالس‌های ساعت 1 تا 9 مورد نیاز مدار زیر مبدل آرایه خازنی را تولید می‌کنند. رجیستر پایینی نیز برای ذخیره کردن نتیجه مقایسه‌های مقایسه‌کننده و نگهداری بیت‌های دیجیتال خروجی مورد استفاده قرار می‌گیرد. مقایسه‌گر دینامیکی سیگنال comp را تولید می کند و با یک شدن اولین پالس ساعت اولین بیت ما تولید می‌شود. به پیرو از این دنباله، رجیستر تقریب متوالی یک تبدیل را از طریق N پالس ساعت به طور کامل انجام می‌دهد و نه بیت را تولید می‌کند.

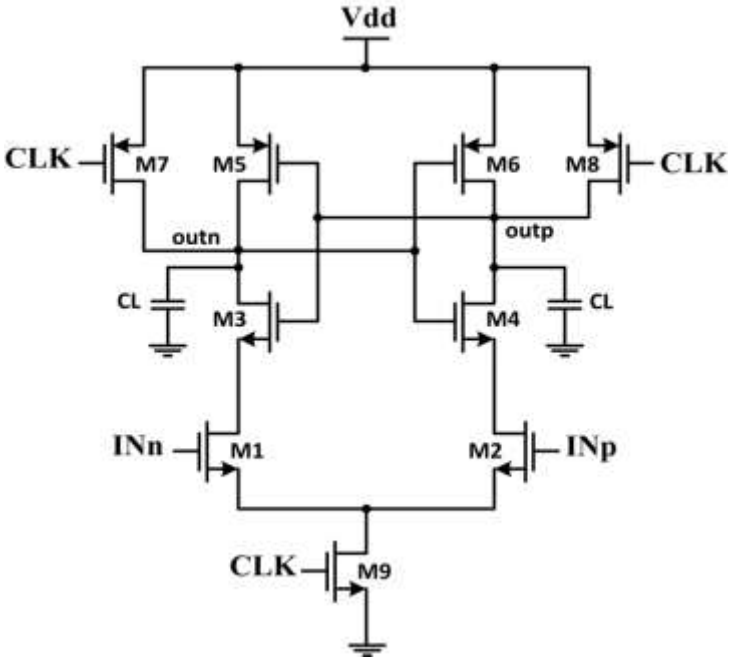


شکل۵: شماتیک مدار کنترل دیجیتال

۳-۱-۲- مقایسه‌گر دینامیکی

شکل۶ ساختار مقایسه‌گر و جدول۱ اندازه W/L ترانزیستورهای آن را نشان می‌دهد. نحوه عملکرد این مقایسه‌گر بدین صورت است که زمانیکه پالس ساعت صفر است، هر دو خروجی out_p و out_n توسط ترانزیستورهای M_7-M_8 تا V_{dd} شارژ می‌شوند. ترانزیستور M_9 خاموش بوده و از عبور جریان استاتیک در این فاز جلوگیری می‌کند. با یک شدن پالس ساعت، مقایسه شروع می‌شود و سوئیچ‌های ریست (M_7/M_8) خاموش و ترانزیستور M_9 روشن می‌شود، جریان در جفت‌های تفاضلی شروع به جاری شدن می‌کند. M_3/M_5 و M_4/M_6 جفت متقاطع مبدل را تشکیل می‌دهند.

مسیری که جریان بیشتری را دریافت می‌کند خروجی را سریعتر تخلیه می‌کند. بنابراین دو خروجی outp و outn خازن خروجی را با نرخ نابرابر به دلیل ولتاژهای ورودی متفاوت تخلیه می‌کنند. هنگامی که یکی از گره‌های خروجی پایین‌تر از V_{THN} باشد، NMOS متصل به گیت مربوطه (M_3 یا M_4) خاموش می‌شود و اجازه می‌دهد تا V_{DD} خازن خروجی خود را (که متصل به ترانزیستور مربوطه با ورودی کمتر) به طور کامل شارژ کند. بعد از اینکه بازتولید کامل شد، یک خروجی V_{DD} و دیگری زمین می‌شود. در این وضعیت، جریانی وجود ندارد. بنابراین، مقایسه‌گر تنها در طول بازتولید انرژی مصرف می‌کند.



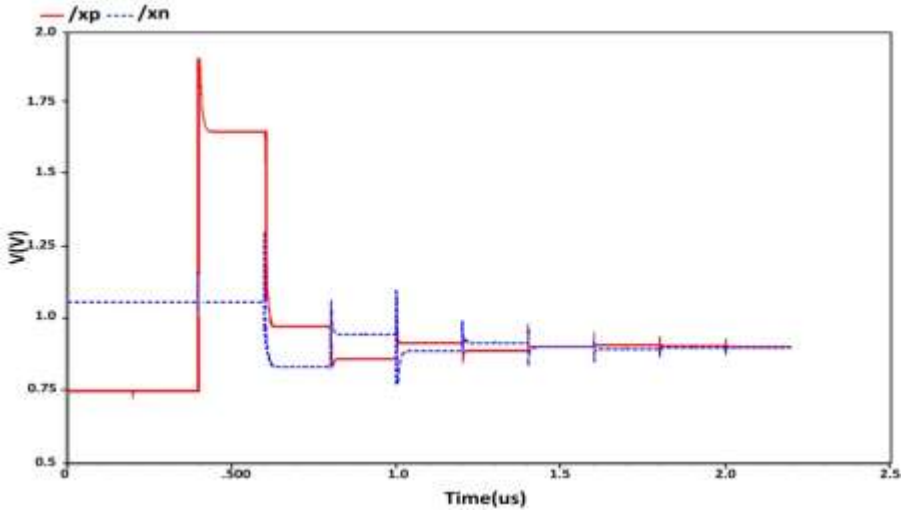
شکل۶: مقایسه‌گر دینامیکی

جدول۱: اندازه W/L مقایسه‌گر دینامیکی

transistor	W/L
M_1,M_2	1.5µm/0.18 µm
M_3,M_4	0.5µm/0.18 µm
M_5,M_6	0.5µm/0.18 µm
M_7,M_8	5µm/0.18 µm
M_9	1µm/0.18 µm

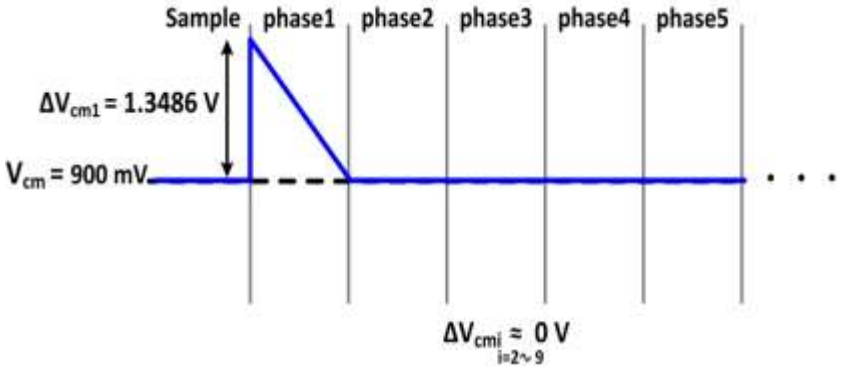
۴- نتایج شبیه سازی

شکل۷ نشست آرایه خازنی نیم مدار بالایی و پایینی را در طی تبدیل یک نمونه نشان می‌دهد. به دلیل عملکرد سوئیچ زنی مکمل آرایه خازنی نیم مدار بالایی و پایینی، باعث شده تغییرات ولتاژ حالت مشترک ورودی‌های مقایسه‌کننده از گام دوم به بعد ثابت بوده و معادل $\Delta V_{cm}=0$ می‌باشد و این ثابت بودن تغییرات ولتاژ حالت مشترک خطینگی مدار ما را بهتر می‌کند که از مزایای کار ما می‌باشد. از آنجا که تغییر ولتاژ حالت مشترک در ورودی‌های مقایسه‌کننده باعث تغییر مقدار آفست آن می‌شود، جبران آن منجر به صرف بیشتر توان در مقایسه‌کننده خواهد شد و خطینگی مدار را خراب می‌کند.



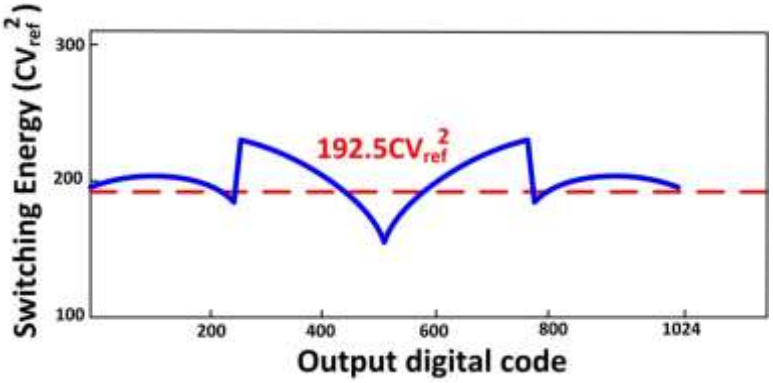
شکل۷: نشست آرایه خازنی نیم مدار بالایی و پایینی در طی تبدیل یک نمونه

همانطور که در شکل۸ می‌بینیم ولتاژ حالت مشترک در فاز نمونه‌برداری $V_{cm}=900mV$ است.



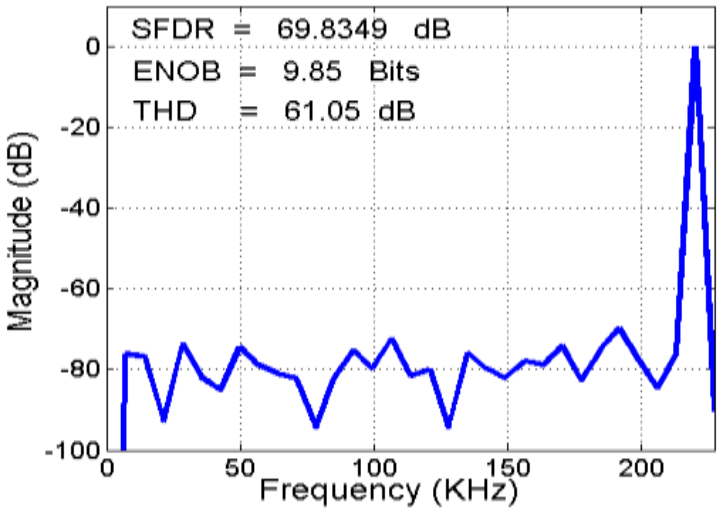
شکل۸: تغییرات ولتاژ حالت مشترک در ورودی های مقایسه کننده ساختار پیشنهادی

انرژی سوئیچ‌زنی آرایه خازنی تمام تفاضلی برحسب کدهای دیجیتال خروجی در شکل۹ نشان داده شده است. انرژی مصرفی ناشی از سوئیچ‌زنی آرایه خازنی تمام تفاضلی 10 بیتی پیشنهادی مساوی با $192.5CV_{ref}^2$ خواهد شد که این انرژی مصرفی ناشی از سوئیچ‌زنی آرایه خازنی تمام تفاضلی تعارف 10 بیتی مساوی با $1365.3CV_{ref}^2$ خواهد بود و در روش سوئیچ‌زنی آرایه خازنی با الگوریتم یکنوا تمام تفاضلی 10 بیتی $255.5CV_{ref}^2$ خواهد شد. که نسبت به ساختار متعارف 86% و نسبت به ساختار یکنوا 24.65% کاهش توان داریم.



شکل۹: انرژی سوئیچینگ خازنی بر حسب کدهای دیجیتال خروجی

64 FFT نقطه ای به ازای ورودی سینوسی نایکوئیست با فرکانس 220.17 kHz در شکل۱۰ نشان داده شده است. SFDR ، ENOB و THD اندازه‌گیری شده به ترتیب 69.8349 dB ، 9.85 Bits و 61.05 dB می‌باشند.



شکل۱۰: 64 FFT نقطه ای به ازای ورودی سینوسی نایکوئیست

خلاصه ای از عملکرد مبدل آنالوگ به دیجیتال تقریب متوالی پیشنهادی در جدول۲ ذکر شده است. مقدار FOM موجود در جدول۲ به صورت زیر محاسبه می‌شود و این پارامتر نشان دهنده توان موثر مبدل است و ERBW پهنای باند وضوح موثر سیگنال ورودی است و ENOB تعداد بیت موثر است و به صورت زیر تعریف می‌شود[۶]:

$$\mathrm{FOM} = \frac{\mathrm{power}}{2^{\mathrm{ENOB}} \times \min\{2\times \mathrm{ERBW}, f_s\}} \quad (۴)$$

جدول۲: خلاصه مشخصات

مشخصات		نتایج مشخصات	
Supply Votage		1.8 V	
Resolution		10 bits	
Input CM Voltage		900 mV	
Input Range (V_{p-p})		1.74 V_{p-p}	
Unit Capacitor		20 fF	
ENOB		9.85 Bits	
Sampling Rate		500 kS/s	
THD/SFDR		61.05 /69.8349 (dB)	
Power Consumption	**DAC**	**17.6931 µW**	14.814 µW
	Comparator		0.576 µW
	Logic		2.16 µW
	Bootstrapped		0.1431 µW
FOM		43.5 fJ/C-s	

جدول۳ کارایی مدار طراحی شده را با کارایی منتشر شده دیگران مقایسه می‌کند.

جدول۳: مقایسه کارایی مبدل تقریب متوالی پیشنهادی با کارایی دیگران

Specifications	ISSCC,08 [9]	Micro.,17 [10]	Switchback [4]	Monotonic [5]	VLSI, 18 [7]	ISSCC, 17 [8]	This Work
Archnology	**SAR**	**SAR**	**SAR**	**SAR**	**SAR**	**SAR**	**SAR**
Technology	**90 nm**	**90 nm**	**90 nm**	**0.13 µm**	**40 nm**	**180 nm**	**0.18 µm**
Supply Voltage (V)	**1**	**1.8**	**1**	**1.2**	**0.9**	**1.8**	**1.8**
Sampling Rate	**40 MS/s**	**1 MS/s**	**30 MS/s**	**50 MS/s**	**100 MS/s**	**80 MS/s**	**500 kS/s**
Resolution (bit)	**9**	**10**	**10**	**10**	**12**	**10**	**10**
ENOB (bit)	**8.56**	**9.84**	**9.16**	**9.18**	**10.8**	**9.13**	**9.85**
Power (mW)	**0.82**	**0.0353**	**0.98**	**0.826**	**2.6**	**2.61**	**0.01769**
FOM (fJ/Conv.-step)	**54**	**38.5**	**57**	**29**	**14.6**	**74.4**	**43. 5**

۵- خلاصه و نتیجه گیری

در این مقاله یک روش سوئیچ‌زنی موثر برای کاهش توان مبدل آنالوگ به دیجیتال تقریب متوالی پیشنهاد شده‌است و این روش سوئیچ‌زنی منجر به کاهش تغییرات ولتاژ حالت مشترک خواهد شد. با توجه به شکل۸، به دلیل عملکرد سوئیچ زنی مکمل آرایه خازنی نیم مدار بالایی و پایینی باعث شده تغییرات ولتاژ حالت مشترک ورودی‌های مقایسه‌کننده از گام دوم به بعد ثابت شود و این ثابت بودن تغییرات ولتاژ حالت مشترک، باعث بهبود عملکرد خطینگی مبدل پیشنهادی و کاهش آفست خواهد شد. با شبیه سازی مدار آنالوگ به دیجیتال تقریب متوالی پیشنهادی با توجه به جدول۳ دیده می‌شود که به FOM بزرگتری نسبت به FOM مبدل تقریب متوالی یکنوا یدست یافتیم ولی انرژی مصرفی زیر مبدل دیجیتال به آنالوگ نسبت به ساختار متعارف و ساختار یکنوا کاهش یافته است.

مراجع:

[1] A. Sanyal and N. Sun, “An Energy-Efficient Low Frequency-Dependence Switching Technique for SAR ADC”, *IEEE Transactions On Circuits And Systems*, Vol. 61, No. 5, PP. 294 – 298, May 2014.

[2] J. Lin and C. Hsieh, “A 0.3 V 10-bit 1.17 f SAR ADC With Merge and Split Switching in 90 nm CMOS”, *IEEE Transactions On Circuits And Systems*, Vol. 62, No. 1, PP. 70 – 79, Jan. 2015.

[3] G. Ying Huang,et al, “A 1-μW 10-bit 200-kS/s SAR ADC With a Bypass Window for Biomedical Applications”, *IEEE Journal Of Solid-State Circuits*, Vol. 47, No. 11, PP. 2783 – 2795, November 2012.

[4] G. Ying Huang,et al, “10-bit 30-MS/s SAR ADC Using a Switchback Switching Method”, *IEEE Transactions On Very Large Scale Integration (VLSI) Systems*, Vol. 21, No. 3, PP. 584 – 588, March 2013.

[5] C. Liu,et al, “A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure”, *IEEE Journal Of Solid-State Circuits*, Vol. 45, No. 4, PP. 731 – 740, April 2010.

[6] Z.Xiaolei, “High Performance SAR A/D Converter with Calibration Techniques”, PhD. Dissertation, Univ. of Keio, Japan, 2012.

[7] J.Luo, “A 0.9-V 12-bit 100-MS/s 14.6-fJ/Conversion-Step SAR ADC in 40-nm CMOS”, *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Vol.26, No. 10, PP. 1980 - 1988, July 2018.

[8] Y.Shen, “A Reconfigurable 10-to-12-b 80-to-20-MS/s Bandwidth Scalable SAR ADC”, IEEE Transactions on Circuits and Systems, Vol.65, No. 1, PP. 51-60, July 2017.

[9] V. Giannini, et al, “An 820 μW 9 b 40 MS/s noise-tolerant dynamic-SAR ADC in 90 nm digital CMOS”, *in IEEE ISSCC Dig. Tech. Papers*, Feb. 2008, pp. 238–239.

[10] A.Rasool.Ghasemi and et al., “A low-power capacitor switching scheme with low common-mode voltage variation for successive approximation ADC”, *in Microelectronics Journal*, vol.61, pp.15-20, March 2017.

New Capacitance Switching Technique with Low Sensitivity to Common-Mode Voltage Variations for Differential SAR ADCs

Elham Khorshidi[1], Abdolrasul Ghasemi[2*]

1: M.Sc. Department of Electrical Engineering, Islamic Azad University of Bushehr, Bushehr, Iran,e.khorshidi46@gmail.com
2*: Assistant Professor, Department of Electrical Engineering, Islamic Azad University of Bushehr, Iran, rasul_ghasemi@yahoo.com

Abstract:

In this paper, an analog-to-digital converter of a 10-bit KS/s500 all-differential consecutive approximation with the proposed low-power switching method is presented. In this converter, the energy consumption of the digital to analog converter is reduced by 86% compared to the conventional structure and the uniform structure by 24.65%. Due to the complementary switching performance of the upper and lower half-circuit capacitive array, the voltage changes of the common state of the comparative inputs from the second step onwards are fixed. The simulation is performed on 0.18 μm CMOS technology with a power supply of 1.8 V at a sampling rate of 500 KS/s and reaches an ENOB of Bits9.85 and a power consumption of 17.69μW, resulting in an FOM of 43.5 fJ/C-s 43.5

Keywords: SAR ADC, Monotonic, Switchback, Common Mode Voltage