طراحی مقایسه گر با آفست پایین در مبدل آنالوگ به دیجیتال سیکلیک دوازده بیتی

اصغر ابراهیمی[۱] ، مینا شیرالی[۲]

۱ : دانشگاه آزاد اسلامی، عضو هیات علمیasghar.ebrahimi@gmail.com
۲ : دانشگاه آزاد اسلامی، واحد بوشهر، گروه برق الکترونیک، بوشهر، ایران mina_shirali.d@ iaubushehr.ac.ir

چکیده

در این مقاله یک مبدل آنالوگ به دیجیتال ستونی-موازی با سرعت بالا و با رزولیشن ۱۲ بیت دارای اندازه کوچک در دو طرف سنسور تصویر پیشنهاد شده است. همچنین در این مقاله یک مقایسه کننده با افست پایین پیشنهاد شده است. روشی برای تسریع سرعت تبدیل با استفاده از همزمان کردن متغیرها (کلاک متغیر) و خازنهای نمونه برداری توسعه داده شده است. تقویت کننده بار پیکسلی به حساسیت نوری 19/9 V/lxsدست می یابد. اندازه کامل سیگنال در خروجی پیکسل 1/8 V در منبع تغذیه 3/3-V است و میزان نویز 1.8اندازه گیری شده است و دامنه پویای سگنال حاصل شده 60db است. در نهایت این مدار با نرم افزار HSPICE شبیه سازی شد و نتایج قابل قبولی بدست آمده است. این مدار با ولتاژ 3.3V نیاز دارد و در تکنولوژی 0.35um میباشد. توان مصرفی 11mW و SFDR معادل 66dB و THDمعادل 2- و SNDR معادل 40dB است.

واژه‌های کلیدی: مبدل آنالوگ به دیجیتال ، حساسیت نوری، SFDR

۱- مقدمه

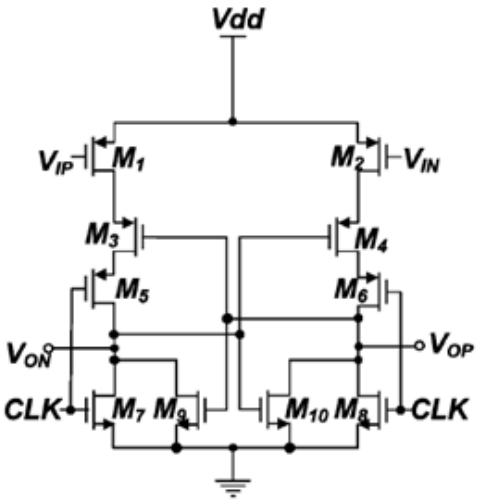
کاربرد تصویربرداری با سرعت بالا در رشته های مختلفی مانند اندازه گیری های علمی نورشناختی و تجزیه و تحلیل حرکت گسترش می یابد.این کاربردها اغلب نیازمند سنسورهای تصویری با حساسیت و رزولیشن با مقیاس خاکستری بالا هستند[5]-[1]. اخیراً عملکرد دوربینهای ویدئویی با سرعت بالا بصورت قابل توجهی با استفاده از تکنولوژی سنسورهای تصویری CMOS بهبود یافته است.یک سنسور تصویری CMOS با سرعت بالا با خروجی موازی آنالوگ ۱۰۰۰ فریم بر ثانیه در ۵۱۲*۵۱۲ پیکسل و ۳۰۰۰ فریم بر ثانیه در ۱۰۲۴*۱۰۲۴ پیکسل می رسد[7],[6] بسیاری از کاربردها نیازمند یک هد (نوک) دوربین کوچک در دوربینهای با سرعت بالا با مبدلهای تراشه ای آنالوگ به دیجیتال (ADC) ها و خروجی دیجیتال است.برای سنسورهای تصویر CMOS با سعت بالا یک ADC پیکسلی یک ADC تقریب پیاپی ستونی-موازی گزارش شده است. ADC پیکسلی ساختار مؤثری برای بهره برداری از ساختمان بالا لازم است و دستیابی به سازگاری بین رزولیشن بالای ADCو اندازه کوچک پیکسل مشکل است.سنسورهای تصویری CMOS با سرعت بالا با ADC های تقریباً پیاپی ستونی – موازی در بسیاری از پیشرفتها نمایش داده شده اند.با این حال این ساختارها نیازمند یک مبدل داخلی دیجیتال به آنالوگ با دقت بالا هستند ، و دستیابی به ۱۰ بیت و یا رزولیشنهای بیشتر در ستون سنسورهای تصویری CMOS مشکل است.در سنسورهای تصویری با سرعت بالا ، عملکرد قالب الکترونیکی الزامی است.روشی ساده و مؤثر برای قالب بندی الکترونیکی گزارش شده است.از این رو اگر اندازه فتودیود بزرگتر شود تقویت تبدیل بار به ولتاژ کاهش می یابد.

۲- مقایسه گر

در نگاه اول چنین به نظر می رسد که به خاطر وجود بهره پیش پردازشگر آنالوگ بلوک فولدینگ ، افست مقایسه گرها تاثیر چندانی بر خطای *INL*ندارد و انتخاب مقایسه گر مناسب تنها بر اساس توان مصرفی و سرعت مقایسه می تواند انجام شود. پاسخ زمانی سیگنال بزرگ آنالوگ نشان می دهد در مواردی که مقدار نهایی خروجی آنالوگ نزدیک به محل های عبور از صفر است.

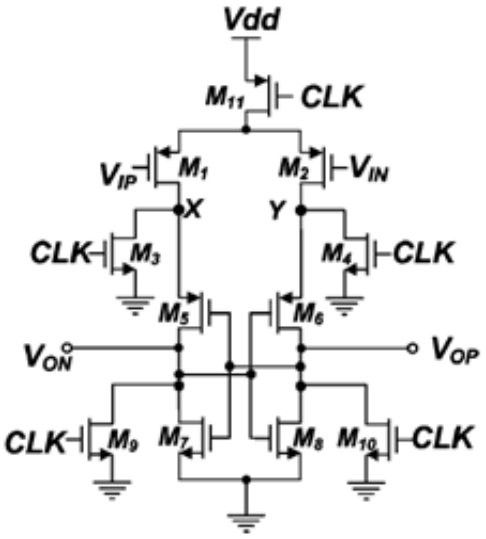
۳- بررسی مقایسه گرهای دینامیک

مقایسه گرهای دینامیک که در مبدل های سریع کاربرد فراوانی دارند و از مزایایی چون توان مصرفی پایین و سرعت بالا برخوردارند معمولاً مشخصه افست خوبی ندارند . به عنوان مثال در مقایسه گر دینامیک شکل ۱ در لبه پایین رونده کلاک اختلاف دو ولتاژ ورودی اختلاف جریانی در شاخه های خروجی ایجاد می کند که باعث می شود مدار حافظه خروجی۲ که از دو معکوس کننده ۳ پشت به مثبت تشکیل شده است به سمت یکی از دو حالت پایدار خود حرکت کند . در لحظه تصمیم گیری هر دو ترانزیستور ورودی $M1$ و $M2$ در ناحیه ترایود قرار دارند و علاوه بر این دو ترانزیستور، تطابق ترانزیستورهای $M5$ و $M6$ نیز در تعیین افست ورودی موثرهستند.



شکل۱: مقایسه گر دینامیک

به منظور کاهش افست استاتیک، می توان از مدل تغییر یافته شکل۲ استفاده کرد که در آن سوئیچ های $M3$ و $M4$ با اتصال درین ترانزیستورهای ورودی به زمین، آنها را در لحظه مقایسه در ناحیه اشباع قرار می دهند و به این ترتیب افست استاتیک این مقایسه گر عمدتاً با اختلاف ولتاژ آستانه دو ترانزیستور ورودی تعیین می گردد.

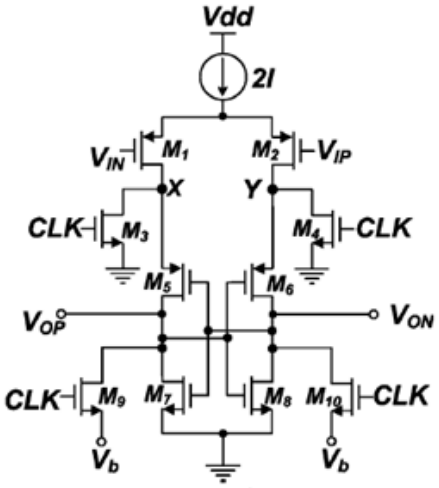


شکل۲:مقایسه گر تغییر یافته

با وجود کاهش افست در مقایسه گر شکل۲ این مقایسه گر همچنان به افست دینامیک ناشی از تفاوت خازن پارازتیک گره های خروجی حساس است و از طرف دیگر نویز کیک-بک 1 آن به علت وجود ترانزیستور *M11* و *M3* و *M4* افزایش یافته است. به منظور کاهش نویز کیک بک ، گیت ترانزیستور *M11* به جای سیگنال کلاک به یک ولتاژ بایاس ثابت وصل شد .اینکار اگرچه به قیمت خارج شدن مقایسه گر از حالت تمام دینامیک و مصرف توان در نیمی از پریود تبدیل تمام می شود، ولی علاوه بر کاهش تغییرات ورودی در لبه هایکلاک، در زمان بالا بودن ولتاژ کلاک فاز پیش تقویت سیگنال ورودی توسط ترانزیستورهای *M1* و *M2* به همراه M3 و M4 که در ناحیه ترایود قرار دارند و بصورت مقاومت بار عمل می کنند بهره ای ایجاد می کند که تاثیر عدم تطابق ترانزیستورهای طبقه خروجی را در ورودی کاهش می دهد

۴- تحلیل افست دینامیک مقایسه گر

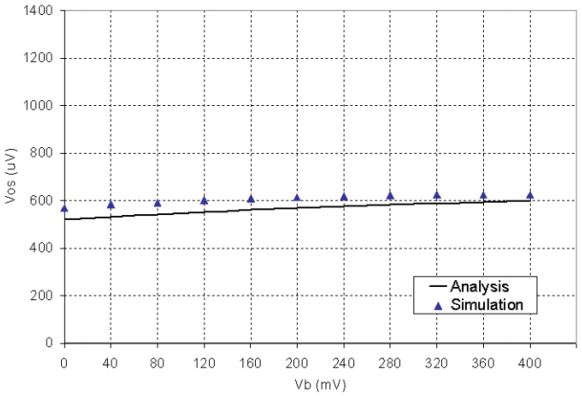
به منظور روشن تر شدن نحوه بهبود عملکرد مقایسه گر، مدار شکل۳ را در نظر میگیریم . این مدار همان مقایسه گر شکل۲ است که ترانزیستور *M11* با یک منبع جریان ثابت جایگزین شده و سوئیچ های *M9* و *M10* به جای زمین کردن خروجی ها آنها را به ولتاژ بایاس *Vb* وصل می کنند. در فاز پیش تقویت ، ولتاژ CLK بالا 2 است.



شکل ۳: مدار مقایسه گر در حالت کلی

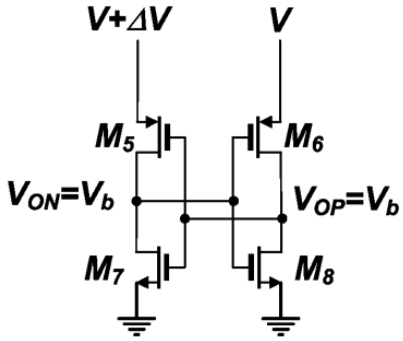
گره های خروجی در این فاز توسط ترانزیستورهای M9 و M10 به ولتاژ Vb وصل شده اند . با پایین آمدن ولتاژ کلاک در t=0 ولتاژ گره های X و Y و گره های خروجی تحت تاثیر نفوذ کلاک 1 اندکی جابجا میشود. برای آن که مدار حافظه خروجی حلقه فیدبک مثبت 1 خود را آغاز نماید، ولتاژ گره های X و Y باید حدوداً به اندازه ولتاژ آستانه ترانزیستور PMOS از ولتاژ خروجی بالاتر باشد. به این ترتیب با پایین آمدن کلاک خازن گره های X و Y با جریان ترانزیستورهای M1 و M2 شارژ می شوند تا جاییکه حلقه فیدبک مثبت فعال شود . چنانچه خازن پارازتیک بین گره های X و Y کاملاً برابر نباشند و اختلافی بین آنها وجود داشته باشد، در لحظه t=tD اختلاف ولتاژ دو گره تنها تابع اختلاف ورودی ها نخواهد بود. در بدست آوردن روابط بالا از تفاوت نفوذ کلاک در اثر یکسان نبودن خازن های پراکندگی دو طرف صرف نظر شده است . درحالتیکه Ron کوچک باشد، با اضافه شدن زمان تاخیر tD و ولتاژ V'B ترم های سیگنال و افست به یک نسبت زیاد میشوند و در این حالت تغیر Vb تاثیری روی افست دینامیک ناشی از اختلاف خازن گره های X و Y نخواهد افزایش V'B از یک طرف باعث افزایش بهره موثر و کاهش افست ورودی خواهد شد و از طرف دیگر تاثیر یکی از ترم های مربوط به عدم تطابق خازن ها را زیاد میکند . در شکل 34 -5 افست معادل ورودی به ازای C/C های متفاوت گره های X و Y در دو حالت Vb=0 و Vb=200mv رسم شده اند. همان گونه که در شکل دیده میشود، 2 درصد تفاوت در خازن های دو گره میتواند بین 1 تا1 /4 میلی ولت افست دینامیک در ورودی ایجاد کند. البته لازم به تذکراست که ازآنجا که گره های X و Y گره های داخلی هستند تفاوت خازن پارازتیک آنها می تواند با یک طراحی لیاوت دقیق پایین نگاه داشته شود.

رابطه افست ورودی با ولتاژ بایاس Vb در شکل۴ نمایش داده شده است . با مقادیر در نظر گرفته شده برای طراحی مقایسه گر، ولتاژ Vb تاثیر قابل ملاحظه ای روی افست دینامیک ناشی از عدم تطابق خازن های گره های X و Y ندارد.



شکل٤: افست بر حسب ولتاژ

درگره های خروجی ، تفاوت خازن دو گره تاثیر بیشتری در افست دینامیک ورودی خواهد داشت زیرا هنگامی که فیدبک مثبت حلقه خروجی (متشکل از دو معکوس کنندهٔ پشت به پشت) آغاز میشود ، تفاوت خازن های خروجی می تواند تفاوت مقدار اولیه دو گره را تحت الشعاع قرار دهد و مقدار تعادل نهایی را برعکس کند. برای حالت ساده شده ای که در اینورتر و با ولتاژ ورودی مشخص به یکدیگر وصل میشوند. در این رابطه C0 خازن معادل هر یک از گره های خروجی به زمین و CO تفاوت آنهاست Vb . ولتاژ اولیه گره های خروجی و Vs ولتاژآستانه تغییر حالت یک معکوس کنندهٔ CMOS است (برابر ولتاژ یکه به ازای آن جریان ترانزیستور NMOSو PMOS درحالت اشباع با یکدیگر برابر میشوند). با توجه به این رابطه اگر ولتاژ اولیه با Vs برابر باشد ، ولتاژ افست دینامیک ناشی از تفاوت خازن های خروجی به صفرمیرسد. در مقایسه گر مورد طراحی، ولتاژ ورودی به گره های خروجی اعمال نمی شود بلکه به سورس ترانزیستورهای PMOS اعمال می گردد .

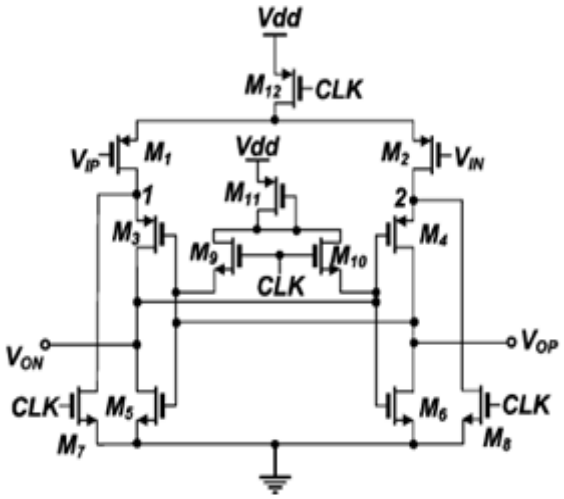


شکل ۵: مقایسه گر

اگر در لحظه شروع حلقه فیدبک مثبت ولتاژ سورس ترانزیستورهای PMOS ولتاژ گره های X و Y اختلاف ولتاژی برابر V داشته باشند و ولتاژ گره های خروجی برابر Vb باشند .رفتار مدار خروجی مشابه حالتی است که ولتاژ سورس دو ترانزیستور PMOS برابر باشد.در عمل ولتاژ V ثابت نیست ولی نرخ تغییرات آن به مراتب کندتر خواهد بود و ثابت فرض کردن آن خطای قابل ملاحظه ای ایجاد نمیکند . با توجه به اینکه Vb باید به گونه ای انتخاب شود که ترانزیستورهای $M7$ و $M8$ وارد ناحیه ترایود نشوند ، منطقی است که Vb کوچکتر از ولتاژ آستانه ترانزیستورهای NMOS و در نتیجه gmn به مراتب کوچکتر باشد.

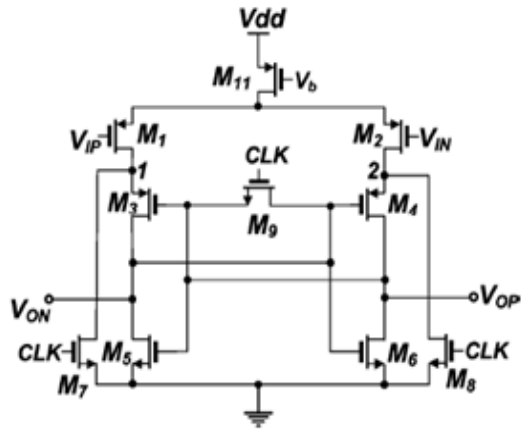
۵- مقایسه گر با افست دینامیک پایین

برای ساختن ولتاژ بایاس می توان از مداری مشابه شکل ۷ استفاده کرد که در آن Vb توسط ترانزیستور M11 و M5 و M6 که هر سه بصورت دیود بسته شده اند ساخته می شود.



شکل٦: مقایسه گر با افست دینامیک

شبیه سازی نشان میدهد که افست دینامیک این مقایسه گر با تفاوت خازنی 40 فمتوفاراد کمتر از ۵. میلی ولت خواهد بود .چنین مقایسه گری می تواند برای جبران افست استاتیک با افست دینامیک قابل برنامه ریزی به کار رود. یک راه دیگر برای قرار دادن ولتاژ اولیه خروجی ها در نزدیکی مقدار بهینه، آن است که دو خروجی را در فاز پیش تقویت به یکدیگر وصل کنیم. در این حالت در ابتدای فاز پیش تقویت خروجی ها در ولتاژی نزدیک به آستانه ترانزیستورهای NMOS قرار می گیرند و به تدریج از ولتاژ آنها کاسته می شود . شبیه سازی نشان میدهد که در لحظه باز شدن سوئیچ *M9* در حالتی که فرکانس کلاک مقایسه گر 150 مگا هرتز باشد، ولتاژ گره های خروجی در حدود 400 میلی ولت است و به ازای 10 فمتوفاراد اختلاف خازن دو گره خروجی، افست دینامیک ورودی کمتراز 3 میلی ولت خواهد بود.

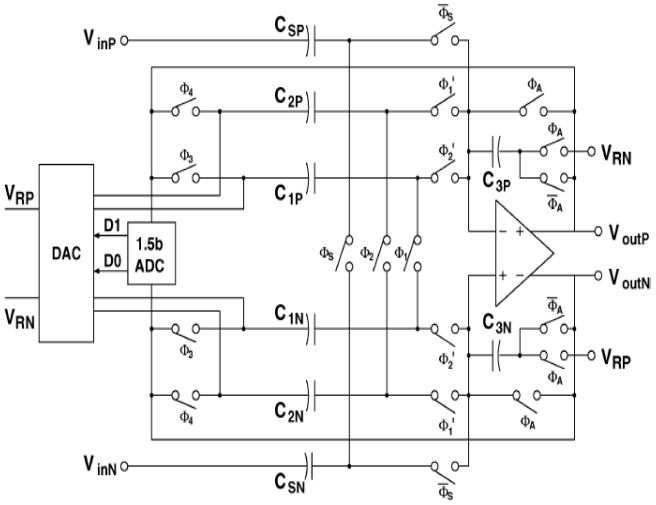


شکل۷: مقایسه گر با افست کم

اگرچه این افست نسبت به مدار شکل ۷ بالاتر است ولی نسبت به مدار اولیه بهبود قابل ملاحظه ای دارد و در عین حال از پیچیدگی کمتری برخورداراست .مجموع ولتاژ افست ورودی ناشی از عدم تطابق ولتاژهای آستانه، طول و عرض ترانزیستورها و خازنهای گره های مختلف برای این مقایسه گر با استفاده ازشبیه سازی مونته کارلو بررسی شد .

۶- ADC های تناوبی ستونی- موازی

شکل۹ نمای کلی مدار ADC تناوبی با یک حذف نویز توکار را نشان می دهد. این ADCبا یک تقویت کننده خازن انتخاب شده کاملاً تفاضلی و دو مقایسه کننده (ADC 1/5 Bit) برای ۱/۵بیت در چرخه الگوریتم طراحی شده است. اگر چه یک ADC چرخه ای (تناوبی) یا الگوریتمی سرعت ملایم تبدیل دارد، دو مجموعه آرایه ADC تناوبی ۲۵۶ کانال در کل سرعت تبدیل بسیار بالا فراهم می کنند. یک مدار کاملاً تفاضلی عملگر آنالوگ دقیق و مصونیت از اختلال (نویز) بالا می آورد و برای ADC های با رزولیشن بالا مناسب است. یک سنسور تصویری CMOS با دامنه دینامیکی گسترده در حال یکی شدن با یک ADC تناوبی ستونی – موازی گزارش شده است.ADC یک کاناله شامل ۳ مرحله تقویت برای حذف نویز و یک تبدیل A/D تناوبی دو مرحله ای است.



شکل۸: نمای کلی ADC سیکلیک

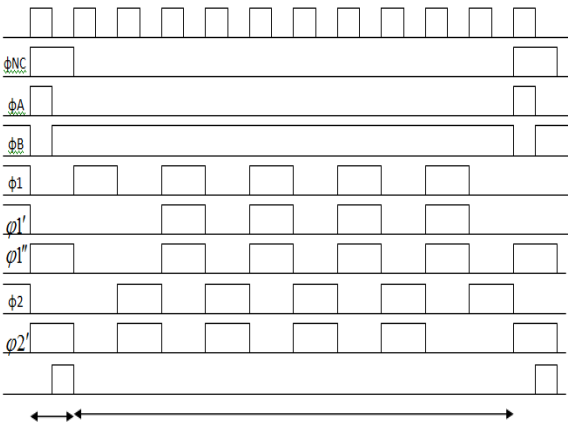
این مدار از چندین قسمت تشکیل شده است:

OPAMP :که از ترانزیستورهای CMOS تشکیل شده است و بهمراه خازن وظیفه نمونه برداری و سیکلیک را برعهده دارد.

1.5 bit ADC: که دارای مداری است که وظیفه آن تولید بیتهای نهایی می باشد.

DAC: که وظیفه آن تولید ولتاژ مرحله بعد می باشد و توسط D0وD1 کنترل می شود.

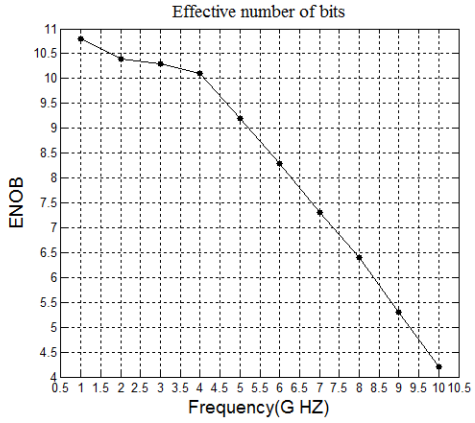
مبدلهای سیکلیک معمول نیاز به هشت خازن و دارند در صورتی که مدار پیشنهادی ما دارای شش خازن است.



شکل۹:دیاگرام زمانبندی سیکلیک

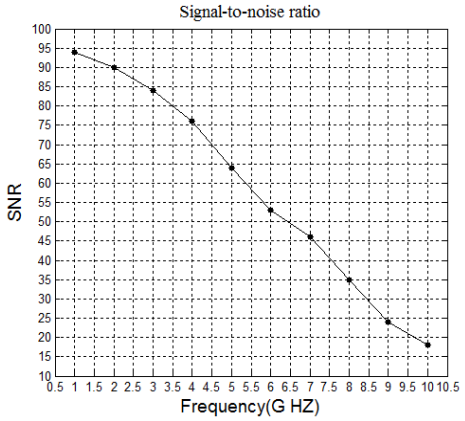
۷- نتایج شبیه سازی

در این شکل نمودار ENOB بر حسب فرکانس آورده شده است دیده میشود که با افزایش فرکانس کاهش داده میشود.در فرکانس ۱ گیگا هرتز ENOB برابر۱۰ است که فرکانس کاری ما همین فرکانس یک گیگ است.

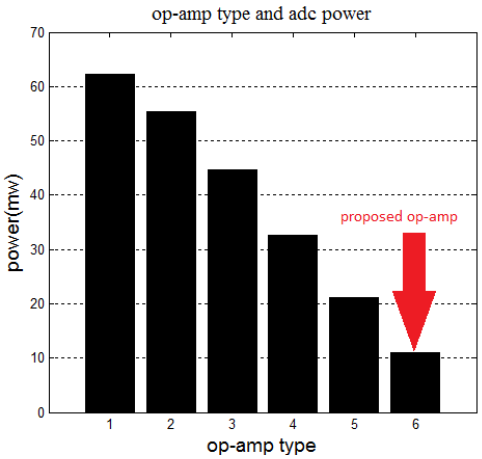


شکل۱۰: نمودار ENOB برحسب فرکانس

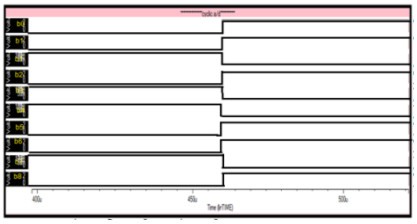
در این شکل نمودار SNR بر حسب فرکانس آورده شده است دیده میشود که با افزایش فرکانس کاهش داده میشود.در فرکانس ۱ گیگا هرتزSNR برابر۹۵ است که فرکانس کاری ما همین فرکانس یک گیگ است.



شکل۱۱: نمودار SNR برحسب فرکانس



شکل۱۲: نمودار توان برحسب نوع آپ امپ



شکل۱۳: خروجی دیجیتال شده

در این قسمت آپ امپ مختلفی در مدار جایگذاری شده وتوان تلفاتی مورد محاسبه قرار گرفته است دیده می شود کمترین توان آپ امپ پیشنهادی است.

۸- نتیجه گیری

در این مقاله ADC ستونی-موازی با سرعت بالا و با رزولیشن ۱۲ بیت دارای اندازه کوچک آرایش 0/09میلی متر مربع در دو طرف آرایه تصویر پیشنهاد شد. همچنین دار این مقاله یک مقایسه کننده با افست پایین پیشنهاد شده است. روشی برای تسریع سرعت تبدیل با استفاده از همزمان کردن متغیرها (کلاک متغیر) و خازنهای نمونه برداری توسعه داده شده است.اندازه کامل سیگنال در خروجی پیکسل 1/8 V در منبع تغذیه 3/3-V است و میزان نویز 1.8اندازه گیری شده است و دامنه پویای سگنال حاصل شده 60db است. در نهایت این مدار با نرم افزار HSPICE شبیه سازی شد و نتایج قابل قبولی بدست آمده است.این مدار با ولتاژ3.3V نیاز دارد و در تکنولوژی 0.35 می باشد. توان مصرفی 11 میلی وات و SFDR معادل 66 دسی بل و THD معادل 2 و SNDR معادل 40dB است.

مراجع

[1] O.Y. Pecht, A. Belenky, "Autoscaling CMOS APS with CustomizedIncrease of Dynamic Range," *ISSCC Dig. Tech. Papers*, pp. 100-101, Feb.,2008

[2] W. Bidermann, A. E. Gamal, S. Ewedemi, J. Reyneti, H. Tian, D. Wile,D. Yang, "A 0.18m High Dynamic Range NTSC/PAL Imaging System-ona-Chip with Enhanced DRAM Frame Buffer," ISSCC Dig. Tech. Papers, pp.212-213, Feb., 2007.

[3] O.Y. Pecht, A. Belenky, "Autoscaling CMOS APS with CustomizedIncrease of Dynamic Range," ISSCC Dig. Tech. Papers, pp. 100-101, Feb.,2008.

[4] Steven Decker, R. Daniel McGrath, Kevin Brehmer, Gharles G. Sodini,"A 256 x 256 CMOS Imaging Array with Wide Dynamic Range Pixels andColumn-Parallel Digital Ouput", IEEE J. Solid-State Circuits, 33, no. 12,pp. 2081-2091, 2009.

[5] S. H. Lewis and P.R.Gray, "A Pipelined 5-MSample/s 9-bit Analog-to-Digital Converter,'' IEEE J. Solid-State Circuits, pp. 954-961, vol. SC-22,2010.