تحلیل تاثیرتغییرات معماری FINها بر جریان Drain ترانزیستور FINFET و بر متوسط توان مصرفی و تاخیر انتشاری در تمام جمع کننده‌ی CMOS–آمیخته

تیمور راشدزاده[۱]، سید محمدعلی ریاضی[۲*]، نجمه چراغی شیرازی[۳]

۱- گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران، rashedzadeh@gmail.com
۲*: گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران ، coactstudent@yahoo.com
۳- گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران ، nch_shirazi@yahoo.com
تاریخ دریافت: ۱۳۹۸/۷/۴ تاریخ پذیرش: ۱۳۹۸/۹/۲۶

چکیده

در این مقاله، مدار تمام‌جمع‌کننده ، با سبک‌منطقی CMOS[۱]–آمیخته مطرح شده است که ترکیبی از ترانزیستورهای عبور و گیت‌های انتقال و ترانزیستورهای نوع N و P می‌باشد. برای طراحی مدار تمام‌جمع‌کننده از ترانزیستورهای FINFET[۲] ، مدل BSIM-CMG[۳] ، دو-گیتی و ساختار FINFET روی Bulk و طول Gate 16 نانومتر استفاده خواهیم کرد و برای شبیه‌سازی از HSPICE استفاده می‌کنیم. با توجه به ساختار و معماری ترانزیستورهای FINFET، تاثیر تغییرات در ضخامت و ارتفاع وتعداد FIN بر روی جریان Drain ترانزیستور FINFET و پارامترهای خروجی تمام‌جمع‌کننده مانند تاخیرانتشاری و متوسط توان‌مصرفی تمام‌جمع‌کننده و همچنین تاثیر تغییرات در فرکانس ورودی‌ها مورد بررسی قرارمی‌گیرد. مطابق نتایج شبیه‌سازی با افزایش ارتفاع وضخامت وتعداد FIN، جریان Drain ترانزیستور FINFET و توان‌مصرفی تمام‌جمع‌کننده افزایش پیدا می‌کند و تاخیرانشاری تمام‌جمع‌کننده کاهش پیدا می‌کند و بلعکس. و همچنین با افزایش فرکانس‌کاری، توان‌مصرفی تمام‌جمع‌کننده افزایش پیدا می‌کند.

واژه‌های کلیدی: تمام‌جمع‌کننده، FINFET، توان، تاخیر، جریان

۱- مقدمه

امروزه داشتن افزاره‌هایی با عملکرد بالا و صرفه‌جویی در انرژی مهم است. چراکه با برآورده کردن نیازمشتریان، یک‌ابزار سودآوری است. آخرین فناوری‌ها، تراشه‌هایی بسیار کوچک و یکپارچه در اندازه نانومتر ایجاد کرده است که می‌تواند دستگاه‌های الکترونیکی با اندازه‌های کوچک و نازک در مقایسه با چندین سال قبل تولید کند. به منظور مجتمع سازی مدارات الکترونیکی، سطح اشغالی توسط ترانزیستورها باید کاهش باید که این امر با کاهش طول کانال همراه است. در سال ۱۹۶۵، Gordon Moore مقاله‌ای منتشر کرد که در آن پیش‌بینی کرده بود که چگالی ترانزیستورهای روی یک تراشه هر ۱۸ماه دو برابر خواهد شد. اگرچه این نتیجه تجربی و فقط بر اساس داده‌های ۶سال به دست آمده بود، قانون Moore به طور فوق‌العاده‌ای تا ۴۵ سال برقرار بود. به نظر می‌رسید که این قانون دیگر برقرار نباشد، اما با ابداع ترانزیستورهای چندگیتی و سایر تکنولوژی‌های جدید مانند استفاده از ترانزیستورهای CNTFET و FINFET همچنان این قانون برقرار مانده است [۱]. Scaling سطحی CMOS به سایزکوچکتر با چالش‌های زیادی مواجه می‌شود که بعلت ناخالصی زیاد، پدیده تونل‌زنی بین اتصالات، مشکلات زیادی در کنترل اثرات کانال‌کوتاه دارد. با اجرای ساختارهای جدید مانند FINFET ، مشکل MOSFET scaling به محدوده نانومتری حل شد. استفاده از مدارات مجتمع باعث افزایش سرعت، کمتر شدن فضای اشغال شده و توان‌مصرفی می‌گردد. این موضوع به ویژه در مدارات دیجیتال و پردازش اطلاعات بسیار مهم است. واحد پردازش مرکزی CPU، هسته هر پردازشگری است که واحدمنطقی محاسبات ALU در آن قرار دارد. ALU عملیات منطقی و محاسبات پایه مانند جمع، تفریق، ضرب و تقسیم را انجام می‌دهد. در یک سیستم‌دیجیتال داشتن یک تمام¬جمع‌کننده که توان‌مصرفی پایین و سرعت‌بالا و با بهره‌وری انرژی و قابل اطمینان باشد بسیار سخت است [۲]. در این مقاله یک تمام‌جمع‌کننده در سبک منطقی CMOS-

---

۱ - Hybrid- Complementary metal–oxide–semiconductor

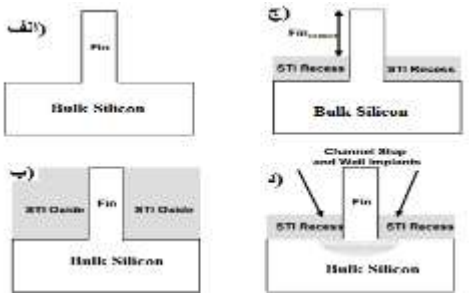
۲ - Fin Field Effect Transistor

۳ - Berkeley Short-channel IGFET Mode–Common Multi-gate

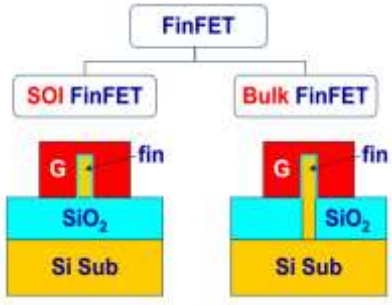
آمیخته با قابلیت توان‌مصـــرفی پایین، ســـرعت و اطمینان بالا و مبتنی بر ترانزیســـتورهای FINFET مدل BSIM-CMG با طول‌گیت ۱۶نانومتر و با استفاده از شبیه‌ساز HSPICE طراحی و شبیه‌سازی خواهد شد. با توجه به ساختار و معماری ترانزیستورهای FINFET، تاثیر تغییرات ضـــخامت، ارتفاع و تعدادFINها و فرکانس‌کاری بر روی جریانDrain ترانزیســـتورFINFET و پارامترهای خروجی تمام‌جمع‌کننده مانند تاخیرانتشاری و متوسط توان‌مصرفی مورد بررسی قرار خواهد گرفت. تاثیر تغییرات برای ضخامت و ارتفاع با هم و برای تعدادFIN جداگانه بررســـی می‌شـــود. و همچنین تاثیر تغییرات فرکانس‌کاری بر روی و پارامترهای خروجی تمام‌جمع‌کننده مانند تاخیرانتشاری و متوسط توان‌مصرفی مورد بررسی قرار خواهدگرفت. مقداربهینه معماریFINها با توجه به پارامترهای خروجی استخراج می‌شود. در انتها، پارامترهای خروجی حاصل از مقادیر بهینه معماریFIN را با مقاله مرتبط دیگر مقایسه می‌شود.

۲- ساختار ترانزیستور FINFET

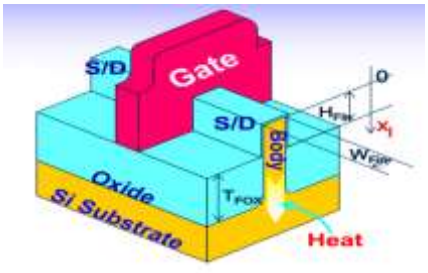
FINFET ساختار جایگزین جدیدی که به جایMOSFET معرفی شده است و به ترانزیستورها اجازه کوچکتر شدن می‌دهد، می تواند مزایای بیشتری ازMOSFET مانند جریان Drain بزرگتر، ولتاژسوییچینگ کوچکتر، کاهش قابل‌توجه جریان نشتی استاتیک را داشته باشـد. FINFETکه بطور نرمال به یک افزاره چند-گیتی غیرمسـطح معروف اسـت، می‌تواند با اسـتفاده از فنآوری سـازگار با CMOS مانند لیتوگرافی ساخته شود [۲]. فرآیند کلی ساختFIN روی bulk silicon در شکل۱ نشان داده شده است: الف) حکFIN برروی bulk silicon، در ابتدا ارتفاع FIN از ارتفاع نهایی افزاره بزرگتر اسـت. ب) افزودن لایه اکسـید STI[۴]. ج) کاهش اکسـید STIبرای نمایان شدن FINبا ارتفاع مورد نیاز. د) کانال بصورت ایستاده ایجاد شد[۳]. تنها ویژگی کهFINFET را از MOSFETمتمایز می‌کند کانال بین سورس و درینFINFET هست. کانال FINFETبالای بستر سیلیکونی و بصورت سه¬بعدی طراحی شده، کهFIN نامیده می شود، ناحیه گیت در ترانزیستور FINFETکاملا اطراف کانال را پو شش می‌دهد [۲]. FINFET می‌تواند روی Bulk Silicon یا SOI[۵] ساخته شوند. FINها روی SOIیا Bulk Silicon قرار می‌گیرند (شکل۲)، مزیت اصلی استفاده از Bulk Silicon نسبت به زیر-لایه SOI : 1-هزینه پایین‌تر ویفر ۲- نرخ انتقال‌حرارت بهتر زیرلایه(شکل۳) [۳].



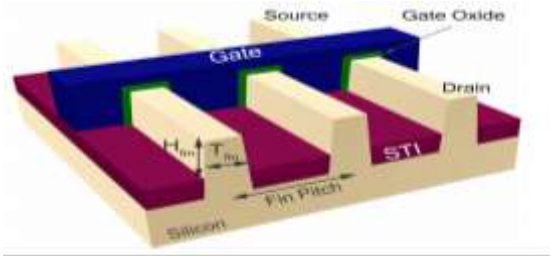
شکل۱ : فرآیندکلی ساخت FIN روی bulk silicon [۳].



شکل ۲: طبقه‌بندی ساختاری ترانزیستور FINFET [۴]



شکل۳: نمای سه‌بعدی از Bulk FINFET [۴].

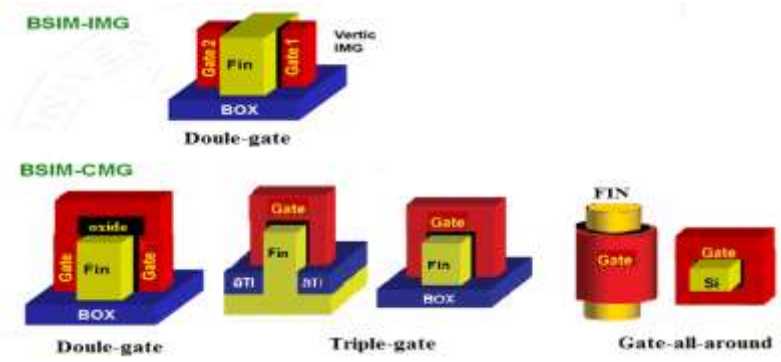


شکل۴ : ساختار سه‌بعدی ترانزیستور FINFET با سهFIN [۵]

[۴] - Shallow Trench Isolation

[۵] - silicon on insulator

که در اینجا HFIN[۶]_ارتفاع FIN، TFIN[۷]_ضخامت FIN و NFIN[۸]_تعداد FIN و Fin Pitch_فاصله بین FIN است. بدنه سیلیکون می‌تواند بوسیله دو، سه یا چهارگیت کنترل شود. گیت‌ها می‌توانند به هم متصل یا از هم مستقل باشند. BSIM-CMG مدل چند-گیتی به‌هم‌پیوسته و گیت‌مشترک است و BSIM-IMG[۹] مدل چند-گیتی گیت مستقل/نامتقارن است. در شکل۵ معماری‌های مختلف از FET های چندگیتی، که در مدل‌های به‌هم‌پیوسته و مستقل نشان داده شده است. در این مقاله برای طراحی مدار تمام‌جمع‌کننده از مدل BSIM-CMG، دو-گیتی و ساختار FINFET روی Bulk و طول Gate 16 نانومتر استفاده می‌کنیم.



شکل۵: معماری‌های مختلف از FETچند-گیتی [۶]

۳- تمام‌جمع‌کننده CMOS-آمیخته

انواع طرح سلول‌های full adder با تعداد ترانزیستورهای مختلف و چالش‌های عملکرد در سرعت و توان، قابل طراحی و معرفی هستند. مزایا و معایب مخصوص برای هرطرح سلول وجود دارد[۲]. یک نمونه از چنین طراحی‌ها، تمام‌جمع‌کننده CMOS-استاتیک استاندارد است، این تمام‌جمع‌کننده مبتنی برساختار CMOSمعمولی با ترانزیستورهای pull-up یا بالاکش و pull-down یا پایین‌کش است که خروجی با سوییینگ کامل و قابلیت درایوخوبی را فراهم می‌کنند. عیب اصلی مدارهای CMOS استاتیک، وجود بلوک نوعP است زیرا در مقایسه با ترانزیستورهای نوعN باید در ابعاد بزرگ‌تری طراحی شوند تا عملکرد مطلوب را داشته باشند. خازن ورودی گیتCMOS استاتیک بزرگ است زیرا هر ورودی حداقل به گیت یک ترانزیستور نوعN و یک ترانزیستور نوعP وصل می شود. این نکته دلیل دیگر کاهش سرعت گیت‌هایCMOS استاتیک است. جمع‌کننده دیگر، سبک‌منطق CPL[۱۰] است، این ساختار به دلیل اینورتر های استاتیک خروجی و طبقه تفاضلی پرسرعت ترانزیستورهای نوعP با اتصال ضربدری دارای سرعت بالا، عملکرد نوسان-کامل و قابلیت درایوخوب است. اما به‌دلیل تعداد زیاد گره‌های داخلی و اینورترهای استاتیک، توان مصرفی بسیار بالا است. همچنین به‌دلیل قرارگیری نامنظم ترانزیستورهای ساختارCPL، جانمایی آن به سادگی سلول CMOS نیست. موارد دیگر طراحی‌های جمع-کننده شامل TGA[۱۱] می‌باشند. این جمع‌کننده‌ها ذاتاً توان مصرفی پایین دارند. عیب اصلی این سبک‌های منطق در ندا شتن قابلیت درایو است. دلیل این مسئله نیز کوپل نشدن ورودی‌ها به خروجی‌ها می‌باشد. زمانی که TGA کسکود می شوند عملکرد آن‌ها به طور قابل‌توجهی کاهش می یابد. طرح منطق CMOS-آمیخته، بیش از یک سبک‌منطقی استفاده می‌کند. تمامی طراحی‌های ترکیبی از بهترین زیربخش‌های موجود پیاده‌سازی شده توسط انواع سبک‌های مختلف منطق بهره می‌برند [۷]. طرح تمام‌جمع‌کننده به سبک منطقیCMOS-آمیخته، ترکیبی از ترانزیستورهای عبور یا pass transistors و گیت‌های انتقال یاtransmission gates و ترانزیستورهای نوعNوP می‌باشد، این طرح به معایب طرح‌هایی که قبلا ارائه شده بود غلبه می‌کند. تلاش برای رسیدن به عملکرد با توان پایین و سرعت بالاتر با قابلیت ولتاژپایین، برای تکنولوژی زیر-نانومتر، تحقیق ما را به‌سمت بررسی سبک منطقی CMOS-آمیخته هدایت کرد،(شکل۷).

---

۶ - height of fin

۷ - thickness of fin

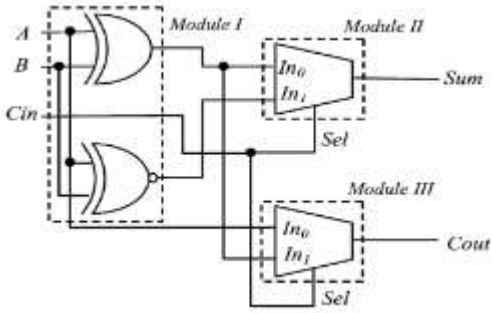
۸ - number of fin

۹ - BSIM-Independent Multi-Gate

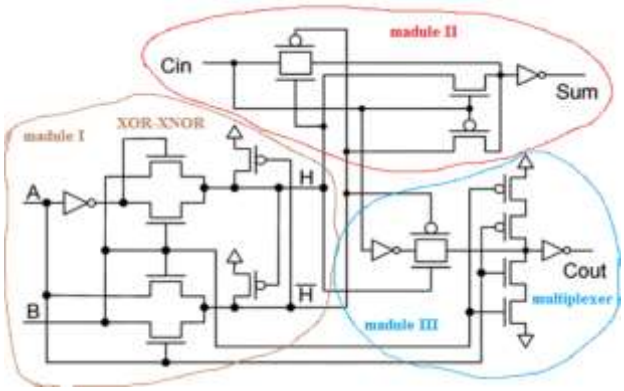
۱۰ - complementary pass transistor logic

۱۱ - transmission-gate full adder

تمام‌جمع‌کننده مطلوب، مبتنی بر یک مدارXOR-XNOR جدید اســـت که خروجی‌هایXOR و XNOR آن به طور هم زمان با سوییچینگ-کامل متعادل تولید می‌شود. مطابق شکل۶، تمام‌جمع‌کنندهCMOS-آمیخته به سه قسمت تقسیم می‌شود. زیربخشI از یک مدار XOR-XNOR تشکیل شده است. این زیربخش سیگنال‌های میانی H و H′ را تولید می‌کند، این سیگنالها به همراه رقم‌نقلی از طبقه قبلی و ورودی‌های دیگرA و B به زیربخشII و III انتقال داده می‌شـــوند. تا Sum و Cout را تولید کنند. با توجه به اینکه دو زیربخش دیگر برای تولید خروجی‌های نهایی به سیگنال میانیH و H′ نیاز دارند، تأخیر پا سخ زیربخشI بحرانی است. زیربخشII یک پیاده‌ســازی تابع‌انتقال تابع XNOR برای تولیدSum' اســت که بوســیله یک معکوس‌کننده پس از آن Sum نیز تولید می‌شـود. به این ترتیب قابلیت درایو خوبی برای مدار به وجود می‌آید. به دلیل عدم وجود خطوط_تغذیه، هیچ جریان اتصـــال‌کوتاهی وجود ندارد. زیربخشIII در طبقه خروجیCMOS-آمیخته به همراه یک معکوس‌کننده اســـتاتیک درخروجی اســـتفاده می‌کند. معکوس‌کننده استاتیک قابلیتDriving خوبی را به ورودی‌هایی که از خروجی جدا شده‌اند، فراهم می‌کند[۷].



شکل۶: زیربخش‌های مختلف مدار تمام‌جمع‌کننده [۷].



شکل۷: مدار تمام جمع‌کننده CMOS-آمیخته به تفکیک زیربخش‌ها [۷].

روابط مربوط به Sum و Cout برحسب ورودی‌ها عبارتند از:

$$Sum = A \oplus B \oplus C_{in} = H \oplus C_{in} \quad (۱)$$

$$C_{out} = A \cdot H' + C_{in} \cdot H \quad (۲)$$

ساختار مدار بسیار متقارن است و بنابراین جانمایی منظم است. این مدار عملکرد سرعت بالایی دارد، بخاطر ترانزیستورهای pull-up نوعP با اتصال‌ضربدری که سیگنال‌های میانی را به‌سرعت تأمین می‌کنند. [۷].

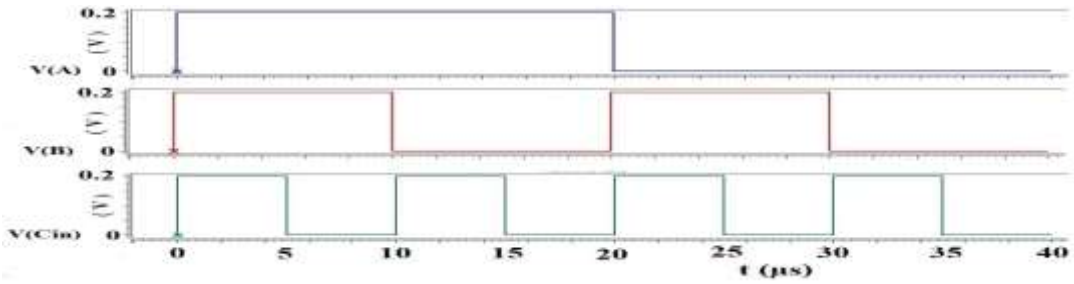
۴- تحلیل تاثیرتغییرات معماریFIN بر جریانFINFET و پارامترهای خروجی تمام‌جمع‌کننده CMOS-آمیخته

در بخش‌هایقبلی تمام‌جمع‌کننده با سبک‌منطقیCMOS-آمیخته و ساختارترانزیستورFINFET را مورد بررسی قراردادیم. برای طراحی سلول تمام‌جمع‌کنندهCMOS-آمیخته از ترانزیستورFINFET که یک فنآوری جدید و به‌روزی است، استفاده می‌کنیم. درسطح مداری به‌سمت تکنولوژی‌های در اندازه‌های نانومتری حرکت می‌کنیم، یک طراحی بهینه باید ولتاژ خروجی را حفظ کند، توان کمتری مصرف کند، تأخیرکمتری در مسیرهای‌اصلی داشته باشد و حتی در ولتاژهای تغذیه‌پایین، قابلیت اطمینان داشته باشد. با توجه به این‌که سلول‌های تمام‌جمع‌کننده به تعداد زیادی تکرار می‌شوند، نظم و ترتیب جانمایی و پیچیدگی‌اتصالات نیز مهم می‌باشد. تاثیرتغییرات معماریFINFETمانند ارتفاع و ضخامتو تعدادFIN بر روی مقاومت و خازن پارازیتی نواحیSource/Drain و جریانFINFET و پارامترهای خروجی تمام‌جمع‌کننده مانند متوسط‌توان‌مصرفی و تاخیرانتشاری را مورد بررسی قرارخواهیم داد. درانتها جمع‌بندی بهتری از تاثیر اعمال تغییرات در معماریFINFET برروی جریانFINFET و مقاومت و خازن پارازیتی و خروجی تمام‌جمع‌کننده دست پیدا کنیم.

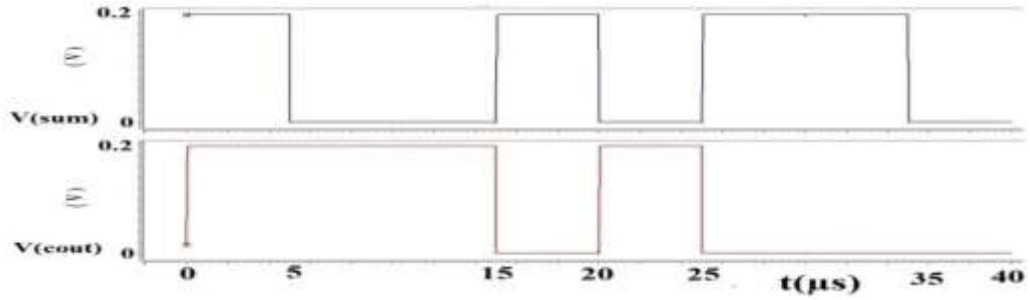
۴-۱ نتایج شبیه‌سازی حاصل از تغییرات معماریFIN

در جدول‌های۱و۲، نتایج شبیه‌سازی حاصل از افزایش ارتفاع، ضخامت و تعداد FIN با منبع تغذیه ۰/۲ ولت نشان داده شده است. که

خروجی‌ها شامل: جریان Drain FINFET و متوسط توان‌مصرفی و تاخیرانتشاری و حاصلضرب توان-تاخیر PDP[۱۲] و EDP[۱۳] تمام-جمع‌کننده می‌باشد .در جدول۱ تاثیر افزایش ضخامت، ارتفاع FIN (برای تعداد FIN مقدارثابت پیشنهادی NFIN=1 (و در جدول۲ تاثیر افزایش تعداد FIN(برای ضخامت،ارتفاع FIN با مقادیر ثابت پیشنهادی) نوع N (TFIN=HFIN=9.9nm) و نوع P (TFIN=HFIN=12nm) نانومتر (برروی پارامترهای خروجی تمام‌جمع‌کننده نشان داده می‌شود. متوسط تاخیرانتشاری، میزان تاخیری که از ۵۰٪ صعود در ورودی تا ۵۰٪ نزول درخروجی و برعکس اتفاق می‌افتد.PDP , EDP هر دو یک معیار سنجش جهت مقایسه کارایی در ادوات دیجیتال می‌باشد، که مقادیرآن-هرچقدر پایین‌تر باشد مطلوب‌تر است.PDP حاصلضرب میزان توان‌مصرفی درمدت-زمانی که سوییچینگ اتفاق می‌افتد، از رابطه PDP = Pavg*t بدست می‌آید، برحسب ژول می‌باشد. EDPحاصلضرب انرژی در مدت-زمانی که سوییچینگ اتفاق می‌افتد، از رابطه EDP=PDP*t= Pavg *t *t بدست می‌آید، برحسب ژول-ثانیه می‌باشد. که در اینجا Pavg متوسط توان‌مصرفی وt تاخیرانتشاری است. شکل موج‌های ورودی وخروجی جمع‌کننده در بازه زمانی صفر تا ۴۰میکروثانیه درشکل‌های۸و۹ نمایش داده می‌شود.



شکل۸ : شکل موج‌های ورودی تمام‌جمع‌کننده ($V(A)$, $V(B)$, $V(C_{in})$



شکل۹ : شکل موج‌های خروجی تمام‌جمع‌کننده(V(sum و V(cout)

جدول ۱ : تاثیر افزایش ارتفاع و ضخامت FIN

	مقادیر برای ترانزیستور نوع N ,P		مقادیر خروجی تمام جمع کننده (فرکانس ولتاژهای ورودی: V(A)= 25 KHz ,V(B)= 50 KHz ,(Cin)= 100 KHz)			
نوع ترانزیستور	NFIN=1 TFIN ,HFIN- (نانومتر)	حداکثر جریان Drain (نانوآمپر)	تاخیر انتشاری (ثانیه)	متوسط توان مصرفی (وات)	PDP (ژول)	EDP (ژول-ثانیه)
N type	TFIN=HFIN=6.9nm	7.1nA	10.29×10^-9	.09×10^-10	0.96×10^-19	9.88×10^-28
P type	TFIN=HFIN=11nm	1.47 nA				
N type	TFIN=HFIN=8.8nm	31.32 nA	3.28×10^-9	0.38×10^-10	1.24×10^-19	4.1×10^-28
P type	TFIN=HFIN=11nm	1.47 nA				
N type	TFIN=HFIN= 9nm	35.6 nA	2.63×10^-9	0.47×10^-10	1.25×10^-19	3.3×10^-28
P type	TFIN=HFIN= 12nm	2.51 nA				
N type	TFIN=HFIN= 9.9nm	61nA	1.71×10^-9	0.99×10^-10	1.69×10^-19	2.89×10^-28
P type	TFIN=HFIN= 12nm	2.51nA				
N type	TFIN=HFIN= 9.9nm	61nA	1.54×10^-9	1.06×10^-10	1.63×10^-19	2.52×10^-28
P type	TFIN=HFIN= 13nm	4.26nA				
N type	TFIN=HFIN= 9.9nm	61nA	1.3×10^-9	1.4×10^-10	1.82×10^-19	2.39×10^-28
P type	TFIN=HFIN= 15nm	11.87nA				
N type	TFIN=HFIN=11.8nm	158.7 nA	0.55×10^-9	5.43×10^-10	2.99×10^-19	1.65×10^-28
P type	TFIN=HFIN=15.6nm	15.97nA				

جدول ۲ : تاثیر افزایش تعدادFIN

مقادیر برای ترانزیستور نوع N ,P (TFIN= HFIN=9.9nm for N type TFIN= HFIN=12nm for P type)			مقادیر خروجی تمام جمع کننده (فرکانس ولتاژهای ورودی : V(A)= 25 KHz , V(B)= 50 KHz , V(Cin)= 100 KHz)			
تعداد FIN	نوع ترانزیستور	حداکثر جریان Drain (نانوآمپر)	تاخیر انتشاری (ثانیه)	متوسط توان مصرفی (وات)	PDP (ژول)	EDP (ژول-ثانیه)
NFIN=1	N type	61nA	1.71×10^-9	0.99×10^-10	1.69×10^-19	2.89×10^-28
	P type	2.51 nA				
NFIN=5	N type	305 nA	0.74×10^-9	4.88×10^-10	3.63×10^-19	2.7×10^-28
	P type	12.6 nA				
NFIN=7	N type	427 nA	0.63×10^-9	6.82×10^-10	4.34×10^-19	2.76×10^-28
	P type	17.63 nA				
NFIN=15	N type	915 nA	0.44×10^-9	14.6×10^-10	6.47×10^-19	2.87×10^-28
	P type	37.79 nA				

۴-۲-تحلیل تاثیرتغییرات ارتفاع و ضخامت وتعدادFIN بر جریانFINFET

پارامترهایی مانند ارتفاع و ضخامت و تعدادFIN برای دستیابی به مقدار جریان جاری در ترمینالDrain برایFINFET نوعN و P تعیین کننده هستند. برای سادگی در فرایند محاسبات و ساخت پیشنهاد می‌شود که مقادیر ارتفاع و ضخامتFIN برای همه ترانزیستور های نوعNو Pیکسان باشد [۸] .جریان در افزاره‌های چند-گیتی معادل است با حاصلضرب جریان تک-گیتی در تعداد گیت های م شابه که موبیلیتی یکسانی دارند. بعنوان مثال جریان در افزاره دو-گیتی دو برابر جریان افزاره تک–گیتی ا ست همین طور برای افزاره سه-گیتی. برای داشتن جریان‌های بزرگتر از افزاره‌های چندگیتی استفاده می‌شود. جریان را می‌توان با افزایش ضخامت و ارتفاعFIN افزایش داد، اما با FINهای بلند اغلب م شکلاتی در طول پردازش افزاره بوجود می‌آورند[۳]. FINFET بهترین راه‌حل برای کاهش اثرات کانال‌کوتاه ا ست با این حال این افزاره چندین مولفه‌پارازیتی بوجود می‌آورد که می‌تواند عملکرد افزاره را کاهش دهد، آنها مقاومت پارازیتی وخازن پارازیتی هستند، که این مولفه‌های پارازیتی به ساختار هندسیFINFET مانند ارتفاع و ضخامتFIN وابسته هستند، مقاومت‌های پارازیتی برای نواحی S/D[۱۴] که مطابق فرمول‌های زیر بدست می‌آیند [۹]. جهت بررسی ارتباط ضخامت و ارتفاعFIN با مقاومت و خازن پارازیتی، از روابط که در [۹] بررسی شده استفاده می‌کنیم.

$$R_{sp1} = \frac{1}{2} \times \frac{2}{\pi H_{FIN}} \rho_{ext} \left[\ln\left(0.75 \frac{\frac{W_{FIN}}{2}}{x_c}\right)\right] \quad (۵)$$

$$R_{sh1} = \rho_{ext} \left(\frac{L_{ext}}{H_{FIN} \times W_{FIN}}\right) \quad (۶)$$

$$R_{sp2} = \rho_{hdd} \times \left[\frac{\ln(0.75) + \ln(L_{ext}) - \ln(W_{FIN})}{\pi (H_{FIN} + T_{metal})}\right] \quad (۷)$$

خازن پارازیتی در نواحیS/D تاثیر عمده‌ای بر عملکرد و تاخیرذاتی افزاره و همچنین بر خازن پارازیتی کلی‌افزاره می‌گذارد. خازن‌های پارازیتی شامل: C_1 بالای نواحیS/D به بالای‌گیت و C_2 بالای نواحیS/D به کناره‌های‌گیت و C_3 کناره‌های نواحیS/D به کناره‌های-گیت می‌شود، مطابق فرمول‌های زیر بدست می‌آید [۹] :

$$C_1 = \frac{2(W_{FIN} + G_{FIN})\epsilon_{ox}}{\pi} \ln\left(1 + \frac{L_{gate}}{T_{poly} + T_{mask}}\right) \quad (۸)$$

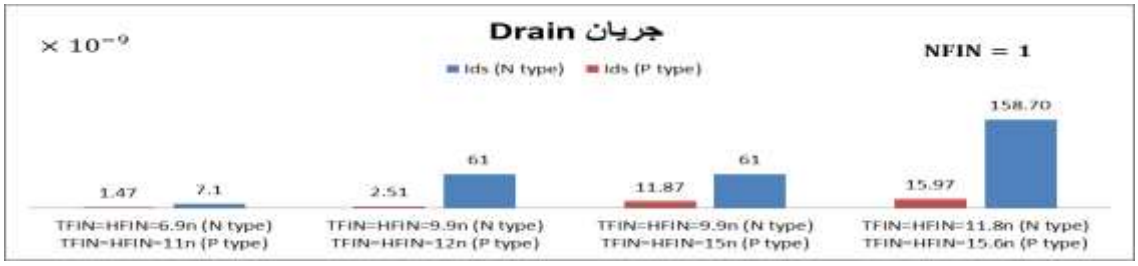
$$C_2 = \frac{2\epsilon_{ox} W_{FIN}}{\pi} \times a + \frac{\eta_2 \epsilon_{ox} W_{FIN}\, e^{-1}}{\pi} \ln\left(\frac{\pi W_{FIN}}{T_{ox}}\right) K_2 \quad (۹)$$

$$C_3 = \frac{H_{FIN} G_{FIN} \epsilon_{ox}}{L_{ext}} \left(\frac{\tau_3 (G_{FIN} + 2T_{OX})}{L_{ext}} + K_3\right) \quad (۱۰)$$

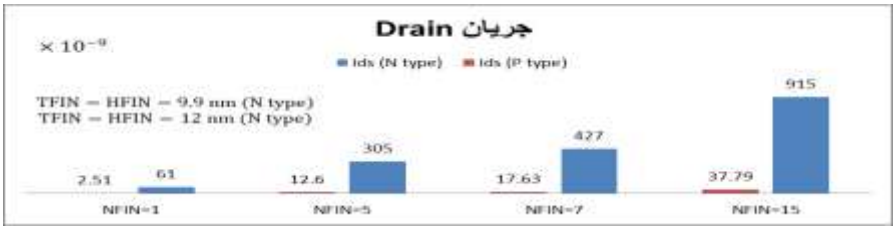
مطابق روابط‌بالا، با افزایش ارتفاع و ضخامتFIN، مقاومت‌های پارازیتی در نواحیS/D کاهش پیدامی‌کند. خازن پارازیتی برخلاف مقاومت پارازیتی با افزایش ارتفاعFIN افزایش پیدا می‌کند. ارتفاعFIN تنها درخازن حاشیه‌ای پارازیتیC_3 نقش دارد و با افزایش

[۱۴] - Source/Drain

ارتفاع FIN، خازن C_3 افزایش پیدا می‌کند. ضخامت FIN در خازن‌های حاشیه‌ای پارازیتی C_2 و C_1 نقش دارد و با افزایش ضخامت FIN، خازن‌های پارازیتی C_2 و C_1 افزایش پیدا می‌کند. باتوجه به تغییرات ضخامت FIN و اثرآن بر مقاومت و خازن پارازیتی S/D، ما می توانیم با بهینه‌سازی ضخامت FIN، حداقل مقدارپارازیتی را مشاهده کنیم. برای اجتناب از پارازیت‌های نواحی S/D و بهبود سرعت‌افزاره، بهینه‌کردن اندازه FIN بسیار مورد نیازاست. [۹]. با کاهش ارتفاع FIN، به دلیل افزایش مقاومت پارازیتی جریان‌نشتی و جریان Ion کاهش می‌یابند [۱۰]. کاهش‌جریان حالت‌روشن به زیر یک‌مقدار مشخص قابل‌قبول نمی‌باشد زیرا سرعت‌افزاره در جریان حالت‌روشن کوچک، کاهش می‌یابد. و با افزایش ضخامت FIN جریان Drain افزایش پیدا می‌کند، زیرا پهنای کانال‌ها افزایش پیدا می کند درنتیجه جریان Ion بیشتری عبور می‌کند. جریان‌نشتی نیز با افزایش ضخامت FIN بعلت کاهش کنترل روی‌گیت افزایش می‌یابد. افزایش ضخامت FIN در FINFETهای دو-گیتی و سه-گیتی باعث کاهش کنترل از گیت می‌شود [۱۱]. برای داشتن کنترل‌خوب روی اثرات کانال‌کوتاه، لازم است که ضخامت FIN از طول Gate کوچکتر باشد [۳]. FINFETها برای طراحی FINهای چندگانه جهت دستیابی به کانال‌هایی با عرض بزرگتر طراحی شده‌اند. با افزایش تعداد FIN جریان‌عبوری از افزاره افزایش پیدا می‌کند بعنوان‌مثال افزاره‌ای با تعداد۵ تا FIN، ۵برابر جریان بیشتری از افزاره با تک FIN دارد[۱۲] . با افزایش ضخامت و ارتفاع FIN مقاومت‌های پارازیتی نواحی S/D کاهش می‌یابد درنتیجه جریان Ion افزایش می‌یابد و بلعکس. نمودارستونی تاثیر برجریان Drain در شکل ۱۰ را مطابق جدول ۱ با افزایش ضخامت،ارتفاع FIN و در شکل ۱۱ را مطابق جدول ۲ با افزایش تعداد FIN نشان‌داده می‌شود.



شکل ۱۰: تاثیر افزایش ضخامت، ارتفاع FIN بر روی جریان Drain ترانزیستورهای نوع N, P برمبنای مقدار بهینه پیشنهادی تعداد FIN



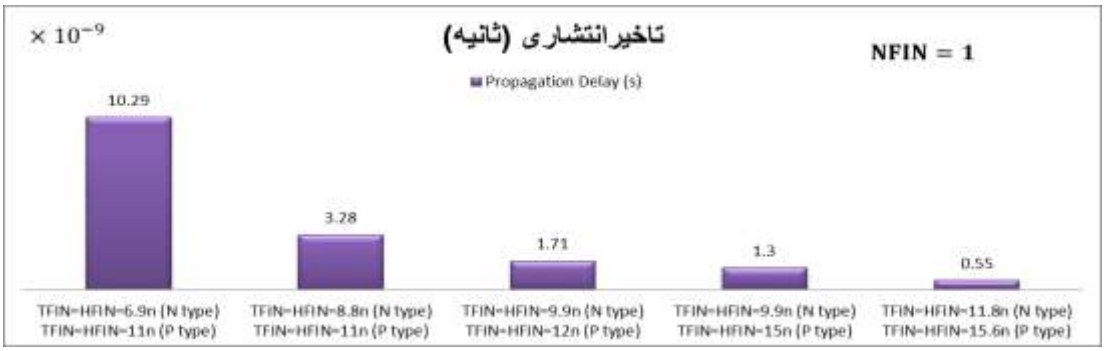
شکل ۱۱: تاثیر افزایش تعداد FIN بر روی جریان Drain ترانزیستورهای نوع N, P برمبنای مقدار بهینه پیشنهادی ضخامت و ارتفاع FIN

۴-۳-تحلیل تاثیر تغییرات ارتفاع،ضخامت،تعداد FIN بر پارامترهای متوسط توان‌مصرفی و تاخیرانتشاری تمام‌جمع‌کننده

باتوجه به بخش۴-۲، افزایش ارتفاع‌وضخامت وتعداد FIN باعث افزایش جریان Drain می‌شود. طبق رابطه P=V*I افزایش جریان باعث افزایش توان‌مصرفی می‌شود و از سوی دیگر با افزایش‌جریان، حرکت‌الکترون‌ها بیشتر می‌شود که باعث افزایش سرعت‌افزاره می شود. باتوجه به رابطه‌ی عکس تاخیرانتشاری با سرعت‌افزاره، با افزایش سرعت، تاخیرانتشاری افزاره کاهش می‌یابد. بنابراین‌افزایش ارتفاع‌وضخامت‌وتعداد FIN باعث‌کاهش‌تاخیرانتشاری و افزایش توان‌مصرفی افزاره می‌شود. مقادیر متوسط‌توان‌مصرفی و تاخیرانتشاری و همچنین پارامترهای PDP وEDP در جدول‌های۱و۲ ارائه شده است. برای درک شهودی بهتر نمودار ستونی مربوط به‌جدول‌های ۱و۲ را درادامه نشان می‌دهیم. نمودارستونی تاثیر بر توان‌مصرفی وتاخیرانتشاری تمام‌جمع‌کننده با افزایش ضخامت‌وارتفاع FIN را در شکل‌های۱۲و۱۳مطابق جدول۱ نشان داده شده‌است، مشاهده می شود که با افزایش ضخامت‌وارتفاع FIN (با شرایط برابر از لحاظ تغییرات معماری FIN) روندافزایشی توان‌مصرفی ۶۰ برابر نسبت به‌حالت‌اولیه بیشترمی‌شود و روندکاهشی تاخیرانتشاری، ۱۹برابر نسبت به حالت‌اولیه کمتر می‌شود. درنتیجه در یک‌شرایط‌برابر، با افزایش ضخامت‌وارتفاع FIN روندافزایشی توان‌مصرفی بیشتر از روندکاهشی تاخیرانتشاری است. جهت‌بررسی وتحلیل‌تعداد FIN، درشکل‌های۱۴و۱۵نمودارستونی تاثیر بر توان‌مصرفی و تاخیرانتشاری

تمام‌جمع‌کننده با افزایش تعدادFIN را مطابق جدول۲ نشان‌داده شده‌است، مشاهده می‌شود که با افزایش تعدادFIN تا ۱۵برابر (با شرایط برابر از لحاظ تغییرات‌معماری‌FIN) روندافزایشی توان‌مصرفی حدودا ۱۵برابر حالت تک-FIN می‌شود و روندکاهشی تاخیرانتشاری، حدودا۴برابر حالت تک-FIN، افت‌می‌کند. درنتیجه با افزایش تعدادFIN،روندافزایشی توان‌مصرفی بیشتر از روندکاهشی تاخیرانتشاری است.

شکل۱۲: تاثیر افزایش ضخامت،ارتفاعFIN بر روی متوسط توان‌مصرفی سلول تمام‌جمع‌کننده بر مبنای مقدار بهینه پیشنهادی تعدادFIN



شکل ۱۳ : تاثیر افزایش ضخامت، ارتفاعFIN بر روی تاخیرانتشاری سلول تمام‌جمع‌کننده بر مبنای مقدار بهینه پیشنهادی تعدادFIN

شکل۱۴: تاثیر افزایش تعدادFIN بر روی متوسط توان‌مصرفی تمام‌جمع‌کننده بر مبنای مقدار بهینه پیشنهادی ضخامت،ارتفاع FIN

شکل۱۵: تاثیر افزایش تعدادFIN بر روی تاخیرانتشاری سلول تمام‌جمع‌کننده بر مبنای مقدار بهینه پیشنهادی ضخامت،ارتفاعFIN

۵-تحلیل تاثیر افزایش فرکانس ورودی‌های تمام‌جمع‌کننده

توان‌مصرفی به منبع‌تغذیه و فرکانس‌کاری وابسته هستند و با افزایش منبع‌تغذیه و فرکانس، افزایش پیدا می‌کنند. افزایش فرکانس باعث کاهش تاخیرانتشاری می شود، [۱۳]. برطبق رابطه $P_{avg}=\alpha$ *C *$V_{dd}{}^2$ *f متوسط‌توان‌مصرفی به فرکانس‌کاری و منبع‌تغذیه وابسته است. همچنین مطابق جدول۳ مشاهده می شود که با افزایش فرکانس ورودی‌های تمام‌جمع‌کننده، منبع‌تغذیه هم افزایش پیدا می‌کند، چرا که میزان عملیات‌کاری بیشتر می‌شود. با افزایش فرکانس‌کاری متوسط توان‌مصرفی و PDP افزایش پیدا می‌کند، ولی تاخیرانتشاری از فرکانس بالاتر از ۲۵مگاهرتز تقریبا ثابت می‌ماند.

جدول۳ : تاثیر افزایش فرکانس ورودی‌های تمام‌جمع‌کننده

TFIN=HFIN= 9.9nm for Ntype TFIN=HFIN= 12nm for Ptype					
تغییرات فرکانس ورودی های تمام جمع کننده	منبع ولتاژ (ولت)	تاخیر انتشاری (ثانیه)	متوسط توان مصرفی (وات)	PDP (ژول)	EDP (ژول-ثانیه)
V(A)= 25 KHz ,V(B)=50 KHz , V(Cin)=100 KHz	Vdd= 0.2	1.71×10^-9	0.99×10^-10	1.69×10^-19	2.89×10^-28
V(A)= 2.5 MHz ,V(B)=5 MHz , V(Cin)=10 MHz	Vdd= 0.41	4.44×10^-11	1.62×10^-9	7.19×10^-20	3.19×10^-30
V(A)= 25MHz ,V(B)=50 MHz , V(Cin)=100MHz	Vdd= 2.29	1.05×10^-11	7.14×10^-7	7.57×10^-18	8.02×10^-29
V(A)=0.25 GHz , V(B)=0.5 GHz , V(Cin)=1 GHz	Vdd= 2.29	1.05×10^-11	3.72×10^-6	3.95×10^-17	4.18×10^-28
V(A)=0.5 GHz , V(B)=1 GHz , V(Cin)=2 GHz	Vdd= 2.29	1.06×10^-11	7.08×10^-6	7.54×10^-17	8.04×10^-28
V(A)= 1 GHz , V(B)= 2 GHz , V(Cin)= 4 GHz	Vdd= 2.29	1.06×10^-11	1.37×10^-5	1.46×10^-16	1.56×10^-27

۶- نتیجه‌گیری

در این‌مقاله، مدارتمام‌جمع‌کننده به سبک‌منطقی CMOS-آمیخته را با استفاده از FINFET طراحی و شبیه‌سازی کردیم. تاثیر تغییرات معماری FIN همچون تغییرات ارتفاع‌وضخامت‌وتعداد FINها در FINFET برروی جریان Drain ترانزیستور و پارامترهای توان‌مصرفی، تاخیرانتشاری تمام‌جمع‌کننده‌ی CMOS-آمیخته مورد بررسی قرار گرفت. در ادوات‌دیجیتال دوعامل توان‌مصرفی و سرعت‌افزاره مهم هستند، هر دوعامل بایستی بطور همزمان بررسی شود چرا که با پیشرفت‌تکنولوژی و نیاز به افزاره کم‌مصرف و سرعت‌بالا روز به روز بیشتر احساس می شود. درنتیجه در این‌مقاله سعی شد که هر دوعامل توان و سرعت بطور همزمان مورد بررسی قرار گیرد. برای اجتناب از پارازیت‌های نواحی S/D و بهبود سرعت‌افزاره، بهینه‌کردن اندازه FIN بسیار مورد نیاز است. با افزایش ارتفاع، ضخامت و تعداد FIN جریان Ion افزایش می‌یابد. طبق رابطه P=V*I و نتایج شبیه‌سازی، جریان و توان‌مصرفی با هم ارتباط دارند، در نتیجه متوسط‌توان‌مصرفی با افزایش جریان ترانزیستور، افزایش پیدا می‌کند. سرعت‌افزاره به افزایش جریان وابسته هست و با افزایش جریان، حرکت الکترون‌ها بیشتر می شود در نتیجه افزایش جریان منجر به افزایش سرعت‌افزاره می شود و بخاطر اینکه سرعت‌افزاره با تاخیرانتشاری افزاره رابطه‌ی-عکس دارد، بنابراین با افزایش جریان‌افزاره، تاخیرانتشاری سلول تمام‌جمع‌کننده کاهش پیدا می‌کند، طبق نتایج در یک شرایط برابر از لحاظ اندازه FIN، با افزایش ارتفاع، ضخامت وتعداد FIN روندافزایشی توان‌مصرفی بیشتر از روندکاهشی تاخیرانتشاری است. درانتها با در نظرگرفتن هر دو عامل توان و تاخیر بطور همزمان با هدف‌داشتن یک افزاره کم‌مصرف و سرعت‌بالا، یک مقدار حد وسط از متوسط‌توان‌مصرفی و تاخیرانتشاری تمام‌جمع‌کننده را برای تعیین مقدار بهینه اندازه FIN درنظرگرفتیم. درنتیجه برای نوع N(TFIN=HFIN=9.9nm) و نوع P (TFIN=HFIN=12nm) نانومتر و برای تعداد FIN (NFIN=1) بعنوان مقادیربهینه‌پیشنهادی انتخاب می شود. مشخصات و خروجی تمام‌جمع‌کننده در حالت‌بهینه در مقایسه با مقاله [۸] در جدول۴ ارائه

شده است، مشاهده می‌شود که درتمامی پارامترهای‌خروجی‌تمام‌جمع‌کننده شامل متوسط‌توان‌مصرفی وتاخیرانتشاری وPDP وEDP و معماریFIN در مقایسه با مقاله[۸] بهبود حاصل شده است.

جدول۴ : مقایسه نتایج این مقاله با مقاله [۸]

	نوع ترانزیستور	تعدادFIN	ضخامت وارتفاع FIN (نانومتر)	حداکثر جریان Drain (نانو آمپر)	تاخیر انتشاری تمام جمع کننده (ثانیه)	متوسط توان مصرفی تمام جمع کننده (وات)	PDP (ژول)	EDP (ژول-ثانیه)
درمقاله [8]	N type	NFIN=1	TFIN=HFIN= 10nm	60.657 nA	1.75×10^-9	3.17×10^-10	5.54×10^-19	9.67×10^-28
	P type	NFIN=1	TFIN=HFIN= 17nm	35.957 nA				
مقادیر بهینه این مقاله	N type	NFIN=1	TFIN=HFIN= 9.9nm	61 nA	1.71×10^-9	0.99×10^-10	1.69×10^-19	2.89×10^-28
	P type	NFIN=1	TFIN=HFIN= 12nm	2.51 nA				

مراجع

[1] I. Ferain, C. A. Colinge, and J-P Colinge, "Multi-gate Transistors as the future of classical Metal-oxide-semiconductor Field-effect Transistors." Nature, vol.479, pp.310-316, Nov. 2011.

[2] M. Zhang, J. Gu, and C. H. Chang, "A Novel Hybrid Pass Logic With Static CMOS Output Drive Full-adder Cell," I*EEE International Symposium on Circuits and Systems (ISCAS)*, May 2003, pp. 317–320 .

[3] J.-P. Colinge, "FinFETs and Other Multi-Gate Transistors," Springer,USA, 2008

[4] J-H. Lee, "Bulk FinFETs: Design at 14 nm Node and Key Characteristics" Springer Science, vol.65, pp.33-64, 2016.

[5] J. Whitehouse and E. John, "Leakage and delay analysis in FinFET array multiplier circuits," *IEEE 57th International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2014, pp. 909-912

[6] Y. S. Chauhan et. al, "BSIM Compact MOSFET Models for SPICE Simulation," *Proceedings of the 20th International Conference Mixed Design of Integrated Circuits and Systems - MIXDES*, June 2013, pp.23-28.

[7] S. Goel, A. Kumar and M. A. Bayoumi, "Design of Robust, Energy-Efficient Full Adders for Deep-Submicrometer Design Using Hybrid-CMOS Logic Style," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 14, no. 12, pp. 1309-1321, Dec. 2006.

[8] A. B. A. Tahrimet. al,"Design and Performance Analysis of 1-Bit FinFET Full Adder Cells for Subthreshold Region at 16nm Process Technology,"Hindawi Publishing Corporation Journal of Nanomaterials, vol.2015, 2015.

[9] P. Jay and A. D. Darji, "Analysis of the source/drain parasitic resistance and capacitance depending on geometry of FinFET," *11th Conference on Ph.D. Research in Microelectronics and Electronics (PRIME)*, 2015, pp. 298-301.

[10] T. Hayashida et. al, "Fin-Height Effect on Poly-Si/PVD-TiNStacked-Gate FINFET Performance," IEEE Transactions on Electron Devices,vol. 59, no.3, pp. 647 - 653 , March 2012 .

[11] M. K. Rai, V. Narendar and R. A. Mishra, "Significance of variation in various parameters on electrical characteristics of FinFET devices," *2014 Students Conference on Engineering and Systems*, 2014, pp. 1-6, [12] J.-P. Colinge, "Silicon-on-Insulator Technology: Materials to VLSI", Springer, NewYork USA, 2004 .[13] R. Kumar et. al," Low-Power High-Speed Double Gate 1-bit Full Adder Cell ," Intel Journal of Electrpnics and Telecommunications ,vol. 62, no. 4, pp. 329-334, 2016.

Analysis of effect of changes of FINs Architectural on FINFET Drain current and on Average Power Dissipation and Propagation Delay in the Hybrid-CMOS full adder

Teimoor Rashedzadeh[1] , Seyed Mohammadali Riazi,*[2], Najmeh Cheraghi Shirazi[3]

1- Electrical Engineering, Islamic Azad University, Bushehr Branch, Bushehr, Iran, rashedzadeh@gmail.com

2*: Electrical Engineering, Islamic Azad University, Bushehr Branch, Bushehr, Iran, coactstudent@yahoo.com

3: Electrical Engineering, Islamic Azad University, Bushehr Branch, Bushehr, Iran, nch_shirazi@yahoo.com

ABSTRACT:

In this paper, full adder circuit with Hybrid-CMOS logic style is proposed which is a combination of pass transistors and transmission gates and N & P type transistors. For design full adder circuitry using FINFET transistors, BSIM-CMG model, Dual-gate and bulk FINFET structure using 16nm Gate length and HSPICE simulation. due to the structure and architecture of the FINFET transistors, the effect of changes in thickness and height and the number of FINs on the Drain current of the FINFET transistor and output parameters such as average power dissipation and propagation delay of the full adder cell and also the effect of changes in inputs frequency of full adder are investigated. According to the simulation results, with increasing thickness and height and the number of FINs, average power dissipation increases and propagation delay decreases, and vice versa. As well as increasing the operating frequency up, average power dissipation increases.

Keywords: FULL Adder, FINFET, Power, Delay, Drain