طراحی مدار مبدل سطح ولتاژ با بازده توان بالا برای کاربردهای ولتاژ پایین

وحیدرضا صبوری[۱]، دکتر عبدالرسول قاسمی[۲]، دکتر نجمه چراغی شیرازی[۳]

۱- دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، Vahid.s156@Gmail.Com

۲- دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، Rasul_ghasemi@Yahoo.com

۳- دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، Nch_shirazi@Yahoo.com

تاریخ دریافت: ۹۳/۱۱/۲۰ تاریخ پذیرش: ۹۴/۵/۲

چکیده:

در این مقاله یک تبدیل سطح ولتاژ مؤثر که قابلیت تبدیل سطوح ولتاژ بسیار پایین ورودی به سطح بالاتر با کاربرد در فرکانس‌های بالا را دارد، ارائه شده است. به منظور جلوگیری از اتلافات توان استاتیک، در ساختار پیشنهادی از یک منبع جریان استفاده شده و در طی انتقال فقط زمانی که در آن سطح منطق سیگنال ورودی با به سطح منطق خروجی متناظر نمی‌باشد، روشن است. عملکرد ساختار پیشنهادی تحلیل و بررسی شده و نتایج شبیه سازی پیشنهادی در تکنولوژی 0.18um cmos نمایش داده شده است که نشان می‌دهد مدار در فرکانس‌های بالا به خوبی عمل می‌کند و در فرکانس‌های بالاتر از یک گیگاهرتز با ایجاد تاخیری به اندازه یک دوره تناوب عملکرد بسیار صحیح را ارائه می‌دهد.

کلید واژه: شیفت سطح ولتاژ، مبدل چند سطح، مبدل ولتاژ

مقدمه

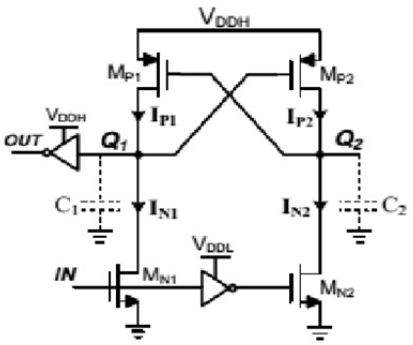
امروزه با پیشرفت تکنولوژی و رشد سریع سیستم‌های قابل حمل مانند لپ تاب و تلفن‌های همراه و تراشه‌های قابل کاشت در بدن مدارات با مصرف توان کم بسیار مورد توجه قرار کرفته است [۱]. یکی از مؤثرترین روش‌های کاهش توان مصرفی به کمک کاهش ولتاژ منبع تغذیه امکان پذیر است [۲]. با توجه به اینکه توان مصرفی دینامیکی با مربع ولتاژ تغذیه نسبت مستقیم دارد با کاهش ولتاژ تغذیه، توان مصرفی دینامیک بشدت کاهش می‌یابد [۳]. در برخی دیگر کاربردها مانند کاربردهای ماهوارایی و دریافت کننده اطلاعات ماهواره‌ای سرعت و فرکانس کار بالا نسبت به توان ارجعیت بالاتری دارد. برای رسیدن به سرعت بالا و توان مصرفی کم مداراتی با چند ولتاژ تغذیه مورد استفاده قرار می‌گیرند. برای داشتن حجم کمتر در تراشه استفاده از دو منبع تغذیه نسبت به چند منبع تغذیه بهینه‌تر خواهد بود به این صورت که گیت‌های قرار گرفته در مسیر بحرانی با تغذیه بالا VDD_H و گیت‌های خارج از مسیر بحرانی با تغذیه پایین VDD_L تغذیه می‌شوند که موجب کاهش چشمگیر توان مصرفی می‌شود [۴]. برای اینکه خروجی مداری که با ولتاژ تغذیه کم کار می‌کند به ورودی مداری با ولتاژ تغذیه بالا وصل شود بایستی از مبدل سطح بین دو مدار با تغذیه VDD_H و VDD_L استفاده کرد.

مبدل‌های سطح می‌بایست با تأخیر و توان مصرفی پایین برای دستیابی به بازده توان بالا طراحی گردد. علاوه بر این ساختارهایی با چندین ولتاژ تغذیه VDD_L و VDD_H به تعداد زیادی مبدل سطح به عنوان واسط برای هرکدام از مدارها مورد نیاز است [۵]. و از آنجایی که تکنیک چند تغذیه بمنظور کاهش توان دینامیکی مطرح شده است پس توان مصرفی مبدل سطح ولتاژ نباید موجب کاهش این بازده شود.

بنابرین کاهش توان مصرفی مبدل‌های سطح بعنوان یک شکل مهم برای مدارهایی با ولتاژ تغذیه چندگانه می‌باشد [۶]. هدف از مقاله ارائه ساختارهای جدید برای مبدل‌های سطح با تأخیر و توان مصرفی کم با کاربرد در فرکانس بالا می‌باشد.

شیفت سطح موجود

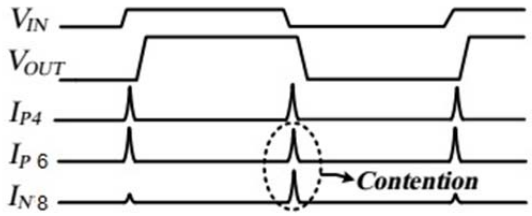
معمول‌ترین و متداول‌ترین مدارات سطح شیفت در شکل ۱ نشان داده شده است [7]. این مدار متقارن که متشکل از یک جفت PMOS برای شبکه بالاکش و یک جفت NMOS برای شبکه پایین کش و یک اینورتر تغذیه شده با ولتاژ VDD_L است، خروجی‌هایی متقارن را تولید می‌کند.



شکل۱- مبدل سطح متداول [7]

با تعویض سیگنال ورودی IN از صفر به VDD_L، ترانزیستور MN2 خاموش، MN1 روشن و مدار برای پایین کشیدن گره Q1 تلاش می‌کند. در نتیجه، MP2 به تدریج روشن شده و با هدایت گره Q2 به سمت ولتاژ VDDH به نوبه خود MP1 را خاموش می‌کند. مشاهده می‌شود یک مشاجره و کشاکش در گره Q1 و Q2 بین شبکه پایین کش (MN1 و MN2) درایو شده با ولتاژ کم (VDD_L) و شبکه بالاکش (MP1 و MP2) درایو شده با ولتاژ بالا (VDD_H) وجود دارد. این شیفت سطح متداول هنگامی که تفاوت بین VDD_H و VDD_L بزرگ‌تر شود نمی‌تواد بدرستی کار کند. همچنین هنگامی که VDD_L پایین‌تر از ولتاژ آستانه ورودی می‌شود مشکل مشاجره در گره‌ها شدت می‌گیرد.

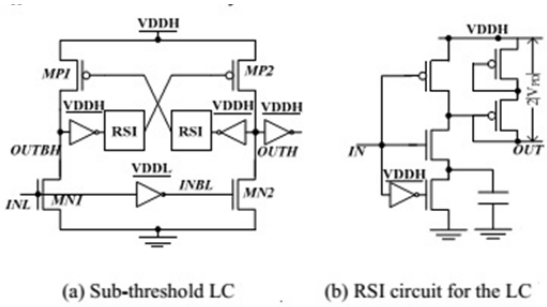
معماری دیگری از مدار LS مدار تبدیل سطح به همراه یک مدار تصحیح خطا منطقی ارائه شده است [8]. این مدار به سه بخش ۱) تبدیل سطح ۲) مدار تصحیح خطا در منطق پایین LLECC ۳) مدار تصحیح خطا منطق بالا HLECC تقسیم می‌شود. وضعیتی که در آن سیگنال ورودی در بازه زمانی که سطح منطق خروجی با سطح منطق وردی تطبیق ندارد، از VDD_L به GND نزول می‌کند، جریان توسط مولد جریان دینامیک (MN1 و MN2) به هر دو مرحله اول و دوم اعمال می‌شود. به ترتیب، همان طور که شکل ۲ نشان می‌دهد جریان به MP3 اعمال شده و از طریق ترانزیستور MP5 جاری می‌شود و گیت MN8 را بالا می‌کشد. بنابراین، ترانزیستور MN8 روشن می‌شود و تلاش می‌کند که گره OUT را پایین بکشد. همزمان، در مرحله دوم، جریان انتقال اعمال شده به MP6 تلاش می‌کند که گره OUT را بالا بکشد. بنابراین، یک مشاجره بین شبکه pull_up (یعنی MP6) و شبکه pull_down (یعنی MN8) وجود دارد که منجر به افزایش زمان انتقال و از این رو اتلاف توان بیشتری می‌شود.



شکل۲- جریان‌ها در مبدل سطح پیشنهادی [8]

ساختار تبدیل سطح دیگری که به طور ویژه برای ورودی‌های زیر آستانه با دو اینورتر کاهش سوینگ (RSI) برای درایو MP1 و MP2 در نظر گرفته شده است در شکل ۳ نشان داده شده است [9].

دو دیود PMOS، در خروجی مدار کاهش سوینگ (RSI) وجود دارد که ولتاژ روشن شدن PMOSهای کراس شده متقابل را ,MP2 (MP1) به |VGS|=2|VPD| محدود می‌کند که در آن |VPD| افت ولتاژ دیودهای PMOS از مدار RSI می‌باشد. این عمل موجب می‌شود توانایی شبکه بالا کش MP1 و MP2 کاهش پیدا کند.



شکل۳- مبدل سطح ولتاژ ارائه شده در [9]

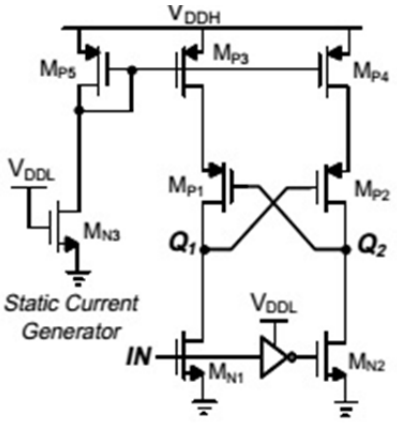
با رجوع به مدار یکی از عمده مشکلات که می‌توان به آن اشاره کرد اینورترهای اضافی استفاده شده برای درایو RSI است که پذیرفتن حداقل ولتاژ منطقی ورودی را محدود می‌کند.

شیفت سطح دیگری در [10] ارائه شده است. در این مدار، دو منبع جریان به شبکه بالاکش اعمال شده که قدرت شبکه بلاکش را محدود می‌کند. در نتیجه، شبکه ترانزیستور پایین کش می‌تواند بر کشاکش ذکرشده در گره‌ها Q1 و Q2 غلبه کند. این مدار در بازه فرکانسی وسیع نمی‌تواند کار کند و در ولتاژهای بسیار پایین‌تر از استانه عملکرد مطلوبی را ارائه نمی‌دهد.

شیفت سطح پیشنهادی

براساس معادلات نتیجه شده در [10] جریان هدایت بیشتری از ترانزیستور پایین کش MN1 مورد نیاز است تا بر جریان هدایت بالاکش ترانریستور MP1 غلبه کرده و عملیات تبدیل سطح انجام شود. با محدود کردن قدرت شبکه بالاکش تا حدی بر مشکل کشاکش غلبه می‌شود که برای این منظور در مدار شکل ۴ با کمک آینه جریان و محدود شدن جریان شبکه بالا کش مشکل کشاکش کمتر شده است [11]

این منبع جریان به طور مستمر در حال تزریق جریان به شاخه‌های کراس شده مدار تبدیل سطح بوده و این امر مستقیماً موجب افزایش توان مصرفی می‌شود.



شکل۴- شیفت سطح با منبع جریان ثابت

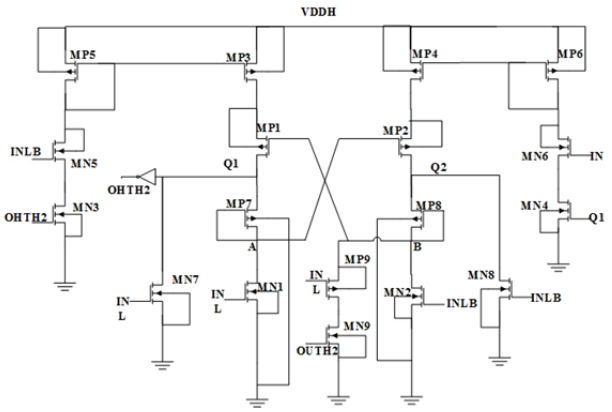
برای این منظور در این مقاله برای طراحی مدار شیفت سطح از منبع جریان ویلسون برای شاخه‌ها به طور جداگانه استفاده شده که به نوبه خود موجب کاهش توان مصرفی می‌تواند شود. این دو منبع جریان (یعنی MP3، MP4، MP5، MP6، MN3، MN4، MN5، و MN6) جریان اعمال شده به شبکه ترانزیستوری بالاکش (MP1، MP2) را محدود می‌کند. در نتیجه، با کاهش قدرت شبکه بالاکش، شبکه ترانزیستوری پایین کش (MN1 و MN2) قادر می‌شود که بر کشاکش ذکرشده در گره‌های خروجی Q1 و Q2 غلبه کند. با افزایش اختلاف ولتاژهای دو منبع VDD_L و VDD_H جریان هدایت بیشتری از ترانزیستور پایین کش MN1 مورد نیاز است تا بتواند بر جریان هدایت بالاکش ترانریستور MP1 غلبه کند که این امر هدایت گره خروجی Q1 را به مراتب دشوارتر می‌کند. بنابرین با کاهش قدرت شبکه بالاکش و محدود شدن عملیات شبکه بالاکش دشارژ گره خروجی به GND حتی برای ولتاژهای ورودی پایین‌تر از ولتاژ آستانه امکان پذیر است. به منظور جلوگیری از تلفات توان استاتیک، منابع جریان به نحوی کنترل شده است که در طول زمان انتقال فقط هنگامی که در آن سطح منطقی سیگنال ورودی با سطح منطقی سیگنال خروجی منطبق نیست، روشن می‌شوند و جریان مورد نیاز شبکه‌ها را تأمین می‌کنند. هنگامی که سیگنال ورودی IN در حال تغییر کردن از GND به VDD_L است، طراحی مدار به نحوی است که ترانزیستور MN1 روشن و ترانزیستور MN2

خاموش می‌شود. بنابراین، مشابه همتای متداول، ترانزیستور MN1 برای پایین کشیدن گره Q1 تلاش می‌کند و در نتیجه ترانزیستور بالاکش MP2 به تدریج روشن شده و ولتاژ گره خروجی Q2 را بسمت VDD_H افزایش می‌دهد. زمانی که سیگنال IN از GND به VDD_L تغییر می‌کند یک بازه زمانی وجود دارد که در طی آن سطح منطقی ولتاژ گره خروجی Q1 با سطح منطقی ولتاژ گره وردی IN مطابقت ندارد. در طی این مدت، هر دو ترانزیستور MN4 و MN6 روشن می‌شود. بنابراین جریان از طریق MN4، MN6 و MP6 جاری می‌شود و این جریان، با آینه جریان MP4 آینه شده و، جریان را به MP2 انتقال می‌دهد و به شبکه بالاکش اجازه می‌دهد که جریان مورد نیاز را برای شارژ گره Q2 به سمت VDD_H تأمین کند. این درحالی اتفاق می‌افتد که در همین زمان، طرف دیگر مدار، مکمل سیگنال ورودی INB=GND می‌شود که موجب خاموش شدن ترانزیستور MN5 شده و هیچ جریانی را از طریق MP1 عبور نمی‌دهد (یعنی IP1≈0) که به معنی تضعیف شدن شبکه بالا کش است. این امر باعث می‌شود که MN1 قادر به پایین کشیدن گره خروجی Q1 حتی برای ولتاژهای ورودی کمتر از ولتاژ آستانه ترانزیستور MN1 شود. در نهایت، هنگامی که گره Q1 بسمت GND پایین کشیده می‌شود و به دنبالان گره Q2 به VDD_H بالا کشیده شود، ترانزیستور MN4 خاموش شده و بنابراین هیچ جریان ثابتی از طریق ترانزیستورهای MN4، MN6 و MP6 نداریم. این بدان معنی است که ساختارمنبع جریان در زمان انتقال تنها زمانی که در آن ورودی و خروجی مطابقت ندارد روشن است که به منظور جلوگیری از اتلاف توان استاتیک می‌باشد. در ساختار پیشنهادی از دو دیود PMOS (MP7, MP8) به طور سری با دو ترانزیستور pmos شبکه بالا کش (MP2 MP1) متصل می‌شوند. هنگامی که مدار تبدیل سطح در حالت ماندگار بسر می‌برد، |VGS| دیودهای PMOS که معادل با افت ولتاژ دیود با مقدار |VPD| است، بسیار کوچک بوده و ترانزیستورهای PMOS اصلی شبکه بالاکش بسته به مقدار ورودی روشن و یا خاموش خواهد بود. هنگامی که سیگنال ورودی INL، برای مثال از سطح منطقی '0' به سطح منطقی '1' تغییر می‌کند |VGS| از دیود ترانزیستوری MP3 خیلی سریع تغییر نخواهد کرد و در مقدار اولیه خود یعنی |VPD|، حفظ می‌شود که قدرت بالاکشی شاخه سمت چپ را محدود می‌کند. از سوی دیگر، ورودی منطقی '1' زیرآستانه ضعیف موجب روشن شدن ترانزیستور MN1 می‌شود. با توجه به ضعف شبکه بالاکش دیود MP3، جریان MN1 ولتاژ گره 'A'را پایین خواهد کشید که، ترانزیستور MP2 در شاخه سمت راست را روشن می‌کند و فیدبک مثبت را فعال می‌کند. به این ترتیب، مدار می‌تواند بطور صحیح برای ورودی منطق زیرآستانه عمل کند علاوه بر این ما می‌توانیم تریگر کنیم فیدبک مثبت را با ولتاژ ورودی کوچک‌تری با توجه به کاهش زیاد ولتاژ درین NMOS و همچنین ولتاژ درین به طور مستقیم برای درایو فیدبک مثبت بدون هیچ مذار منطقی در بین استفاده می‌شود.

برای سطح شیفت‌های کراس–کوپل شده، زمان تبدیل سطح به طور عمده به سرعت فیدبک مثبت که توسط جریان NMOS در یک شاخه و جریان PMOS در شاخه‌ی دیگر تعیین می‌شود، بستگی دارد. برای طراحی [9] و طرح پیشنهادی، جریان NMOS با |VGS |=VDD_L متغیر است. جریان PMOS توسط ولتاژ خروجی RSI برابر با |VPD| 2 محدود می‌شود که مقیاس پذیر با VDD_L نیست. بنابراین هنگامی که هسته ولتاژ را افزایش می‌دهد، جریان PMOS دنباله رو این تغییر نمی‌شود. از طرفی سرعت سوئیچینگ با تغییر VDD_L نیز سازگار نیست. برای طراح پیشنهادی، هنگامی که منطق '1' به ورودی اعمال شود، نرخ افت ولتاژ در گره 'A' و از این رو جریان روشن شدن MP2 هر دو توسط جریان پایین کش MN1 مشخص شده می‌شود که وابسته به ولتاژ منطق ورودی است.

سرعت افزایش ولتاژ در گره Q2 همچنین بر ولتاژ منطق ورودی بستگی دارد. نتیجه حاصل که ورودی با ولتاژ منطقی بالاتر، افزایش سریع‌تر |VGS| دیودهای PMOS می‌باشد که زمان تعویض در خروجی سطح شیفت سریع‌تر می‌شود. بنابراین سرعت تبدیل سطح پیشنهادی می‌توانید با دنبال کردن مقادیر ولتاژ منطقی ورودی به صورت خودکار تغییر کند. برای طرح پیشنهادی، با توجه به افت ولتاژ دیود، زمانی که خروجی

منطقی شیفت سطح در منطق '0' می‌رود ولتاژ در گره Q1,Q2 یک |VPD| بیشتر از زمین می‌باشد.



شکل۵- شیفت سطح پیشنهادی

برای حل این مشکل، ۲ ترانزیستور NMOS یعنی MN7 و MN8، که توسط ورودی مدار شیفت سطح کنترل می‌شوند، اضافه شده که به طور کامل خروجی شیفت سطح را به زمین دشارژ می‌کند. مهم‌ترین مشخصه تبدیل سطح کارایی این مدار در محدوده وسیع از فرکانس، شامل فرکانس‌های پایین تا فرکانس‌های بالا با عملکردی بسیار مطلوب، می‌باشد. همچنین با توجه به ساختار در فرکانس‌های بالا حالاتی پیش می‌آید که مدار بسیار کند می‌شود که برای این منظور یک شاخه که با ولتآژ وردی و خروجی کنترل می‌شود به ساختار در گره B اضافه شده است. برای کاربردهای فرکانس بالا از آنجایی که دیودها شبکه بالاکش را محدود می‌کنند موجب کندی تبدیل می‌شوند. از این رو در کاربردهای فرکانس بالا از دو دیود باید صرف نظر شود که موجب می‌شود عملکرد مدار را در فرکانس‌های بالا بهبود دهد و سرعت عملکرد را بسیار افزایش دهد. همچنین مشخصه مهم دیگر افزایش محدوده کاری در ولتاژهای وردی بسیار پایین‌تر از استانه می‌باشد

نتایج و شبیه سازی

به منظور تأیید کارایی شیفت سطح پیشنهاد شده، ساختار و همچنین ساختارهای ارائه شده در [8]، [9]، [10]، [13] در فناوری ترانزیستور 90nm CMOS شبیه سازی شده است. همه مدارها و شبیه سازی عملکرد انها در VDD_H = 1.0 V انجام شده است. به منظور مقایسه در شرایط مساوی توان کشیده شده از منبع ولتاژ در مدارات محاسبه شده است. بلوک‌های زرد (با مقادیر بولد شده) محدوده‌ای را مشخص می‌کنند که مدارات پاسخی تقریباً قابل قبول با تاخیری به اندازه نصف دوره تناوب وردی را داشته‌اند. بلوک‌های قرمز محدوده عملکرد نادرست و بلوک‌های سبز محدوده عملکرد صحیح را نمایش می‌دهند. در جدول ۱ مدارات از مقالات مختلف را در شرایط برابر در یک نوع تکنولوژی شبیه سازی شده‌اند. نتایج شبیه سازی میزان توان مصرفی هر مدار را نمایش داده است. مشاهده می‌شود در این فرکانس همگی مدارات در محدوده سبز قرار گرفته‌اند.

جدول۱- توان مصرفی (w) مدارات در فرکانس 10KHz

	F=10KHZ, vddh=1.0, power				
VDDL	50mv	100mv	200mv	400mv	600mv
[8]	29.35n	28.33n	28.64n	30.18n	32.44n
[10]	2.25u	1.96u	1.63u	1.15u	0.8u
[13]	-	10.21n	89.45n	629.1n	667.3n
P1	-	283.42n	25.49n	21.75n	21.10n

با افزایش فرکانس به میزان 100MHz در جدول ۲ مشاهده می‌شود بسیاری از مدارات عملکرد خود را از دست می‌دهند اما مدار پیشنهادی حتی برای ولتاژ پایین VDD_L=400mv همچنان عملکرد صحیح ارائه می‌دهد.

جدول۲- توان مدارات مختلف در فرکانس 100MHz

	F=100MHz, vddh=1.0, power				
vddl	50m	100m	200m	400m	600m
[8]	-	-	-	18.32u	33.42u
[10]	-	-	-	2.15u	1.02u
[13]	-	-	-	-	-
P1	-	-	-	1.01u	0.92u
P2	-	44.10u	36.25u	28.11u	23.45u
P2_s	29.15u	26.13u	21.35u	16.52u	13.99u

در جدول ۳ نشان می‌دهد مدار پیشنهادی در فرکانس 1GHz نیز عملکرد قابل قبول را اریه می‌دهد ولی میزان تأخیر در سویچ شدن بالا می‌رود و تقریباً به نصف دوره تناوب خواهد رسید. شبیه سازی نشان می‌دهد به ازای VDD_L=600mv و f=3.3GHz و VDD_H=1.0 v مدار همواره پاسخ قابل قبول را ارائه می‌دهد اما تأخیر به اندازه یک پریود کامل می‌شود. در واقع در فرکانس‌های بالاتر از 1GHz تا 3GHz سیگنال خروجی معکوس سیگنال ورودی تغییر می‌کند زیرا یک پریود سیگنال خروجی جابجا شده است که می‌توان از یک اینورتر اضافه استفاده کرد.

در جدول ۴ میزان تأخیرها را تا فرکانس 1GHz در مدار سطح شیفت پیشنهادی نمایش می‌دهد. مشاهده می‌شود در ولتاژ VDD_L=400mv و فرکانس f=1GHZ میزان تأخیر به نصف دوره پریود رسیده است (PER=1n)

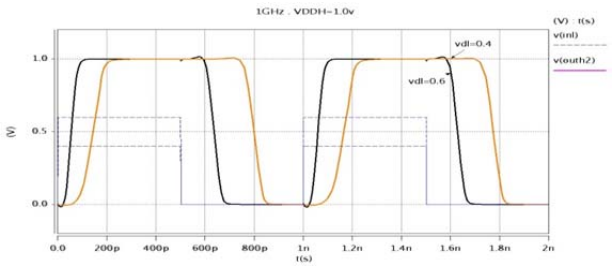
جدول۳- توان مدارات مختلف در فرکانس 1GHz

	F=1GHZ, vddh=1.0, power				
vddl ref	50m	100m	200m	400m	600m
[8]	-	-	-	-	-
[10]	-	-	-	-	9.02u
[13]	-	-	-	-	-
P1	-	-	-	9.15u	8.91u

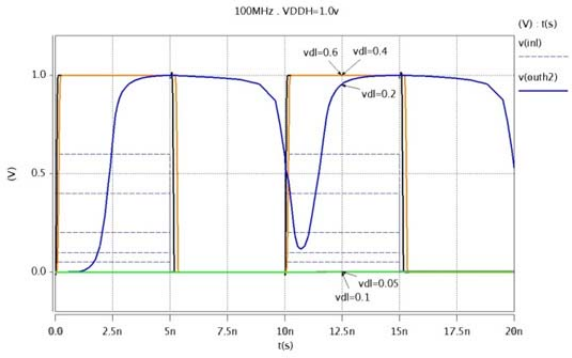
جدول۴- تأخیر صعود (tr) و نزول (tf) مدار پیشنهادی

	P1 - tr; VDH=1.0					
VDL	50	100	200	400	600	0.5T
10K		42.25n	2.61n	0.17n	0.07n	50u
100M				0.18n	0.07n	5ns
1G				0.19n	0.07n	0.5ns
	tf; VDH=1.0					
VDL	50	100	200	400	600	
10KHZ		34.80n	6.25n	0.33n	0.15n	50u
100MHZ				0.32n	0.15n	5ns
1GHZ				0.29n	0.14n	0.5ns

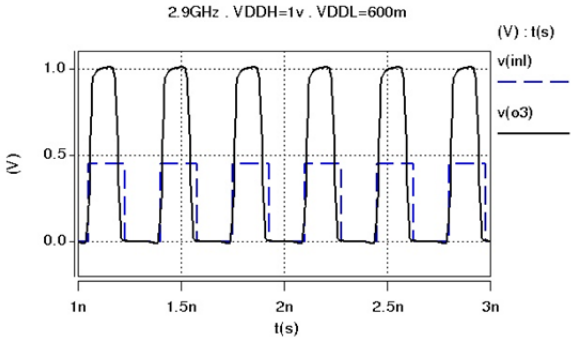
نمودارهای ۱ شکل موج خروجی را در فرکانس‌های 1G,100M نمایش می‌دهد. مشاهده می‌شود که طبق جداول فوق به ازا ولتاژهای VDD_L برخی خروجی‌ها عملکرد نادرستی را ارائه داده‌اند.



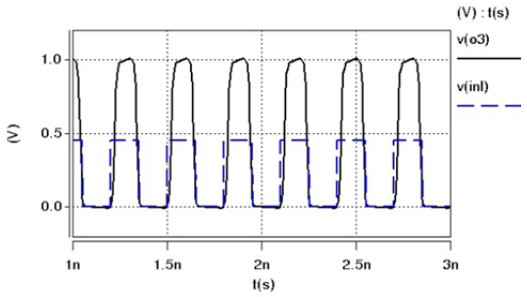
نمودار۱- خروجی در f=1GHz به ازای ولتاژهای vddl متفاوت



نمودار۲- خروجی در فرکانس 100MHz به ازای منابع VDDL



نمودار۳- شرایط VDH=1V,f=2.9GHz,VDL=600mv



نمودار۴- در شرایط VDH=1.8V,f=3.3GHz,VDL=600mv

نتیجه‌گیری

در ساختار جدید مدار سطح شیفت قادر خواهد بود در طیف زیادی از فرکانس‌ها عملکرد مناسبی داشته باشد. همچنین قابلیت تبدیل سطوح بسیار پایین استانه در فرکانس‌های بالا، به سطوح ولتاژی بالا را دارد. همچنین از نظر توان مصرفی دارای شرایط مناسب و پایین نسبت به سایر مدارت می‌باشد.

مراجع

1. Devesh Dwivedi; Suman Dwivedi; Eswararao Potladhurthi;"Voltage up level shifter with improved performance and reduced power, 2012
2. Bo Zhang; Liping Liang; Xingjun and Wang; "A new level shifter with low power in multi voltage systems"; IEEE explore, 2009.
3. H. Kawaguchi, K. Kanda, K. Nose, S. Hattori, D. D. Antono, D.Yamada, T. Miyazaki, K. Inagaki, T. Hiramoto, and T. Sakurai; "A 0.5-V, 400-MHz, VDD-Hopping Processor with Zero-VTH FDSOI Technology"; ISSCC, Feb. 2003, pp. 106-107.
4. Chandrakasan, A, P.; Allmon,R.; Stratakos A.; Brodersen, R, W.; "design of portable system," IEEE custom Integrated Circuits Conf, 1994, 259-266
5. Dai,Z.; Ameya, B.; Atila, A.; " A 53-nW 9.1-ENOB 1-kS/s SAR ADC in 0.13-m CMOS for Medical Implant Devices",2012, 1585-1593.
6. Chin Ping-Yuan;Yu Chien-Cheng; "A Voltage Level Converter Circuit Design with Low Power Consumption", Oct. 24-27, 2005, Shanghai
7. Y. Kanno, H. Mizuno, K. Tanaka and T. Watanabe, “Level Converter with High Immunity to Power-Supply Bouncing for High-Speed Sub-1V LSIs”,
8. I. J. Chang, J. J. Kims, K. Roy,“Robust level converter design for subthreshold logic”, 2006
9. T.-H Chen, J Chen, and T Clar, “Subthreshold to above threshold level shifter design,” Aug. 2006
10. Y Osa i, T Hirose, N Kuro i, and M Numa, “A low-power level shifter with logic error correction for extremely low-voltage digital CMOS SIs,” IEEE J. Solid-State Circuits, vol. 47, no. 7, pp.1776-1783, July 2012.
11. Hosseini, S.R. , Saberi. M. , Lotfi. R, " A Low-Power Subthreshold to Above-Threshold Voltage Level Shifter ", August 2014
12. Cheok-Teng Lei; Seng-Pan U; Martins, R.P;" High-speed robust level converter for ultra-low power 0.6-V LSIs to 3.3-V I/O";22-24 Nov. 2009
13. Sven Lütkemeier and Ulrich Rücker;"A Subthreshold to Above-Threshold Level Shifter Comprising a Wilson Current Mirror", SEP 2010