طراحی و پیاده سازی یک رگولاتور ولتاژ با افت کم و خروجی تثبیت شده با استفاده از راهکار تغذیه بدنه

وحید دهیده[۱]، حامدامین زاده[۲*]، عبدالرسول قاسمی[۳]

۱: گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران vahid.dahideh@gmail.com
۲* : گروه مهندسی برق، دانشگاه پیام نور، ۴۶۹۷-۱۹۳۹۵، تهران، ایران، haminzadeh@ieee.org
۳: استادیار گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران rasul_ghasemi@yahoo.com

چکیده

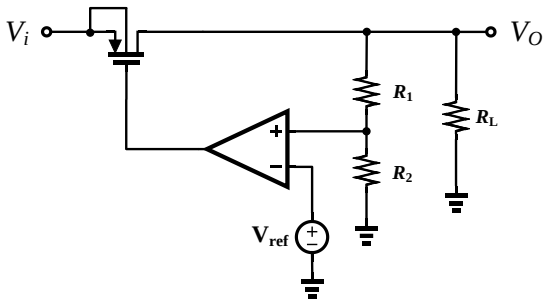
در این مقاله، طراحی و پیاده سازی رگولاتورهای ولتاژ با افت کم و تغییرات خروجی بسیار کوچک را با استفاده از راهکارهای نوینی به انجام رسانیده ایم. در ساختار مداری رگولاتور، برای اولین بار از دو راهکار تغذیه بدنه و استفاده از مرجع ولتاژ متغیر استفاده شده است. تغذیه اثر بدنه، با هدف افزایش هر چه بیشتر بهره حلقه رگولاسیون و استفاده از مرجع ولتاژ متغیر، با هدف تثبیت بیشتر ولتاژ خروجی و افزایش نسبت حذف منبع تغذیه (PSRR) انجام شده است. از نکات حائز اهمیت دیگر در این مقاله، پیاده‌سازی تقویت کننده خطا به کمک سه تقویت کننده عملیاتی تک سر و با ورودی *p*MOS است که به افزایش قابل توجه دقت حلقه رگولاسیون می انجامد. مقدار PSRR بدست آمده برابر با 46dB در فرکانس 1KHz است. ولتاژ ورودی می تواند در بین 1.8V تا 2.5V تغییر کند و ولتاژ خروجی تثبیت شده، برابر با 1.6V است. حداکثر میزان ریپل ولتاژ خروجی برابر با 1mV است که معادل با 0.03% می‌باشد. بار اهمی خروجی، برابر با 20Ω و بار خازنی متوسط برابر با 100pF است. حداکثر جریان خروجی به ازای امپدانس خروجی مورد نظر و ولتاژ افت 0.2V برابر با 80mA است.

واژه های کلیدی: رگولاتور ولتاژ با افت کم، نسبت حذف مد مشترک، اثر بدنه و ولتاژ مرجع.

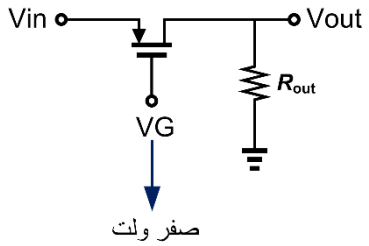
۱- مقدمه

شکل ۱ آرایش سیستمی یک رگولاتور ولتاژ با افت کم (LDO) را نشان می دهد. این رگولاتور مرکب از سه بخش اصلی، ترانزیستور عبور دهنده *p*MOS در بین ورودی و خروجی، شبکه تقسیم کننده مقاومتی و تقویت کننده خطا می‌باشد. ترانزیستور *p*MOS به دو علت در مدار LDO قرار می‌گیرد. اول آنکه این عنصر دارای نویز کمتری نسبت به ترانزیستور *n*MOS است. دوم اینکه در انتقال ولتاژهای نزدیک به تغذیه افتی به مقدار ولتاژ درین-سورس دارد. این در حالی است که در ترانزیستور *n*MOS، این افت به مقدار ولتاژ گیت-سورس ترانزیستور است که بسیار بیشتر از افت ولتاژ درین-سورس در *p*MOS خواهد بود. شبکه تقسیم مقاومتی نسبتی از ولتاژ خروجی را با ولتاژ مرجع مقایسه می‌کند. مقایسه دو ولتاژ توسط تقویت کننده‌ی خطا انجام می‌شود. اندازه مقاومت ها در شبکه تقسیم مقاومتی بزرگ انتخاب می شوند تا بر روی بار مقاومتی خروجی تاثیری نداشته باشند.

یکی از موضوعات مهم در طراحی LDO ها اندازه ترانزیستور عبور دهنده می‌باشد. مدار شکل ۲ را در نظر بگیرید. این مدار یک ترانزیستور pMOS را نشان می دهد که در میان ولتاژ ورودی و ولتاژ خروجی قرار گرفته و به یک بار اهمی کوچک وصل شده است. این بار اهمی کوچک جریان بالایی را طلب می‌کند. از طرف دیگر، با توجه به ماموریت اصلی رگولاتورهای با افت کم، یعنی تثبیت ولتاژ خروجی با تنها یک افت ولتاژ ناچیز درین-سورس، ناگزیر هستیم ترانزیستور را در ناحیه خطی تغذیه کنیم. در این ناحیه، میزان جریان عبوری از آن نیز محدود می شود و به همین جهت هر چقدر میزان ولتاژ گیت کم شود یا به صفر برسد، میزان جریان عبوری برای راه اندازی بار بزرگ خروجی محدود خواهد بود.



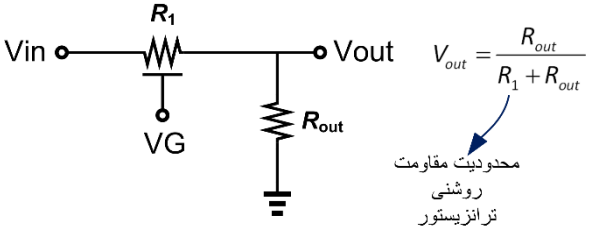
شکل۱: آرایش متداول برای LDO ها[۵]



شکل۲: عدم دستیابی به جریان مورد نظر بار با وجود صفر شدن ولتاژ گیت ترانزیستور عبوردهنده

برای فهم بهتر این موضوع، تقسیم مقاومتی در شکل ۳ را در نظر بگیرید. با توجه به رابطه نشان داده شده در شکل، هر چه میزان مقاومت R_1 کمتر باشد، ولتاژ بیشتری به خروجی می‌رسد تا نهایتاً جریان مطلوب از بار اهمی عبور کند. در این مقاله دو روش جدید به منظور بهبود کارکرد LDO معرفی شده است. اولین روش استفاده از اثر بدنه ترانزیستور pMOS و دومین روش استفاده از یک تقویت کننده‌ی دیگر به منظور دستیابی به راهکار جدید مرجع متغیر ولتاژ است.

در ادامه این مقاله ابتدا در بخش ۲ راهکار استفاده از اثر بدنه معرفی می‌شود. در بخش ۳ نحوه ی استفاده از راهکار مرجع متغیر معرفی شده و تحلیل خواهد شد. سپس در بخش ۴ نتایج بدست آمده از شبیه‌سازی توسط نرم افزار HSpice، مورد بررسی قرار خواهند گرفت. در بخش آخر مقاله، از نتایج بدست آمده نتیجه‌گیری خواهیم داشت.



شکل۳: مقاومت حالت روشنایی بالای ترانزیستور عبوردهنده؛ علت اصلی عدم راه‌اندازی بار

۲- استفاده از اثر بدنه

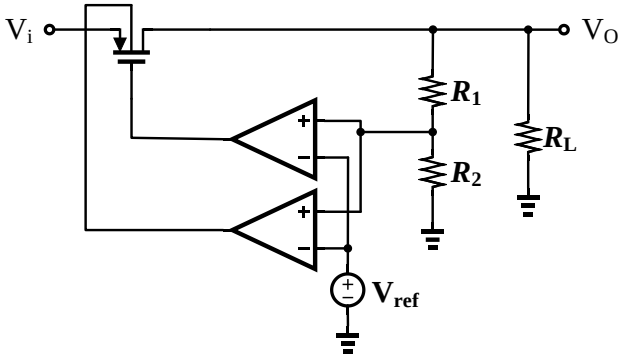
برای کاهش این مقاومت باید به پارامترهای وابسته آن توجه نمود. طبق رابطه‌ی مقاومت روشنی ترانزیستور pMOS در حالت خطی که در زیر بیان شده است، این مقاومت به ۳ پارامتر قابل تغییر حساس است. V_{GS}، V_{th} و W/L ترانزیستور.

$$R_1 = R_{ON} = \frac{1}{\mu_n C_{OX}\left(\frac{W}{L}\right)(V_{GS}-V_{TH})} \qquad (۱)$$

همانطور که پیش تر گفته شد، ولتاژ گیت- سورس با صفر شدن ولتاژ گیت به کمترین میزان خود می‌رسد. بنابراین برای کوچک کردن مقاومت روشنی تا حد معینی می توان بر روی ولتاژ گیت-سورس حساب کرد. با توجه به رابطه ۱، اگر طول کانال کاهش و عرض کانال افزایش یابد مقاومت بشدت کم شود. این راه متداول، در واقع همان بزرگ‌تر کردن ترانزیستور است که در واقع ترانزیستور

CMOS را تبدیل به ترانزیستوری قدرتی می‌کند. به همین دلیل در بعضی ساخت‌ها، نوع تکنولوژی ترانزیستور *p*MOS را در یک ویفر CMOS تغییر می‌دهند تا از افزایش ابعاد ترانزیستور و بالطبع افزایش فضای اشغالی کاسته شود. بزرگ‌تر کردن ترانزیستور علاوه بر فضای اشغالی زیاد موجب بزرگ شدن خازن‌های همپوشانی درین-سورس و اکسید گیت شده و موجب انتقال بیشتر نویز از ورودی به خروجی می‌شود و در نهایت PSRR را افزایش می‌دهد. در تکنولوژی ۱۸۰ نانومترCMOS، بزرگترین ابعادی که برای یک ترانزیستور می‌توان در نظر گرفت 900µm/180nm می باشد. محدودیت در افزایش ابعاد ترانزیستور، باعث محدودیت در کاهش مقاومت درین-سورس ترانزیستور در ناحیه ترایودی می شود. البته راهی دیگر برای بزرگ‌تر کردن ترانزیستور، موازی کردن ترانزیستورها است. در مقاله‌ی [۳] ابعاد ترانزیستور *p*MOS، 26000µm/180nm گزارش شده است که فضای اشغالی را بشدت بزرگ می‌کند. در [۳] با بزرگ‌تر کردن ابعاد، بیشترین جریان عبوری 50mA گزارش شده است که نشان می‌دهد به منظور افزایش جریان بیشتر، باید ابعاد را بزرگ‌تر کرد، که به هیچ وجه قابل توجیح نیست.

ولتاژ آستانه (V_{TH}) ترانزیستور *p*MOS به علت اینکه پایه‌ی بدنه آن به بالاترین ولتاژ وصل می‌شود، مقداری ثابت دارد. حال اگر این مقدار تغییر یابد و یا به عبارتی کوچک‌تر شود، می توان از آن در کوچک‌تر کردن مقاومت روشنی بهره برد. همانطور که پیش‌تر گزارش شد، پایه‌ی کنترل کننده‌ی LDO به منظور ایجاد فیدبک منفی، گیت ترانزیستور *p*MOS است. معمولاً پایه بدنه‌ی ترانزیستور را به عنوان گیت دوم می‌شناسند. از این پایه معمولاً در تقویت کننده‌ها نیز به منظور پایه‌ی ورودی نیز استفاده می‌شود.

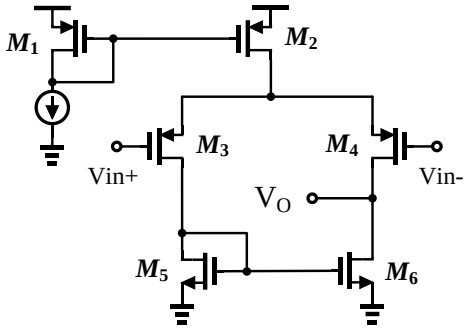


شکل۴: آرایش LDO پیشنهادی با استفاده از راهکار تغذیه بدنه به منظور افزایش جریان خروجی و افزایش بهره حلقه رگولاسیون

حال اگر فیدبک منفی به ازای این پایه شکل بگیرد، علاوه بر اینکه می‌تواند فیدبک منفی تشکیل دهد، می‌تواند بر کنترل ولتاژ آستانه به منظور کاهش مقاومت روشنی تاثیر گذار باشد. بنابراین دو حلقه‌ی فیدبک منفی در مدار موجود است که در شکل ۴ نمایش داده شده است. در واقع این فیدبک با تاثیرگذاری بر روی ولتاژ آستانه و کوچک‌تر کردن آن در کاهش افت ولتاژ درین-سورس موثر می‌باشد.

برای بررسی تاثیرگذاری مدار جدید ارائه شده بهتر است نتایج شبیه‌سازی مدارهای شکل ۱ و ۴ مقایسه شوند. این دو مدار به ازای شرایط جدول ۱ شبیه سازی شده‌اند. نتایج این شبیه‌سازی در شکل‌های ۹ و ۱۰ نشان داده شده است. همانطور که در شکل ۹ و ۱۰ دیده می‌شود، تنظیم ولتاژ پایه‌ی بدنه، باعث بهبود افت ولتاژ درین-سورس می‌شود، به صورتی که به ازای ولتاژ ورودی ۱/۸ ولت ، برای شکل‌های ۹ و ۱۰ ، خروجی‌هایی به ترتیب ۱/۵۴ ولت و ۱/۵۷ ولت بدست می آید، که حاکی از بهبود ۳۰ میلی‌ولتی در خروجی می‌باشد. با توجه به نتایج مذکور، می‌توان میزان مقاومت روشنی قبل و در حالت بهبود یافته آن را محاسبه کرد و میزان این بهبود را به صورت درصد نیز بیان کرد. به همین دلیل ابتدا لازم است که رابطه ی نشان داده شده در شکل ۳ در نظر گرفته شود. با جایگذاری اعداد جدول ۱ می‌توان دید که مقدار مقاومت روشنی در حالت متداول 3.3Ω و در حالت استفاده از اثر بدنه به مقدار 2.9Ω بهبود یافته است؛ که حاکی از بهبود ۱۳ درصدی مقدار این مقاومت می‌باشد.اضافه کردن یک آپ امپ دیگر به مدار به منظور بهبود افت ولتاژ، بهبود ۱۳ درصدی مقدار ابعاد ترانزیستور را در پی دارد، اما این در حالی است که یک آپ امپ دیگر به مدار اضافه شده و ابعاد بزرگ‌تر می‌شود. اما نکته‌ی قابل ذکر اینجاست که این بهبود مانع از بزرگ شدن خازن‌های همپوشانی و گیت ترانزیستور *p*MOS شده

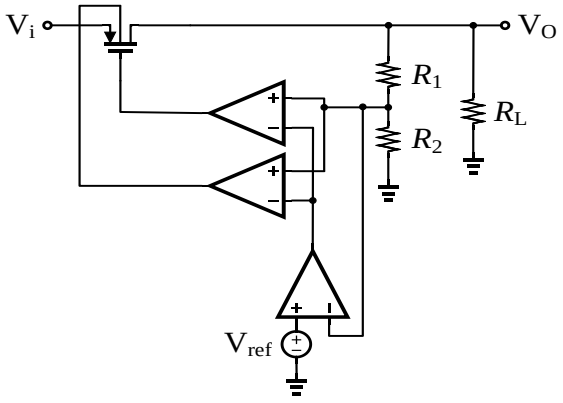
و به بهبود PSRR کمک می‌کند. بنابراین می‌توان گفت که ابعاد به ازای آپ‌امپ دوم بزرگتر شده اما این درحالی است که خازن‌های ترانزیستور pMOS تغییری نکرده و مقدار افت ولتاژ بهبود یافته است و این بهبود افت ولتاژ نیز، به افزایش جریان بار کمک می‌کند. لازم به ذکر است که مدار آپ‌امپ استفاده شده در مدار شکل ۴ در شکل ۵ نشان داده شده است.



شکل۵: آرایش مداری تقویت کننده ها در تقویت کننده خطای استفاده شده

۳- استفاده از مرجع ولتاژ متغیر

برای بهبود مدار شکل ۴ ، می‌توان از راهکار دیگری به انضمام راهکار بدنه استفاده کرد تا بسیاری از پارامترها بهبود یابند. نام این راهکار را می توان ولتاژ مرجع متغیر نامید. شمای مداری این راهکار در شکل ۶ نشان داده شده است. مدار ارائه شده نهایی را می توان از دو منظر تحلیل و بررسی کرد. اولین مورد از منظر اینکه ولتاژ مرجع بر اساس تغییر ولتاژ خروجی ، تغییر می‌کند و دومین مورد از منظر اینکه مدار با اضافه شدن یک تقویت‌کننده دقتش در مقایسه چندین برابر شده است.



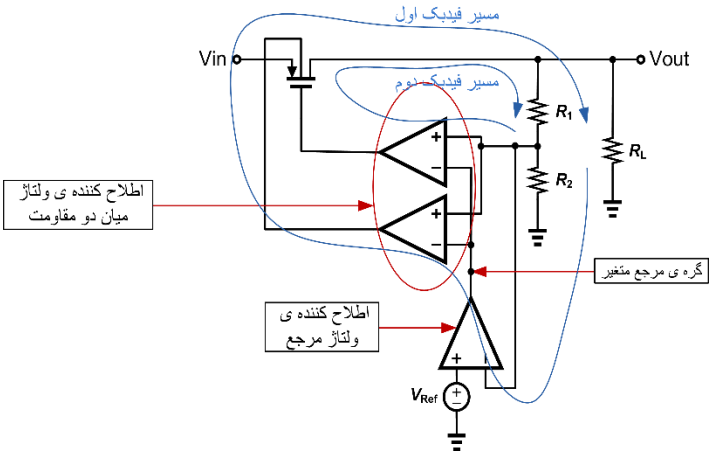
شکل۶: مدار پیشنهاد شده نهایی

۳-۱- تحلیل اول

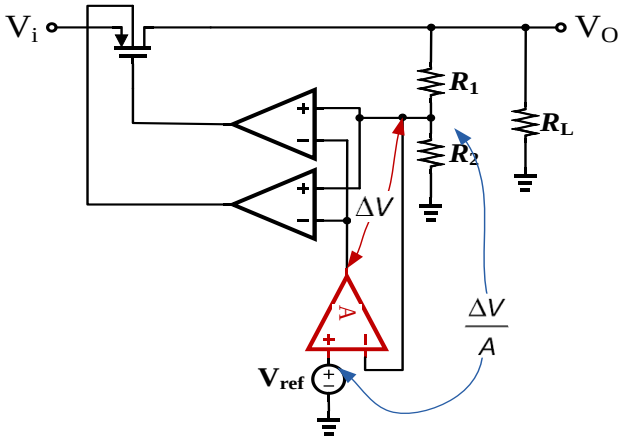
بهتر است ابتدا منحنی شکل ۱۱ که تغییرات خروجی مدار شکل ۴ را به ازای تغییرات ورودی از ۱/۸V تا ۱/۸۲V نشان می‌دهد، در نظر بگیرید. مدار در نقطه‌ی ۱/۸ ولت ورودی، خروجی ۱/۵۶۶ ولت را تولید می‌کند و این در حالی است که ولتاژ مرجع ۸۰۰ میلی ولت می‌باشد. علت انتخاب مرجع ۸۰۰ میلی ولتی میزان تقسیم مقاومتی مقاومت های R_1 و R_2 می‌باشد. چون هدف گرفتن خروجی ۱/۶ ولت است، از دو مقاومت همسان استفاده شده تا در گره ی میان دو مقاومت ۸۰۰ میلی ولت افت کند. حال همانطور که دیده می‌شود، به ازای ۱/۸ ولت، مقدار ۸۰۰ میلی ولت میان دو مقاومت حاصل نمی‌شود. علت این موضوع به یک دلیل عمده وابسته است، که آن می‌تواند آفست DC آپ‌امپ باشد، که دقت مقایسه را تضعیف می‌کند. این موضوع آفست زمانی می‌تواند حادتر شود که ترانزیستورهای ورودی در هنگام ساخت به صورت نامتقارن ساخته شوند (که در ساخت تراشه امری طبیعی است) و مدار در حالت

ساخت دقتش از منحنی شکل ۱۰ نیز بدتر شود. بنابراین مدار باید طوری طراحی شود که آفست DC آپ امپ را بگونه‌ای حذف کند و یا به عبارتی دیگر، مدار LDO مستقل از ساختمان داخلی آپ‌امپ باشد. حال فرض شود اگر مرجع در نقطه ی ۱/۸ ولت ورودی، که خروجی ۱/۵۶۶ ولتی می‌دهد، قدری افزایش یابد، چه تاثیری حاصل می‌شود؟ این موضوع سبب می شود که مقایسه ولتاژ میان دو مقاومت با مرجع بزرگتری انجام گیرد تا باعث افزایش ولتاژ میان دو مقاومت گردد. بعبارتی دیگر به آپ‌امپ دستور داده می‌شود که مدار را با ولتاژ مرجع بزرگتری مقایسه کند. فرض شود در مدار شکل ۴ ، ولتاژ مرجع از مقدار ۸۰۰ میلی ولت به مقدار ۱/۳ ولت تغییر کند. هدف از تغییر ولتاژ مرجع، آن است که آیا به ازای این افزایش، خروجی افزایش می‌یابد و به مقدار ۱/۶ ولت هدف در خروجی، نزدیک می‌شود یا خیر؟ پاسخ این سوال در منحنی شکل ۱۲ داده شده است که حاکی از افزایش ولتاژ خروجی به مقدار ۱/۵۸۶ است. بنابراین می توان دید که تغییر مرجع می‌تواند به نزدیک شدن خروجی به ولتاژ هدف کمک کند.

تا به اینجای کار (شکل ۴) دو تقویت‌کننده همواره ولتاژ گره ی میان مقاومت‌ها را با یک ولتاژ مرجع مقایسه کرده و اثر آن را در خروجی اعمال می‌کردند. حال اگر یک تقویت کننده‌ی دیگر ولتاژ میان دو گره‌ی مقاومت را با یک ولتاژ مرجع مقایسه کند و جواب مقایسه را به پایه‌ی ولتاژ مرجع سابق اعمال کند، می توان یک منبع ولتاژ مرجع متغیر تولید کرد . همانطور که در که در شکل ۷ دیده می‌شود، وظیفه‌ی هر آپ‌امپ مشخص شده و دو مسیر فیدبکی که در این مدار مکمل هم هستند، در شکل نشان داده شده است. تغییرات گره‌ی مرجع متغیر به ازای تغییر ورودی از ۱/۸V تا ۲/۵V ولت در شکل ۱۴ نمایش داده شده است



شکل۷: تحلیلی بر راهکار ارائه شده نهایی بر اساس دیدگاه تغییر مرجع

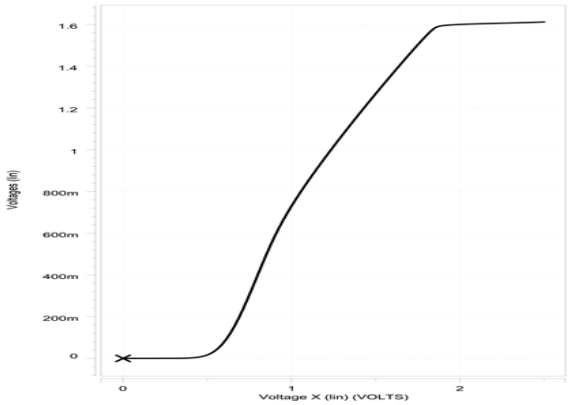


شکل۸: تحلیل راهکار ارایه شده بر مبنای مرجع ولتاژ متغیر

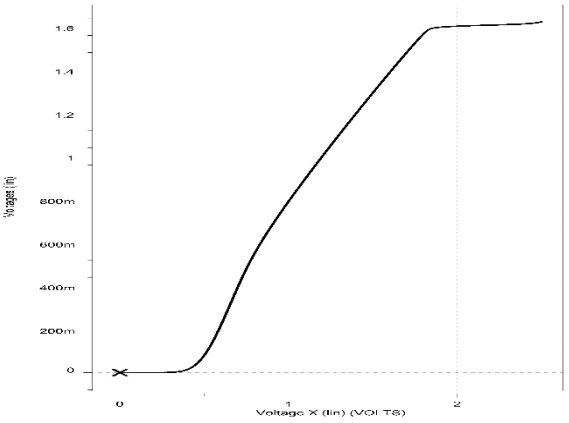
همانطور که در شکل ۱۴ دیده می‌شود ، ولتاژ گره‌ی مرجع متغیر، تغییراتی از ولتاژ ۱/۳ ولت تا زیر ۸۰۰ میلی ولت را دارا می‌باشد که همین موضوع باعث می‌شود، که تغییرات خروجی در شکل ۱۵ به ازای افت ولتاژ ۲۰۳ میلی‌ولتی تقریباً ۱ میلی‌ولت باشد. اگر از تغییرات منحنی شکل ۱۲ بیاد داشته باشید، با افزایش ولتاژ ورودی، خروجی در حال افزایش بود و این در حالی است که در مدار ارائه شده نهایی با افزایش ولتاژ خروجی مقدار ولتاژ مرجع به زیر ۸۰۰ میلی‌ولت افت می‌کند تا دقت لازم را فراهم سازد.

۳-۲- تحلیل دوم

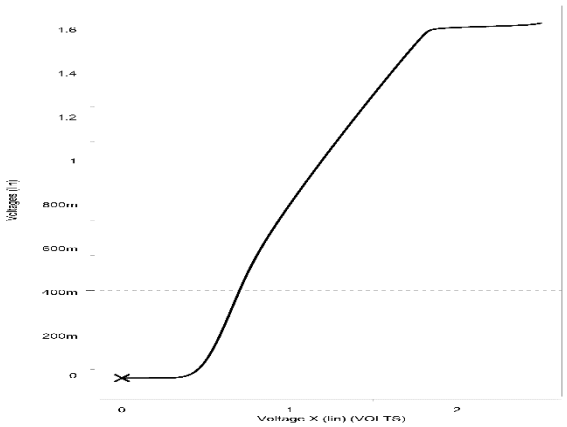
تحلیل این مدار از منظر افزایش دقت به ازای افزایش آپ امپ، بسیار ساده است. اگر فرض شود که دقت میان گره‌ی ولتاژ مرجع متغیر و گره ی میان دو مقاومت، ΔV باشد و با فرض اینکه بهره ی آپ امپ اصلاح کننده‌ی مرجع، A باشد، می‌توان گفت که اختلاف ولتاژ میان ولتاژ مرجع و گره میان دو مقاومت به مقدار $\Delta V/A$ می‌باشد (شکل ۸). در واقع می‌توان گفت که آپ امپ استفاده شده دقت آفست DC را A برابر کرده و میزان دقت بالطبع A برابر شده است.



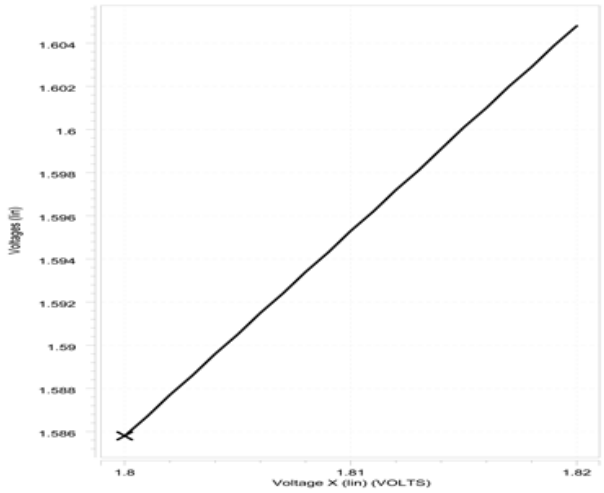
شکل۹: میزان افت ولتاژ بر روی PMOS (۲,۱۲٪ خطا)در شبیه سازی مدار LDO شکل ۱



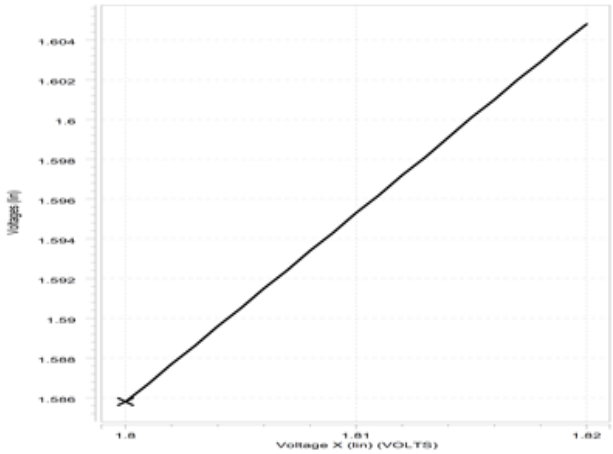
شکل۱۰: میزان افت ولتاژ بر روی PMOS (۰,۸٪ خطا) در شبیه سازی مدار LDO شکل ۴



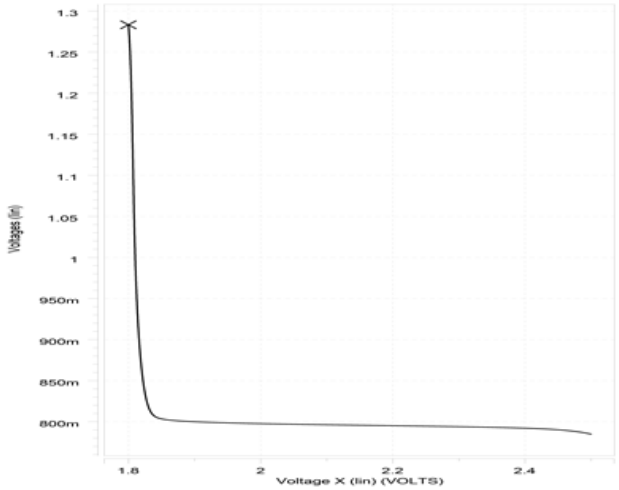
شکل۱۱: تغییرات ورودی از ۱/۸V تا ۱/۸۲V در مدار شکل ۴ به ازای ولتاژ مرجع ۰/۸V



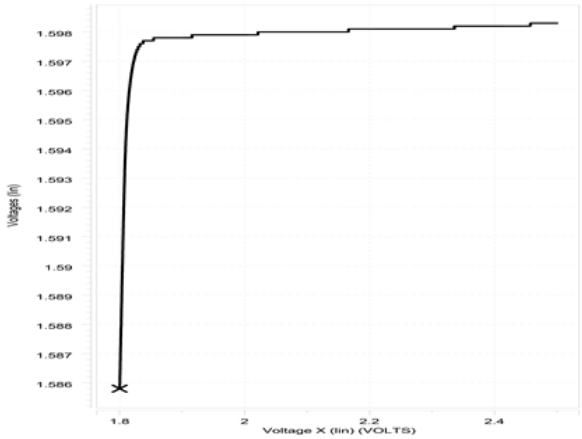
شکل۱۲ : تغییرات ورودی از ۱/۸V تا ۱/۸۲V در مدار شکل ۴ به ازای ولتاژ مرجع ۱/۳V



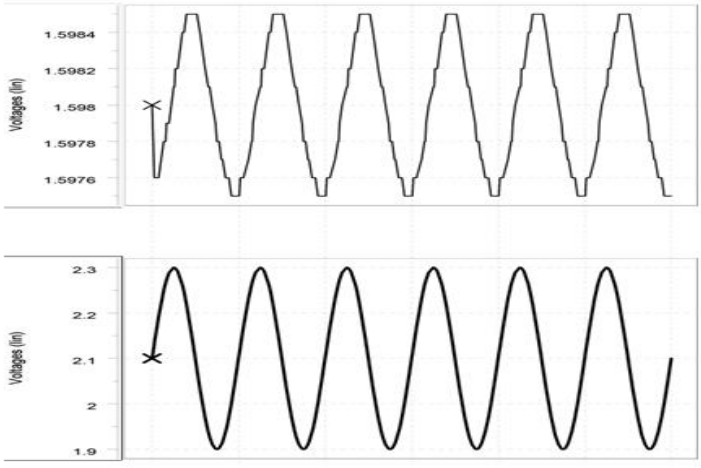
شکل۱۳ : افزایش خروجی به ازای افزایش ولتاژ مرجع



شکل۱۴ : تغییرات ولتاژ گره مرجع متغیر



شکل۱۵: میزان تغییرات ۱ میلی‌ولت به ازای تغییرات خروجی از ۱/۸۰۳v الی ۲/۵v در مدار شکل ۶ (۰٫۰۳٪ خطا)



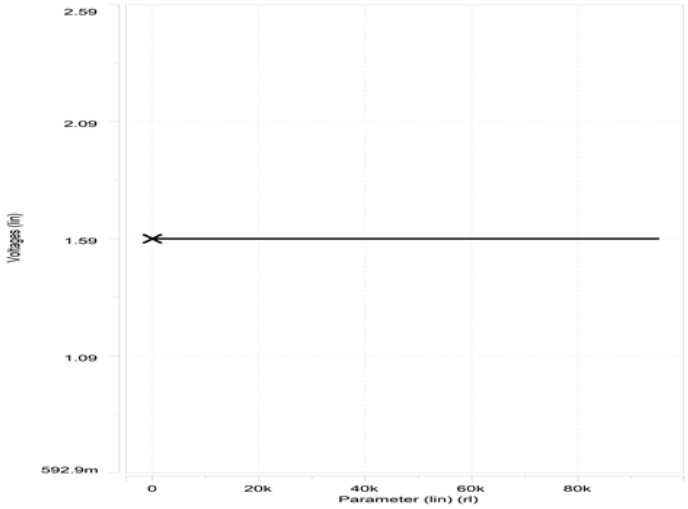
شکل۱۶: بررسی میزان PSRR و یا به عبارتی اثر نویز ولتاژ ورودی به خروجی در فرکانس 1KHz برای مدار شکل ۶

جدول ۱: اندازه عناصر در مدار شکل‌های ۱ و ۴

پارامترها	مقدار
R_1	500 KΩ
R_2	500 KΩ
R_L	20 KΩ
V_{in}	0.0-2.5 V
V_{ref}	800 mV
W/L (*p*MOS)	900 µm / 0.18 µm

۴- نتایج شبیه سازی

نتایج شبیه سازی مدارهای شکل های ۱، ۴ و ۶ با توجه به توضیحات بخش قبل در شکل های ۹ الی ۱۵ نشان داده شده است. همچنین به منظور بدست آوردن PSRR مدار شکل ۶ یک موج سینوسی با فرکانس ۱KHz با دامنه ی ۲۰۰ میلی ولت با آفست ۲/۱ ولت به مدار داده شده تا سطح تغییرات خروجی بررسی شود. نتایج این شکل موج اعمالی درشکل ۱۶ نشان داده شده است. همچنین نتایج بدست آمده در قیاس با مراجع دیگر در جدول ۲ بررسی شده است.



شکل۱۷: اثر تغییرات بار بر روی خروجی

جدول ۲ : مقایسه کارایی ساختار پیشنهادی با سایر مقالات

این طرح	[5]	[4]	[3]	[2]	[1]	مرجع
0.18	0.35	0.09	0.35	0.18	0.35	پروسه (µm)
1.8-2.5	2	1.4-4.2	3.5	1.2	N/A	V_{Line} (V)
1.6	1.8	1.21	2.8	1	N/A	V_{out} (V)
0.2	0.2	0.2	0.2	0.2	N/A	V_{DS} (V)
80	150	100	50	100	100	I_{max} (mA)
1	70	120	90	277	N/A	ΔV_{out}(mV)
0.03	3.5	9.9	2.5	27.7	N/A	$\Delta V_{out}/V_{out}$(%)
46	50	90	60	40	40	PSRR (dB)

۵- نتیجه گیری

این مقاله نحوه طراحی و شبیه سازی یک رگولاتور ولتاژ با افت کم و با استفاده از دو راهکار تغذیه بدنه ترانزیستور عبور دهنده و استفاده از ولتاژ مرجع متغیر بررسی شده است. رگولاتور مورد نظر در فن‌آوری CMOS 180nm و با استفاده از نرم افزار Hspice شبیه سازی شده است. تغذیه بدنه ترانزیستور باعث افزایش ۱۳ درصدی مقاومت درین- سورس ترانزیستور عبوردهنده و استفاده از ولتاژ مرجع متغیر باعث کاهش تغییرات خروجی تا حد ۱ میلی ولت (به ازای تغییرات ولتاژ ورودی از ۱/۸ تا ۲/۵) گردیده است. لذا درصد تغییرات ولتاژ خروجی به تغییرات ولتاژ ورودی تنها برابر با ٪۰/۰۳ است. نسبت حذف ولتاژ تغذیه رگولاتور پیشنهادی در فرکانس های پایین و به ازای بار خازنی 100 pF و بار اهمی 20Ω ، برابر با 46dB است. به ازای بار اهمی مورد نظر، جریان خروجی برابر با 80mA است. از مزایای این طرح می توان به بهبود رگولاسیون خط اشاره کرد که تغییرات خروجی به کمتر از ۱ میلی ولت رسیده است، شایان ذکر است که اضافه شدن دو امپ نسبت به شکل ۱ ، قدری توان مصرفی را افزایش می دهد که بسیار ناچیز است

مراجع

[1] G. Hanington, P. Chen, P. Asbeck and L. Larson, “High- Efficiency Power Amplifier Using Dynamic Power-Supply Voltage for CDMA Applications,” IEEE Trans. Microwave Theory Tech, vol. 74, pp. 1471-1476, Aug. 1999.

[2] A. Saberkari, E. Alarcon, and Sh. B. Shokouhi, “Fast Transient Current-Steering CMOS LDO Regulator Based on Current Feedback Amplifier,” Integration, the VLSI Journa, DOI: 10.1016/ vlsi.2012.02.001.

[3] W.Oh, B. Bakkaloglu, “A CMOS Low-Dropout Regulator with Current-Mode Feedback Buffer Amplifier,” IEEE Trans. Circuits Syst. II, Vol. 54, No. 10, pp. 922-926, Oct. 2007.

[4] G. Patounakis, Y. W. Li and K. Shepard, “A Fully Integrated On-Chip DC- DC Conversion and Power Management System,” IEEE J. Solid-State Circuits, Vol. 39, No. 3, pp. 443- 451, Mar, 2004.

[5] B. Razavi, Design of Analog CMOS Integrated Circuits, Boston, MA: McGrow Hill, 2001.

Design and implementation of a low voltage regulator and stabilized output using the body power supply solution

Vahid Dahideh[1], Hamed Aminzadeh[2*], Abdolrasool Ghasemi[3]

[1] Electrical Engineering, Islamic Azad University Bushehr Branch, Bushehr, Iran
[2*] Electrical Engineering, Payame Noor University, 1397-4697, Tehran, Iran
[3] Electrical Engineering, Islamic Azad University Bushehr Branch, Bushehr, Iran
1:vahid.dahideh@gmail.com
2*: haminzadeh@ieee.org
3: rasul_ghasemi@yahoo.com

ABSTRACT:

In this paper, we have designed and implemented low voltage drop regulators and very small output changes using new solutions. In the regulator circuit structure, for the first time, two solutions of body power supply and variable voltage reference have been used. The power supply of the body, with the aim of increasing the gain of the regulation loop and using the variable voltage reference, has been done with the aim of further stabilizing the output voltage and increasing the power supply removal ratio (PSRR). Another important point in this paper is the implementation of the error amplifier with the help of three single-headed operational amplifiers with PMOS input, which significantly increases the accuracy of the regulation loop. The obtained PSRR value is equal to 46dB at a frequency of 1KHz. The input voltage can vary between 1.8V to 2.5V and the stabilized output voltage is 1.6V. The maximum output voltage ripple is equal to 1mV, which is equivalent to 0.03%. The output ohmic load is equal to 20 Ω and the average capacitive load is equal to 100pF. The maximum output current for the desired output impedance and voltage drop of 0.2V is equal to 80mA

KEYWORDS: Low voltage regulator, common mode removal ratio, body effect and reference voltage.