طراحی واحد تأخیر CMOS برای افزایش محدوده دینامیکی و خطینگی بالا برای کاربردهای ولتاژ پایین و توان پایین

آتنا ورزنده اصفهانی[۱]، سید محمد فهمیده اکبریان[۲]

۱- گروه برق، پردیس علوم و تحقیقات خراسان رضوی، دانشگاه آزاد اسلامی، نیشابور، ایران، atena_varzandeh91@yahoo.com

۲- گروه برق، موسسه آموزش عالی خراسان، مشهد، ایران، sm_fahmideh@yahoo.com

تاریخ دریافت: ۹۳/۱۰/۱۷ تاریخ پذیرش: ۹۴/۴/۲۳

چکیده:

در طراحی مدارهای مجتمع آنالوگ همواره طراحی و پیاده سازی یک واحد تأخیر مناسب برای کاربردهای دیجیتال و آنالوگ به عنوان یک چالش مطرح بوده است. این مدار کوچک نقش قابل توجهی در کارآیی سیستم‌های مختلف و بخصوص سیستمهای دیجیتال ایفا می‌نماید. از آنجا که در تکنولوژی‌های زیر میکرون که توان مصرفی و کاهش ولتاژ به عنوان یک ضرورت احساس می‌شود، دست یابی به یک واحد تأخیر با خطینگی مناسب به عنوان مشکل بزرگی در طراحی‌های دیجیتال ولتاژ پایین به شمار می‌آید. در این مقاله با استفاده از مدارهای دیجیتال CMOS پیاده شده با استفاده از منطق کوپلاژ سورس (SCL) که در ناحیه زیرآستانه کار می‌کنند، یک واحد تأخیر با خطینگی بالا ارائه شده است که می‌تواند کارآیی بسیار مناسبی را در یک محدوده قابل توجه ولتاژی از خود نشان دهد. مزیت این واحد تأخیر علاوه بر خطینگی بالا کنترل پذیری مناسب تأخیر در محدوده ولتاژ کنترل ورودی می‌باشد که نسبت به انواع موجود بهبود یافته است.

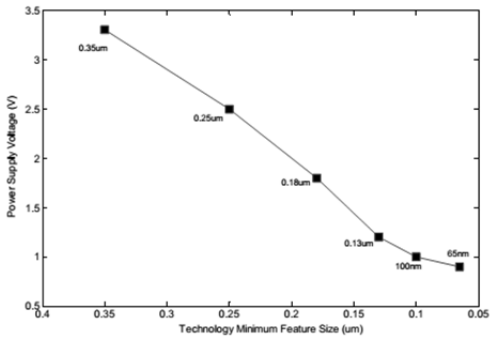
کلید واژه: واحد تأخیر، افزایش محدوده دینامیکی، خطینگی بالا، مدارهای دیجیتال CMOS، کاهش توان مصرفی

مقدمه

گرایش روز افزونی در کاربردهای قابل حمل و معمولاً بی سیم نظیر تلفن‌های همراه، نمایشگرهای چندرسانه‌ای و ابزارهای قابل کاشت پزشکی به سمت ابعاد کوچک‌تر، وزن کمتر و در عین حال کارایی بیشتر و قیمت کمتر وجود دارد. تقاضای بازار، افزایش طول باتری برای کاربردهای الکترونیک بی‌سیم می‌باشد. این نشان می‌دهد که یکی از جهات مهم طراحی الکترونیک چه در دیجیتال و چه در آنالوگ طراحی کم مصرف و با کارایی بالا می‌باشد. توان مصرفی در تجهیزاتی که با باتری کار نمی‌کنند نیز مهم است. ملاحظات متعددی از نقطه نظر توان در ابر کامپیوترها، سرورها و کامپیوترهای شبکه وجود دارد که از جمله آن می‌توان به هزینه بسته بندی، خنک کردن و قابلیت اطمینان متأثر از اثرات دمایی اشاره نمود. برای مثال احتمال خطا در تراشه‌ها به ازای هر ۱۰ تا ۲۰ درجه افزایش دما دوبرابر می‌شود. دلایل متعددی وجود دارد که چاره‌ای جز کاهش ولتاژ تغذیه در مدارهای مجتمع برای طراحان مجتمع وجود ندارد. مهم‌ترین دلیل این موضوع قابلیت اطمینان تراشه‌ها می‌باشد. با کاهش ابعاد ترانزیستورها (طول کانال ترانزیستور MOSFET) که با پیشرفت تکنولوژی صورت می‌گیرد، ضخامت اکسید گیت نیز کاهش می‌یابد که نتیجه آن کاهش حداکثر ولتاژ قابل تحمل بین گیت و کانال می‌شود. مقدار این کاهش ولتاژ در مدارهای دیجیتال حتی تا حدود ۰/۳ ولت نیز رسیده است که در آن ترانزیستور در ناحیه زیر آستانه کار می‌کند. توان مصرفی مدارهای مجتمع دیجیتال با کاهش ولتاژ تغذیه کم می‌شود. کاهش توان مصرفی عامل دیگری است که طراحان دیجیتال را به کاهش ولتاژ تغذیه تشویق

می‌نماید. با وجود آنکه توان مصرفی مدارهای مجتمع آنالوگ لزوماً با کاهش ولتاژ تغذیه کم نمی‌شود و حتی ممکن است افزایش یابد، از آنجا که این مدارها با همان تکنولوژی و بر روی همان تراشه‌ای پیاده سازی می‌شوند که مدارهای دیجیتال پیاده سازی می‌شوند، مدارهای آنالوگ نیز ناچار به استفاده از ولتاژهای تغذیه کم خواهند شد. شکل ۱ روند کاهش ابعاد و ولتاژ تغذیه تکنولوژی‌های CMOS را نشان می‌دهند. ولتاژ تغذیه از ۵ یا ۳/۳ ولت در فرآیند ۰/۳۵ میکرومتر تا کمتر از یک ولت در تکنولوژی ۶۵ نانومتر کاهش می‌یابد. [۲] و [۱]

بنابراین تقاضا برای پیاده سازی سیستم‌های دیجیتال فوق العاده کم توان در بسیاری از دستگاه‌های جدید مانند سیستم‌های تلفن همراه، شبکه‌های حسگر، و سیستم‌های قابل کاشت پزشکی، اهمیت طراحی مدارهای منطقی در منطقه‌ی زیرآستانه را افزایش داده است.



شکل۱- ولتاژ تغذیه بر حسب کمینه طول کانال برای چند نسل از تکنولوژی CMOS

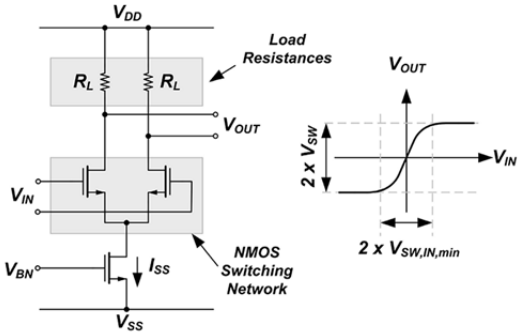
در عملکرد MOSFET زیرآستانه، چگالی جریان بسیار کم و نسبت به gm بایاس دستگاه حداکثر است. در همین حال، رابطه نمایی بین جریان تخلیه و ولتاژ گیت باعث می‌شود این حالت عمل برای اجرای مدارات به طور گسترده‌ی قابل تنظیم بسیار مناسب باشد. مدارهای منطقی و متعارف CMOS استفاده کننده از ترانزیستور زیرآستانه می‌تواند به طور معمول با مصرف بسیار پایین توان عمل کند، که عمدتاً به دلیل مصرف توان دینامیکی به طور وابسته به ولتاژ تغذیه به صورت f×C×VDD2 است. از این رو، کاهش ولتاژ تغذیه منجر به کاهش تلفات توان و همچنین دامنه تغییرات منطق خروجی می‌شود [۳]. کاهش ولتاژ تغذیه، از سوی دیگر، موجب افزایش تأخیر در هر گیت می‌شود که به معنی اتلاف توان، دامنه تغییرات، و سرعت عمل شدیداً مرتبط به یکدیگر است. در همین حال، رابطه نمایی بین تلفات توان و ولتاژ تغذیه در منطقه‌ی زیرآستانه باعث می‌شود کنترل دقیق مصرف برق دشوار شود. برای پیاده سازی سیستم‌های دیجیتال با توان بسیار کم، به حداقل رساندن اتلاف انرژی در سطح سیستم علاوه بر سطح گیت برای دستیابی به عملکرد مورد نظر لازم است [۴].

مدارهای SCL به صورت گسترده‌ای در مدارهای مجتمع استفاده می‌شوند، بخصوص در مواردی که نویز تغذیه و زیر لایه بحرانی باشند. کاهش سوئینگ خروجی در این نوع ازمدارها نسبت به مشابه CMOS مزیتی است که باعث می‌شود از این مدارها بصورت مؤثری در کاربردهای فرکانس بالا استفاده شود. در اینجا در مورد پتانسیل‌های مدارهای SCL در زیر آستانه (sub threshold) برای کاهش توان مصرفی به عنوان جایگزین خوبی برای مدارهای CMOS در توان پایین صحبت خواهد شد. در این نوع مدارها می‌توان به سادگی وبااستفاده از تغییر ولتاژ بایاس ترانزیستور tail ماکزیمم سرعت قابل دستیابی و همچنین توان مصرفی را در محدوده گسترده‌ای کنترل کرد. به صورتی که دیگر نیاز به تغییر ولتاژ تغذیه برای این کار نیستیم. [۵] اما همان طور که در [۳] و [۵] به آن اشاره شده است، می‌توان با استفاده از اتصال بدنه ترانزیستور MOSFET به پایه‌ی درین می‌توان یک مقاومت خطی با مقادیر بسیار بزرگ تولید کرد که این مساله می‌تواند منجر به کاهش بسیار زیاد توان مصرفی در این نوع از منطق دیجیتال گردد.

پیاده سازی منطق کوپلاژ سورس در زیر آستانه

این نوع منطق یک سابقه بسیار طولانی دارد که به دلایل زیاد بودن توان مصرفی، نیاز به ولتاژ تغذیه بالا و پیچیدگی طراحی مدت‌هاست که به صورت رایج استفاده نمی‌شود. در این روش عملکرد منطقی در حوزه جریان رخ می‌دهد. به صورتی که مدار به حالت تفاضلی پیاده سازی می‌شود و این ورودی است که تعیین می‌کند جریان از کدام شاخه عبور نماید. بنابراین سرعت این نوع مدارها به صورت ذاتی بالا

خواهد بود. شکل ۲ گیت not (Buffer) را که به روش کوپلاژ سورس پیاده سازی شده است را نشان می‌دهد. این مدار از یک ترانزیستور به عنوان منبع جریان و دو ورودی NMOS تفاضلی و دوبار مقاومتی تشکیل شده است. نحوه اعمال ورودی به ترانزیستورهای NMOS ورودی جریان ISS را به یکی از شاخه‌ها منتقل می‌کند که باعث تغییرات خروجی متناسب با ورودی می‌شود [۱ و ۵]. تغییرات ولتاژ خروجی به مقدار جریان و مقدار مقاومت بستگی دارد که از رابطه‌ی Vswing=RLISS به دست می‌آید.

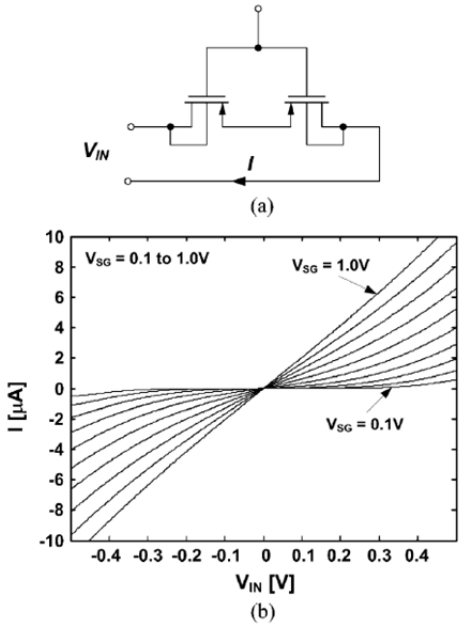


شکل۲- یک گیت بافر (معکوس کننده) متعارفSCL [1]

این مقدار تغییرات در خروجی باید به اندازه کافی بزرگ باشد تا بتواند ورودی طبقه بعد را بصورت کامل تغییر دهد که در [۱] و [۴] اثبات شده که این مقدار برای کار در بالای آستانه و برای کار در زیر آستانه بیشتر از 4×n×Vth باشد که n ضریب زیر آستانه و Vth=KT/q می‌باشد. بنابر این بطور تقریبی میزان سوئینگ مورد نیاز حدود ۱۵۰ mv خواهد بود که در زیر آستانه استفاده خواهد شد. این مطلب نشان می‌دهد که عملکرد این نوع مدارها بسیار کم به تکنولوژی و پروسه ساخت آی سی وابسته است. و تنها کافی است که Iss از جریان‌های نشتی و امپدانس خروجی از مقاومت‌های بار بسیار بیشتر باشد.

پیاده سازی مقاومت بزرگ خطی در منطق کوپلاژ

برای داشتن سوئینگ مورد نظر در این نوع منطق به همراه کاهش جریان مصرفی باید بتوانیم یک مقاومت بسیار بزرگ به صورت خطی پیاده سازی کنیم. این کار در تکنولوژی‌های CMOS نیازمند مساحت بسیار بزرگ می‌باشد که یک راه حل عملی به نظر نمی‌رسد. در ناحیه کاری زیر آستانه حدود جریان در محدوده کمتر از نانو آمپر می‌باشد بنابر این برای داشتن سوئینگ مناسب در خروجی نیاز به مقاومت‌های خطی بزرگ‌تر از حدود ۱۰۰MΩ خواهیم داشت. که این مقاومت باید متناسب با جریان منبع جریان کنترل شود. برای این مورد مقاومت‌های PMOS در ناحیه triod مناسب نمی‌باشند زیرا مقادیر مقاومت بسیار کم می‌باشند و البته دارای خطینگی خوبی نیز نمی‌باشند. در [۵] مقاومتی پیشنهاد شده است که مشخصات لازم را داراست. شکل ۳ الف این مقاومت را که با استفاده از PMOS ساخته شده نشان می‌دهد. در این PMOS بالک به درین متصل شده است. که یک مقاومت قابل کنترل بزرگ را برای ما خواهد ساخت. شکل ۳ ب مشخصه I-V این مقاومت را در مقایسه با مقاومت رایج PMOS نشان می‌دهد. که به ازای VSD > 0 مقاومت بسیار بزرگی را می‌سازد. ترانزیستور بار PMOS پیشنهادی را می‌توان برای پیاده سازی دروازه‌های منطقی به روش کوپلاژ سورس (SCL) در زیرآستانه مورد استفاده قرار داد. شکل ۴ نشان دهنده‌ی ساختار عمومی گیت پیشنهادی STSCL است که در [۴] ارائه شده است.



شکل۳- الف- مقاومت پیشنهادی با اندازه بزرگ به همراه ب- مشخصه ولتاژ جریان [۴]

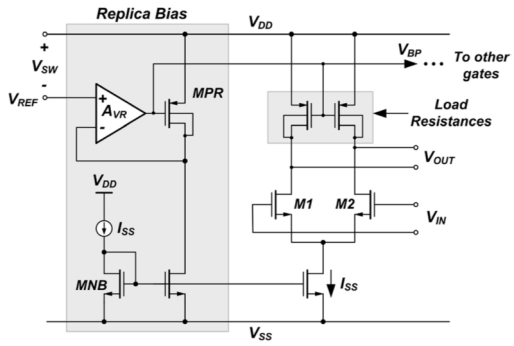
نمودار ساده شده شماتیک مدار مقدار مقاومت با استفاده از روابط sub-threshold در مدل EKV که به صورت معادله زیر می‌باشد به دست می‌آید. [۴]

$$I_{SD} = I_0 \cdot e^{\frac{V_{DG}-V_{T0}}{n_p U_T}} \left(e^{\frac{V_{SD}}{U_T}} - 1 \right)$$

$$R_{SD} = \left(\frac{\partial I_{SD}}{\partial V_{SD}} \right)^{-1}$$

$$R_{SD} = \left(\frac{n_p U_T}{I_{SD}} \right) \cdot \left(\frac{e^{V_{SD}/U_T} - 1}{(n_p - 1)e^{V_{SD}/U_T} + 1} \right)$$

برای کنترل نوسان ولتاژ خروجی نشان داده شده مورد استفاده قرار می‌گیرد. در این طرح کلی، تمام دستگاه‌ها در منطقه‌ی زیرآستانه عمل می‌کنند و جریان بایاس tail می‌توان تا زمانی کاهش یابد که در مقایسه با بزرگی جریان نشتی در مدار باشد.

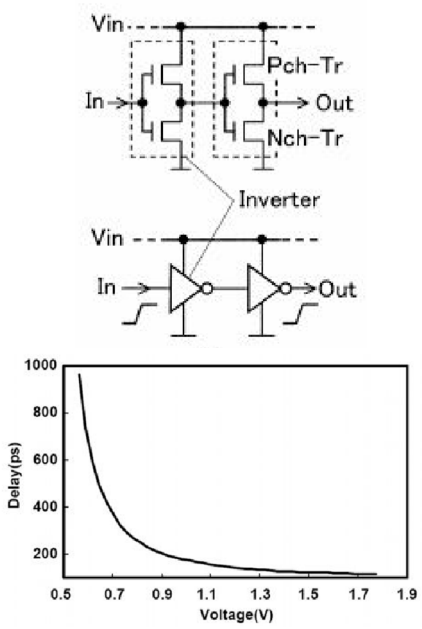


شکل۴- ساختار یک گیت STSCL [۱]

مدارهای تأخیر ارائه شده

یکی از مزایای مهم استفاده از گیت تأخیر به این روش این است که می‌توان با گره‌های مختلف میزان تأخیر را کنترل نمود که این مساله به بهبود خطینگی می‌تواند کمک کند. از طرف دیگر اگر بتوان از این مدار برای استفاده به عنوان یک تأخیر استفاده کرد می‌توان با کنترل جریان توان مصرفی را نیز تا حد قابل توجهی کاهش داد. البته این روش به صورت بسیار متفاوتی در [۳] استفاده شده است که به دلیل استفاده از منبع تغذیه به عنوان پایه کنترل، سوئینگ و دامنه خروجی تغییر می‌کند که یک اشکال مهم به شمار می‌رود.

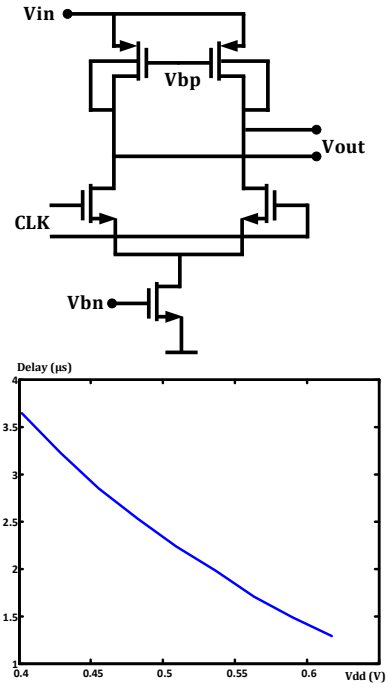
از طرف دیگر استفاده از یگ گیت NOT رایج CMOS خطینگی خوبی را به دنبال نخواهد داشت که این در نهایت منجر به عدم کارایی این المان تأخیر خواهد شد. شکل ۴ المان تأخیر رایج CMOS را به همراه نمودار تأخیر را بر حسب تغییر ولتاژ تغذیه نشان می‌دهد. همان طور که مشخص است این نمودار خطینگی بسیار پایین را نشان می‌دهد. علاوه بر این همان طور که اشاره شد تغییر سطح خروجی نیز به دلیل تغییر VDD مشکل ساز خواهد بود. اما در مورد استفاده از گیت‌های STSCL به عنوان یک واحد تأخیر قبلاً در [۳] با استفاده از این منطق پیاده سازی شده است که دارای خطینگی مناسبی می‌باشد اما به دلیل تغییر ولتاژ تغذیه با اعمال پالس و با کنترل تأخیر پالس خروجی دارای سطوح مختلفی خواهد بود که ممکن است برای مدار دیجیتال پردازنده قابل پردازش نباشد. بنابراین این المان شاید فقط در کاربردهای بسیار خاص کاربرد داشته باشد. شکل ۵ این مدار را به همراه تغییرات تأخیر با ولتاژ تغذیه نشان می‌دهد. مشکل دیگر تین مدار محدودیت رنج دینامیکی می‌باشد.



شکل۵- الف- مدار یک گیت تأخیر کنترل شونده
ب- تأخیر یک المان تأخیر با NOT رایج

این مدار فقط در نواحی ولتاژی کمی که حدود ۰/۲ ولت می‌باشد رفتار خطی نشان می‌دهد که این باعث می‌شود تنوان

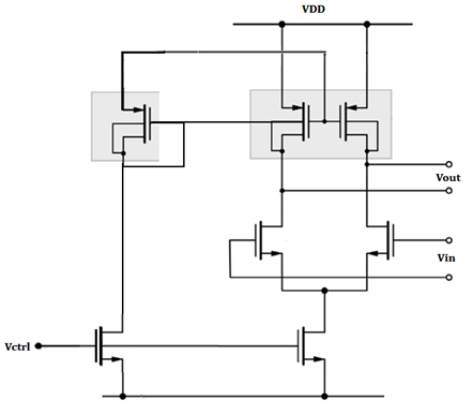
از آن در کاربردهای وسیع‌تری استفاده نمود. استفاده از این گیت در بالای ولتاژ آستانه رفتاری کاملاً غیر خطی خواهد داشت که از معایب این روش می‌باشد.



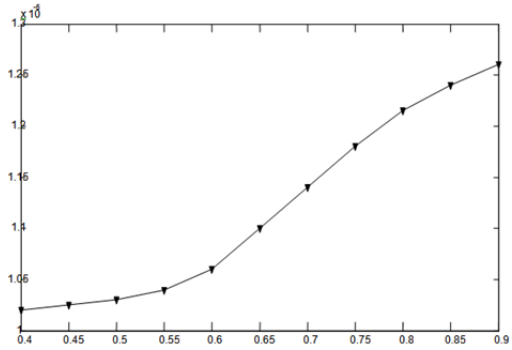
شکل۶- الف- مدار گیت تأخیر با STSCL ارائه شده در [۳] ب- تأخیر المان تأخیر ارائه شده در [۳] بر حسب تغییرات VDD

مدار واحد تأخیر پیشنهادی

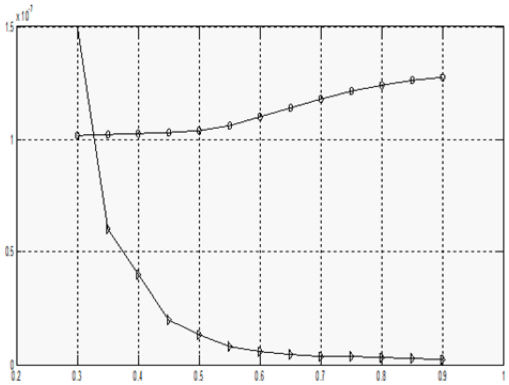
در این مقاله با استفاده از کنترل بار به همراه کنترل جریان یک روش مناسب برای کنترل تأخیر پیشنهاد شده است. طبق شکل ۷ که مدار پیشنهادی را نشان می‌دهد با استفاده از یک معکوس کننده با آینه جریان، ولتاژ کنترل علاوه بر کنترل جریان tail مقدار بار را کنترل می‌کند. با این روش و با طراحی صحیح می‌توان علاوه بر تصحیح سوئینگ برای تغییران مینیمم با تغییر ولتاژ کنترل، خطینگی را تا حد زیادی بهبود داد. شکل ۸ تغییرات تأخیر را با تغییر ولتاژ کنترل نشان می‌دهد که نشان دهنده خطینگی بسیار خوب در یک محدوده قابل قبول ولتاژی می‌باشد. البته همچنان محدود دینمیکی در حدود ۰/۳۵ولت می‌باشد اما از مدار پیشین بسیار بهتر است. در مدار پیشنهادی به دلیل ایجاد یک بایاس مطمئن و قابل اطمینان برای گوشه‌های پروسه ساخت، در ساخت بایاس مقاومت‌های بار از روش بایاس بدنه به درین استفاده شده است.



شکل۷- واحد تأخیر پیشنهادی



شکل۸- تغییرات تأخیر واحد تأخیر پیشنهادی بر حسب ولتاژ کنترل



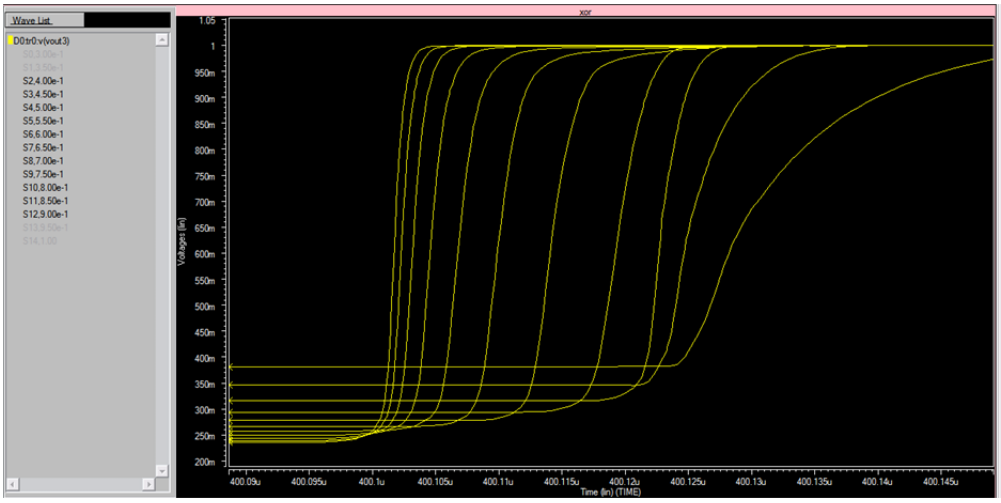
شکل۹- مقایسه تأخیر المان پیشنهادی با یک گیت تأخیر رایج

در شکل ۹ مقایسه‌ی بین تأخیر مدار پیشنهادی و حالت متعارف انجام شده است. محدوده دینامیکی تأخیر کاهش یافته اما خطینگی آن بهبود داشه است. همان طور که مشخص است

تغییرات بسیار شدید در تأخیر به وسیله گیت NOT آن را برای کاربردهای بسیاری نامناسب می‌کند. اما در روش پیشنهادی می‌توان در یک رنج معقول از گیت تأخیر با کنترل بسیار مناسب استفاده نمود. شکل ۱۰ شبیه سازی این گیت را در نرم‌افزار Hspice نشان می‌دهد. از شکل نیز واضح است که سطح بالا بدون تغییر و سوئینگ نیز تا حد زیادی ثابت مانده است (حدود صد میلی ولت تغییر). جدول ۱ مشخصات واحد تأخیر را نمایش می‌دهد.

جدول۱- مشخصات واحد تأخیر پیشنهادی

تکنولوژی	محدوده تغییرات ولتاژ کنترل	توان مصرفی متوسط
CMOS 0.18um	۰.۳۵ تا ۱ ولت	۴۲۰ نانو وات



شکل۱۰- شبیه سازی خروجی‌های مختلف خروجی مدار پیشنهادی برای ولتاژهای کنترل مختلف

نتیجه‌گیری

در این مقاله با استفاده از روش کوپلاژ سورس یک واحد تأخیر با خطینگی مناسب و محدوده دینامیکی بسیار خوب ارائه شده است که نسبت به روش‌های پیشین از مشخصات و کارایی بهتری برخوردار است. در این مدار با استفاده از کنترل دو سویه بایاس مقاومت بار و کنترل جریان طراحی به گونه‌ای انجام شده است که تغییرات سوئینگ در حالت کمینه باشد و تأخیر بصورت خطی با ولتاژ کنترل تغییر نماید. این روش کنترل تأخیر در مدار STSCL علاوه بر بالا بردن کارایی این نوع منطق برای استفاده در ولتاژهای بسیار کم و توان مصرفی کم با افزایش محدوده دینامیکی کاربردهای وسیعی را شامل می‌شود. از این کاربردها می‌توان به ساختن VCO که با استفاده از نوسانسازهای حلقوی ساخته می‌شود نام برد که یکی از پرکاربردترین مدارهای حوزه دیجیتال و آنالوگ می‌باشد.

مراجع

1. Tajalli, E. J. Brauer, Y. Leblebici and E. Vittoz (2008), Sub-threshold Source-Coupled Logic Circuits for Ultra-Low-Power Applications, in IEEE JOURNALS of Solid-State Circuits, VOLUME: 43, Issue: 7, page(s): 1699-1710.
2. Tajalli and Y. Leblibici (2009), Sub-threshold leakage reduction: A comparative study of SCL and CMOS design, in IEEE International Symposium of Circuits and Systems, ISCAS 2009
۳. قاسمی، عبدالرسول و احسان رحیمی نژاد، ۱۳۹۴، "استفاده از منطق STSCL برای تولید المان تأخیر با توان مصرفی کم برای کاربرد در مبدل آنالوگ به دیجیتال تمام دیجیتال"، کنفرانس ملی فن آوری، انرژی و داده با رویکرد مهندسی برق و کامپیوتر، کرمانشاه

4. Tajalli, Y. Leblebici, and E.J. Brauer, ”Implementing ultra high value tunable CMOS resistors,” IEE Electronics Letters, vol. 44, no. 5, pp. 349-350 ,Feb. 2008.
5. Tajalli, P. Muller, M. Atarodi, and Y. Leblebici,“A multichannel 3.5mW/Gb/s/channel gated oscillator based CDR in a 0.18m dig-ital CMOS technology,”inProc. Eur. Solid-State Circuits Conf. (ESS-CIRC), Grenoble, France, Sep. 2005, pp. 193–196
6. M. Azaga and M. Othman (2008), Source Couple Logic (SCL): Theory and Physical Design, in American Journal of Engineering and Applied Sciences 1 (1), page(s): 24-32.
7. Enz, F. Krummenacher, E. Vittoz, Charged based MOS transistor Modeling: The EKV Model for Low-Power and RF-IC Design. New York: Wiley, 2006.
8. Enz, F. Krummenacher, E. Vittoz (1995), An analytical MOS transistor Model valid in all regions of operation and dedicated to low-voltage and low-current applications, Analog Integrated. Circuits Signal Process. J. volume 8, page(s) 83-114.
9. Vittoz, Weak Inversion for Ultra Low-Power and Very Low-Voltage Circuits (2009), in IEEE Asian Solid-State Circuits Conference, pages(s): 129-132.
10. T. Darwish and M. Bayoumi (2005), Trends in Low-Power VLSI Design, in the center for Advanced Computer Studies, University of Loisiana at Lafayette, Lafayette, Louisiana, USA.
11. Mohammad Beikahmadi, Armin Tajalli, and Yusuf Leblebici, A Subthreshold SCL Based Pipelined Encoder for Ultra-Low Power 8-bit Folding/Interpolating ADC, Microelectronic Systems Lab. (LSM), Ecole Polytechnique Fédérale de Lausanne (EPFL), Switzerland, 1-4244-2493-1/08/, 2008 IEEE.
12. Tajalli, P. Muller, and Y. Leblebici, “A power-efficient clock and data recovery circuit in 0.18-m CMOS technology for multi-channel short-haul optical data communication,”IEEE J. Solid-State Circuits, vol. 42, no. 10, pp. 2235–2244, Oct. 2007