JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH

E-ISSN: 2980-9231
https://jce.bushehr.iau.ir

https://doi.org/10.30495/jce.2023.1988196.1208

Vol. 14/ No. 53/Autumn2024

Research Article

Low-Power and Reliable Approximate Subtractors for Image Processing Applications

Fatemeh Pooladi, Ph.D. Student [1] |Farshad Pesaran, Assistant Professor[2*] |Nabiollah Shiri, Assistant Professor[3]

[1]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, Fatemehpoladi353@gmail.com

[2]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, farshad.pesaran@iau.ac.ir

[3]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, na.shiri@iau.ac.ir

Correspondence
Farshad Pesaran, Assistant Professor, Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran
farshad.pesaran@iau.ac.ir

Received: 10 June 2023
Revised: 29 June 2023
Accepted: 12 July 2023

Abstract

In this paper, two new approximate subtractors are presented. The proposed circuits are implemented based on gate diffusion input (GDI) and dynamic threshold (DT) techniques and are named Proposed-1 and Proposed-2. The Proposed-1 subtractor has 10 transistors, while Proposed-2 has 12 transistors. Subtractors are implemented by 32 nm carbon nanotube field effect transistor (CNTFET) technology. Various studies have been performed and show the high efficiency and performance of the circuits in different conditions without reducing their output voltage, which is caused by the use of DT in their implementation. The proposed circuits use XOR and NOT gates, both of which have 4 out of 8 error states. The presented subtractors can be implemented in an unsigned non-recovery divider with different structures including vertical, horizontal, square and triangular, etc., and finally, they can be used in image processing applications to detect the difference between two images, either medical or standard images. The simulation results show the better performance of the proposed circuits, Proposed-1 and Proposed-2 save PDP of 88.36% and 83.25%, respectively.

Keywords: Approximate Computing, Subtractor, GDI technique, CNTFET

Highlights

- Using of approximate computing and GDI technique to reduce power consumption
- Integration of DT technique and CNTFET technology to solve problems of GDI gates
- Design of low-power and small-area approximate subtractors due to the use of only 10 and 12 transistors

Citation: F. Pooladi, F. Pesaran, and N. Shiri, "Low-Power and Reliable Approximate Subtractors for Image Processing Applications," *Journal of Southern Communication Engineering*, vol. 14, no. 53, pp. 53–66, 2024, doi: 10.30495/jce.2023.1988196.1208, [in Persian].

مقاله پژوهشی

تفریق‌کننده‌های تقریبی کم‌مصرف و قابل‌اعتماد برای کاربردهای پردازش تصویر

فاطمه پولادی[۱] | فرشاد پسران*[۲] | نبی اله شیری[۳]

[1]گروه مهندسی برق، دانشکده فنی و مهندسی، واحد شیراز، دانشگاه‌آزاد اسلامی، شیراز،ایران،
Fatemehpoladi353@gmail.com

[۲]گروه مهندسی برق، دانشکده فنی و مهندسی، واحد شیراز، دانشگاه آزاد اسلامی، شیراز،ایران ،
Farshad.pesaran@ian.ac.ir

[۳]گروه مهندسی برق، دانشکده فنی و مهندسی، واحد شیراز، دانشگاه آزاد اسلامی، شیراز،ایران ،
Na.shiri@iau.ac.ir

نویسنده مسئول
*فرشاد پسران، استادیار، گروه مهندسی برق، دانشکده فنی و مهندسی، واحد شیراز، دانشگاه آزاد اسلامی، شیراز، ایران ،
Farshad.pesaran@ian.ac.ir

تاریخ دریافت: ۲۰ خرداد ۱۴۰۲
تاریخ بازنگری: ۸تیر۱۴۰۲
تاریخ پذیرش: ۲۱تیر۱۴۰۲

https://doi.org/10.30495/jce.2023.1988196.1208

چکیده:

در این مقاله، دو تفریق‌کننده تقریبی جدید ارائه شده است. مدارهای پیشنهادی براساس تکنیک‌های ورودی انتشار گیت (GDI) و آستانه دینامیکی (DT) پیاده‌سازی شده‌اند و مدار پیشنهادی۱ و مدارپیشنهادی۲ نام‌گذاری شده‌اند. تفریق‌کننده پیشنهادی ۱ دارای ۱۰ ترانزیستور است، در حالی که مدارپیشنهادی ۲ دارای ۱۲ ترانزیستور است. تفریق‌کننده‌ها توسط فناوری ترانزیستور اثر میدانی نانولوله کربنی ۳۲ نانومتری (CNTFET) پیاده‌سازی می‌شوند. مطالعات مختلفی انجام شده و نشان‌دهنده راندمان و عملکرد بالای مدارها در شرایط مختلف بدون کاهش ولتاژ خروجی آنهاست که ناشی از استفاده از DT در اجرای آنها می‌باشد. مدارهای پیشنهادی از گیت‌های XOR و NOT استفاده می‌کنند که هر دو دارای ۴ حالت از ۸ حالت خطا هستند. تفریق‌کننده‌های ارائه شده را می‌توان در یک تقسیم-کننده بدون‌علامت با ساختارهای مختلف اعم از عمودی، افقی، مربع و مثلثی و غیره پیاده‌سازی کرد و درنهایت می‌توان از آنها در برنامه‌های پردازش تصویر برای تشخیص تفاوت بین دو تصویر اعم از پزشکی یا پزشکی استفاده کرد. تصاویر استاندارد نتایج شبیه‌سازی عملکرد بهتر مدارهای پیشنهادی، مدارپیشنهادی۱ و مدارپیشنهادی ۲ را به ترتیب ۸۸/۳۶٪ و ۸۳/۲۵٪ صرفه‌جویی در PDP نشان می‌دهد.

کلید واژه‌ها: محاسبات‌تقریبی، تفریق، تکنیک دروازه ورودی انتشار ، ترانزیستورهای اثر میدانی نانولوله کربنی

۱-مقدمه

محاسبات‌تقریبی(AC)[۱] به‌عنوان یک تکنیک نوظهور است که می‌تواند برای طراحی مدارها و سیستم‌های کم‌مصرف استفاده شود. برای بسیاری از مدارهای محاسباتی تقریبی پیشنهادی، درک یک روش طراحی یا تقریب مهم است. خواص جمع‌کننده‌های کامل[۲] (FAs)، ضرب‌کننده‌ها[۳]، و تقسیم‌کننده‌های [۴]تقریبی برای عملکرد بهتر بهینه شده‌اند. محاسبات‌تقریبی عمدتاً برای مدارهای حسابی مانند جمع، تفریق، ضرب و تقسیم مناسب هستند [۱]. در مقایسه با جمع و ضرب، تفریق و تقسیم کمتر موردتوجه قرار گرفته است [۲]. ازمدارهای محاسباتی می‌توان در پردازش تصویر، افزایش وضوح، فشرده‌سازی و ضرب ارزیابی می‌شوند. علاوه‌بر این، مدارهای در پردازش تصویر به‌عنوان یک برنامه مقاوم در برابر خطا قابل استفاده هستند [۳-۴].

[1] Approximate Computing (AC)
[2]Full adders (FA)
[3] Multiplier
[4]dividers

جدول ۱: مقایسه تفریق‌کننده های تقریبی
Table 1: Comparison of approximate subtractors

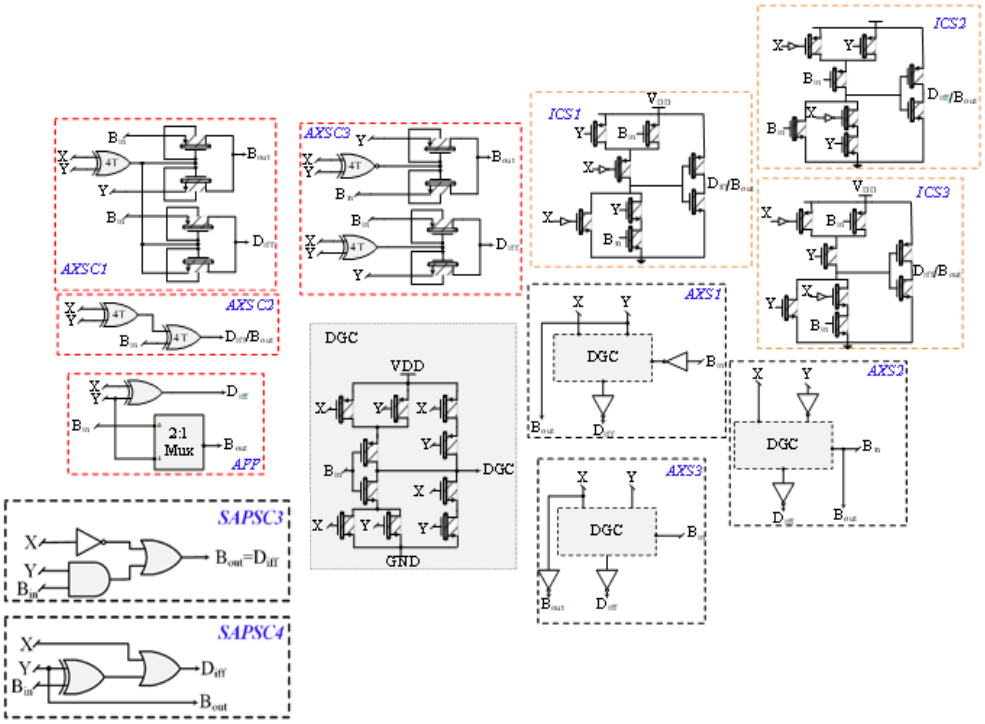
Name	Difference (D)	Borrow (B_{out})
AXSC1 [۶]	$(X \oplus Y) \oplus B_{in}$	$\overline{(X \oplus Y)}.B_{in} + \bar{X}Y$
AXSC2 [۶]	$X \oplus Y \oplus B_{in}$	$D \ or \ B_{out}$
AXSC3 [۶]	B_{out}	$\overline{(X \oplus Y)}.B_{in} + \bar{X}Y$
AXS1 [۱۲]	$\bar{B}_{in}(X+Y) + XY$	Y
AXS2 [۱۲]	$B_{in}(X+\bar{Y}) + X\bar{Y}$	B_{in}
AXS3 [۱۲]	$B_{in}(X+Y) + XY$	$\bar{X}$
ICS1 [۳]	B_{out}	$\bar{X} + YB_{in}$
ICS2 [۳]	B_{out}	$Y + \bar{X}B_{in}$
ICS3 [۳]	B_{out}	$B_{in} + \bar{X}Y$
Apps [۱۳]	$X \oplus Y$	$B_{in}\overline{(X \oplus Y)} + Y(X \oplus Y)$
SAPSC1 [۱۴]	$B_{out} + X\overline{YB}_{in}$	$\bar{X}(Y + B_{in}) + YB_{in}$
SAPSC2 [۱۴]	B_{out}	$\bar{X}(Y + B_{in}) + YB_{in}$
SAPSC3 [۱۴]	B_{out}	$\bar{X} + YB_{in}$
SAPSC4 [۱۴]	$X + (Y \oplus B_{in})$	Y
SAPSC5 [۱۴]	$\bar{X} + YB_{in}$	Y
SAPSC6 [۱۴]	$X + Y$	Y

مدار تفریق‌کننده[1](FS) کامل عملیات تفریق سه ورودی را انجام می‌دهد و دو خروجی تولید می‌کند. ورودی‌های مدار X، Y، B_{in} و D[2] هستند که D نشان‌دهنده اختلاف بین X و Y است و B_{in} بیت قرض است. خروجی مدارها تفاوت و B_{out} است. مهمترین کاربرد تفریق‌کننده در طراحی تقسیم‌کننده‌ها است و تقسیم‌کننده‌ها در پردازش تصویر برای تقسیم‌بندی پیکسل، تشخیص تغییر و حذف پس‌زمینه استفاده می‌شوند [۳، ۴]. در [۵] چندین طرح تفریق‌کننده تقریبی برای جایگزینی تفریق کننده‌های دقیق در تقسیم‌کننده‌های بازیابی وغیربازیابی‌کننده کم توان طراحی شده است. یک تقسیم‌کننده احیا کننده کم توان با استفاده از یک سلول تقریبی تقریبی [۶] طراحی شد. برای رفع برخی از اشکالات اصلی مدارهای تفریق‌کننده دقیق، طراحان مدارهای تقریبی را طراحی کرده‌اند. در عملکرد یک تفریق، دقت B_{out} به‌طور کلی با اهمیت ترازD است. بنابراین، در طراحی AXSC، B_{out} بدون تغییر است [۶]. تاخیر را می‌توان با ترکیب D و B_{out} کاهش داد. عمق جایگزینی d برای نشان دادن تعداد AXSC های جایگزین شده به جای EXSC s است. البته هر چه عمق بیت تقریبی در یک ساختار آبشاری بیشتر باشد، احتمال خطا بیشتر است. در [۷] سلول‌های تفریق‌کننده ارائه شده‌اند که جایگزین سلول تفریق‌کننده دقیق در تقسیم‌کننده می‌شوند که انرژی را کاهش می‌دهد. تقسیم‌کننده تقریبی ترکیبی با ترکیب یک تقسیم‌کننده لگاریتمی تقریبی با یک تقسیم‌کننده بازیابی طراحی شده است [۸]. این مقاله یک کمپرسور تقریبی جدید ۴:۲ با ۱۲ ترانزیستور را معرفی می کند. اجرای این کمپرسور با استفاده از فناوری ترانزیستور اثر میدانی نانولوله کربنی ۱۶ نانومتری (CNTFET) حداقل مساحت را به همراه دارد[۹]. FA و کمپرسورها هسته‌های اصلی آی‌سی‌ها مانند ضرب‌کننده‌ها، تفریق‌کننده‌ها و فیلترهای دیجیتال هستند و به دلیل میزان بالای مصرف انرژی شناخته شده‌اند [۱۰-۱۱]. در این مقاله دو مدار تفریق‌کننده جدید ارائه و تحلیل شده است. به‌طور کلی در مورد مدارهای تفریق‌کننده تقریبی، صرف‌نظر از ساختار فیزیکی آنها، این مدارها را می توان به دو گروه تقسیم کرد: برخی مدارها دارای خطای کم و برخی دارای خطای زیاد هستند. مدارها در جدول ۱ مقایسه شده اند. در [۶] تفریق‌کننده‌های AXSC1-AXSC3 ارائه شده‌اند که با استفاده از تکنیک CMOS و TG پیاده‌سازی شده‌اند. از این سه مدار، در AXSC1 و AXSC3، خروجی B_{out} دقیق

[1] Full subtractor (FS)
[2] Diffrence (D_{iff})

است، درحالی که خروجی D دارای خطا است. برخلاف دو مدار قبلی، در AXSC2، B_{out} تقریبی است. شکل ۱ شماتیک مدارهای مورد بررسی را نشان می‌دهد. در AXSC2، $B_{out} = D_{iff}$ یا $B_{in} = B_{out}$ درحالی که در AXSC3، $D = B_{out}$ با یک خروجی تقریبی. طبق جدول ۲، AppS دارای ۴ خطا از ۸ خطا است، بقیه طرح‌ها دارای دو خطا هستند، به‌جز سه مورد ICS1-ICS3 که دارای یک خطا هستند، اگرچه این سه مدار خطای کمتری نسبت به بقیه طرح‌ها دارند. پیچیده‌تر هستند. بنابراین عملکرد این مدارها توان بالا و تاخیر زیاد در سطح ترانزیستور را نشان می‌دهد. سه طرح از AXS1-AXS3 [۱۲] شامل DGC مبتنی‌بر CMOS[1] است. DGC مسیرهای بین V_{DD} و GND و هم‌چنین گره‌های داخلی را افزایش می‌دهد که به معنای افزایش توان‌استاتیک است. طرح های [۱۲] باعث ایجاد خطا در D و B_{out} شد. با این‌حال، AXS1-AXS3 دارای ۲ حالت خطا از ۸ حالت است. بنابراین، اکثر این مدارها تعداد خطاهای بالایی دارند. این مدارها دارای چند اینورتر با استفاده از DGC در ساختار خود هستند که باعث افزایش مساحت این مدارها شده است. مدار Apps [۱۳] یکی از ساده ترین مدارهایی است که دارای XOR و مالتی پلکسر (MUX) در ساختار خود است، B_{out} آن دقیق و D تقریبی با ۴ خطا است. این مدار شامل XOR و MUX معمولی با تکنیک CMOS، هر کدام دارای ۱۲ ترانزیستور و ۴ ترانزیستور به‌عنوان اینورتر است که تعداد ترانزیستورها را افزایش داده است.

یکی از تحقیقاتی که اخیراً در مورد مدارهای تفریق‌کننده‌تقریبی منتشر شده است [۱۴] است که در آن از تکنیک تفریق‌کننده-های تقریبی ساده شده (SAPSCs) استفاده شده است و براین اساس، ۶ مدار مبتنی‌بر CMOS ارائه شده است. SAPSC1 با بیشترین تعداد ترانزیستور، ۴۴، به عنوان مبنای ساده‌سازی درنظر گرفته شده است. SAPSC2 تا SAPSC6 تعداد بسیار کمتری ترانزیستور دارند که به‌ترتیب برابر با ۲۶، ۱۴، ۱۸، ۱۴ و ۶ می باشد. نکته قابل‌توجه در برخی از این طرح‌ها ضریب خطای بالای آن است. به‌عنوان مثال SAPSC5 و SAPSC6 دارای ۵ و ۴ خطا در خود هستند. نکته قابل‌توجه در برخی از این طرح‌ها میزان خطای بالای آن است.



شکل ۱. طرح‌های تفریق‌کننده‌های تقریبی ICS1-ICS3[۳]، AXSC1-AXSC3[۶]، AXS1-AXS3 [۱۲]، و APP[۱۳] و SAPSC3- SAPSC4 [۱۴].

Figure 1. Schemes of approximate subtractors of ICS1-ICS3 [3], AXSC1-AXSC3 [6], AXS1-AXS3 [12], and APP [13] and SAPSC3-SAPSC4 [14].

[1] Complementary Metal-Oxide Semiconductor (CMOS)

جدول ۲ :جدول درستی تفریق‌کننده‌های تقریبی.

Table 2: Accuracy table of approximate subtractors.

	EXACT	AXSC1	AXSC2	AXSC3	ICS1	ICS2	ICS3	Apps	AXS1	AXS2	*AXS3*	SAPSC3	SAPSC4	Proposed-1	Proposed-2
XYB_{in}	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D_{iff}$	$B_{out}D$	$B_{out}D$	$B_{out}D$	$B_{out}D$	$B_{out}D$
۰۰۰	۰۰	۰۰	۰۰	۰۰	۱۱	۰۰	۰۰	۰۰	۰۰	۰۰	۱۱	۱۱	۰۰	۱۱	۱۱
۰۰۱	۱۱	۱۱	۱۱	۱۱	۱۱	۱۱	۱۱	۱۰	۰۰	۱۱	۱۱	۱۱	۰۱	۱۱	۱۱
۰۱۰	۱۱	۱۱	۱۱	۱۱	۱۱	۱۱	۱۱	۱۱	۰۰	۰۰	۱۱	۱۱	۱۱	۱۱	۱۱
۰۱۱	۱۰	۱۱	۰۰	۱۱	۱۰	۱۰	۱۰	۱۱	۱۰	۱۰	۱۰	۱۱	۱۰	۱۱	۱۱
۱۰۰	۰۱	۰۱	۱۱	۰۰	۰۱	۰۱	۰۱	۰۱	۰۱	۰۱	۰۱	۰۰	۰۱	۱۰	۱۰
۱۰۱	۰۰	۰۱	۰۰	۰۰	۰۰	۰۱	۱۱	۰۱	۰۰	۱۱	۰۰	۰۰	۰۱	۱۰	۱۱
۱۱۰	۰۰	۰۰	۰۰	۰۰	۰۰	۱۱	۰۰	۰۰	۱۱	۰۰	۰۰	۰۰	۱۱	۰۱	۰۱
۱۱۱	۱۱	۱۱	۱۱	۱۱	۱۱	۱۱	۱۱	۱۰	۱۱	۱۱	۰۰	۱۱	۱۱	۱۱	۱۱
ER	-----	۰/۲۵	۰/۲۵	۰/۲۵	۰/۱۲۵	۰/۱۲۵	۰/۱۲۵	۰/۵	۰/۲۵	۰/۲۵	۰/۲۵	۰/۳۷۵	۰/۳۷۵	۰/۵	۰/۵
NMED	-----	۰/۰۸۳۳	۰/۰۸۳۳	۰/۰۸۳۳	۰/۰۴۱۶	۰/۰۴۱۶	۰/۰۴۱۶	۰/۱۶۶۶	۰/۰۸۳۳	۰/۰۸۳۳	۰/۰۸۳۳	۰/۱۲۵	۰/۱۲۵	۰/۱۶۶۶	۰/۱۶۶۶
MRED	-----	۰/۱۸۷۵	۰/۳۷۵	۰/۱۸۷۵	۰/۳۷۵	۰/۳۷۵	۰/۳۷۵	۰/۲۷۰۸	۰/۲۵	۰/۲۵	۰/۲۵	۰/۳۱۲۵	۰/۳۳۳۳	۰/۴۳۷۵	۰/۴۳۷۵

* اعداد آبی بدترین نتایج هستند.

به‌عنوان مثال، SAPSC5 و SAPSC6 به‌ترتیب ۵ و ۴ خطا در خروجی‌های خود دارند که نمی‌توان آنها را گزینه‌های مناسبی برای استفاده در برنامه‌های کاربردی مقاوم به خطا اما حساس مانند پردازش تصویر بایو دیجیتال درنظر گرفت. توجه داشته باشید که SAPSC6 بدون استفاده از ورودی B_{in} طراحی شده است، بنابراین زمانی که در ساختارهای مختلف مبتنی بر ریپل کری مانند تقسیم‌کننده‌ها تعبیه می‌شود، مشکلات متفاوتی مشاهده می‌شود. هم‌چنین SAPSC2 با وجود داشتن ۳ خطا در خروجی‌های خود و استفاده از ۲۶ ترانزیستور و تعداد اینورترهای تعبیه شده در ورودی و خروجی، در ارزیابی‌های اولیه عملکرد خوبی نداشته است. درنهایت، از میان ۶ مدار پیشنهادی در [۱۴]، SAPSC3 و SAPSC4 را می توان گزینه‌های مطلوبی برای مقایسه با مدارهای دیگر درنظر گرفت. صنعت نیمه‌هادی برای کاهش مقیاس مدارهای مجتمع با چالش‌های زیادی مواجه است. ترانزیستورهای مبتنی‌بر نانولوله‌های کربنی به‌دلیل ابعاد بسیار کوچک، سرعت بالا و مصرف انرژی‌کم و هم‌چنین عملکرد مشابه با CMOS، توجه طراحان مدارهای منطقی و سیستم های دیجیتال را به خود جلب کرده‌اند. بنابراین در این مقاله از فناوری - 32 CNTFET[1] نانومتری برای بررسی مدارها استفاده شده است. ارزیابی‌خطا در مدارهای تقریبی انجام می‌شود، پارامترهای اصلی مطابق با [۱۷] ER[2]، NMED[3] و MRED[4] هستند که به‌ترتیب در روابط ۱ الی ۳ ارائه می‌شوند.

$$ER = \frac{Total\ Number\ of\ Errors\ at\ Output}{n} \quad (۱)$$

$$NMED = \frac{\frac{1}{n}\left(\sum_{i=1}^{n}\left|Exact_{output_i} - Approximate_{output_i}\right|\right)}{Exact_{Max_{out}}} \quad (۲)$$

$$MRED = \frac{1}{n}\frac{\left(\sum_{i=1}^{n}\left|Exact_{output_i} - Approximate_{output_i}\right|\right)}{Exact_{out_i}} \quad (۳)$$

از طرح‌های علامت‌گذاری شده، مقادیر ER و NMED برنامه‌ها به‌ترتیب ۰/۵ و ۰/۱۶۶۶ هستند که از سایر طرح‌ها بالاتر هستند. AXSC2 و ICS دو فاصله خطا دارند |±۲| و بالاترین مقدار MRED با ۰/۳۷۵ و |-۳|، بنابراین AXSC2 و ICS بالاترین حساسیت را از نظر دقت خروجی دارند. محاسبات تقریبی به‌عنوان یک رویکرد جدید در طراحی کارآمد انرژی و هم‌چنین افزایش

[1] Carbon Nanotube Field-Effect Transistor (CNTFETs)

[2] Error Rate (ER)

[3] Normalized Average Error Interval (NMED)

[4] Average Relative Error Interval (MRED)

عملکرد یک سیستم محاسباتی با کاهش محدودیت در دقت پدیدار شده است [۱۹]. در این مقاله، مدارهای محاسباتی تقریبی در مقیاس نانو برای کاربردهای تشخیص تغییر طراحی شده است.
سازماندهی مقاله بدین شرح است: بخش ۲ جزئیات کاملی در مورد مدارهای پیشنهادی ارائه می‌دهد. نتایج شبیه‌سازی در بخش ۳ بیان شده است. و درنهایت، بخش ۴ نتیجه‌گیری مقاله می‌باشد.

۲-تفریق‌کننده‌های تقریبی پیشنهادی مبتنی بر GDI

دو تفریق‌کننده کامل تقریبی برای دستیابی به سادگی به‌عنوان یکی از اصول اصلی مدارهای مبتنی‌بر تقریب پیشنهاد شده است. بلوک دیاگرام این مدارها در شکل ۲-الف و ۲-ب نشان داده شده است و به‌ترتیب مدارپیشنهادی۱ و مدارپیشنهادی۲ نامگذاری شده‌اند. علاوه‌بر این، سطح ترانزیستور مدارپیشنهادی۱ و مدارپیشنهادی۲ به‌ترتیب در شکل ۲ (ج) و (د) نشان داده شده است. مدارپیشنهادی۱ و مدارپیشنهادی۲به دلیل داشتن ۴ خطا در خروجی مشابه مدار APP به‌عنوان مدارهایی با تعداد خطاهای بالا طبقه‌بندی می‌شوند [۱۳]. شباهت هر مدار پیشنهادی استفاده از تکنیک GDI[1] است و روابط آنها به‌ترتیب در (۴)-(۵) آورده شده است. تکنیک GDI به‌دلیل مزایای آن مانند کاهش سطح، کاهش پیچیدگی و تعداد کمی ترانزیستور استفاده می‌شود [۲۰، ۲۱، ۲۲].

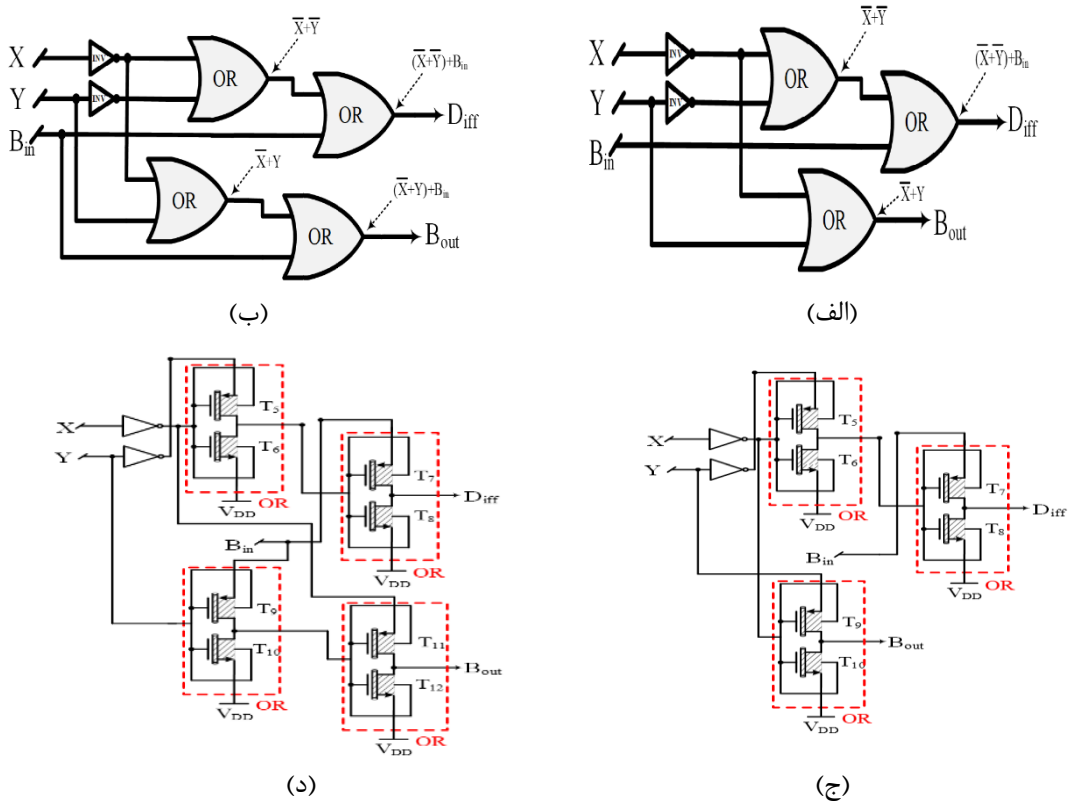
$$\text{Proposed-1}=\begin{cases} D_{iff} = (\bar{X}+\bar{Y})+B_{in} \\ B_{out} = \bar{X}+Y \end{cases} \quad (۴)$$

$$\text{Proposed-2}=\begin{cases} D_{iff} = (\bar{X}+\bar{Y})+B_{in} \\ B_{out} = (\bar{X}+Y)+B_{in} \end{cases} \quad (۵)$$

با توجه به جدول ۲، مدارپیشنهادی۱ و مدارپیشنهادی۲ دارای ۴ خطا هستند، این خروجی‌ها زمانی نادرست هستند که ``$XYB_{in}$`='000`، `$XYB_{in}$`='011`، `$XYB_{in}$`='101``، و `$XYB_{in}$`='110`'. با استفاده از GDI، تعداد ترانزیستورها در مدارهای پیشنهادی کمتر از بقیه مراجع است، مدارپیشنهادی۱ دارای ۱۰ ترانزیستور و مدارپیشنهادی۲ دارای ۱۲ ترانزیستور است. این ویژگی به دستیابی به هدف اصلی محاسبات تقریبی یعنی کاهش مساحت اشغال شده و محاسبات ساده کمک می کند. دلیل استفاده از محاسبات تقریبی، ساده کردن روابط پیچیده، کاهش مصرف انرژی، افزایش سرعت انتقال داده، کاهش انرژی و استفاده از برنامه‌های کاربردی تحمل خطا است [۲۴،۲۳]. ادغام روش طراحی و فناوری یک راه قابل اعتماد و کارآمد برای غلبه بر خروجی‌های غیر کامل سلول‌های GDI است. با توجه به [۲۶،۲۷]، تکنیک آستانه دینامیکی که با اتصال بخش عمده به گیت ترانزیستور تعیین می‌شود، رابطه ولتاژ خروجی را با ولتاژ ورودی نشان می‌دهد. این تکنیک ولتاژ نوسان را بهبود می‌بخشد. علاوه بر این، استفاده از DT[2] در کنار استفاده از فناوری CNTFET مفید است. CNTFETها توانایی بالایی در کنترل ولتاژ آستانه با تنظیم صحیح بردارهای کایرالیتی و قطرهای CNT دارند [۲۸]. بنابراین، استفاده از این تفریق‌کننده‌ها در برنامه‌ای که در برابر خطاها پایدار است، سودمند است. مدارهای مدارپیشنهادی ۱ و مدارپیشنهادی۲ دارای ۰/۴۳۷۵ برای پارامتر MRED با ۴ خطا در خروجی خود هستند (جدول ۲). شکل موج ورودی-خروجی تفریق‌کننده‌های پیشنهادی در شکل ۳ آورده شده است که در آن خروجی های تمام نوسان به دلیل تکنیک DT هستند.
در جدول ۳ مشخصات طرح‌های ارائه شده و مراجع ارائه شده است. اکثر مدارها با تکنیک CMOS هستند، به جز AXSC1-AXSC3 که بر اساس تکنیک TG[3] و CMOS پیاده‌سازی شده‌اند. ضمناً ساختار این مدارها در سطح گیت و ترانزیستور نیز در جدول ۳ ذکر شده است که تأثیر بسزایی در افزایش مساحت مدارها دارد. هم‌چنین می توان دید که ICS1-ICS3 دارای بیشترین تعداد ترانزیستور است که باعث افزایش مساحت می‌شود. با این حال، مدارهای پیشنهادی دارای مساحت مناسبی هستند. یکی دیگر از ویژگی‌های طرح های ارائه شده در این مقاله این است که از حداقل تعداد اینورتر در ساختار خود استفاده می‌کنند. اگرچه برخی از این طرح‌ها مانند SAPSC6 تنها دارای ۶ ترانزیستور هستند، اما این طرح بدون در نظر گرفتن ورودی B_{in} اجرا

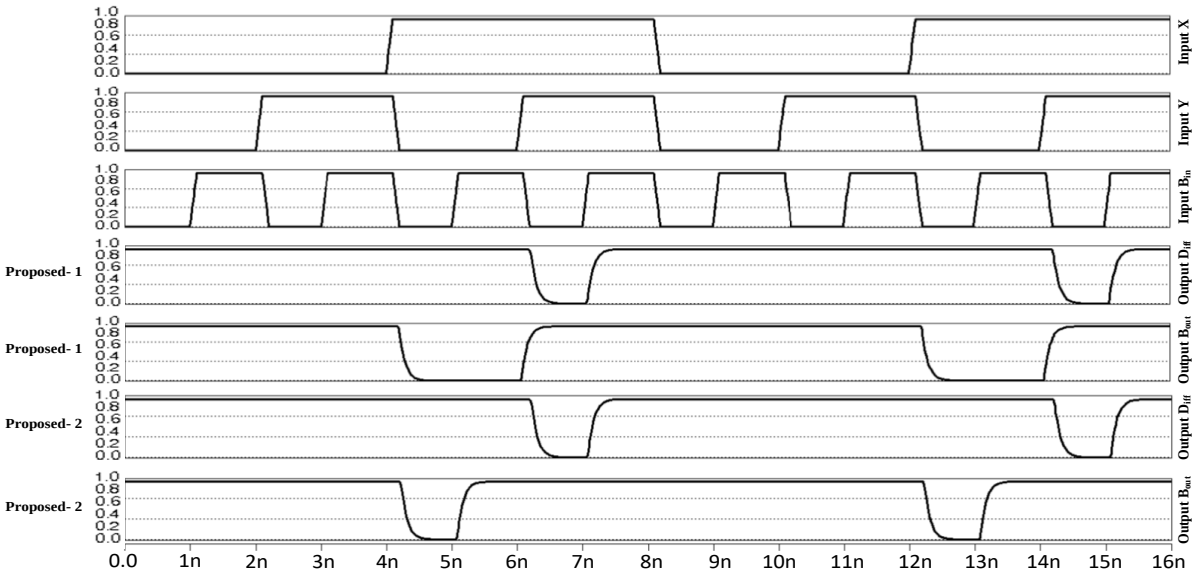
[1] Gate Diffusion Input (GDI)
[2] Dynamic Threshold (DT)
[3] Tap Gate (TG)

می‌شود و می تواند جاسازی آن را در تقسیم‌کننده‌هایی که در قسمت‌های بعدی مقاله ارائه می‌شود، چالش برانگیز کند. با این وجود مهمترین عیب این نوع مدارها به افزایش تعداد اینورترها در ورودی و خروجی آنها نسبت داده می‌شود که مهمترین عامل در افزایش مصرف برق اعم از استاتیکی و دینامیکی می‌باشد. با این‌حال، مدارهای پیشنهادی با مصرف مساحت مناسب از نظر تعداد ترانزیستور و استفاده از تکنیک GDI دارای ویژگی‌های قابل‌توجهی هستند. یکی از ویژگی‌های قابل‌توجه مدارهای پیشنهادی به حداقل رساندن تعداد اینورترها در ساختار آنها می‌باشد.



شکل ۲.(الف وب) بلوک دیاگرام مدارهای پیشنهادی-۱ و پیشنهادی-۲ (ج و د) شماتیک‌های ترانزیستوری.

Figure 2. (a web) block diagram of suggested circuits-1 and suggested-2 (c and d) transistor schematics.



شکل ۳. شکل موج خروجی مدارهای پیشنهادی.

Figure 3. The output waveform of the proposed circuits

جدول ۳: مقایسه مشخصات بین تفریق‌کننده‌های تقریبی

Table 3: Comparison of specifications between approximate subtractors

Name	Tran. Count	Nu. of Errors	Technique	Tran. Level	Gate Level (VHDL)	Using Inverter at In/Out	Total Number of Inverter at In/Out
AXSC1 [٦]	٨	٢	TG	YES	NO	Yes/No	١
AXSC2 [٦]	٨	٢	TG	YES	NO	Yes/No	٢
AXSC3 [٦]	١٢	٢	TG	YES	NO	Yes/No	٢
AXS1 [٩]	١۴	٢	CMOS	YES	NO	Yes/Yes	٢
AXS2 [٩]	١۴	٢	CMOS	YES	NO	Yes/Yes	٢
AXS3 [٩]	١٢	٢	CMOS	YES	NO	Yes/Yes	٢
ICS1 [٣]	٢٨	١	CMOS	YES	NO	Yes/Yes	٣
ICS2 [٣]	٢٨	١	CMOS	YES	NO	Yes/Yes	٣
ICS3 [٣]	٢٨	١	CMOS	YES	NO	Yes/Yes	٣
Apps [١٠]	٢٢	۴	CMOS	NO	YES	Yes/Yes	٣
SAPSC1 [١١]	۴۴	١	CMOS	NO	YES	Yes/Yes	۵
SAPSC2 [١١]	٢۶	٢	CMOS	NO	YES	Yes/Yes	٢
SAPSC3 [١١]	١۴	٣	CMOS	NO	YES	Yes/Yes	٢
SAPSC4 [١١]	١٨	٣	CMOS	NO	YES	Yes/Yes	٣
SAPSC5 [١١]	١۴	۵	CMOS	NO	YES	Yes/Yes	٢
SAPSC6 [١١]	٦(No B_{in})	۴	CMOS	NO	YES	No/Yes	١
Proposed-1	١٠	۴	GDI	Yes	No	Yes/No	٢
Proposed-2	١٢	۴	GDI	Yes	No	Yes/No	٢

۳-نتایج شبیه‌سازی

در این مقاله از مدل فشرده سازگار با SPICE ۳۲نانومتری استفاده شده است [۱۵]. همچنین از ابزار Synopsys HSPICE-H-2013.03-SP2 64-BIT با CNFETs Verilog-A Model v. 2.1.1 دانشگاه استنفورد برای شبیه‌سازی استفاده شده است. پارامترهای شبیه‌سازی فناوری مطابق با [۱۵] می‌باشد. برای شرایط ثابت شبیه‌سازی، بردار کایرالیتی و تیوب به‌ترتیب به صورت (۰، ۳۸) و ۱۰ برای هر ترانزیستور تنظیم می‌شوند. در این حالت، DCNT=2.97[1] نانومتر و V_{th} برابر ۰/۱۴۴ ولت می‌باشد. برای ارائه یک مقایسه منصفانه بین تمام مدارهای پیشنهادی و مرجع، پارامترهای شبیه‌سازی مطابق [۱۵] در نظر گرفته می‌شوند. میانگین مصرف برق از ۰/۰۱ نانوثانیه تا دو دوره تحت فرکانس کاری ۵۰۰ مگاهرتز برای هر دو شبیه‌سازی مونت‌کارلو و قابلیت بارگزاری محاسبه می‌شود. هم‌چنین تمامی مسیرهای موجود از ورودی تا خروجی درنظر گرفته شده و بدترین نتایج مسیر تاخیر گزارش می‌شود. هنگامی که سیگنال‌های ورودی و خروجی به نصف V_{DD} نزدیک می شوند، تاخیر محاسبه می‌شود. هم‌چنین PDP[2] از رابطه۶ و PDAP[3] از رابطه ۷ معیارهای مهمی برای بررسی مدارهای تقریبی هستند.

$$PDP(fJ)=Avarage\ Power\ (uw)\times\ Worst\ case\ Delay\ (ns) \quad (۶)$$

$$PDAP=PDP\times Number\ of\ Transistor \quad (۷)$$

با استفاده از MCM[4] با ۱۰۰ اجرا، که پارامترهای بسیار مهمی در ساختار فیزیکی CNTFETها هستند، از آنها برای بررسی پایداری مدارها در برابر خرابی های احتمالی ساخت استفاده می‌شود و تغییرات تیوب‌ها و مراحل ترانزیستورها را آشکار می‌کند [۱۵]. در این راستا تعداد تیوب‌ها با تغییرات برابر ۱۰± برابر ۲۰ در نظر گرفته می‌شود در حالی که مراحل پیچ‌ها ۱۶ نانومتر با تغییرات ۶± نانومتر تعیین می‌شود. نتایج شبیه‌سازی برحسب حداکثر، حداقل، میانگین و انحراف معیار می‌باشد.

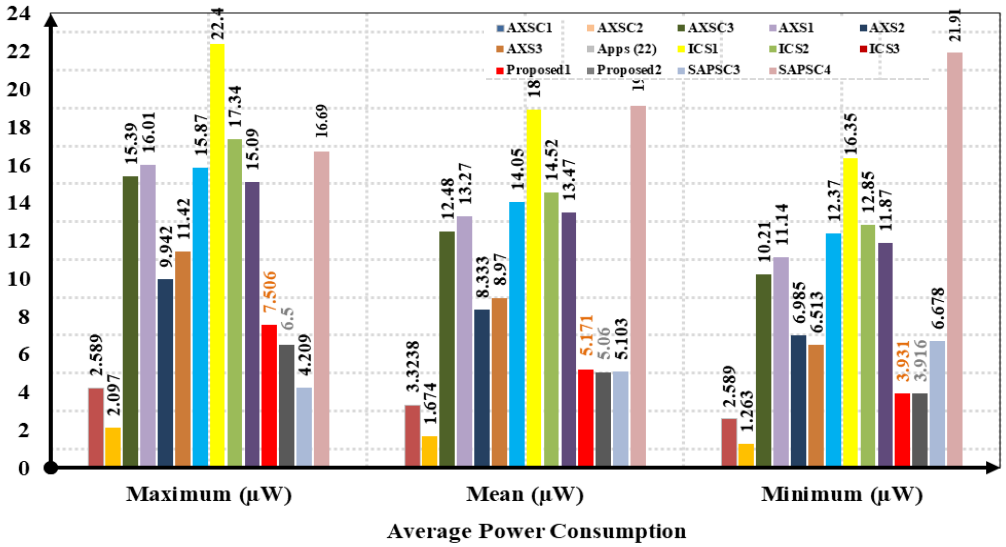
---

[1] Chirality Vectors And CNT Diameters (D_{CNT}s)

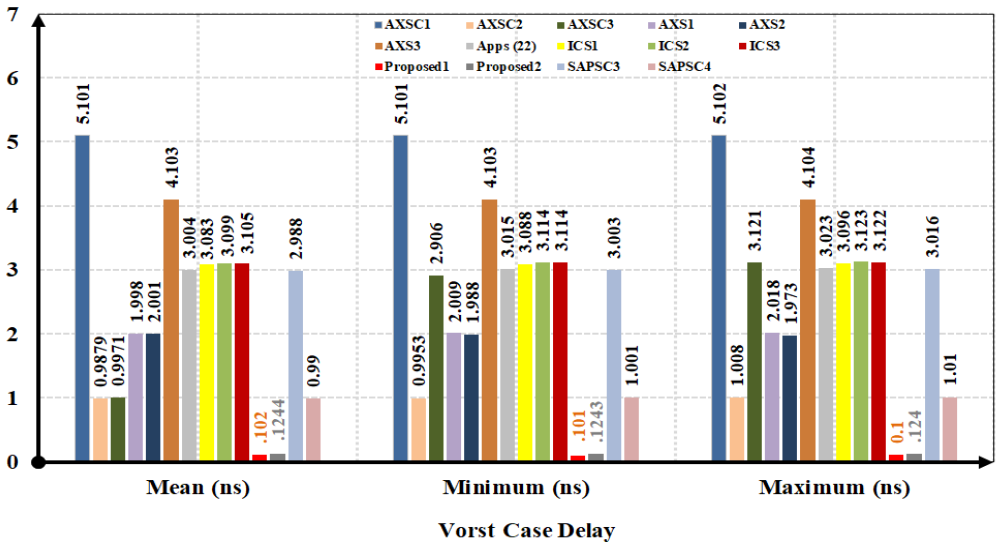
[2] Power-Delay-Product (PDP)

[3] Power-Delay Product Area (PDAP)

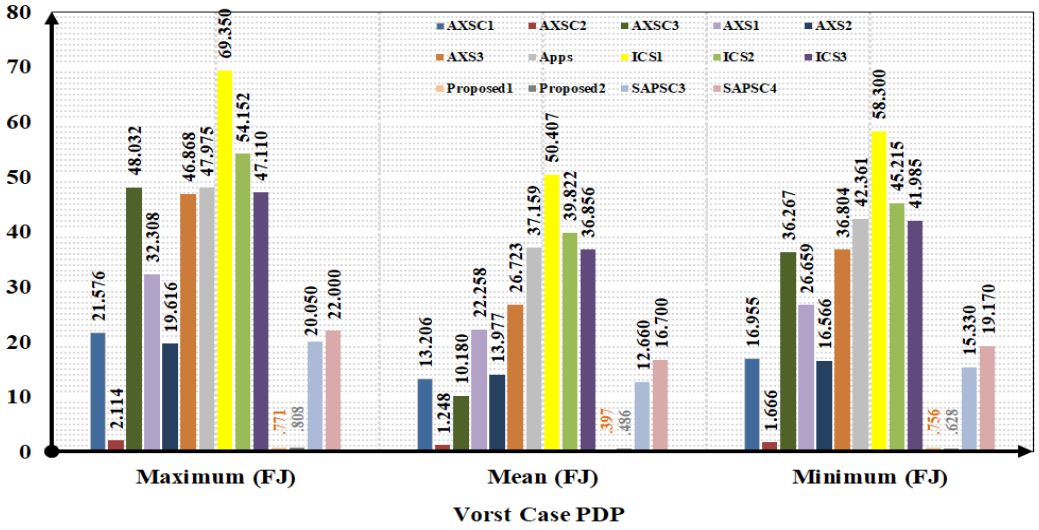
[4] Monte Carlo method (MCM)


AXSC1
AXSC2
AXSC3
AXS1
AXS2
AXS3
Apps (22)
ICS1
ICS2
ICS3
Proposed1
Proposed2
SAPSC3
SAPSC4
Maximum (µW)
Mean (µW)
Minimum (µW)
Average Power Consumption

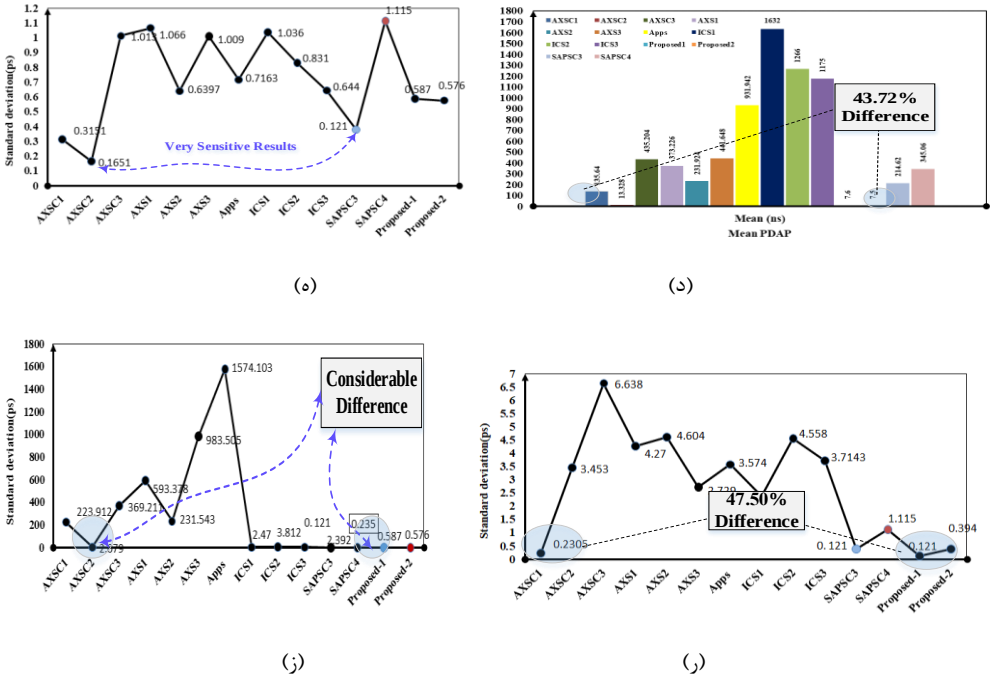
(الف)


AXSC1
AXSC2
AXSC3
AXS1
AXS2
AXS3
Apps (22)
ICS1
ICS2
ICS3
Proposed1
Proposed2
SAPSC3
SAPSC4
Mean (ns)
Minimum (ns)
Maximum (ns)
Vorst Case Delay

(ب)


AXSC1
AXSC2
AXSC3
AXS1
AXS2
AXS3
Apps
ICS1
ICS2
ICS3
Proposed1
Proposed2
SAPSC3
SAPSC4
Maximum (FJ)
Mean (FJ)
Minimum (FJ)
Vorst Case PDP

(ج)



(ه) (د)

(ز) (ر)

شکل۴. نتایج

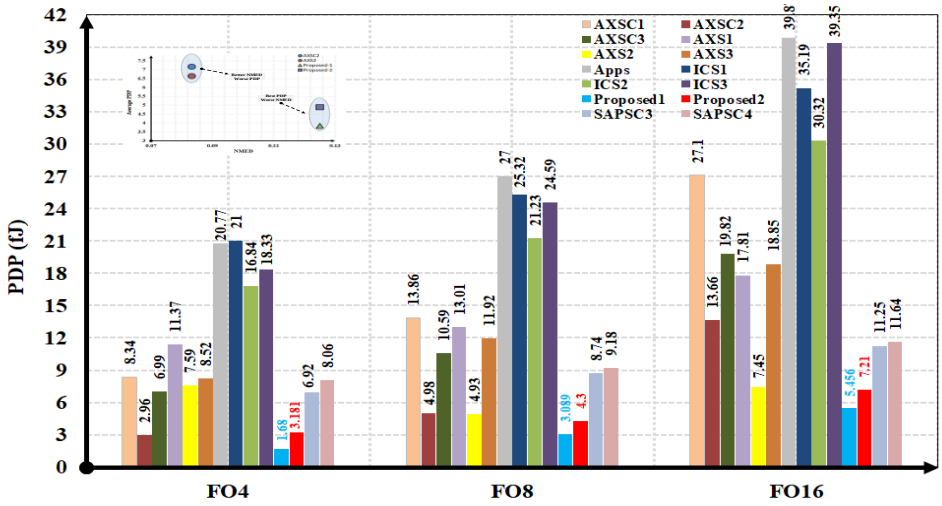
مونت‌کارلو برای تفریق‌کننده‌های تقریبی در مقابل حداکثر، حداقل و میانگین برای الف) توان متوسط، ب) تأخیر در بدترین حالت، ج) بدترین PDP، د) میانگین PDAP، و (د ه ر ز) انحراف معیار توان، تاخیر و PDP.

Figure 4. Monte Carlo results for approximate subtractors versus maximum, minimum, and average for a) average power, b) worst-case delay, c) worst-case PDP, d) average PDAP, and (d) Standard deviation of power, delay and PDP.

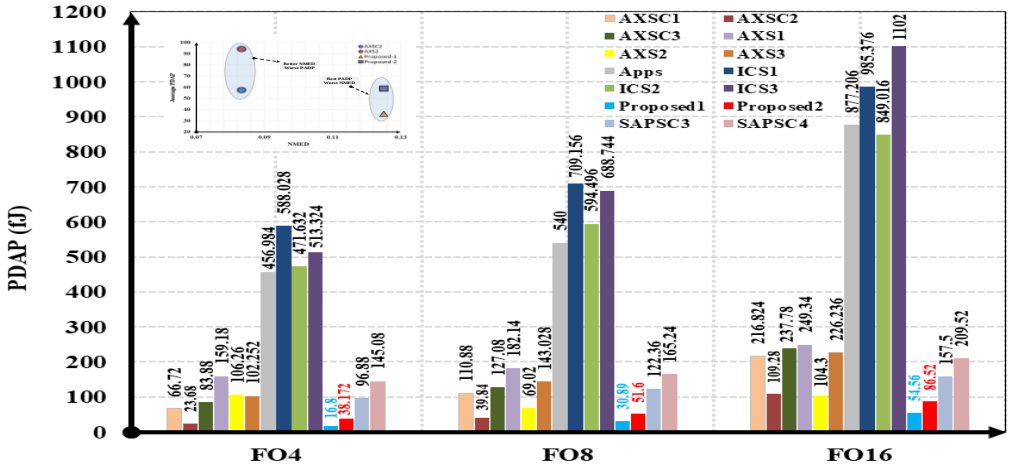
باتوجه به اینکه نتایج شبیه‌سازی در شکل ۴ نشان داده شده است، مشاهده می‌شود که AXSC2 به‌دلیل ساختار ساده، نتایج بهتری نسبت به طرح‌های پیشنهادی دارد. مطابق شکل ۴ (ب) مربوط به بدترین حالت تاخیر، مدارپیشنهادی۱و مدارپیشنهادی۲ کمترین میزان تاخیر را دارند. مدارپیشنهادی۱ با مقادیر توان ۰/۱۰۲ ، ۰/۱۰۱ و ۰/۱ میکروووات به‌عنوان حداکثر، حداقل و متوسط، و مدارپیشنهادی۲ با مقادیر توان ۰/۱۲۴۴ میکروووات، ۰/۱۲۴۳ میکروووات و ۰/۱۲۴ میکروووات به عنوان حداکثر، حداقل و میانگین تفاوت معنی‌داری با AXSC2 دارند. ، به‌ترتیب. در مقابل، AXS1-AXS3 به دلیل استفاده از ترانزیستورهای متعدد، مصرف انرژی بالایی را نشان می‌دهد که منجر به تعداد زیادی گره داخلی در سلول‌های DGC می‌شود. با توجه به نتایج شبیه سازی مدار AXSC1 به دلیل ساختار خود بیشترین میزان تاخیر را دارد. زیرا دو گیت که خروجی‌ها را تولید می‌کنند به سیگنال‌های ضروری تولید شده توسط گیت XOR اعمال می‌شوند.

مطابق شکل ۴ (ج و د)، طرح های پیشنهادی از نظر PDP و PDAP در مقایسه با بقیه مدارها، به خصوص AXSC2 که نزدیک‌ترین رقیب آنها است، تفاوت های قابل توجهی دارند. تفاوت در مقدار PDAPمدارپیشنهادی۱در مقایسه با AXSC2 حدود ۴۳/۷۲ درصد است، حتی اگر دو ترانزیستور بیشتر از AXSC2 دارد. نتایج به دست آمده از نظر انحراف معیار توان، تاخیر و PDP کارایی طرح های پیشنهادی را تایید می‌کند. با توجه به اینکه تفریق‌کننده‌های تقریبی سلول های اصلی مدار تقسیم‌کننده را تشکیل می دهند، بهتر است این مدارها را در تقسیم‌کننده‌ها بررسی کنیم. در اینجا، خروجی های مختلف FO[1] با اعمال بافرها به ورودی ها (۱ بافر) و اینورترها به خروجی سلول‌ها (۴، ۸ یا ۱۶) به صورت موازی بر اساس FO4، FO8 و FO16 درنظر گرفته می‌شوند [۲۸]. پارامترهای مهم PDP و PDAP در شکل ۵-الف و ۵-ب نشان داده شده است.

[1] Fan Out (FO)



(الف)



(ب)

شکل ۵. نتایج Fan-out در مقابل سلول‌های تقریبی مختلف برای (الف و ب) PDAP,PDP

Figure 5. Fan-out results against different approximate cells for (a and b) PDAP, PDP

از نتایج به‌دست‌آمده می‌توان دریافت که طرح‌های پیشنهادی برای سازه‌های پیچیده‌تر مانند جداکننده‌ها مناسب هستند. همانطور که در شکل ۵-الف نشان داده شده است، مقدار PDP مدارپیشنهادی اول ۱/۶۸ است که عملکرد بهتر این مدار را در مقایسه با مدارهای دیگر نشان می‌دهد. AXSC2 که از نظر نتایج شبیه‌سازی نزدیک‌ترین نتایج را به طرح‌های پیشنهادی دارد، مصرف انرژی بالاتری در حدود ۴۳/۲۴ درصد نسبت به مدارپیشنهادی۱ دارد. برای PDAP نیز شرایط یکسانی در طول FO به دست آمده است زیرا طرح های مذکور دارای مساحت یکسانی هستند. نتایج PDP و PDAP برحسب NMED نشان داده شده در شکل ۵ برای بررسی بهتر مدارها درنظر گرفته شده است. NMED با توجه به نتایج ارائه شده در جدول ۲ و جدول ۳ بر اساس NMED در مقابل PDP درنظر گرفته می‌شود. همانطور که مشاهده می‌شود، NMED در مقابل PDP مدارپیشنهادی۱ و مدارپیشنهادی۲ پایین‌ترین مقادیر PDP و NMED هستند که برای کاربردهای با حساسیت بالا مناسب هستند. هم‌چنین مدارهای پیشنهادی دارای بالاترین NAMED و بهترین PDAP هستند. یکی از دلایلی که طرح‌های پیشنهادی با مدارهای AXSC2 و AXS2 مقایسه شده‌اند این است که این مدارها نتایجی نزدیک به مدارهای پیشنهادی دارند همانطور که در شکل ۵ (الف) و (ب) نشان داده شده است. با این حال، بقیه مراجع تفاوت های قابل توجهی در مقایسه با سلول‌های پیشنهادی دارند. مقایسه جامع طرح‌ها و مراجع پیشنهادی در جدول ۵ آورده شده است.

جدول ۴. مقادیر توان، تاخیر، PDP و PDAP مدارهای مرجع پیشنهادی.
Table 4. Power, delay, PDP and PDAP values of the proposed reference circuits.

Name	Power	Delay	PDP	Tran. Count	PDAP
AXSC1 [۶]	۷۰/۳۷۱	۰/۶۲۳۲	۳۶/۴۳۸	۸	۲۹۱/۵
AXSC2 [۶]	۶۶/۷۸۷	۰/۳۱۶۲	۲۱/۱۱۸	۸	۱۶۸/۹
AXSC3 [۶]	۶۹/۴۱۲	۰/۳۱۵۴	۲۱/۸۹۲	۱۲	۲۶۲/۷
AXS1 [۹]	۱۱۵/۳۱	۰/۴۲۷۱	۴۹/۲۴۸	۱۴	۲۸۹/۴
AXS2 [۹]	۹۷/۹۱۲	۰/۵۱۴۷	۵۰/۳۹۵	۱۲	۶۰۴/۷
AXS [۹]	۶۲/۲۹۶	۰/۳۷۰۵	۲۳/۰۸۰	۲۸	۶۴۶/۲
ICS1 [۳]	۱۳۰/۲۱	۰/۳۵۸	۴۶/۶۱	۲۸	۱۳۰۴/۸
ICS2 [۳]	۶۸/۳۵۱	۰/۲۸۲	۱۹/۱۳	۲۸	۵۵۵/۶
ICS3 [۳]	۶۷/۶۹۲	۰/۲۵۲	۱۶/۹۲۳	۲۸	۴۷۳/۸
Apps [۱۰]	۹۳/۲۶	۰/۳۰۷۵	۲۸/۶۷۷	۲۲	۶۳۰/۷
SAPSC3 [۱۱]	۷۱/۰۵	۰/۳۳۵	۲۳/۸۰	۱۴	۳۳۳/۲
SAPSC4 [۱۱]	۷۵/۶۹	۰/۴۵	۳۴/۰۶	۱۸	۶۱۳
Proposed-1	۸۷/۶۵	۰/۱۲۲	۱۰/۵۱	۱۰	۱۰۵/۱
Proposed-2	۹۱/۰۲	۰/۱۴	۱۲/۷۴	۱۲	۱۵۲/۸

۴-نتیجه‌گیری

در این مقاله دو تفریق‌کننده تقریبی جدید ارائه و تحلیل شده است. طرح‌های پیشنهادی مبتنی بر تکنیک ورودی انتشار گیت (GDI) همراه با تکنیک آستانه دینامیکی (DT) با استفاده از فناوری ترانزیستورهای اثر میدانی نانولوله‌های کربنی (CNTFETs) ۳۲نانومتری است. این تفریق کننده‌ها سلول‌های تقسیم کننده اصلی را تشکیل می‌دهند که در پردازش تصویر استفاده می‌شوند. طرح‌های پیشنهادی دارای ۴ خطا با پیچیدگی بسیار کم هستند. شبیه‌سازی تغییرات شامل تغییرات مونت کارلو و fanout انجام شده و نتایج صحت روابط ریاضی توان و تاخیر و PDP را تایید می‌کند. از نظر صرفه‌جویی در تولید متوسط توان تاخیر (PDP)، مدارپیشنهادی۱ و مدارپیشنهادی۲ عملکرد بهتری دارند. مطالعات مختلف با طرح‌های ارائه‌شده مقایسه شده و اثربخشی طرح‌های پیشنهادی در شرایط مختلف بدون کاهش ولتاژ خروجی تایید می‌شود که به دلیل استفاده از (DT) در اجرای آنها می‌باشد.

مراجع

[1] W. Liu, F. Lombardi and M. Shulte, "A Retrospective and Prospective View of Approximate Computing [Point of View}," in *Proceedings of the IEEE*, vol. 108, no. 3, pp. 394-399, March 2020, doi: 10.1109/JPROC.2020.2975695.

[2] H. Jiang, F. J. H. Santiago, H. Mo, L. Liu and J. Han, "Approximate Arithmetic Circuits: A Survey, Characterization, and Recent Applications," in *Proceedings of the IEEE*, vol. 108, no. 12, pp. 2108-2135, Dec. 2020, doi: 10.1109/JPROC.2020.3006451.

[3] A. Sadeghi, R. Ghasemi, H. Ghasemian and N. Shiri, "High Efficient GDI-CNTFET-Based Approximate Full Adder for Next-Generation of Computer Architectures," in *IEEE Embedded Systems Letters*, vol. 15, no. 1, pp. 33-36, March 2023, doi: 10.1109/LES.2022.3192530.

[4] M. Rafiee, Y. Sadeghi, N. Shiri and A. Sadeghi "An approximate CNTFET4:2 compressor based on gate diffusion input and dynamic threshold," *Electron. Lett.*, vol. 57, pp. 650-652, 2021, . doi: 10.1049/ell2.12221.

[5] A. Gorantla and P. Deepa, "Design of Approximate Subtractors and Dividers for Error Tolerant Image Processing Applications," *J Electron Test* , vol. 35, pp. 901–907, 2019, doi: 10.1007/s10836-019-05837-5.

[6] L. Chen, J. Han, W. Liu and F. Lombardi, "On the Design of Approximate Restoring Dividers for Error-Tolerant Applications," in *IEEE Transactions on Computers*, vol. 65, no. 8, pp. 2522-2533, Aug. 2016, doi: 10.1109/TC.2015.2494005.

[7] F. Sabetzadeh, M. H. Moaiyeri and M. Ahmadinejad, "A Majority-Based Imprecise Multiplier for Ultra-Efficient Approximate Image Multiplication," in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 66, no. 11, pp. 4200-4208, 2019, doi**:** 10.1109/TCSI.2019.2918241.

[8] H. Jiang, L. Liu, F. Lombardi and J. Han, "Adaptive approximation in arithmetic circuits: A low-power unsigned divider design," in *Design, Automation Test in Europe Conference Exhibition (DATE)*, March 2018, pp. 1411–1416, doi: 10.23919/DATE.2018.8342233.

[9] F. Bahrami, N. Shiri and F. Pesaran, "An efficient Imprecise 4:2 Compressor Using Gate Diffusion Input Supplemented with Dynamic Threshold," *Journal of Southern Communication Engineering*, vol. 13, no. 50, pp. 1-10, 2023, doi: 10.30495/jce.2023.1987535.1203 [in Persian].

[10] T. Rashedzadeh, S.M. Riyazi and N. Cheraghi Shirazi, "Analysis of the effect of changes of FINs Architectural on FINFET Drain current and on Average Power Dissipation and Propagation Delay in the Hybrid-CMOS full adder," *Journal of Southern Communication Engineering*, vol. 10, no. 40, pp. 25-36, Jun. 2021 [in Persian].

[11] M. Sayyaf, A. Ghasemi and R.Hamzehyan, "Design of Low Power Single-Bit Full-Adder Cell Based on Pass-Transistor Logic," *Journal of Southern Communication Engineering*, vol. 13, no. 49, pp. 105-112, 2022, doi: 10.30495/jce.2022.692834 [in Persian].

[12] K. M. Reddy, M. H. Vasantha, Y. B. Nithin Kumar and D. Dwivedi, "Design of Approximate Dividers for Error Tolerant Applications," *IEEE International Midwest Symposium on Circuits and Systems (MWSCAS)*, 2018, pp. 496-499, doi: 10.1109/MWSCAS..8623909.

[13] R. Ferreira, M. Leme, M. Corrêa, L. Agostini, C. Diniz and B. Zatt, "Approximate Subtractor Operator for Low-Power Video Coding Hardware Accelerators," *IEEE International Conference on Electronics, Circuits and Systems (ICECS)*, 2019, pp. 426-429, doi: 10.1109/ICECS46596.2019.8964783.

[14] K. V. Krishnan, A. Satish and P. R. Krishnan, "Design of energy efficient approximate subtractors and restoring dividers for error tolerant applications," *Microelectronics Journal*, vol. 131, p. 105668, 2023, doi: 10.1016/j.mejo.2022.105668.

[15] N. Shiri, A. Sadeghi, M. Rafiee and M. Bigonah, "SR-GDI CNTFET-based magnitude comparator for new generation of programmable integrated circuits," *International Journal of Circuit Theory and Application*, 2022, pp. 1- 26, doi: 10.1002/cta.3251.

[16] M. Rafiee, N. Shiri and A. Sadeghi, "Low-Power and Fast-Swing-Restoration GDI-Based Magnitude Comparator for Digital Images Processing," *Circuits Syst Signal Process* , vol. 41, pp. 4848–4885, 2022, doi: 10.1007/s00034-022-01997-6.

[17] M. Mirzaei and S. Mohammadi, "Process variation-aware approximate full adders for imprecision-tolerant applications," *Computers & Electrical Engineering*, vol. 87, 2020, p. 106761, doi: 10.1016/j.compeleceng.2020.106761.

[18] A. Morgenshtein, A. Fish and I. A. Wagner, "Gate-diffusion input (GDI): a power-efficient method for digital combinatorial circuits," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 10, no. 5, pp. 566- 581, 2002, doi: 10.1109/TVLSI.2002.801578.

[19] A. Sadeghi, N. Shiri and M. Rafiee, "High-Efficient, Ultralow-Power and High-Speed 4:2 Compressor with a New Full Adder Cell for Bioelectronics Applications," *Circuits Syst Signal Process* , vol. 39, pp. 6247–6275, 2020, doi: 10.1007/s00034-020-01459-x.

[20] M. Rafiee, F. Pesaran, A. Sadeghi and N. Shiri, "An efficient multiplier by pass transistor logic partial product and a modified hybrid full adder for image processing applications," *Microelectronics Journal*, vol. 118, 2021, p. 105287, doi: 10.1016/j.mejo.2021.105287.

[21] G. Hills, C. Lau and A. Wright, "Modern microprocessor built from complementary carbon nanotube transistors," *Nature* , vol. 572, pp. 595–602, 2019, doi: 10.1038/s41586-019-1493-8.

[22] H. Jiang, C. Liu, L. Liu, F. Lombardi and J. Han, “A review, classification, and comparative evaluation of approximate arithmetic circuits,” *ACM J Emerg Technol Comput Syst. (JETC)*, vol. 13, no. 4, p. 60, 2017, doi:10.1145/3094124.

[23] A. Darabi, M.R. Salehi and E. Abiri, “One-sided 10T static-random access memory cell for energy efficient and noise-immune internet of things applications,” *International Journal of Circuit Theory and Applications*, 2022, doi: 10.1002/CTA.3408.

[24] A. T. Mahani and P. Keshavarzian, “A novel energy-efficient and high speed full adder using CNTFET,” *Microelectronics Journal*, vol. 61, pp. 79-88, 2017, doi: 10.1016/j.mejo.2017.01.009.

[25] E. Adams, S. Venkatachalam and S. -B. Ko, "Approximate Restoring Dividers Using Inexact Cells and Estimation From Partial Remainders," in *IEEE Transactions on Computers*, vol. 69, no. 4, pp. 468-474, April 2020, doi: 10.1109/TC.2019.2953751.

[26] F. Pooladi, F. Pesaran and N. Shiri. "Efficient GDI- based approximate subtractors for change detection in bio-image processing applications." *Microelectronics Journal* , vol. 135 , p. 105757, May 2023, doi: 10.1016/j.mejo.2023.105757.

[27] F. Bahrami, N. Shiri and F. Pesaran, “A New Approximate Sum of Absolute Differences Unit for Bioimages Processing,” *IEEE Embedded Systems Letters*. 2023, **doi:** 10.1109/LES.2023.3245020.

[28] F. Bahrami, N. Shiri and F. Pesaran, “Imprecise Subtractor Using a New Efficient Approximate-Based Gate Diffusion Input Full Adder for Bioimages Processing,” *Computers and Electrical Engineering*, vol. 108, p. 108729, 2023, doi: 10.1016/j.compeleceng.2023.108729.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0