JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2023.1957910.1158

Vol. 12/ No. 48/Summer 2023

Review Article

A Survey on Settling Behavior of Control Voltage in Phase Locked Loop Circuits Considering Non-Ideal Effects and Sensitivity to Circuit Components Variations

Reyhaneh Nazaraghaee, M.Sc. [1] | Abdolrasool Ghasemi, Assistant Professor [2*] | Najmeh Cheraghi shirazi, Assistant Professor [3]

[1]Department of Electrical Engineering, Bushehr Branch, Islamic Azad University, Bushehr, Iran, reihane2312@yahoo.com

[2]Department of Electrical Engineering, Bushehr Branch, Islamic Azad University, Bushehr, Iran, rasul_ghasemi@yahoo.com

[3]Department of Electrical Engineering, Bushehr Branch, Islamic Azad University, Bushehr, Iran, nch_shirazi@yahoo.com

Correspondence
Abdolrasool Ghasemi, Assistant Professor of Department of Electrical Engineering, Bushehr Branch, Islamic Azad University, Bushehr, Iran, rasul_ghasemi@yahoo.com

Received: 1 May 2022
Revised: 10 July 2022
Accepted: 25 July 2022

Abstract

This paper comprehensively investigates how the control voltage settles in Voltage Controlled Oscillators (VCO) by considering all non-ideal factors in phase lock loop circuits. Also, the different structures of the phase detector and their effect on the locking speed of the phase-locking loop circuit, the control voltage ripple and the locking frequency range will be compared. Three phase locked loop circuits with XOR detector, RS-FF detector and dynamic phase detector were investigated in this paper. The simulations were performed on 0.18 µm-CMOS technology with a 1.8V power supply. The simulation results show that the operating range of the phase-locked loop circuit including dynamic phase detector with charge pump circuit has less ripple for the non-ideal effects compared to the phase-locked loop circuit including XOR phase detector and the phase-locked loop circuit including RS-FF phase detector. of the phase-locked loop circuit including dynamic phase detector is designed using 180nm CMOS technology and the simulation results show that for a supply voltage of 1.8V, frequency range is 0.284-3.33GHz, power consumption is 2.86mW and phase noise is -118.8dBc/Hz.

Keywords: Phase Locked Loop, Phase Detector, Voltage Controlled Oscillator, Settling Behavior

Highlights

- The PLL circuit including the dynamic phase detector has a relatively good design and performance.
- A comprehensive study of the behavior of control voltage settlement in VCO considering all non-ideal factors.
- Different structures of the phase detector and their effect on the locking speed of the PLL, control voltage ripple and the locking frequency range were compared.

Citation: R. Nazaraghaei, A. Ghasemi, and N. Cheraghi Shirazi, "A Survey on Settling Behavior of Control Voltage in Phase Locked Loop Circuits Considering Non-Ideal Effects and Sensitivity to Circuit Components Variations," *Journal of Southern Communication Engineering*, vol. 12, no. 48, pp. 13–28, 2023, doi: 10.30495/jce.2023.1957910.1158, (in Persian).

مقاله مروری

بررسی رفتار نشست ولتاژ کنترل در مدارهای حلقه قفل فاز با در نظر گرفتن اثرات غیرایده آل و حساسیت به تغییرات المان‌های مدار

ریحانه نظرآقایی [۱] | عبدالرسول قاسمی *[۲] | نجمه چراغی شیرازی [۳]

[۱]گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران،
reihane2312@yahoo.com

[۲]استادیار گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران،
rasul_ghasemi@yahoo.com

[۳]استادیار گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران،
nch_shirazi@yahoo.com

نویسنده مسئول
*عبدالرسول قاسمی، استادیار گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران،
rasul_ghasemi@yahoo.com

تاریخ دریافت: ۱۱ اردیبهشت ۱۴۰۱
تاریخ بازنگری: ۱۹ تیر ۱۴۰۱
تاریخ پذیرش: ۳ مرداد ۱۴۰۱

https://doi.org/10.30495/jce.2023.1957910.1158

چکیده:

در این مقاله به بررسی جامعی از چگونگی رفتار نشست ولتاژ کنترل در نوسان‌سازهای کنترل‌شده با ولتاژ (VCO) با در نظر گرفتن همه عوامل غیرایده‌آل در مدارهای حلقه قفل فاز پرداخته‌شده است. همچنین ساختارهای مختلف آشکارساز فاز و تأثیر آن‌ها بر روی سرعت قفل شدن مدار حلقه قفل فاز، جهش ولتاژ کنترل و محدوده فرکانسی قفل باهم مقایسه خواهد شد. سه مدار حلقه قفل فاز با آشکارساز فازXOR ، آشکارساز RS-FF و آشکارساز فاز دینامیکی در این مقاله بررسی شدند. شبیه‌سازی‌ها در تکنولوژی ۱۸۰ نانومتر CMOS و با منبع تغذیه ۱/۸ولت انجام شد. نتایج شبیه‌سازی نشان می‌دهد محدوده عمل مدار حلقه قفل فاز شامل آشکار فاز دینامیکی با مدار پمپ بار نسبت به اثرات غیرایده‌آل نسبت به مدار حلقه قفل فاز شامل آشکارساز فاز XOR و مدار حلقه قفل فاز شامل آشکارساز فاز RS-FF جهش ولتاژ کمتری دارد. مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی در تکنولوژی۱۸۰ نانومتر CMOS طراحی‌شده است و به ازای ولتاژ تغذیه‌ی ۱/۸ولت محدوده فرکانسی۰/۲۸۴ تا ۳/۳۳ گیگاهرتز و توان مصرفی ۲/۸۶ میلی وات و نویز فازی (dBc/Hz)۱۱۸/۸- به دست آمد.

کلید واژه‌ها: حلقه قفل فاز، آشکارساز فاز، نوسان‌ساز کنترل‌شده با ولتاژ، رفتار نشست

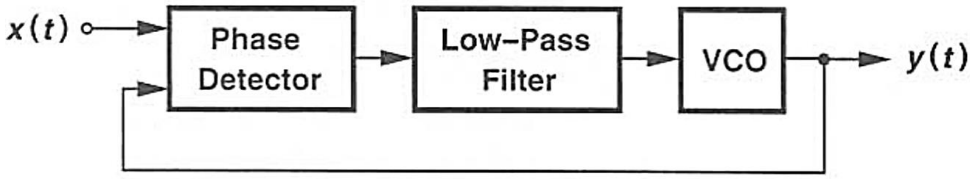
۱-مقدمه

در طول دو دهه اخیر ارتباطات فرکانس بالا رشد فراوان داشته و در بسیاری از جنبه‌های زندگی ما رخنه کرده است. گوشی‌های همراه ما اکنون کار پایانه‌های خرید، راهنمای موقعیت‌یاب، پیش‌بینی وضعیت هوا و تلفن را انجام می‌دهند. در سیستم‌های جدید ارتباطی اکثر فرکانس‌سازها برای دستیابی به‌دقت فرکانسی بالا از حلقه‌های قفل فاز استفاده می‌کنند [۱-۵]. با پیشرفت تکنولوژی CMOS مدارهای حلقه قفل فاز با فرکانس خروجی دقیق نقش حیاتی در کاربردهای مخابراتی ایفا می‌کنند. مدار حلقه قفل فاز از بخش‌های مختلفی تشکیل‌شده که بررسی ولتاژ کنترل نوسان‌ساز به دلیل تأثیر مستقیم بر روی فرکانس خروجی سیستم بسیار مهم است. اگرچه رفتار حلقه قفل فاز در حالت قفل نشده ارزشی ندارد ولی اینکه چگونه وارد حالت قفل می‌شود یا بررسی اینکه آیا قفل می‌شود هر دو از مسائل چالش‌برانگیز طراحی حلقه‌های قفل فاز هستند [۴-۷]. از طرفی اثرات غیرایده‌آل در مسیر حلقه مدار حلقه قفل فاز منجر به ایجاد نوسان در ولتاژ کنترل نوسان‌ساز در حالت قفل می‌شود [۶-۱۰]؛ بنابراین بررسی این اثرات غیرایده‌آل به دلیل ایجاد اختلال در تولید پالس ساعت میکروپروسسورها و همچنین انحراف فرکانس مطلوب نوسان‌سازهای کنترل‌شده با ولتاژ در گیرنده‌ها بسیار حائز اهمیت است که در این مقاله به بررسی جامعی از

چگونگی رفتار نشست ولتاژ کنترل در نوسان‌سازها با در نظر گرفتن همه عوامل غیرایده‌آل از قبیل نشتی جریان منبع جریان پمپ بار، تأخیر مدار کنترل پمپ بار و پهنای باند محدود فیلتر، حساسیت به مقادیر عناصر مدار، اثر تزریق بار[1] و اثر نفوذ پالس ساعت[2] مربوط به مدار پمپ بار و ارائه راهکار مناسب برای کاهش اثر عدم تطبیق جریان‌های بالاکش و پایین کش و همچنین به کاهش تأخیر پالس‌های بالاکش و پایین‌کش برای پمپ بار پرداخته‌شده اگرچه بحث‌های مناسب و مفیدی در مورد مقدار زمان قفل و همچنین جهش ولتاژ کنترل نوسان‌ساز در مدارهای حلقه قفل فاز انجام‌شده است [۱۱-۱۵]، ولی هنوز یک بررسی جامعی از چگونگی رفتار نشست ولتاژ کنترل در نوسان‌سازهای کنترل‌شده با ولتاژ با در نظر گرفتن عوامل غیرایده‌آل انجام‌نشده است که در این مقاله به آن پرداخته می‌شود و درنهایت مدار حلقه قفل فاز با بهترین عملکرد یعنی مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی با مدار پمپ بار با کارهای منتشرشده دیگران مقایسه خواهد شد. در این مقاله پس از معرفی جایگاه و اهمیت مدارهای حلقه فاز به بررسی و مطالعه اثرات غیرایده‌آل در این مدارها پرداخته و درنهایت نتایج شبیه‌سازی مدارهای حلقه قفل فاز شامل انواع آشکارسازهای فاز با در نظر گرفتن اثرات غیرایده‌آل مختلف را بیان می‌نماییم.

۲- جایگاه و اهمیت حلقه قفل فاز

حلقه قفل فاز یک سیستم کنترلی است که کاربردهای فراوانی در الکترونیک و مخابرات دارد. درواقع، حلقه قفل فاز می‌تواند یک سیگنال خروجی را تولید کند که فاز آن به فاز سیگنال ورودی وابسته است. حلقه قفل فاز انواع مختلفی دارد، اما ساده‌ترین نوع آن، یک مدار الکترونیکی است که از یک فرکانس متغیر و یک آشکارساز فاز در حلقه فیدبک تشکیل شده است. در این مدار، یک سیگنال متناوب تولید می‌کند و آشکارساز فاز، مسئول مقایسه فاز آن سیگنال با فاز سیگنال متناوب ورودی است و درنهایت، باید برای حفظ تطبیق فاز تنظیم شود. حلقه فاز قفل‌شده، فرکانس دو سیگنال را مقایسه می‌کند و یک سیگنال خطا متناسب با تفاضل فرکانس دو ورودی، می‌سازد. سیگنال خطا برای راه‌اندازی ولتاژ کنترل نوسان‌ساز کنترل‌شده با ولتاژ نوسان‌ساز که یک خروجی فرکانس دارد، استفاده می‌شود. خروجی فرکانس نوسان‌ساز از تقسیم‌کننده فرکانس عبور داده‌شده و به ورودی سیستم بازمی‌گردد که یک حلقه فیدبک منفی می‌سازد. اگر خروجی نوسان‌ساز کنترل‌شده از فرکانس خود خارج شد سیگنال خطا افزایش خواهد یافت .



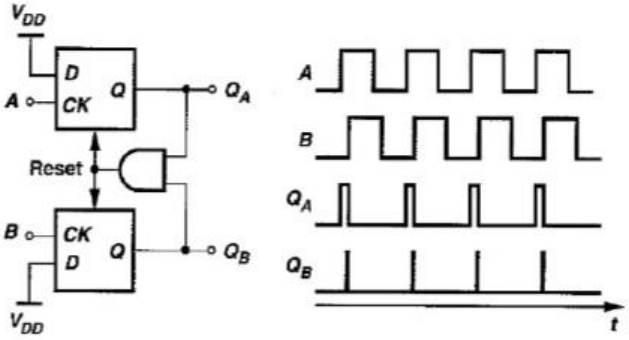
شکل ۱: ساختار کلی حلقه قفل فاز [۱]
Figure 1. General structure of PLL

حلقه قفل فاز می‌تواند به سه نوع مختلف طبقه‌بندی شود، حلقه قفل فاز خطی (که به‌عنوان حلقه قفل فاز آنالوگ شناخته می‌شود)، حلقه قفل فاز دیجیتالی و حلقه قفل فاز تمام دیجیتال. در ابتدا هر سه مثل هم عمل می‌کنند اما ساختاری متفاوت دارند. تمامی اجزای یک حلقه قفل فاز خطی با استفاده از مدارهای آنالوگ ساخته‌شده است، این در حالی است که حلقه قفل فاز تمام دیجیتال با استفاده از مدارهای دیجیتالی طراحی‌شده است [۱۶-۱۸]. یک حلقه قفل فاز دیجیتالی درواقع حلقه قفل فاز آنالوگ با آشکارساز فاز دیجیتالی است (ممکن است تقسیم‌کننده فرکانسی آن نیز دیجیتال باشد) که به این معناست که حلقه قفل فاز دیجیتالی درواقع ترکیب دو مدار آنالوگ و دیجیتال بوده که به‌طور واضح با حلقه قفل فاز تمام دیجیتال به سبب همین ویژگی متفاوت است. نوع دیگری از حلقه قفل فاز، حلقه قفل فاز پمپ بار است. حلقه قفل فاز پمپ بار مشابه حلقه قفل فاز دیجیتالی بوده، با این تفاوت که مدار پمپ بار جهت مصون ماندن مدار از منابع نویز، به حلقه اضافه‌شده است.

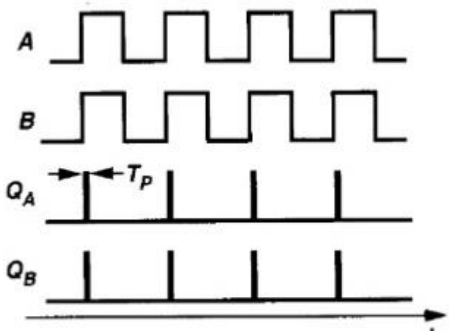
[1] Charge injection
[2] Clock feedthrough

۳- اثرات غیر ایده آل در مدار آشکارساز فاز/پمپ بار

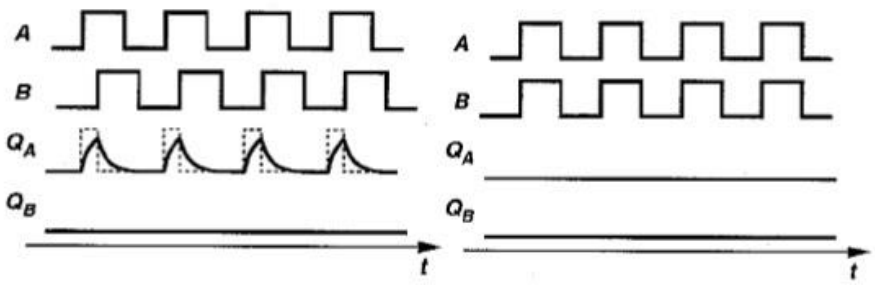
چندین نقص در مدار آشکارساز فاز/پمپ بار منجر به ایجاد نوسان روی ولتاژ خط کنترل حتی در شرایط قفل می‌شود. این جهش‌ها فرکانس نوسان‌ساز را مدوله می‌کنند و شکل موجی ارائه می‌شود که دیگر متناوب نیست. در این بخش این اثرات غیر ایده‌آل را بررسی می‌کنیم. پیاده‌سازی آشکارساز فاز در شکل ۲ پالس‌های باریک و هم‌زمانی را روی خطوط Q_A و Q_B تولید می‌کند، حتی وقتی‌که تفاوت فاز دو ورودی صفر باشد. همان‌طور که در شکل ۳ نشان داده‌شده است، اگر A و B هم‌زمان باهم افزایش یابند، Q_A و Q_B نیز این‌گونه خواهند بود درنتیجه ریست را فعال می‌کنند؛ یعنی حتی اگر حلقه قفل فاز قفل باشد، Q_A و Q_B برای مدت محدود باهم پمپ بار را روشن می‌کنند.



شکل ۲: پیاده‌سازی آشکارساز فاز [۱]
Figure 2. Phase detector implementation



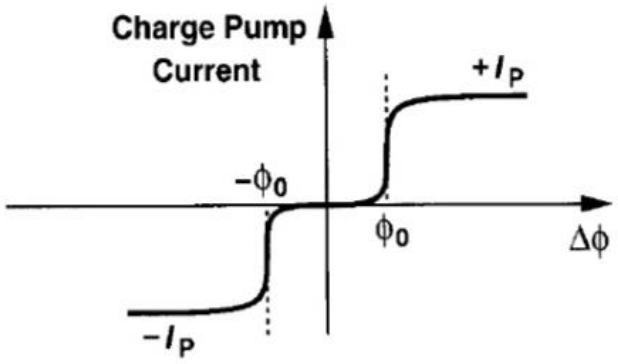
شکل ۳: پالس‌های هم‌زمان که به‌وسیله‌ی آشکارساز فاز با اختلاف‌فاز صفر ایجادشده است [۱]
Figure 3. Synchronous pulses creating by phase detector with zero phase different



(ب) (الف)

شکل۴: شکل موج‌های خروجی یک آشکارساز فاز فرضی با (الف) اختلاف‌فاز ورودی صفر و (ب) اختلاف‌فاز ورودی کوچک [۱]
Figure 4. Output waveforms of a phase detector with a) zero input phase different b) small input phase different [1]

به‌هرحال به دلیل زمان صعود و نزول محدودی که به خاطر خازن‌های دیده‌شده در این گره‌ها به وجود می‌آید، پالس ممکن است زمان کافی برای رسیدن به یک سطح بالای منطقی نیابد و نتواند کلیدهای پمپ بار را روشن کند؛ بنابراین می‌گوییم که مدار آشکارساز فاز/پمپ بار دارای یک ناحیه مرده به‌اندازه $\varphi_0\pm$ اطراف $\varphi\Delta=0$ است.



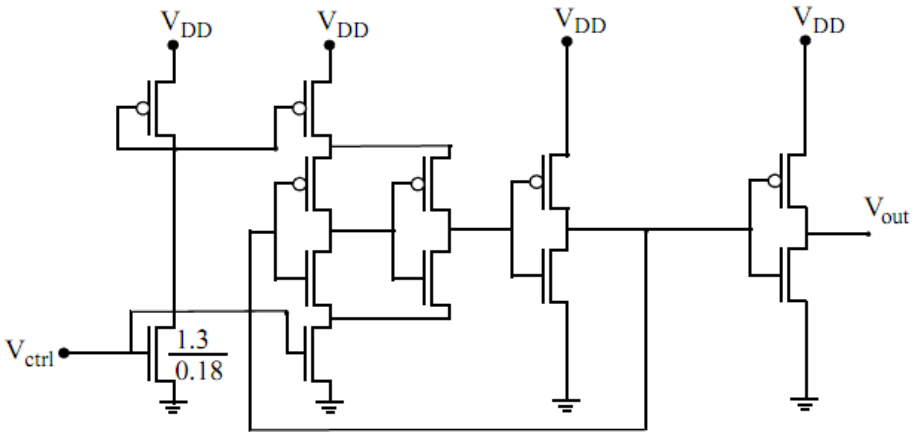
شکل۵: ناحیه‌ی مرده در یک جریان پمپ بار [۱]
Figure 5. Dead zone in charge-pump current

۴- نتایج شبیه‌سازی ساختار حلقه قفل فاز با آشکارساز فاز XOR

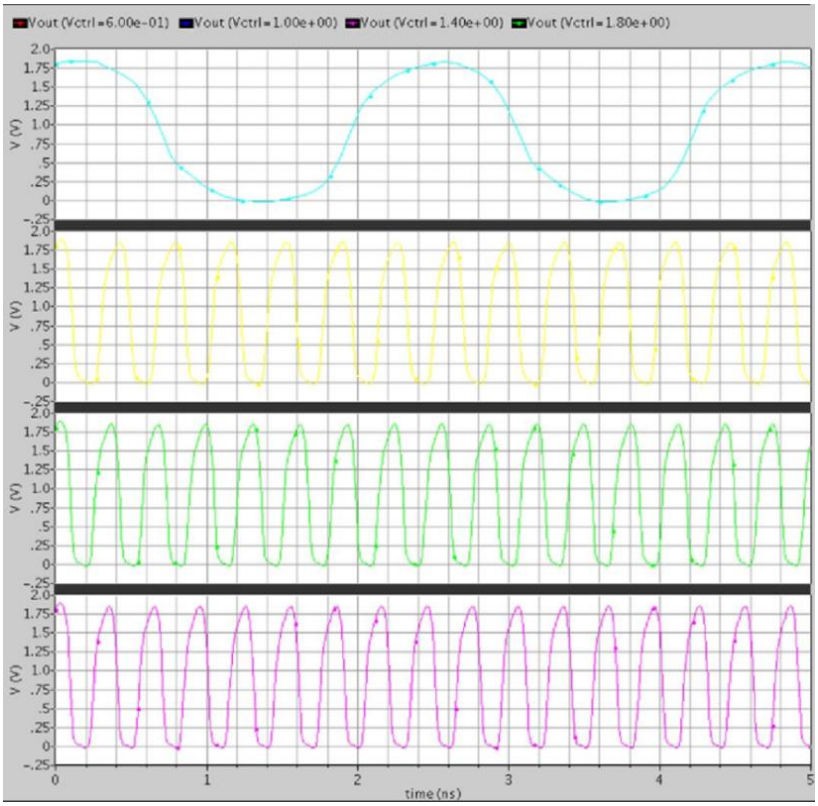
بلوک‌های پایه‌ای این نوع از ساختار حلقه قفل فاز شامل یک گیت XOR به‌عنوان آشکارساز فاز، یک نوسان‌ساز کنترل‌شده با ولتاژ و یک فیلتر RC است که در بخش زیر نتایج شبیه‌سازی نوسان‌ساز آورده شده است.

۴-۱- مدار نوسان‌ساز Current Starved

شکل ۶ نوسان‌ساز کنترل‌شده با ولتاژ (Vctrl) را نشان می‌دهد که همان‌طور که مشاهده می‌شود اینورترهای معمولی با اینورتر current-starve (CS) جایگزین شده است. شبیه‌سازی با تکنولوژی ۱۸۰ نانومتر CMOS و با اندازه W/L=1.6µm/0.18µm برای همه ترانزیستورها در نرم‌افزار کیدنس، انجام‌شده است.

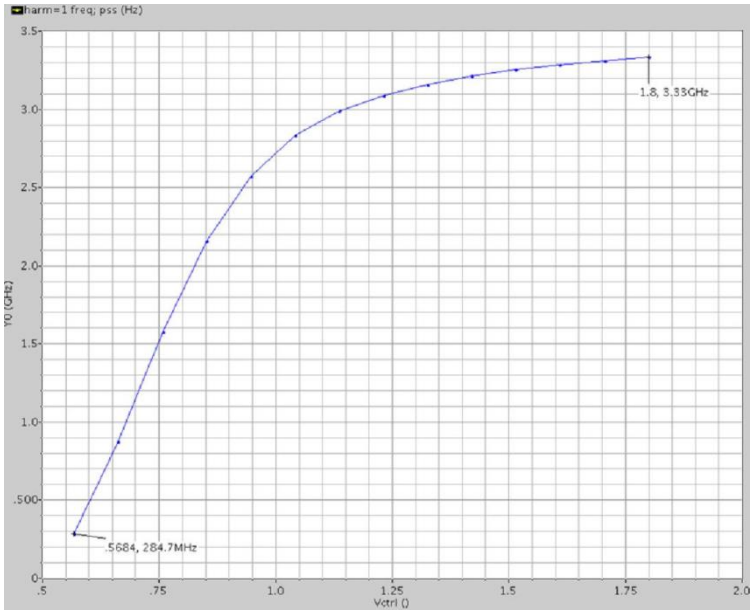


شکل۶: شماتیک مدار نوسان‌ساز حلقوی کنترل‌شده با ولتاژ با اینورترهای current-starve
Figure 6. Schematic of voltage controlled ring oscillator with current-starve inverters



شکل ۷: خروجی نوسان‌ساز به ازای ولتاژهای کنترلی متفاوت
Figure 7. Oscillator output for different control voltages

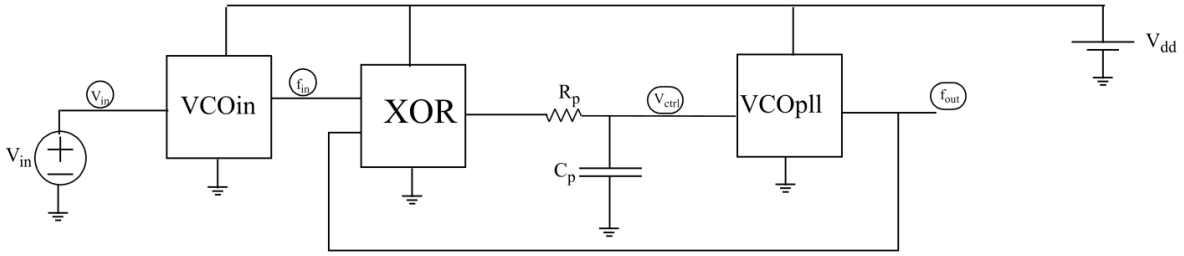
با توجه به شکل ۷ مشخص است که برای ولتاژهای کنترلی Vctrl بالای ۰/۶ ولت خروجی به خوبی نوسان می‌کند. با توجه به شکل ۸، فرکانس نوسان با تغییر ولتاژ کنترلی Vctrl در بازه ۰/۵۷ ولت تا ۱/۸ ولت به ترتیب از ۲۸۴/۷ مگاهرتز تا ۳/۳۳ گیگاهرتز تغییر می‌کند. همچنین مشاهده می‌شود که عملاً برای ولتاژهای کنترلی زیر ۰/۵۷ ولت نوسان نمی‌کند.



شکل ۸: تغییر فرکانس نوسان با تغییر ولتاژ کنترلی Vctrl
Figure 8. Oscillation frequency variation versus Vctrl

۴-۲- مدار حلقه قفل فاز با استفاده از نوسان‌ساز حلقوی کنترل‌شده با ولتاژ

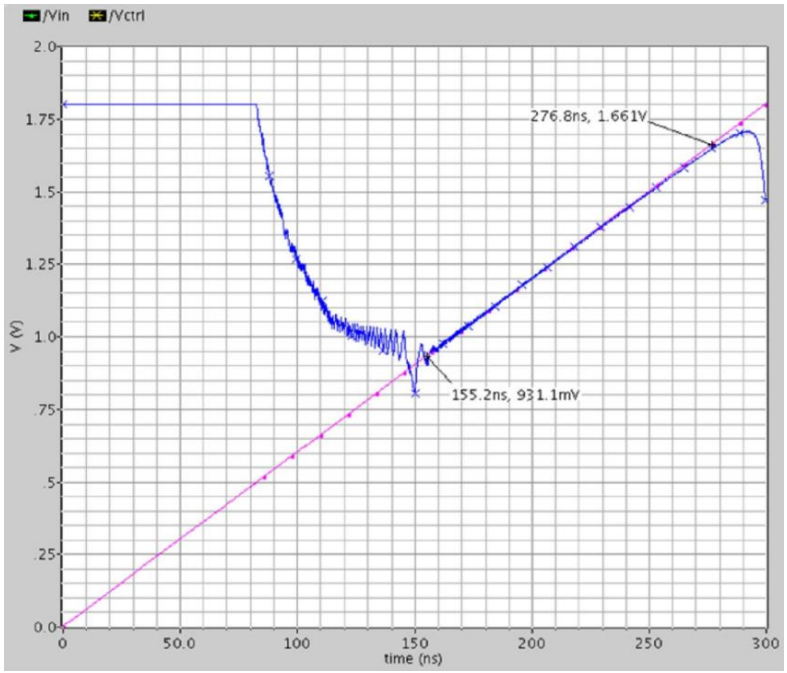
مدار حلقه قفل فاز شکل ۹ با استفاده از نوسان‌ساز حلقوی کنترل‌شده با ولتاژ شبیه‌سازی‌شده است. مطابق شکل ۹، آشکارساز فاز استفاده در مدار یک گیت XOR است.



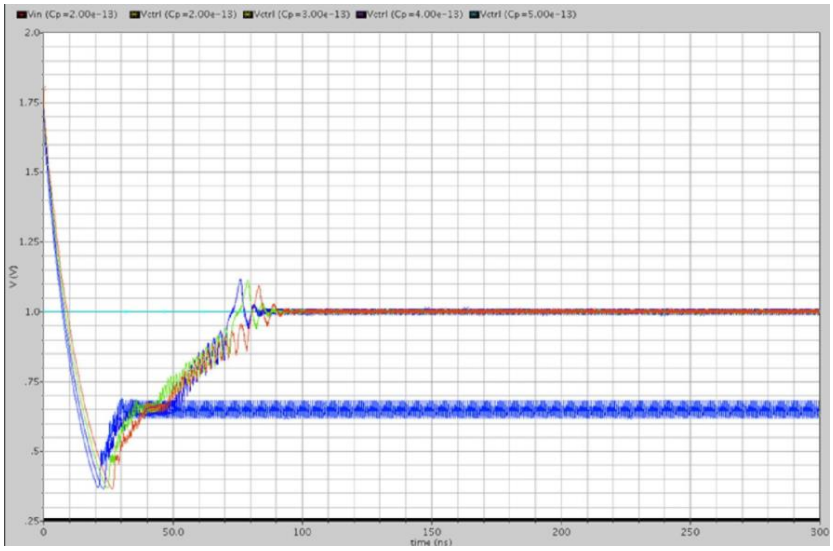
شکل ۹: مدار حلقه قفل فاز شامل آشکارساز فاز XOR
Figure 9. PLL with XOR phase detector

ابتدا محدوده ولتاژ ورودی که در این محدوده مدار حلقه قفل فاز می‌تواند کار کند را پیدا می‌کنیم. با توجه به نتایج شبیه‌سازی مطابق شکل ۱۰، واضح است که محدوده ولتاژ ورودی از ۰/۹۳ تا ۱/۶۶ ولت است. سپس به اثر پهنای باند فیلتر پایین گذر را با تغییر C_p می‌پردازیم. وقتی خازن C_p بزرگ می‌شود، زمان نشست زیاد شده و زمان بیشتری نیاز دارد تا به فرکانس مطلوب دست پیدا کند. همچنین تعداد جهش‌ها زیاد شده و دامنه جهش‌ها کمی کاهش می‌یابد و اگر از خازن کوچک استفاده کنیم، حلقه قفل فاز هرگز قفل نمی‌شود و اگر از خازن بزرگ استفاده کنیم زمان زیادی برای نشست نیاز دارد تا به فرکانس مطلوب دست پیدا کند(شکل‌های ۱۱و ۱۲).

با بررسی نتایج شبیه‌سازی اثر ورودی سیگنال رمپ با شیب‌های مختلف روی عملکرد این حلقه قفل فاز واضح است که وقتی شیب سیگنال رمپ زیاد می‌شود، حلقه قفل فاز نمی‌تواند تغییرات سریع را دنبال نماید(شکل ۱۳). همچنین وقتی ارتفاع پله زیاد می‌شود، زمان نشست و دامنه جهش‌ها در مقایسه با پله‌های کوچک بزرگ‌تر می‌شود(شکل ۱۴).

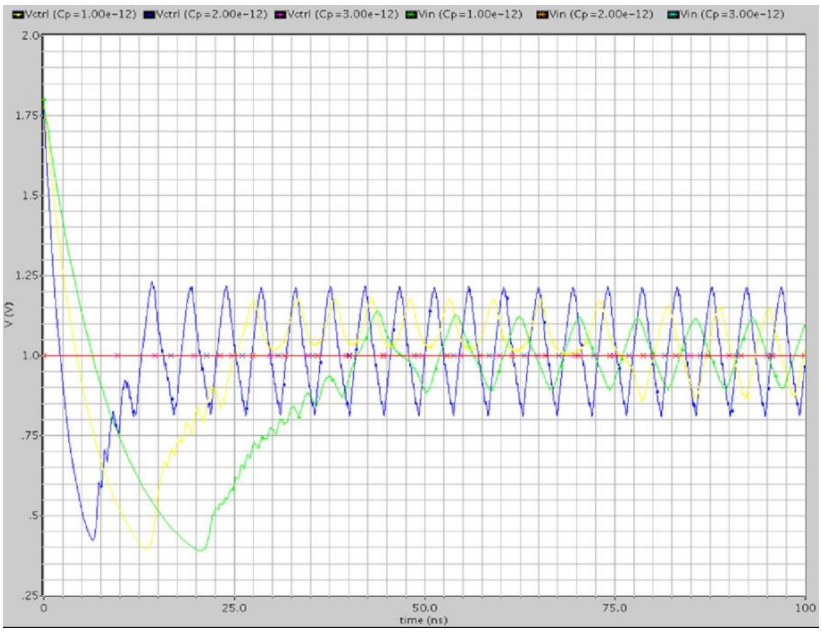


شکل ۱۰: محدوده عمل مدار حلقه قفل فاز شامل آشکارساز فاز XOR برحسب ولتاژ کنترل
Figure 10. Operating range of PLL with XOR phase detector versus control voltage



شکل ۱۱: اثر مقادیر خازن‌های کوچک بر روی عملکرد حلقه قفل فاز شامل آشکارساز فاز XOR با vin=۱V

Figure 11. Effect of small capacitors on PLL with XOR phase detector performance for vin=1V

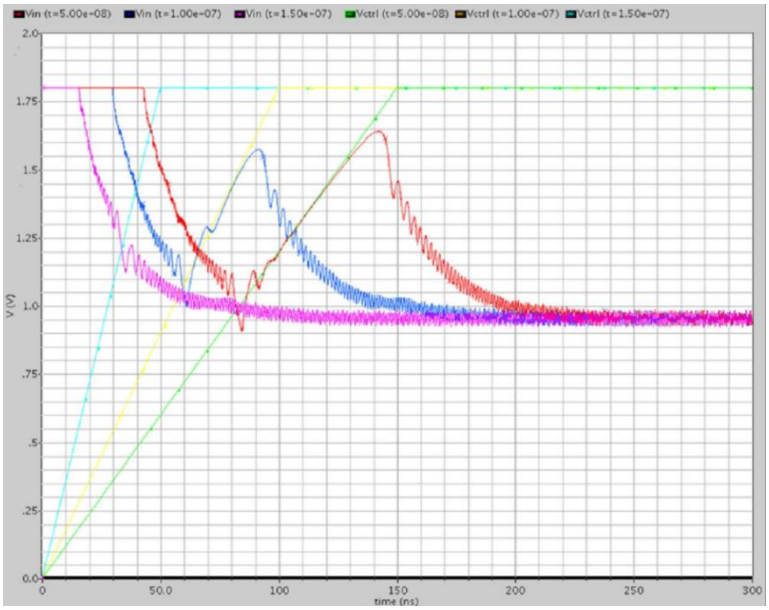


شکل ۱۲: اثر مقادیر خازن‌های بزرگ بر روی عملکرد حلقه قفل فاز شامل آشکارساز فاز XOR با vin=۱V

Figure 12. Effect of large capacitors on PLL with XOR phase detector performance for vin=1V

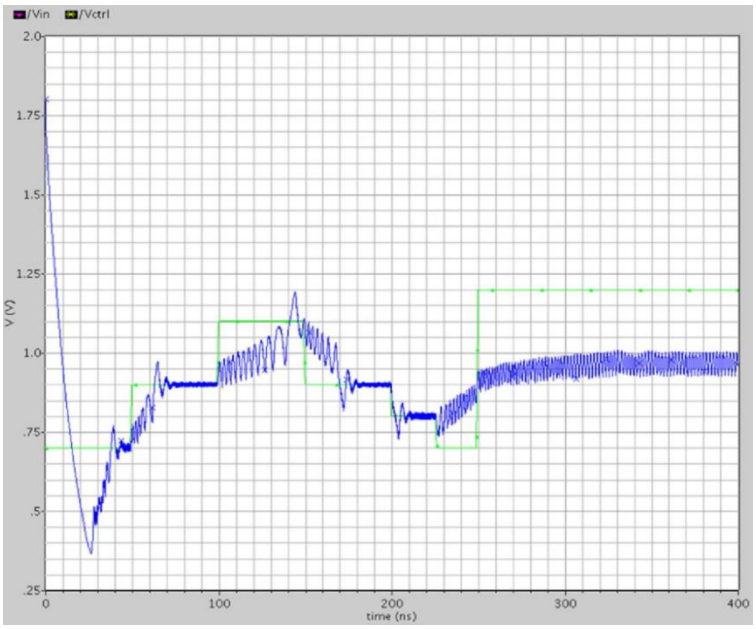
۵- نتایج شبیه‌سازی ساختار حلقه قفل فاز با آشکارساز فاز فلیپ فلاپ RS

مدار حلقه قفل فاز شکل ۹، با استفاده از نوسان‌ساز حلقوی کنترل‌شده با ولتاژ و با جایگزینی XOR با فلیپ فلاپ RS شبیه‌سازی شد که در شکل ۱۵ نمایش داده است. مشخص شد که محدوده ولتاژ ورودی از ۱/۱۸ تا ۱/۷۲ ولت است(شکل ۱۶). همان‌طور که در شکل‌های ۱۷ و ۱۸ مشاهده می‌کنیم وقتی C_p بزرگ می‌شود، زمان نشست زیاد شده و زمان بیشتری نیاز دارد تا به فرکانس مطلوب دست پیدا کند. همچنین تعداد جهش‌ها زیاد شده و دامنه جهش‌ها کمی کاهش می‌یابد. اگر از خازن کوچک استفاده کنیم، مشابه مدار حلقه قفل فاز XOR هرگز قفل نمی‌شود اما در مقایسه با حلقه قفل فاز XOR محدوده قفل کوچک‌تری دارد.



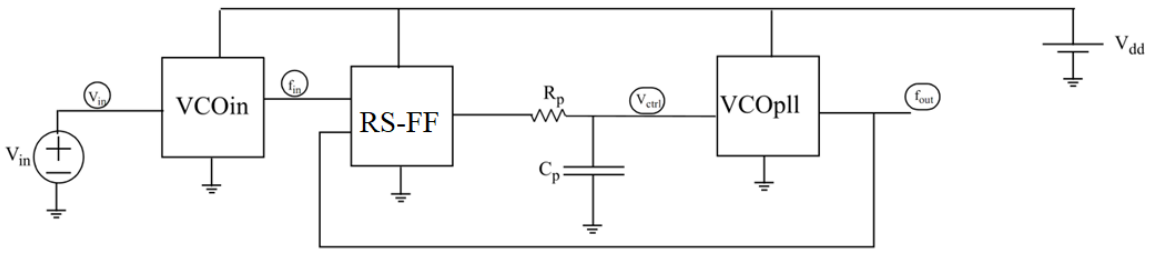
شکل ۱۳: اثر سیگنال رمپ با شیب‌های متفاوت بر روی عملکرد حلقه قفل فاز شامل آشکارساز فاز XOR

Figure 13. Effect of ramp signal with different slopes on PLL with XOR phase detector performance



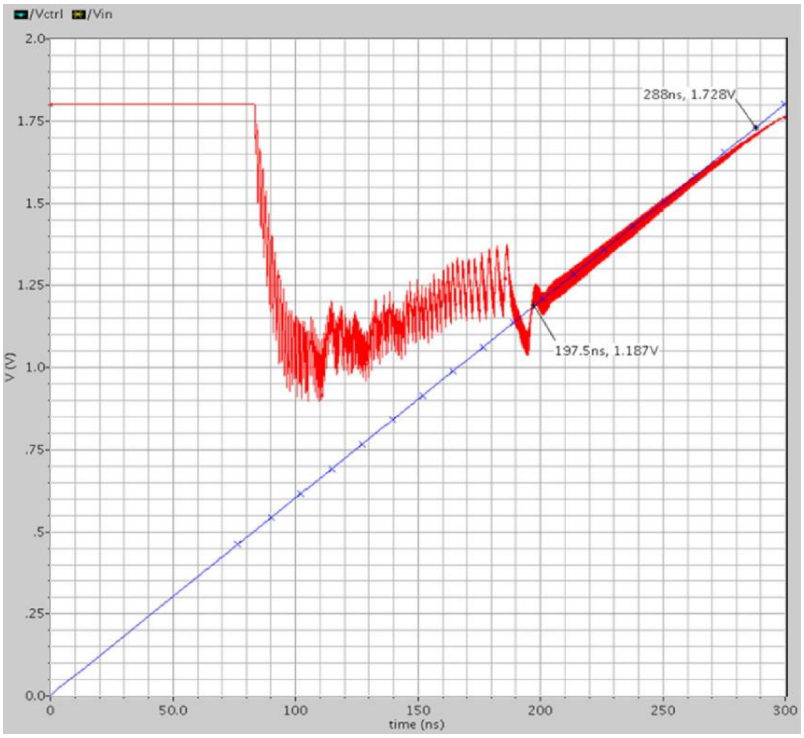
شکل ۱۴: اثر ورودی پله با شیب‌های متفاوت بر روی عملکرد حلقه قفل فاز شامل آشکارساز فاز XOR

Figure 14. Effect of step input with different slopes on PLL with XOR phase detector performance

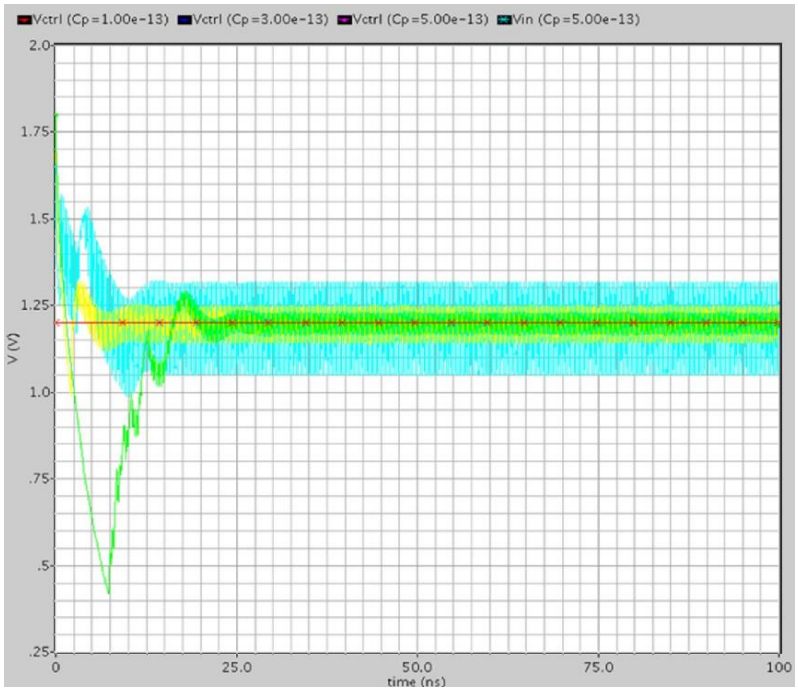


شکل ۱۵: مدار حلقه قفل فاز شامل آشکارساز فاز RS-FF

Figure 15. PLL with RS-FF phase detector

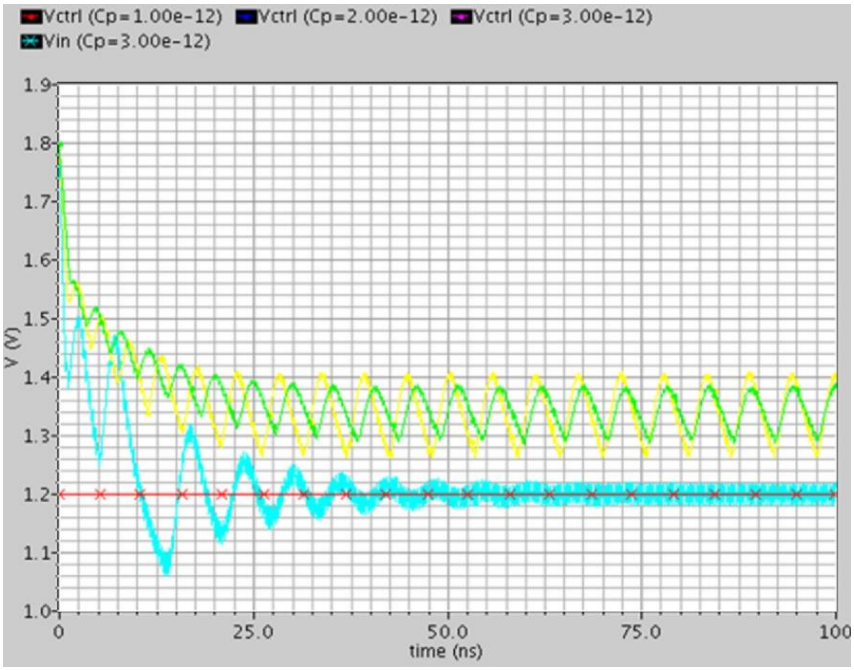


شکل۱۶:محدوده عمل مدار حلقه قفل فاز شامل آشکارساز فاز RS-FF برحسب ولتاژ کنترل
Figure 16. Operating range of PLL with RS-FF phase detector versus control voltage



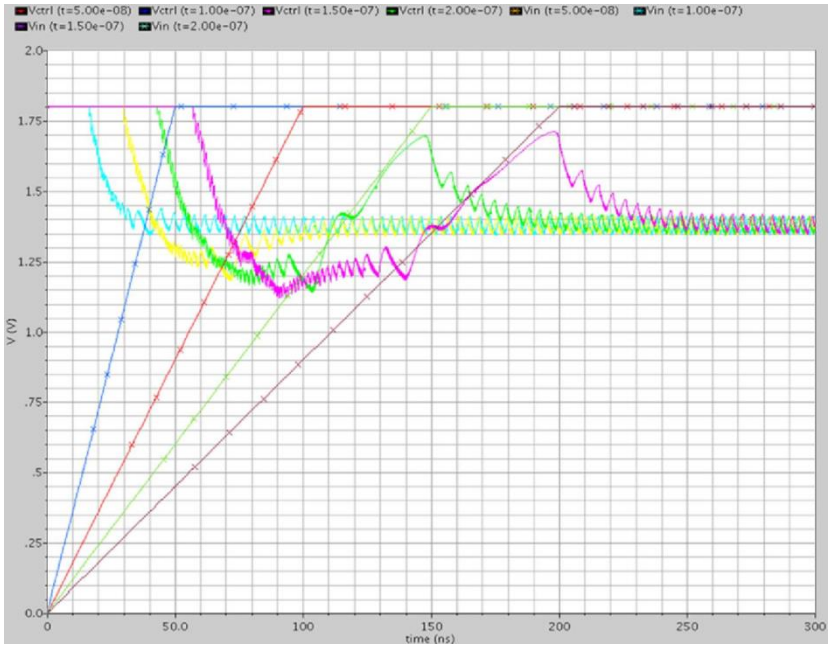
شکل ۱۷: اثر مقادیر خازن‌های کوچک بر روی عملکرد حلقه قفل فاز شامل آشکارساز فاز RS-FF با vin=۱/۲V
Figure 17. Effect of small capacitors on PLL with RS-FF phase detector performance for vin=1.2V

با بررسی نتایج شبیه‌سازی اثر ورودی سیگنال رمپ با شیب‌های مختلف روی عملکرد این حلقه قفل فاز واضح است که وقتی شیب سیگنال رمپ زیاد می‌شود، حلقه قفل فاز شامل آشکارساز فاز RS-FF مشابه حلقه قفل فاز شامل آشکارساز فازXOR مطابق شکل ۱۹ نمی‌تواند تغییرات سریع را دنبال نماید ولی وقتی ارتفاع پله زیاد می‌شود، در مقایسه با شکل ۱۴ برای حلقه قفل فاز شامل آشکارساز فازXOR، حلقه قفل فاز شامل آشکارساز فاز RS-FF رفتار نشست بهتری دارد (شکل ۲۰).



شکل ۱۸: اثر مقادیر خازن‌های بزرگ بر روی عملکرد حلقه قفل فاز شامل آشکارساز فاز RS-FF با vin=۱/۲V

Figure 18. Effect of large capacitors on PLL with RS-FF phase detector performance for vin=1.2v

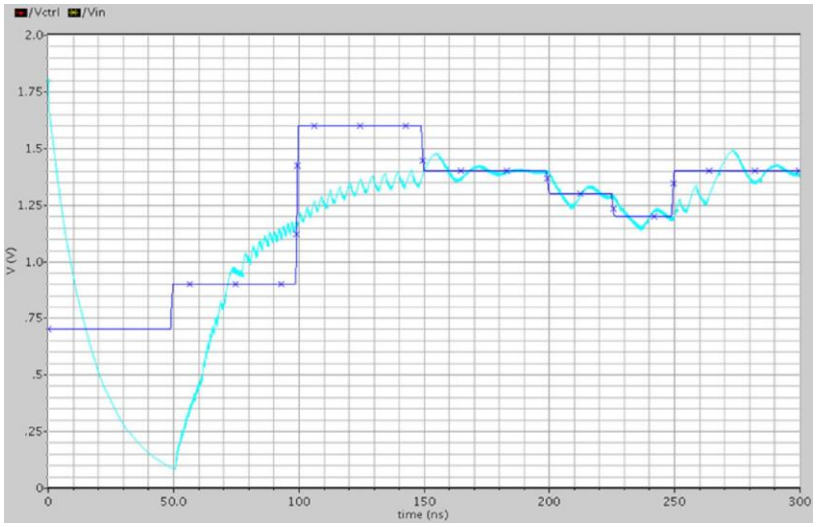


شکل۱۹: اثر سیگنال رمپ با شیب‌های متفاوت بر روی عملکرد حلقه قفل فاز شامل آشکارساز فاز RS-FF

Figure 19. Effect of ramp signal with different slopes on PLL with RS-FF phase detector performance

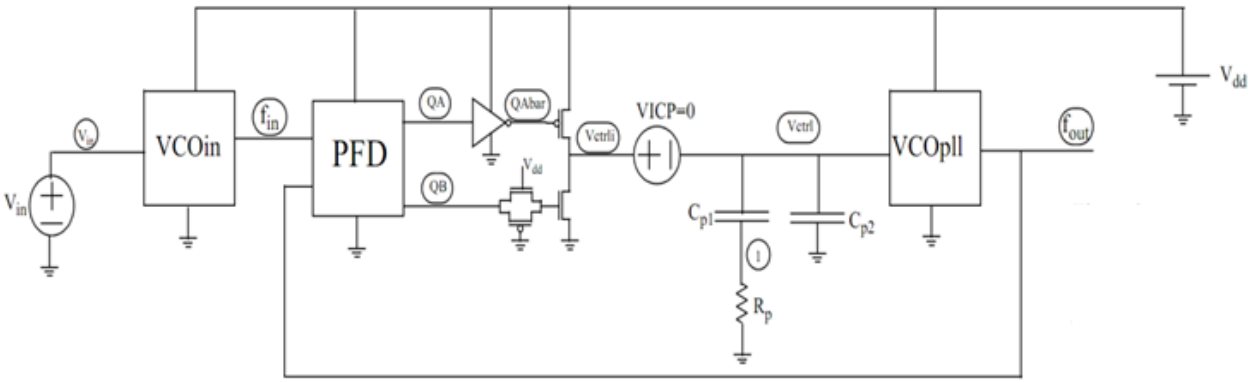
۶- نتایج شبیه‌سازی ساختار حلقه قفل فاز با آشکارساز فاز دینامیکی

مدار حلقه قفل فاز شکل قبل، با استفاده از نوسان‌ساز حلقوی کنترل‌شده با ولتاژ و با جایگزینی آشکارساز فاز دینامیکی و مدار پمپ بار مطابق شکل ۲۱ شبیه‌سازی شد. مدار آشکارساز فاز دینامیکی و پمپ بار به ترتیب در شکل‌های ۲۲ و ۲۳ نشان داده‌شده است.



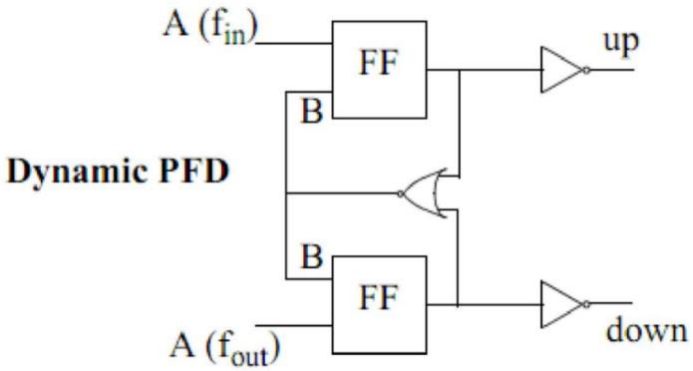
شکل ۲۰: اثر ورودی پله با شیب‌های متفاوت بر روی عملکرد حلقه قفل فاز شامل آشکارساز فاز RS-FF

Figure 20. Effect of step input with different slopes on PLL with RS-FF phase detector performance



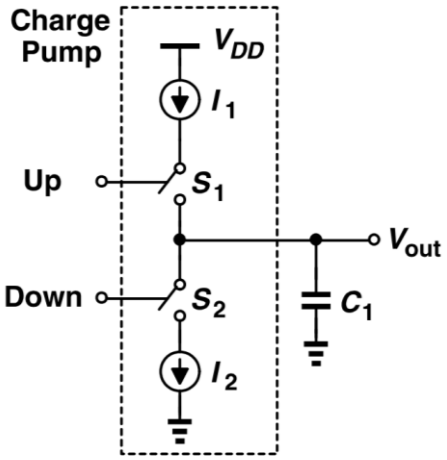
شکل ۲۱: مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی با مدار پمپ بار

Figure 21. Charge-pump PLL with dynamic phase detector



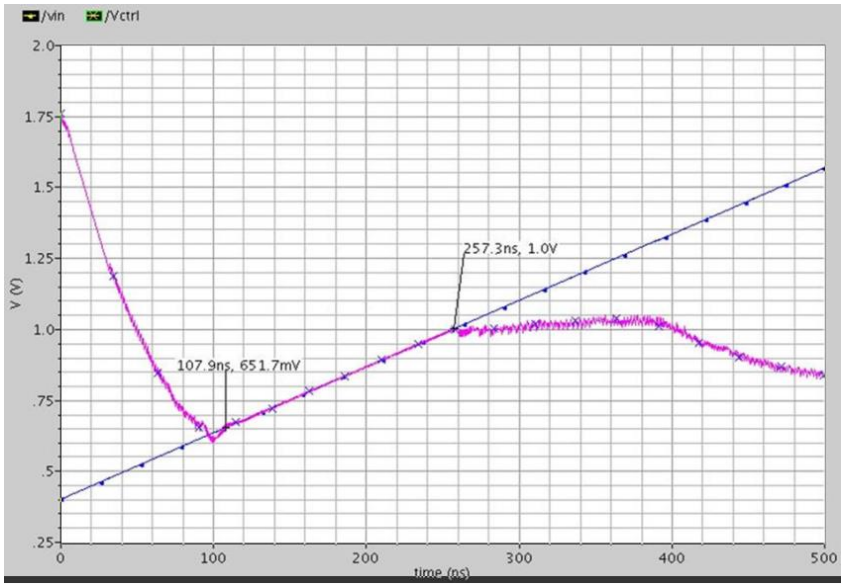
شکل ۲۲: آشکارساز فاز دینامیکی

Figure 22. Dynamic phase detector



شکل۲۳: مدار پمپ بار [۱]
Figure 23. Charge-pump circuit [1]

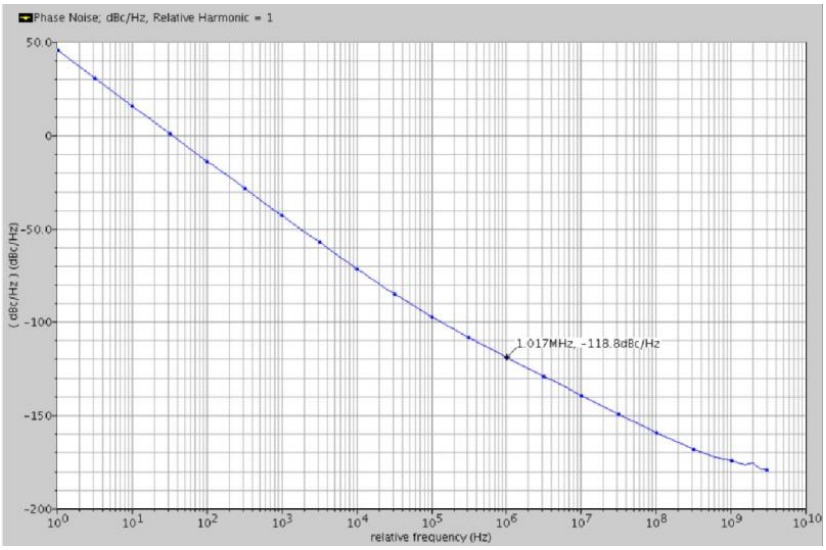
ابتدا محدوده ولتاژ ورودی که در این محدوده حلقه قفل فاز می‌تواند کار کند را پیدا می‌کنیم. با توجه به شکل ۲۴، واضح است که محدوده ولتاژ ورودی از۶۵۱/۷ میلی ولت تا ۱ ولت است.



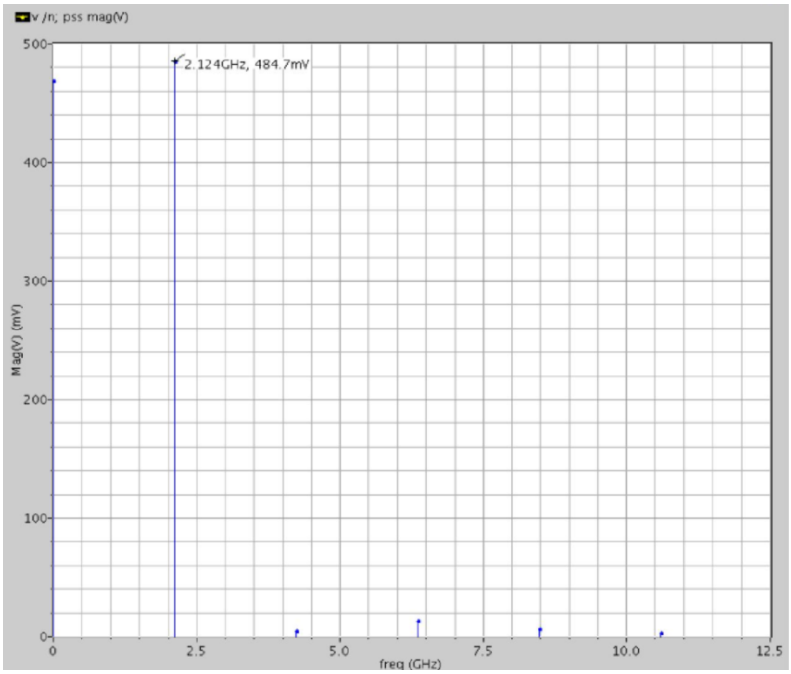
شکل ۲۴: محدوده عمل مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی با مدار پمپ بار برحسب ولتاژ کنترل
Figure 24. Operating range of Charge-pump PLL with dynamic phase detector versus control voltage

اثر پهنای باند فیلتر و شیب سیگنال رمپ بر عملکرد مدار حلقه قفل فاز شبیه دو مدار قبلی است. در مدار پمپ بار، جابجایی زمانی بین پالس‌های بالاکش و پایین‌کش را با قراردادن یک دروازه انتقال در مسیر پالس پایین‌کش جبران کردیم. همان‌طور که در شکل ۲۱ مشاهده می‌شود، به دلیل استفاده از آشکارساز فاز دینامیکی و مدار پمپ بار جبران شده، محدوده عمل مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی با مدار پمپ بار نسبت به اثرات غیرایده‌آل نسبت به دو مدار قبلی(مدار حلقه قفل فاز شامل آشکارساز فاز XOR (شکل۹) و مدار حلقه قفل فاز شامل آشکارساز فاز RS-FF (شکل۱۵) جهش ولتاژ کمتری دارد. برای مقایسه بهتر با کارهای دیگران در شکل ۲۵ نویز فاز خروجی مربوط به مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی رسم شده است که مشاهده می‌شود که نویز فاز در آفست یک مگاهرتز برابر (dBc/Hz)۱۱۸/۸- است. آنالیز PSS به‌منظور تعیین فرکانس نوسان و دامنه هارمونیک‌ها برای مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی در نرم‌افزار کیدنس

انجام‌شده است که نمودار فرکانسی خروجی مدار برای آنالیز PSS در شکل ۲۶ نشان داده‌شده است. با توجه به شکل ۲۶ مشخص است که اولین هارمونیک در فرکانس ۲/۱۲ گیگاهرتز با دامنه تقریباً برابر ۴۸۴/۷ میلی ولت رخ می‌دهد که این فرکانس همان فرکانس نوسان است.



شکل ۲۵: نویز فاز خروجی مربوط به مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی
Figure 25. Output phase noise of PLL with dynamic phase detector



شکل ۲۶: آنالیز PSS برای طیف خروجی مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی
Figure 26. Output spectrum of PLL with dynamic phase detector using PSS analysis

جدول ۱ کارایی مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی را با کارهای منتشرشده دیگران مقایسه می‌کند. مشاهده می‌شود که مدار طراحی‌شده از کارایی نسبتاً خوبی برخوردار هستند.

جدول۱: مقایسه کارایی مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی با کارهای دیگران

Table1. performance of PLL with dynamic phase detector in comparision with other works

Reference	[۱۹]	[۲۰]	[۲۱]	[۲۲]	[۲۳]	This Work
Technology	۱۳۰nm	۹۰nm	۶۵nm	۴۰nm	۶۵nm	۱۸۰nm
Frequency Range [GHZ]	۰/۰۴۷-۱۰	۹/۷۵-۱۰/۱۷	۱۰/۲-۱۲	۰/۰۸-۱۲	۰/۰۱-۶/۶	۰/۲۸۴-۳/۳۳
Ref[GHz]	۰/۰۳۳	۰/۰۴۰	۰/۰۴۸	۰/۰۴۰	۰/۰۳۶	۲/۲
PN@1MHz[dBc/Hz]	-۹۱	-۱۰۰	-۱۰۶	-۹۶	-۱۳۵	-۱۱۸/۸
Pdc[mW]	۳۳	۷/۱	۱۸/۲	۲۵/۸	۱۶-۲۶	۲/۸۶

۷- نتیجه گیری

بررسی جامعی از چگونگی رفتار نشست ولتاژ کنترل در نوسان‌سازهای حلقوی کنترل‌شده با ولتاژ با در نظر گرفتن عوامل غیرایده‌آل در مدارهای حلقه قفل فاز انجام شد. همچنین ساختارهای مختلف آشکارساز فاز و تأثیر آن‌ها بر روی سرعت قفل شدن مدار حلقه قفل فاز، جهش ولتاژ کنترل و محدوده فرکانسی قفل باهم مقایسه شد. سه مدار حلقه قفل فاز با آشکار فاز XOR، آشکارساز فاز RS-FF و آشکارساز فاز دینامیکی در این مقاله بررسی شدند. اثر شیب سیگنال رمپ بر عملکرد سه مدار حلقه قفل فاز بررسی‌شده مشابه هم است. به عبارتی که وقتی شیب سیگنال رمپ زیاد می‌شود، هر سه مدار حلقه قفل فاز نمی‌تواند تغییرات سریع را دنبال نماید ولی وقتی ارتفاع پله زیاد می‌شود، حلقه قفل فاز شامل آشکارساز فازXOR نسبت به حلقه قفل فاز شامل آشکارساز فاز RS-FF رفتار نشت بهتری دارد. همچنین نتایج شبیه‌سازی نشان می‌دهد محدوده عمل مدار حلقه قفل فاز شامل آشکارساز فاز دینامیکی با مدار پمپ بار نسبت به اثرات غیرایده‌آل نسبت به مدار حلقه قفل فاز شامل آشکارساز فاز XOR و مدار حلقه قفل فاز شامل آشکارساز فاز RS-FF جهش ولتاژ کمتری دارد.

مراجع

[1] B. Razavi, *RF Microelectronics*, NJ:Prentice-Hall, 1997.

[2] A. Hajimiri and T.H. Lee, *The Design of Low Noise Oscillators*, Springer Science & Business Media, 1999.

[3] M. H. Chou and S. I. Liu, "A 2.4-GHz Area-Efficient and Fast-Locking Subharmonically Injection-Locked Type-I PLL," *in IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 28, no. 11, pp. 2474-2478, Nov. 2020, doi: 10.1109/TVLSI.2020.3014885.

[4] P. Kanjiya, V. Khadkikar and M. S. E. Moursi, "Obtaining Performance of Type-3 Phase-Locked Loop Without Compromising the Benefits of Type-2 Control System," in *IEEE Transactions on Power Electronics*, vol. 33, no. 2, pp. 1788-1796, Feb. 2018, doi: 10.1109/TPEL.2017.2686440.

[5] A. Mann, A. Karalkar, L. He and M. Jones, "The design of a low-power low-noise phase lock loop," *International Symposium on Quality Electronic Design (ISQED)*, 2010, pp. 528-531, doi: 10.1109/ISQED.2010.5450522.

[6] S. Golestan, J. M. Guerrero and J. C. Vasquez, "DC-Offset Rejection in Phase-Locked Loops: A Novel Approach," in *IEEE Transactions on Industrial Electronics*, vol. 63, no. 8, pp. 4942-4946, Aug. 2016, doi: 10.1109/TIE.2016.2546219.

[7] A. Elshazly, R. Inti, B. Young and P. K. Hanumolu, "Clock Multiplication Techniques Using Digital Multiplying Delay-Locked Loops," in *IEEE Journal of Solid-State Circuits*, vol. 48, no. 6, pp. 1416-1428, June 2013, doi: 10.1109/JSSC.2013.2254552.

[8] T. Yoshimura, "Study of Injection Pulling of Oscillators in Phase-Locked Loops," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 29, no. 2, pp. 321-332, Feb. 2021, doi: 10.1109/TVLSI.2020.3037895.

[9] L. Zhang, A. Daryoush, A. Poddar and U. Rohde, "Oscillator phase noise reduction using self-injection locked and phase locked loop (SILPLL)," *IEEE International Frequency Control Symposium (FCS)*, 2014, pp. 1-4, doi: 10.1109/FCS.2014.6860007.

[10] A. Godave, P. Choudhari and A. Jadhav, "Comparison and Simulation of Analog and Digital Phase Locked Loop," *International Conference on Computing, Communication and Networking Technologies (ICCCNT)*, 2018, pp. 1-4, doi: 10.1109/ICCCNT.2018.8494198.

[11] W. H. Chiu, Y. H. Huang and T. -H. Lin, "A Dynamic Phase Error Compensation Technique for Fast-Locking Phase-Locked Loops," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 6, pp. 1137-1149, June 2010, doi: 10.1109/JSSC.2010.2046235.

[12] N. C. Shirazi and R. Hamzehyan, " Evaluation of phase noise performance of voltage-controlled integrated inductors and active inductors with 0.18 µm CMOS technology," *Journal of Communication Engineering*., vol. 7,no.25, pp. 31-38, 2017 (in Persian).

[13] N. C. Shirazi , E. A. Jahromi and R. Hamzehyan, " Investigating the performance of active vector and inductor capacitors in the resonant circuit of integrated VCOs with 0.18 µmCMOS technology," *Journal of Communication Engineering*., vol. 7,no.26, pp. 31-38, 2017 (in Persian).

[14] R. Magerramov and V. Zaitsev, "Research Parameters of a PLL System Based on Active and Passive Low-Pass Filter in 0.25-um CMOS Technology," *IEEE Conference of Russian Young Researchers in Electrical and Electronic Engineering (ElConRus)*, 2021, pp. 2587-2589, doi: 10.1109/ElConRus51938.2021.9396668.

[15] W. C. Lai, "Dual Band Current Reusing VCO with Loop Filter and Sigma-Delta Modulators for PLL Applications," *2021 International Conference on Electrical, Computer, Communications and Mechatronics Engineering (ICECCME)*, 2021, pp. 1-4, doi: 10.1109/ICECCME52200.2021.9591145.

[16] T. Jang, S. Jeong, D. Jeon, K. D. Choo, D. Sylvester and D. Blaauw, "A Noise Reconfigurable All-Digital Phase-Locked Loop Using a Switched Capacitor-Based Frequency-Locked Loop and a Noise Detector," in *IEEE Journal of Solid-State Circuits*, vol. 53, no. 1, pp. 50-65, Jan. 2018, doi: 10.1109/JSSC.2017.2776313.

[17] Y. Ho and C. Yao, "A Low-Jitter Fast-Locked All-Digital Phase-Locked Loop With Phase–Frequency-Error Compensation," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, no. 5, pp. 1984-1992, May 2016, doi: 10.1109/TVLSI.2015.2470545.

[18] I. Lee, K. Zeng and S. Liu, "A 4.8-GHz Dividerless Subharmonically Injection-Locked All-Digital PLL With a FOM of -252.5 dB," in *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 60, no. 9, pp. 547-551, Sept. 2013, doi: 10.1109/TCSII.2013.2268640.

[19] S. Rong, J. Yin, and H. C. Luong, "A 0.05- to 10-GHz, 19-to 22-GHz, and 38-to 44-GHz frequency synthesizer for software-defined radios in 0.13µm CMOS process," IEEE Trans. Circuits Syst. II, Exp.Briefs,vol. 63, no. 1, pp. 109–113, Jan. 2016, doi: 10.1109/TCSII.2015.2482467.

[20] S.Y. Yang, W.Z. Chen, and T.-Y. Lu, "A 7.1 mW, 10 GHz all digital frequency synthesizer with dynamically reconfigured digital loop filter in 90 nm CMOS technology, " *IEEE J. Solid-State Circuits*, vol. 45, no. 3,pp. 578–586, Mar. 2010, doi: 10.1109/JSSC.2009.2039530.

[21] S. Huang, S. Liu, J. Hu, R. Wang and Z. Zhu, "A 12-GHz Wideband Fractional-N PLL With Robust VCO in 65-nm CMOS," in *IEEE Microwave and Wireless Components Letters*, vol. 29, no. 6, pp. 397-399, June 2019, doi: 10.1109/LMWC.2019.2909656.

[22] J. Borremans, K. Vengattaramane, V. Giannini, B. Debaillie, W. Van Thillo and J. Craninckx, "A 86 MHz–12 GHz Digital-Intensive PLL for Software-Defined Radios, Using a 6 fJ/Step TDC in 40 nm Digital CMOS," in *IEEE Journal of Solid-State Circuits*, vol. 45, no. 10, pp. 2116-2129, Oct. 2010, doi: 10.1109/JSSC.2010.2063630.

[23] W. Deng, S. Hara, A. Musa, K. Okada and A. Matsuzawa, "A Compact and Low-Power Fractionally Injection-Locked Quadrature Frequency Synthesizer Using a Self-Synchronized Gating Injection Technique for Software-Defined Radios," in *IEEE Journal of Solid-State Circuits*, vol. 49, no. 9, pp. 1984-1994, Sept. 2014, doi: 10.1109/JSSC.2014.2334392.

COPYRIGHTS
©2023 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0