JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2023.1973764.1197

Vol. 13/ No. 50/Winter 2024

Research Article

Evaluation of Temperature, Disturbance and Noise Effect in Full Adders Based on GDI Method

Hashem Arfavi, MsC [1] | Seyed Mohammadali Riazi, Assistant Professor[2*] | Roozbeh Hamzehyan, Assistant Professor[3]

[1] Department of Electrical Engineering, Bushehr Branch, Islamic Azad University, Bushehr, Iran
Mycity.abadan@yahoo.com

[2] Department of Electrical Engineering, Bushehr Branch, Islamic Azad University, Bushehr, Iran
Riyazy@gmail.com

[3]Department of Electrical Engineering, Bushehr Branch, Islamic Azad University, Bushehr, Iran
R.Hamzehyan@srbiau.ac.ir

Correspondence
Seyyed Mohammad Ali Riyazy, Assistant Professor of Electrical Engineering, Bushehr Branch, Islamic Azad University, Bushehr, Iran
Riyazy@gmail.com

Received: 2 April 2023
Revised: 1 May 2023
Accepted: 1 June 2023

Abstract

In this paper, we limit our attention to full adders based on the GDI method, circuits that are commonly used in high-speed circuits and are more prone to noise. So far, a comprehensive review on noise immunity and ambient temperature change of full adders based on the GDI method has not been presented, and most of the studies have compared their proposed design with other full adders, which are mainly not based on the GDI method. These full adder cells were evaluated by various simulations such as supply voltage change, capacitive load change, ambient temperature change and process-voltage-temperature (PVT) changes in 45 nm CMOS technology. A noise immunity curve (NIC) was derived for full adder cells to identify better-performing full adder cells. The unity noise gain (UNG) was also investigated to evaluate the noise. Finally, a comprehensive comparison was made in terms of propagation delay, power consumption, power-delay product (PDP), voltage swing, sensitivity to process changes and noise for full adders based on the GDI method. The obtained results can be useful in the decisions of integrated circuit designers to choose the appropriate structure of the full adder based on the GDI method.

Keywords: Full adder, GDI method, Noise Immunity Curve (NIC), Power-Delay Product (PDP), Unity Noise Gain (UNG).

Highlights

- Investigation of immunity against noise and environmental temperature change in GDI-based full adders.
- Derivation of noise immunity curve (NIC) and unity noise gain (UNG) for GDI-based full adders.
- Perform a comprehensive comparison in terms of propagation delay, power consumption, power-delay product (PDP), voltage swing, sensitivity to process changes and noise for GDI-based full adders.
- Providing a solution for integrated circuit designers in deciding to choose the appropriate full adder structure based on the GDI method.

Citation: H. Arfavi, S. M. Riazi, and R. Hamzehyan, "Evaluation of Temperature, Disturbance and Noise Effect in Full Adders Based on GDI Method," *Journal of Southern Communication Engineering*, vol. 13, no. 50, pp. 47–66, 2023, doi: 10.30495/jce.2023.1973764.1197 (in Persian).

مقاله پژوهشی

ارزیابی اثر حرارت، اغتشاش و نویز در تمام جمع‌کننده‌های مبتنی بر روش GDI

هاشم عرفاوی[۱] | سید محمدعلی ریاضی*[۲] | روزبه حمزه‌ئیان[۳]

[۱]دانشجوی کارشناسی ارشد، گروه مهندسی برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران
Mycity.abadan@yahoo.com

[۲]گروه مهندسی برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران
Riyazy@gmail.com

[۳]گروه مهندسی برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران
r.hamzehyan@srbiau.ac.ir

نویسنده مسئول
*سید محمدعلی ریاضی، استادیار، گروه مهندسی برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران
Riyazy@gmail.com

چکیده:

در این مقاله، توجه خود را به تمام جمع‌کننده‌های مبتنی بر روش GDI محدود می‌کنیم، مدارهایی که معمولاً در مدارهای پرسرعت استفاده می‌شوند و بیشتر در معرض نویز هستند. تاکنون بررسی جامعی در مورد مصونیت در برابر نویز و تغییر دمای محیط تمام جمع‌کننده‌های مبتنی بر روش GDI ارائه نشده و اکثر مقالات طرح پیشنهادی خود را با سایر تمام جمع‌کننده‌ها مقایسه کرده‌اند که عمدتاً مبتنی بر روش GDI نیستند. این سلول‌های تمام جمع کننده با شبیه‌سازی‌های مختلفی از قبیل تغییر ولتاژ تغذیه، تغییر بار خازنی، تغییر دمای محیط و تغییرات ناشی از فرآیند، ولتاژ تغذیه و دما (PVT) در فناوری ۴۵ نانومتر CMOS مورد ارزیابی قرار گرفتند. منحنی مصونیت در برابر نویز (NIC) برای سلول‌های تمام جمع کننده استخراج شد تا سلول‌های تمام جمع کننده با عملکرد بهتر مشخص شوند. بهره نویز واحد (UNG) نیز برای ارزیابی نویز بررسی شد. در نهایت مقایسه‌ای جامع از لحاظ تأخیر انتشار، توان مصرفی، حاصل‌ضرب توان-تأخیر (PDP)، سوئینگ، حساسیت در برابر تغییرات فرآیند و نویز برای تمام جمع کننده‌های مبتنی بر روش GDI انجام شد. نتایج به‌دست‌آمده می‌تواند در تصمیم‌گیری طراحان مدار مجتمع برای انتخاب ساختار مناسب تمام جمع کننده مبتنی بر روش GDI مفید واقع شود.

کلید واژه‌ها: تمام جمع کننده، روش GDI، منحنی مصونیت در برابر نویز (NIC)، حاصل‌ضرب توان-تأخیر(PDP)، بهره نویز واحد (UNG).

تاریخ دریافت: ۱۳ فروردین ۱۴۰۲
تاریخ بازنگری: ۱۱ اردیبهشت ۱۴۰۲
تاریخ پذیرش: ۱۱ خرداد ۱۴۰۲

https://doi.org/10.30495/jce.2023.1973764.1197

۱-مقدمه

در سال‌های اخیر، مدارهای محاسباتی در سیستم‌های VLSI[1] مورد توجه قرار گرفته‌اند. با توجه به اینکه سلول تمام جمع‌کننده هسته اساسی و بلوک سازنده اکثر مدارات محاسباتی است، طراحی سلول‌های تمام جمع‌کننده با سرعت بالا و عملکرد بالا و در نتیجه مدارهای محاسباتی پیچیده با حاصل‌ضرب تأخیر در توان کم[2] (PDP) همواره مهم بوده‌اند [۱]. با کاهش ویژگی اندازه، فناوری CMOS در حوزه نانو با مشکلات و چالش‌هایی جدی مانند چگالی توان بالا، کاهش کنترل گیت، اثرات کانال کوتاه و حساسیت بالا تغییرات پروسه مواجه شده است [۲]. مقیاس‌بندی بدون وقفه افزاره و ابعاد اتصال باعث شده که نویز در طراحی مدار مجتمع به موضوعی مهم تبدیل شود [۳]. نویز زیر میکرون عمیق اصطلاح عمومی است که برای تعیین هر پدیده‌ای که باعث می‌شود ولتاژ در یک گره غیر سوئیچینگ از مقدار اسمی خود خارج شود استفاده می‌شود که بنابراین شامل نویز منبع تغذیه ناشی از سوئیچینگ مدار، نویز همشنوایی[3] به دلیل کوپلینگ خازنی بین اتصالات مجاور و نوسانات پارامترهای افزاره به

[1] Very Large Scale Integration
[2] Power Distribution Panel
[3] Crosstalk

دلیل تغییرات فرآیند است [۴]. برای مدارهای منطقی دینامیکی پرسرعت، به اشتراک‌گذاری شارژ و نشتی [۵] منابع نویز اضافی هستند. درحالی‌که این پدیده‌های نویز همیشه وجود داشته‌اند، اخیراً مقیاس‌گذاری فناوری و شیوه‌های طراحی تهاجمی آن‌ها را به منصه ظهور رسانده است. نویز همشنوایی بین اتصالات متداول‌ترین منبع نویز ورودی است. انتظار می‌رود که این اثر با رشد نسبت‌های ابعاد اتصال به‌طور فزاینده‌ای قابل‌توجه شود [۶]، که منجر به کسر بزرگ‌تری از ظرفیت خازنی سیم به دلیل ظرفیت خازنی اتصال جانبی می‌شود.

جمع کردن یک عمل اساسی در ریاضی است. تفریق، ضرب، تقسیم و محاسبه آدرس برخی از عمل‌های مشهور بر اساس جمع هستند و این عملیات به‌طور گسترده در بسیاری از کاربردهای VLSI استفاده می‌شوند [۷]. از آنجایی که سلول تمام جمع‌کننده بلوک سازنده جمع باینری است، بهبود عملکرد تمام جمع‌کننده یک بیتی هدف مهمی بوده و توجه زیادی را به خود جلب کرده است [۸]. انواع مختلفی از تمام جمع‌کننده‌ها با استفاده از سبک‌های مختلف منطقی و فناوری‌های گوناگون در مقالات گزارش شده‌اند و هدف مشترک همه آن‌ها کاهش توان مصرفی و افزایش سرعت است [۱۰،۹]. عملکرد جمع‌کننده سیستم محاسباتی را در کل تحت تأثیر قرار می‌دهد. سبک‌های منطقی در روش محاسباتی گره‌های میانی و تعداد ترانزیستورها متنوع هستند گرچه آن‌ها تابع مشابهی را پیاده‌سازی می‌کنند. انواع زیادی از طرح‌های تمام جمع‌کننده در کلاس‌های CMOS استاتیک، مدار دینامیک، گیت انتقال[1]، منطق GDI و منطق ترانزیستور عبور[2] (PTL) در مقالات بحث و بررسی شده‌اند [۱۱-۱۶].

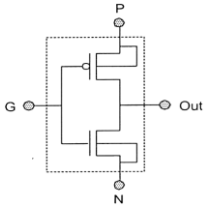
در این مقاله، توجه خود را به تمام جمع‌کننده‌های مبتنی بر روش GDI محدود نموده‌ایم، مدارهایی که معمولاً در مدارهای پرسرعت استفاده می‌شوند و بیشتر در معرض نویز هستند. ما نویز را به‌صورت یک پالس و گلیچ تعریف می‌کنیم که در ورودی گیت‌های مبتنی بر GDI ظاهر می‌شود. در این مقاله، تأثیر نویز و اغتشاش بر روی مدارات تمام جمع‌کننده مبتنی بر روش GDI ارائه می‌شود. ساختارهای مختلفی از تمام جمع کننده‌ها که بر اساس روش GDI در مقالات گزارش شده‌اند را مورد بررسی قرار داده و با شبیه‌سازی‌های مختلف عملکرد آن‌ها را از جنبه‌های مختلف ارزیابی می‌کنیم. در نهایت، با نتیجه‌گیری این مقاله را به اتمام می‌رسانیم.

۲-مروری بر روش GDI و تمام جمع کننده‌های پیشنهاد شده بر اساس این روش

GDI یک روش جدید طراحی مدار ترکیبی دیجیتال توان پایین است. این روش اجازه می‌دهد تا توان مصرفی، تأخیر انتشار، و مساحت مدارهای دیجیتال را کاهش داد و در عین حال پیچیدگی کم طراحی منطقی را حفظ نمود [۱۷]. در ادامه ساختارهای تمام جمع‌کننده ارائه‌شده بر اساس روش GDI بحث و بررسی می‌شوند.

۲-۱-توابع پایه GDI

همان‌طور که در شکل ۱ نشان داده شده، روش GDI بر اساس استفاده از یک سلول ساده است. در نگاه اول، سلول پایه یک وارونگر استاندارد CMOS را یادآوری می‌کند، اما تفاوت‌های مهمی وجود دارد که عبارت‌اند از: (الف) سلول GDI شامل سه ورودی G (ورودی گیت مشترک nMOS و pMOS)، P (ورودی سورس یا درین pMOS) و N (ورودی سورس یا درین nMOS) است. (ب) بدنه (Bulk) ترانزیستورهای nMOS و pMOS به ترتیب به N و P متصل می‌شوند، بنابراین در مقایسه با یک وارونگر CMOS می‌توانند به‌طور دلخواه بایاس شوند.



شکل ۱: سلول پایه GDI [۱۷]
Figure 1. GDI cell [17]

[1] Transmission Gate
[2] Pass Transistor Logic

لازم به ذکر است که همه توابع در فرایند p-well استاندارد CMOS امکان‌پذیر نیستند اما می‌توانند با موفقیت در فناوری‌های CMOS با چاه دوقلو[1] یا سیلیکون بر روی عایق (SOI) پیاده‌سازی شوند. این موضوع در تحقق تابع‌های مختلف بولی مانند AND ، OR، MUX، INVERTER، F1 و F2 ، همان‌طور که در جدول ۱ ذکر شده است، کمک می‌کند. جدول ۱ نشان می‌دهد که چگونه یک تغییر ساده در پیکربندی ورودی سلول GDI ساده با توابع بولی خیلی متفاوت مانند AND، OR، MUX، INVERTER، F1 وF2 مرتبط خواهد شد. اکثر این توابع در CMOS پیچیده هستند (به ۶ تا ۱۲ ترانزیستور نیاز دارند)، و همچنین در پیاده‌سازی‌های استاندارد PTL، اما در روش طراحی GDI بسیار ساده (فقط دو ترانزیستور در هر تابع) پیاده‌سازی می‌شوند.

جدول ۱: توابع منطقی مختلف سلول GDI برای پیکربندی‌های مختلف ورودی [۱۷]

Table 1. Different logic functions of GDI cell for different input configurations [17]

تابع تحقق‌یافته	خروجی	ورودی		
	Out	G	P	N
F1	$\bar{A}B$	A	B	0
F2	$\bar{A}+B$	A	1	B
OR	$A+B$	A	B	1
AND	AB	A	0	B
MUX	$\bar{A}B+AC$	A	B	C
NOT	$\bar{A}$	A	1	0

۲-۲-گیت‌های پایه در منطق GDI

اشکال اصلی گیت GDI این است که از افت ولتاژ آستانه رنج می‌برد. این موضوع جریان راه‌اندازی را کاهش داده و بر روی عملکرد گیت تأثیر می‌گذارد. کاهش ولتاژ خروجی می‌تواند با استفاده از بافرهای ترمیم‌کننده سوئینگ در خروجی جبران‌سازی شود [۱۸]. با این وجود، وجود وارونگرها در بافرها باعث افزایش ترانزیستور شده و همچنین باعث افزایش مصرف توان استاتیک هنگامی‌که آن‌ها به‌صورت کسکود به هم متصل می‌شوند می‌گردد. یک روش با ولتاژ آستانه چندگانه به‌جای بافر ترمیم‌کننده سوئینگ در [۱۷] ارائه شده است. این روش از ترانزیستورهای با آستانه پایین در محل‌هایی که یک افت ولتاژ رخ می‌دهد و همچنین ترانزیستورهای با آستانه بالا برای وارونگرها استفاده می‌کند. گرچه این روش ولتاژ آستانه ترکیبی مصرف توان را کم می‌کند، این یک محدودیت را در فرآیند ساخت ترانزیستور ایجاد می‌کند. روش دیگر برای ترمیم سوئینگ خروجی تمام جمع‌کننده مبتنی بر GDI، استفاده از روش دیود مافوق توان پایین[2] (ULPD) است که به‌تفصیل در [۱۹] بحث و بررسی شده است. این روش ترانزیستور MOS را پیکربندی می‌کند تا به‌صورت دیود کار کرده و از ۸ ترانزیستور اضافی برای تهیه سوئینگ کامل استفاده می‌کند. این روش مسئله اتلاف توان استاتیک را به‌صورت یک بافر ترمیم سوئینگ مرسوم کاهش می‌دهد اما هنوز مسئله پیچیدگی در ساخت ULPD در نظر گرفته می‌شود.

در بخش بعدی، سه طرح تمام جمع‌کننده GDI پیشنهاد شده در مرجع [۲۰] با سوئینگ کامل با هدف به حداقل رساندن پیچیدگی مدار و دستیابی به سرعت در عملیات کسکود شده بحث شده است. استراتژی موجود در این طرح‌ها جلوگیری از اتلاف ولتاژ آستانه با کمک گیت‌های سوئینگ کامل است.

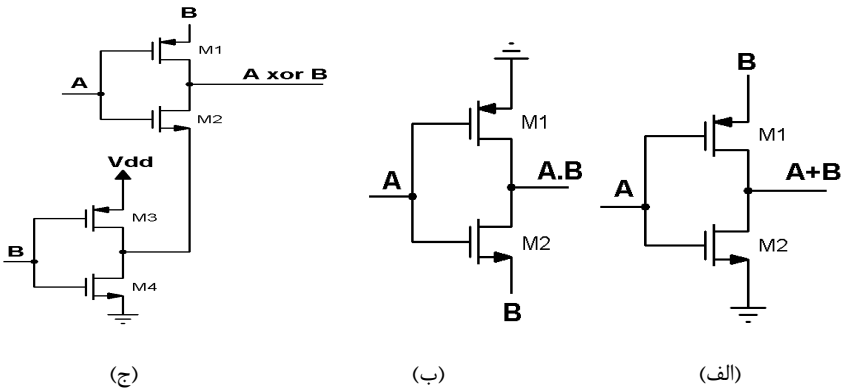
تابع منطقی تمام جمع‌کننده را می‌توان به‌صورت زیر نمایش داد [۲۱]،

$$\text{Sum} = A \text{ XOR } B \text{ XOR } C_{in} \quad (۱)$$

$$C_{out} = A \text{ AND } B + B \text{ AND } C_{in} + A \text{ AND } C_{in} \quad (۲)$$

بر طبق معادلات (۱) و (۲) سه گیت اساسی (AND، OR وXOR) برای پیاده‌سازی تابع لازم است. همان‌طور که در جدول ۱ نشان داده شده است، توابع گیت را می‌توان با دو ترانزیستور به دست آورد (به‌استثنای وارونگرها برای سیگنال‌های ورودی مکمل) و نمودارهای سطح ترانزیستور آن‌ها در شکل ۲ نشان داده شده‌اند.

[1] Twin-well
[2] Ultra Low Power Diode



شکل ۲: الف) گیت AND، ب) گیت OR، و ج) گیت XOR [۲۰]
Figure 2. a) AND gate, b) OR gate, and, c) XOR gate [20]

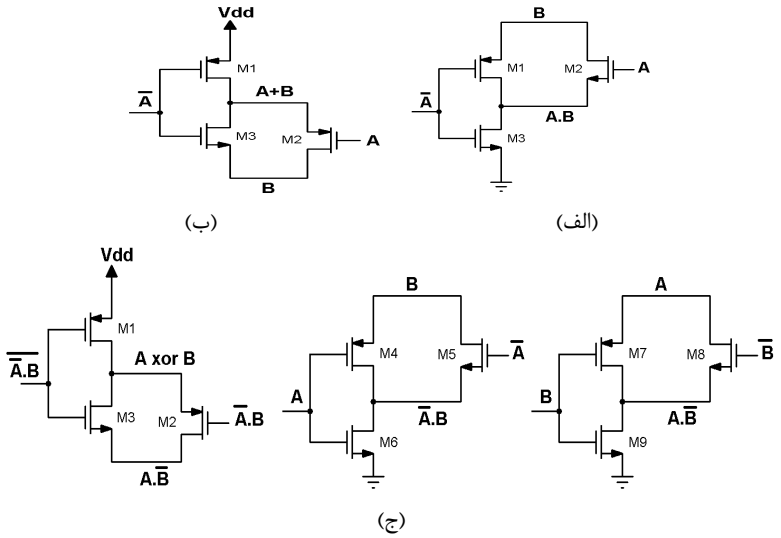
مشخصات عملیاتی این گیت‌ها در جدول ۲ آورده شده است. فرض می‌کنیم که هر دو ورودی سوئینگ ولتاژ دارند و ولتاژهای خروجی تحت ترکیبات ورودی مختلفی که در جدول ۲ آورده شده است قرار می‌گیرند. از جدول ۲ نتیجه می‌گیریم که ولتاژهای خروجی توسط افت ولتاژ آستانه برای برخی ترکیب‌های ورودی خاص کاهش می‌یابد. کاهش ولتاژ خروجی به‌طور قابل‌توجهی با افزایش تعداد طبقات افزایش می‌یابد. بنابراین، طراحی گیت‌های با سوئینگ کامل ضروری است و این موضوع در بخش‌های آتی مورد بحث و بررسی قرار می‌گیرد.

جدول ۲: مشخصات عملیاتی گیت‌های AND ، OR و XOR با استفاده از منطق GDI [۲۰]
Table 2. Operational characteristics of AND, OR and XOR gates using GDI logic [20]

خروجی			ورودی	
XOR	**OR**	**AND**	**B**	**A**
$\|V_{tp}\|$	$\|V_{tp}\|$	$\|V_{tp}\|$	0	0
V_{DD}	V_{DD}	$\|V_{tp}\|$	1	0
V_{DD}-V_{tn}	V_{DD}-V_{tn}	GND	0	1
GND	V_{DD}-V_{tn}	V_{DD}-V_{tn}	1	1

گیت‌های یونیورسال مرسوم (یعنی NAND و NOR) می‌توانند برای تحقق هر عبارت منطقی استفاده شوند. به‌طور مشابه، در GDI، دو تابع موجود هستند، یعنی F1 و F2 برای تحقق عبارت‌های منطقی ($\bar{A}B$) و ($\bar{A}+B$). این دو تابع نیز از یک افت ولتاژ آستانه رنج می‌برند. راه‌حل این مسئله در مرجع [۲۲] بحث شده و ترانزیستور ترمیم‌کننده سوئینگ موجود در خروجی برای مراقبت از افت ولتاژ آستانه در نظر گرفته شده و شماتیک گیت‌های AND، OR و XOR با استفاده از توابع F1 و F2 در شکل ۳ نشان داده شده است. برای طراحی AND تعداد ترانزیستور را از ۲ به ۳ افزایش می‌دهد و هنوز هم می‌توان عملیات سوئینگ کامل را به دست آورد. مشخصات عملیاتی گیت‌های AND، OR و XOR با سوئینگ کامل در جدول ۳ آورده شده است.
پیاده‌سازی توابع AND و OR مبتنی بر F1 و F2 به سه ترانزیستور و پیاده‌سازی مبتنی بر CMOS به شش ترانزیستور نیاز دارد. بنابراین، انتخاب F1 و F2 برای گیت‌های AND و OR به دلیل تعداد کمتر ترانزیستور خوب خواهد بود. همچنین مانند CMOS سوئینگ کامل را فراهم می‌کند. با این حال، پیاده‌سازی گیت XOR مبتنی بر F1 و F2 فاقد طراحی مبتنی بر CMOS است. دلیل آن ممکن است یکی از موارد زیر باشد:

۱) گیت XOR بر اساس F1 و F2 در مجموع به ۹ ترانزیستور نیاز دارد، که دو برابر ترانزیستورهای موردنیاز برای منطق GDI است (بدون سوئینگ کامل به ۴ ترانزیستور نیاز دارد) همان‌طور که از شکل ۳بخش ج مشاهده می‌شود. بنابراین، هدف منطق GDI، یعنی تحقق تابع با استفاده از حداقل ترانزیستور را نقض می‌کند.
۲) به دلیل افزایش تعداد ترانزیستور، خازن کل ورودی گیت (C_g) تابع XOR افزایش می‌یابد ازآنجایی‌که C_g تابعی مستقیم از تعداد ترانزیستور دیده‌شده توسط ورودی‌ها است.
۳) گره‌های میانی می‌توانند کمی افزایش یابند و ممکن است منجر به تعدادی اشکال شود که منبع مصرف توان هستند.



شکل ۳: گیت‌های با سوئینگ کامل بر اساس F1 و F2 ؛ الف) AND ، ب) OR و ج) XOR [۲۰]

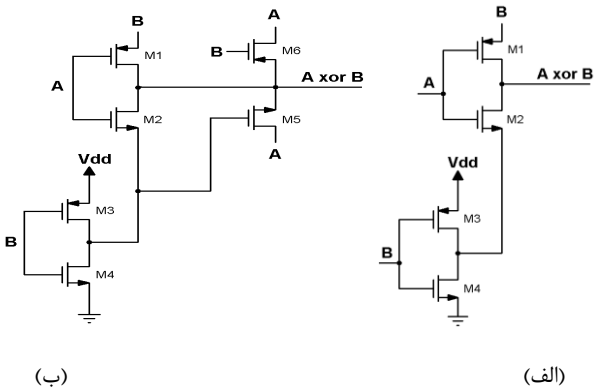
Figure 3. Full swing gates based on F1 and F2; a) AND, b) OR and c) XOR [20]

جدول ۳: مشخصات عملیاتی گیت‌های AND ، OR و XOR با سوئینگ کامل [۲۰]

Table 3. Operational characteristics of AND, OR and XOR gates with full swing [20]

ورودی		خروجی		
A	**B**	**AND**	**OR**	**XOR**
0	0	GND	GND	GND
0	1	GND	V_{DD}	V_{DD}
1	0	GND	V_{DD}	V_{DD}
1	1	V_{DD}	V_{DD}	GND

گیت XOR پیشنهادشده در مرجع [۲۰] از چهار ترانزیستور (به‌استثنای وارونگر برای سیگنال ورودی مکمل) برای ایجاد سوئینگ کامل در خروجی استفاده می‌کند. طراحی گیت XOR با استفاده از منطق GDI بدون سوئینگ کامل و با سوئینگ کامل در شکل ۴ نشان داده شده است. هدف کاهش پیچیدگی مدار و دستیابی به عملیات کسکود شده سریع‌تر است. قبل از توضیح عملکرد XOR چهار ترانزیستوری، عملکرد XOR مبتنی بر GDI برای درک عملکرد آن مورد بحث قرار می‌گیرد. عیب مدارهای XORدر شکل ۴ بخش الف از این واقعیت ناشی می‌شود که گره‌های داخلی به دلیل افت ولتاژ آستانه سوئینگ ولتاژ کامل ندارند.



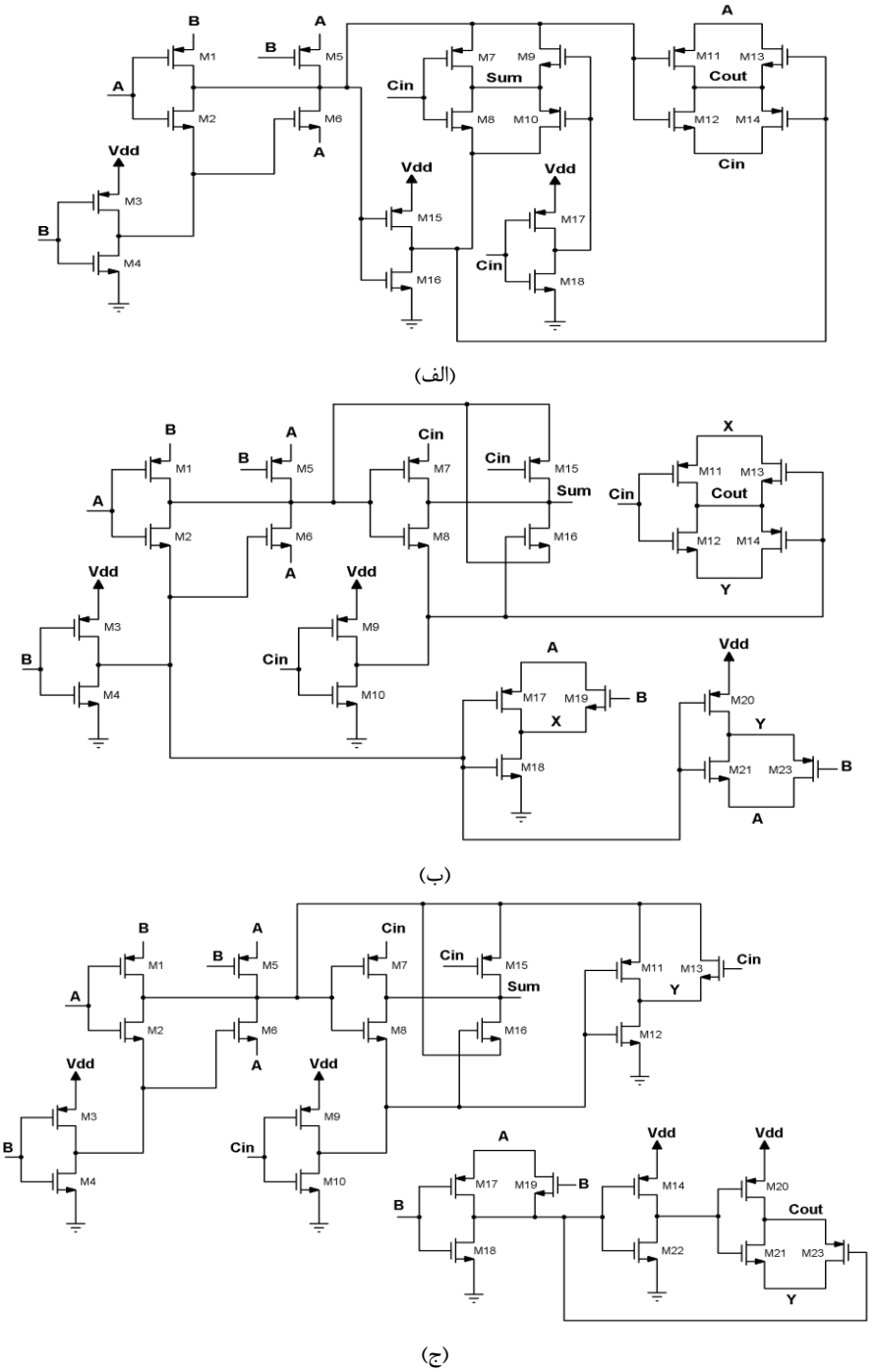
شکل ۴: گیت XOR؛ الف) با استفاده از منطق GDI، ب) طرح پیشنهادشده در مرجع [۲۰]

Figure 4. XOR gate; a) using GDI logic, b) scheme proposed in reference [20]

۲-۳-سه طرح تمام جمع‌کننده

طراحی تمام جمع‌کننده GDI با سوئینگ کامل می‌تواند با کمک گیت‌های سوئینگ کامل مانند AND، OR و XOR بحث شده در بخش ۲-۲ ایجاد شود. این طراحی کاملاً بافرهای ترمیم‌کننده سوئینگ را حذف کرده و منجر به بهبود در عملکرد می‌شود.

سه تمام جمع‌کننده GDI سوئینگ کامل پیشنهاد شده در مرجع [۲۰] با بازنویسی معادلات طراحی تمام جمع‌کننده (روابط ۱ و ۲) طراحی شده‌اند، تا گیت‌های سوئینگ کامل را جایگزین کنند. معادلات طراحی (روابط ۳ تا ۸) در زیر آورده و دیاگرام‌های شماتیک آن‌ها در شکل ۵ مشخص شده‌اند.



(الف)

(ب)

(ج)

شکل ۵: تمام جمع‌کننده براساس الف) Design 1، ب) Design 2 و ج) Design 3 [۲۰]

Figure 5. Full adder based on a) Design 1, b) Design 2 and c) Design 3 [20]

روابط Sum و C_{out} تمام جمع‌کننده Design1 به ترتیب در روابط ۳و ۴ نشان داده شده است [۲۰].

$$Sum=\overline{C_{in}}\left(A\ XOR\ B\right)+C_{in}\left(A\ XNOR\ B\right) \quad (۳)$$

$$C_{out}=\overline{C_{in}}\left(A\ XOR\ B\right)+A\overline{\left(A\ XOR\ B\right)} \quad (۴)$$

طرح Design1 از خروجی XOR به‌عنوان یک نتیجه میانی برای محاسبه Sum و C_{out} استفاده می‌کند. خروجی Sum می‌تواند با مالتی پلکس کردن XOR و نسخه معکوس شده آن یعنی XNOR از طریق ورودی C_{in} به دست آید. با مالتی پلکس کردن ورودی‌های A و C_{in} خروجی C_{out} حاصل می‌شود که این خروجی با ورودی انتخاب کنترل می‌شود، یعنی خروجی XOR از ورودی‌های A و B کنترل می‌شود. تأخیر کل مدار با وجود وارونگر در مسیر بحرانی افزایش می‌یابد. این طرح ساده بوده و در مجموع به ۱۸ عدد ترانزیستور برای تحقق بخشیدن تابع تمام جمع‌کننده نیاز دارد.

روابط Sum و C_{out} تمام جمع‌کننده طرح Design2 به ترتیب در روابط ۵ و ۶ نشان داده شده است. این طرح می‌تواند با استفاده از XOR، AND و OR همراه با ماژول‌های مالتی پلکسر حاصل شود [۲۰].

$$Sum=\left(A\ XOR\ B\ \ XOR\ C_{in}\right) \quad (۵)$$

$$C_{out}=\overline{C_{in}}\left(A\ AND\ B\right)+A\left(A\ OR\ B\right) \quad (۶)$$

در مورد تمام جمع‌کننده مبتنی بر Design2 تابع C_{out} را می‌توان با کمک گیت‌های AND و OR تحقق بخشید. گیت‌های AND و OR به ترتیب بر اساس F1 و F2 طراحی شده‌اند. مالتی پلکس کردن عملیات AND و OR از طریق ورودی رقم نقلی C_{in} به تحقق C_{out} کمک می‌کند. عمل XOR در ورودی‌های A ، B و Cin در دستیابی به تابع Sum کمک می‌کند. برای پیاده‌سازی عبارت منطقی Design2 از ۲۲ ترانزیستور استفاده می‌شود. تمام جمع‌کننده Design3 با در نظر گرفتن گیت‌های XOR ، AND و OR طراحی شده و روابط طراحی Sum و C_{out} در روابط ۷ و ۸ مشخص شده‌اند، [۲۰].

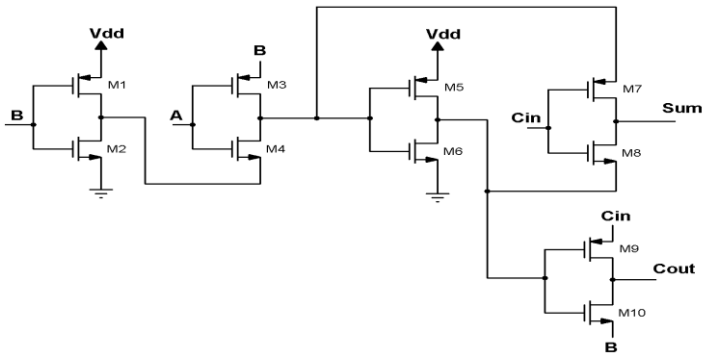
$$Sum=\left(A\ XOR\ B\ \ XOR\ C_{in}\right) \quad (۷)$$

$$C_{out}=\left(A\ AND\ B\right)+C_{in}\left(A\ XOR\ B\right) \quad (۸)$$

تمام جمع‌کننده Design3 از ماژول XOR استفاده می‌کند که نقش مهمی دارد؛ از آنجایی که خروجی Sum می‌تواند با XOR کردن ورودی‌های A، B و C_{in} به دست آید. خروجی C_{out} با کمک AND و OR و به دنبال آن گیت XOR حاصل می‌شود. تحقق گیت AND و OR می‌تواند با کمک گیت‌های F1 و F2 سوئینگ کامل انجام گیرد. F1 و F2 مبتنی بر GDI تحقق AND و OR را فقط به سه ترانزیستور و CMOS برای دستیابی به همان به شش ترانزیستور نیاز دارد. گیت XOR میانی برای محاسبه خروجی C_{out} استفاده شده است. بنابراین در کل، برای طراحی این تمام جمع‌کننده به ۲۳ ترانزیستور لازم است.

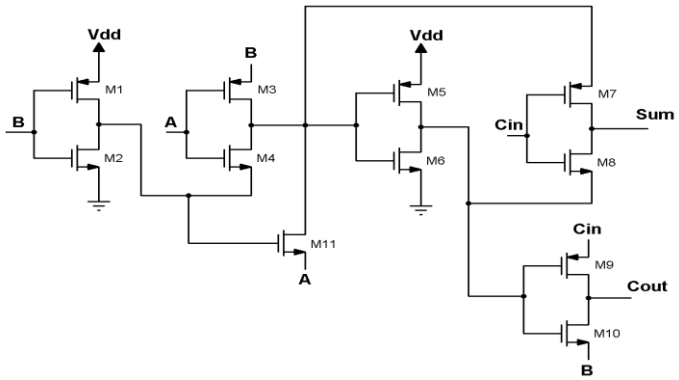
۳-نتایج شبیه‌سازی

در این بخش، تمامی سلول‌های تمام جمع‌کننده مبتنی بر GDI بحث شده در بخش قبلی با دو مورد دیگر انتخاب شده از مقالات ارزیابی و مقایسه می‌شوند. دو تمام جمع‌کننده دیگر (به نامهای 10T و 11T) [۲۳،۱۴] که در اینجا مورد شبیه‌سازی و ارزیابی قرار خواهند گرفت در شکل ۶ و ۷ نشان داده شده‌اند. تمام طرح‌ها با استفاده از ابزار شبیه‌ساز HSPICE با فناوری ۴۵ نانومترCMOS شبیه‌سازی شده و به‌طور گسترده در وضعیت‌های مختلف مورد ارزیابی قرار گرفته‌اند.



شکل ۶: تمام جمع‌کننده ۱۰ ترانزیستوری (10T) مبتنی بر GDI [۱۴]

Figure 6. GDI-based 10-transistor (10T) full adder [14]



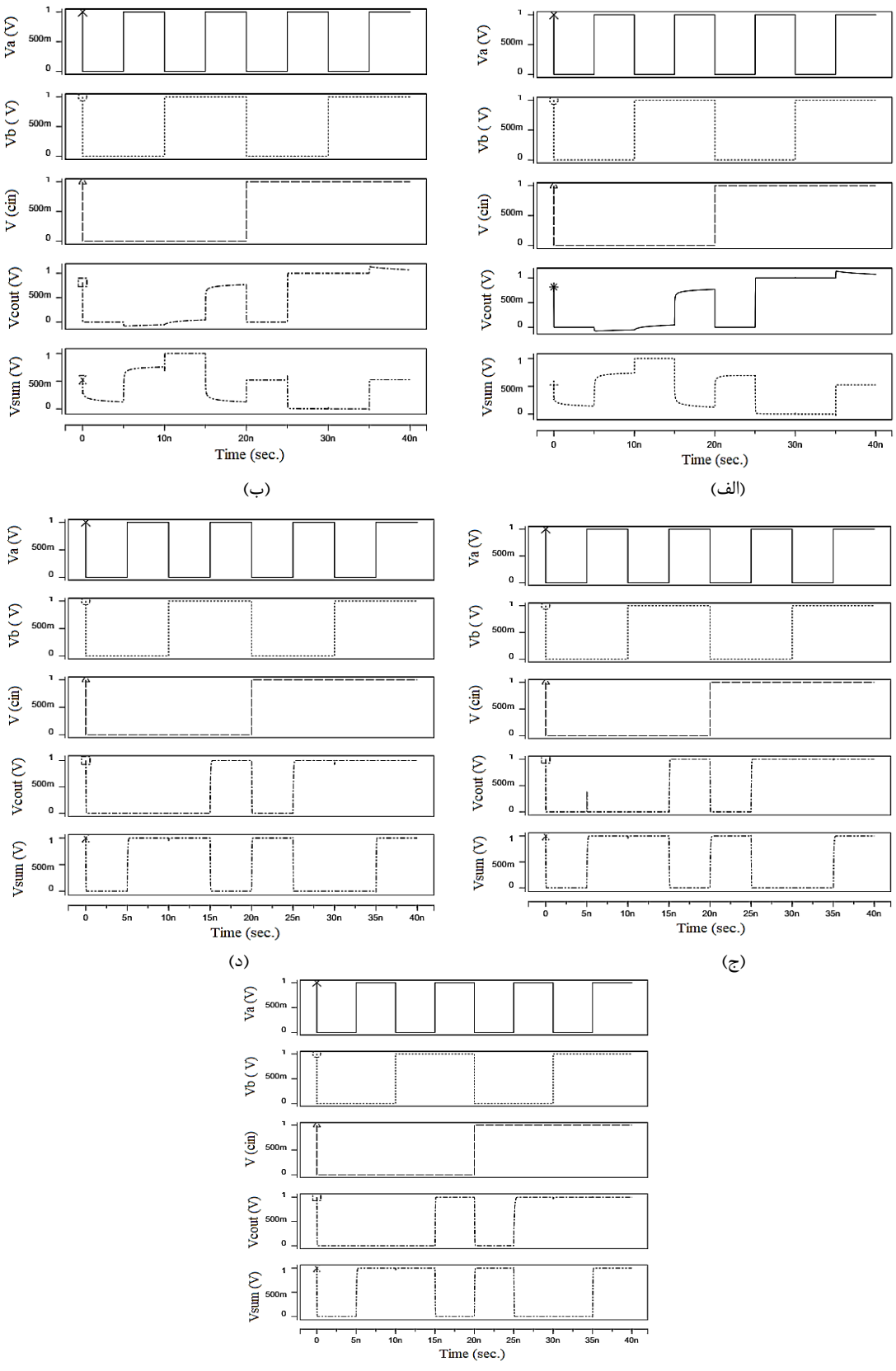
شکل ۷: تمام جمع‌کننده ۱۱ ترانزیستوری (11T) مبتنی بر GDI [۲۳]
Figure 7. GDI-based 11-transistor (11T) full adder [23]

همه‌ی مدارها به‌منظور کمینه کردن PDP، بر اساس روش تعیین اندازه ترانزیستور تعیین اندازه شدند. در جدول ۴ اندازه ترانزیستورهای مدارهای تمام جمع کننده مورد بحث در این پژوهش نشان داده شده است. شبیه‌سازی‌ها در دمای اتاق و ولتاژهای تغذیه و بارهای مختلف به انجام رسیدند. الگوی ورودی کامل با تمام حالت‌های گذار ممکن از یک ترکیب ورودی به دیگری به مدارات اعمال شدند تا تأخیر انتشار آن‌ها اندازه‌گیری شوند. یک انتقال ورودی ممکن است منجر به تغییر در گره خروجی شود یا نشود. حتی اگر هیچ سوئیچینگی در گره خروجی وجود نداشته باشد، ممکن است برخی از گره‌های داخلی در حال تغییر باشند که منجر به مصرف توان شود. برای ارزیابی دقیق، همه‌ی تغییرات موردنیاز انتقال‌های الگوی ورودی در الگوهای تست گنجانده شده‌اند. تأخیر هر مدار از زمانی که سیگنال ورودی به یک دوم ولتاژ V_{DD} می‌رسد تا زمانی که سیگنال خروجی به همان سطح ولتاژ می‌رسد اندازه‌گیری می‌شود. تمام حالت‌های گذار از یک ورودی به یکدیگر بررسی شده و تأخیر برای هر انتقال اندازه‌گیری شده و مقدار حداکثر به‌عنوان تأخیر هر مدار گزارش شده است. توان مصرفی میانگین در طی یک دوره زمانی طولانی نیز به‌عنوان پارامتر توان متوسط در نظر گرفته شده است. به‌منظور ایجاد کردن یک مصالحه بین توان مصرفی و تأخیر مدارها، عملکرد این مدارها را می‌توان با محاسبه حاصل‌ضرب تأخیر در توان ارزیابی نمود، که حاصل‌ضرب توان مصرفی میانگین و حداکثر تأخیر است. در نتیجه، حاصل‌ضرب تأخیر در توان می‌تواند پارامتری مهم برای ارزیابی و مقایسه عملکرد این مدارها باشد.

شبیه‌سازی‌ها با استفاده از خازن‌های ۲/۱ فمتوفاراد به‌عنوان بار در خروجی‌های سلول‌های تمام جمع‌کننده به انجام رسیدند. سلول‌های تمام جمع‌کننده با فرکانس ۱۰۰ مگاهرتز و در ۲۷ درجه سانتی‌گراد و ولتاژهای متغیر بین ۰/۶۵ تا ۱ ولت برای ۴۵ نانومتر شبیه‌سازی شدند. ولتاژهای آستانه ترانزیستورهای PMOS و NMOS حدود ۰/۱۸ ولت برای ۴۵ نانومتر است.

جدول ۴: اندازه ترانزیستورهای تمام جمع کننده‌های بررسی شده در این پژوهش
Table 4. The size of transistors of full adders investigated in this study

ساختار	ترانزیستورهای PMOS		ترانزیستورهای NMOS	
	عرض کانال (نانومتر)	طول کانال (نانومتر)	عرض کانال (نانومتر)	طول کانال (نانومتر)
Design 1	۱۲۰	٤٥	۱۲۰	٤٥
Design 2	۱۲۰	۴۵	۱۲۰	۴۵
Design 3	۱۲۰	۴۵	۱۲۰	۴۵
10T	۱۲۰	۴۵	۱۲۰	۴۵
11T	۱۲۰	۴۵	۱۲۰	۴۵

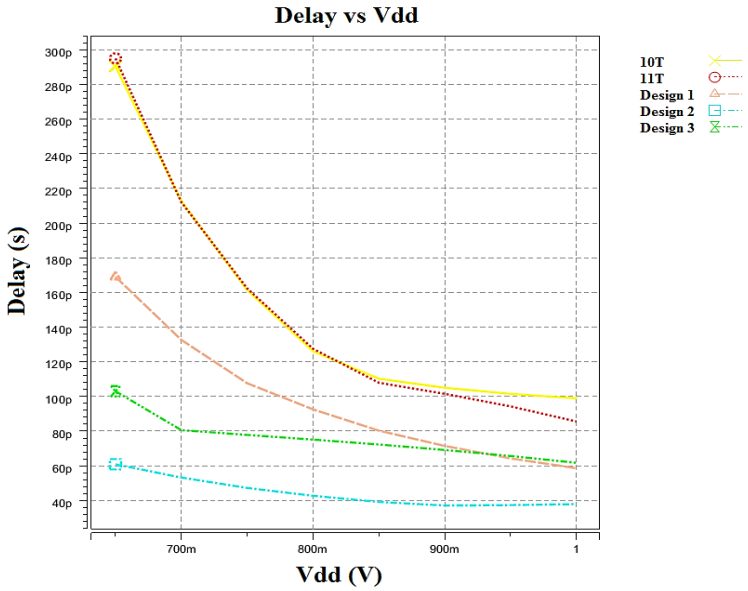


شکل ۸: شکل موج‌های ورودی و خروجی تمام جمع کننده الف) 10T، ب) 11T، ج) Design1، د) Design2 و ه) Design3

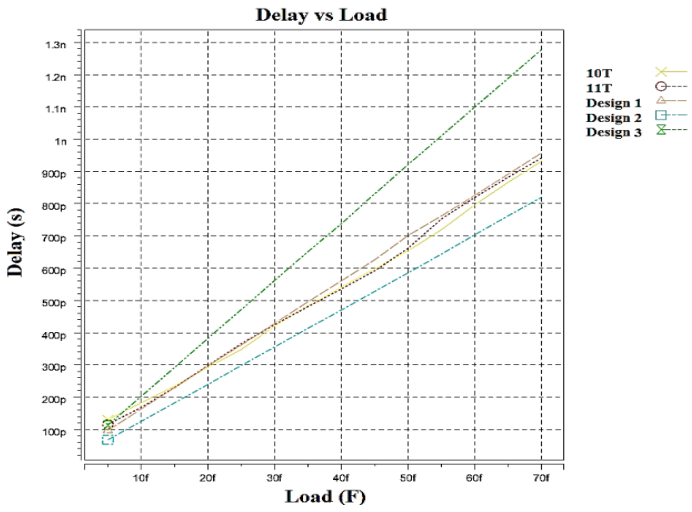
Figure 8. Input and output waveforms of full adders a) 10T, b) 11T, c) Design1, d) Design2 and e) Design3

در شکل ۸ شکل موج‌های ورودی و خروجی تمام جمع کننده مورد بحث در این پژوهش برای مشخص کردن سوئینگ هر جمع کننده نشان داده شده است. با توجه به شکل ۸ بخش الف و ب مشخص می‌شود که تمام جمع کننده‌های 10Tو 11T از سوئینگ مناسبی برخوردار نیستند. در حالیکه تمام جمع کننده‌های Design1، Design2 و Design3 با توجه به شکل ۸ بخش‌های ج، د و ه می‌توانند سوئینگ خط به خط ارائه نمایند.

شرایط مختلف بارگذاری نیز در نظر گرفته شد تا عملکرد مدارهای مورد آزمایش مورد ارزیابی قرار گیرد. شرایط بارگذاری از ۵ تا ۷۰ فمتو فاراد برای ۴۵ نانومتر تغییر می‌کند. این یک روش معمول است که با سلول تمام جمع‌کننده به‌عنوان یک سلول مستقل در شبیه‌سازی رفتار می‌شود. همچنین غیرمعمول نیست که سلول‌های تمام جمع‌کننده که در چنین شبیه‌سازی عملکرد خوبی دارند هنوز در زمان به‌کارگیری واقعی به دلیل کمبود قدرت درایو کردن با شکست مواجه شوند. این موضوع به این دلیل است که سلول‌های تمام جمع‌کننده به‌طور معمول به‌صورت آبشاری در می‌آیند تا یک مدار حسابی مفید ایجاد کنند. بنابراین، سلول‌های تمام جمع‌کننده باید دارای قابلیت درایو کردن کافی برای تأمین ورودی‌های تمیز برای سلول بعدی داشته باشند. در غیر این صورت، عملکرد مدار به‌طور چشمگیری کاهش می‌یابد یا در ولتاژ تغذیه پایین غیرعملیاتی می‌شود.



(الف)



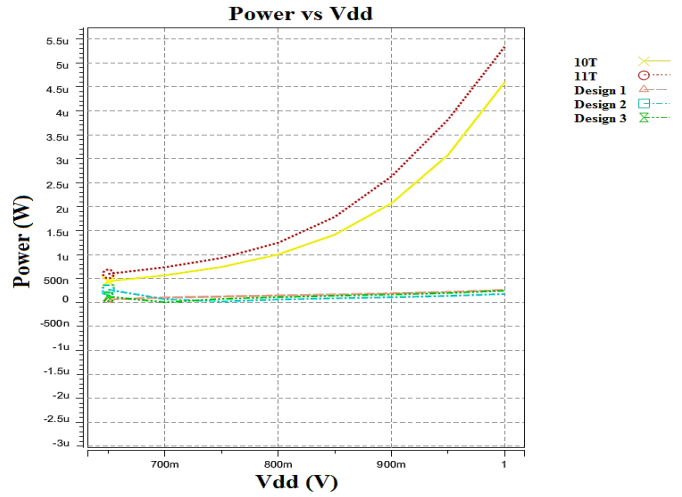
(ب)

شکل ۹: تأخیر سلول‌های تمام جمع‌کننده در فناوری ۴۵ نانومتر به ازای؛ الف) ولتاژهای تغذیه مختلف، ب) بارهای مختلف

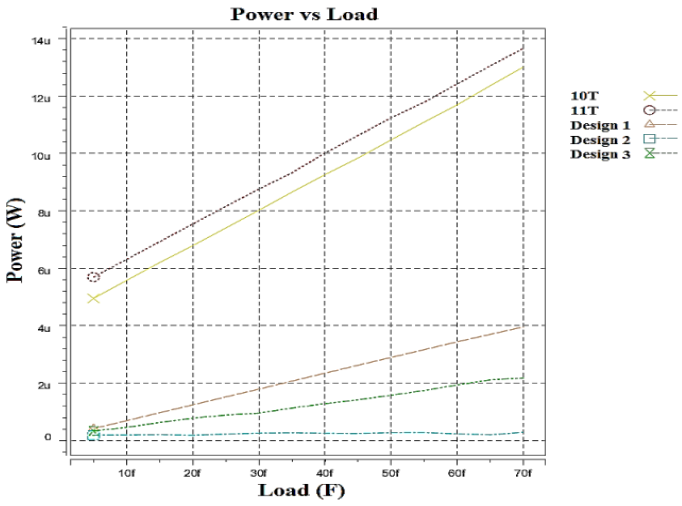
Figure 9. Delay of full adder cells in 45nm technology; a) different supply voltages, b) different loads

مقادیر تأخیر بر اساس شبیه‌سازی برای مقادیر در نظر گرفته شده (۰/۶۵ تا ۱ ولت) و بار (۵ تا ۷۰ فمتوفاراد) در ۴۵ نانومتر برای تمام جمع‌کننده‌های مبتنی بر روش GDI بحث شده در این مقاله به دست آمده است. مقدار تأخیر تمام جمع‌کننده‌های مبتنی بر GDI به ترتیب با تغییر ولتاژ تغذیه و بار خازنی در شکل ۹ نشان داده شده است. برای هر انتقال، تأخیر از ۵۰ درصد سوئینگ ولتاژ ورودی تا ۵۰ درصد سوئینگ ولتاژ خروجی اندازه‌گیری شده است. با توجه به شکل ۹ بخش الف واضح است که در میان تمام جمع‌کننده‌های موجود، سلول تمام جمع‌کننده Design 2 کوچک‌ترین تأخیر را به ازای ولتاژهای تغذیه مختلف دارد. همچنین، با تغییر ولتاژ تغذیه، بدترین تأخیر به سلول‌های 10T و 11T تعلق دارد. هنگامی‌که بار خروجی افزایش می‌یابد، تمام جمع‌کننده Design 2 بهترین عملکرد را نشان می‌دهد. تمام جمع‌کننده‌های 10T، 11T و Design 1 با تغییر بار تقریباً تأخیر مشابهی دارند و بدترین تأخیر مربوط به تمام جمع‌کننده Design 3 است.

توان مصرفی میانگین برای تمام جمع‌کننده‌های مبتنی بر روش GDI بحث شده در این مقاله تحت ولتاژهای مختلف تغذیه از ۰/۶۵ ولت تا ۱ ولت و بار خازنی از ۵ فمتوفاراد تا ۷۰ فمتوفاراد در ۴۵ نانومتر در شکل ۱۰ نشان داده شده است. با توجه به شکل ۱۰ بخش الف واضح است که در میان تمام جمع‌کننده‌های موجود، سلول تمام جمع‌کننده Design2 کمترین توان مصرفی را به ازای ولتاژهای تغذیه مختلف دارد و توان مصرفی دو سلول دیگر Design1 و Design3 نیز بسیار نزدیک به توان مصرفی این سلول است. همچنین، با تغییر ولتاژ تغذیه بیشترین توان مصرفی به سلول 11T تعلق دارد. هنگامی‌که بار خروجی افزایش می‌یابد، تمام جمع‌کننده Design2 بهترین عملکرد را نشان می‌دهد و بیشترین توان مصرفی مربوط به تمام جمع‌کننده 11T است.



(الف)

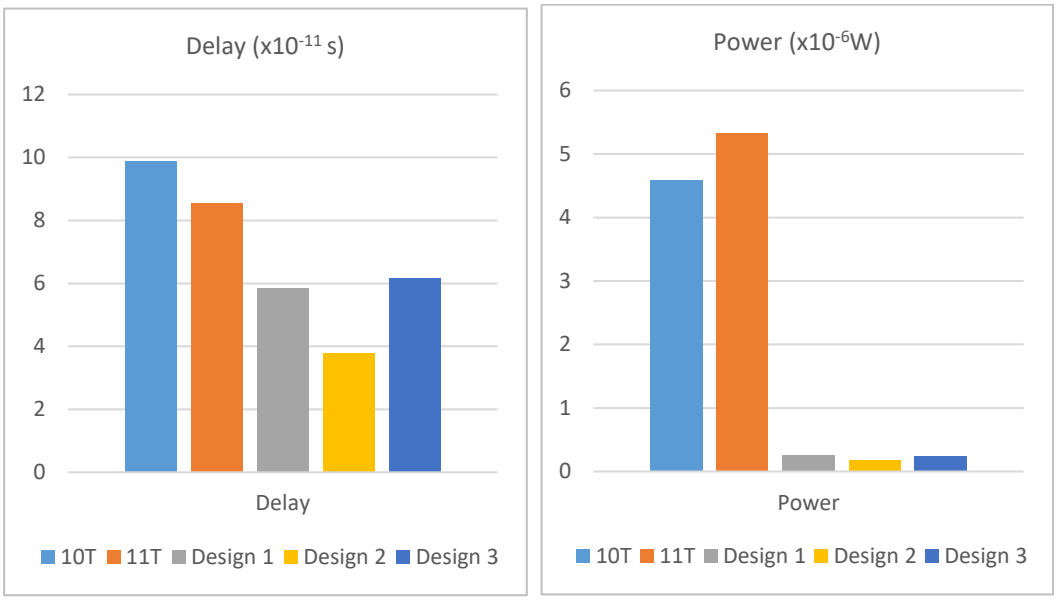


(ب)

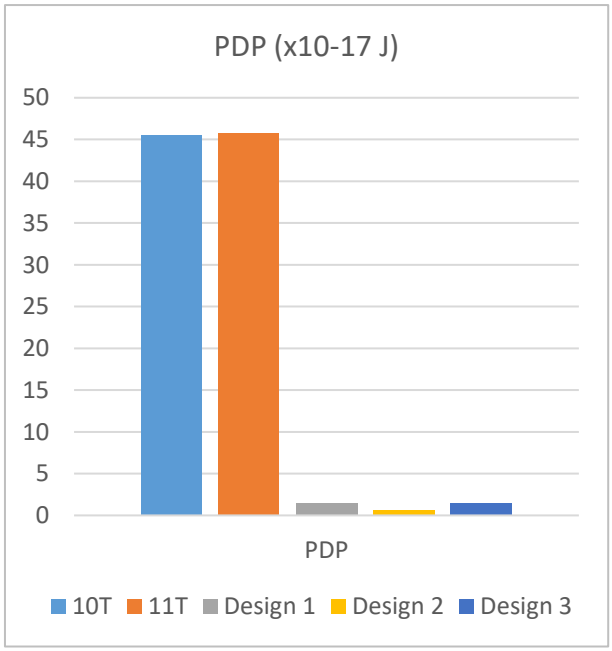
شکل ۱۰: توان مصرفی سلول‌های تمام جمع‌کننده در فناوری ۴۵ نانومتر به ازای؛ الف) ولتاژهای تغذیه مختلف، ب) بارهای مختلف

Figure 10. Power consumption of full adder cells in 45nm technology; a) Different supply voltages, b) Different loads

شکل ۱۱ مقادیر تأخیر، توان مصرفی و حاصل‌ضرب تأخیر در توان را برای تمام جمع کننده‌های GDI در تغذیه ۱ ولت و فناوری ۴۵ نانومتر نشان می‌دهد و مقایسه‌ای از لحاظ تعداد ترانزیستور نیز در شکل ۱۲ ارائه شده است. با توجه به شکل ۱۱، تمام جمع‌کننده Design2 نسبت به تمام جمع‌کننده‌های10T، 11T،Design1 و Design3 به ترتیب ۶۱/۶۷، ۵۵/۷۲، ۳۵/۳۲ و ۳۸/۶۷ درصد سریع‌تر است. همچنین این تمام جمع‌کننده نسبت به تمام جمع‌کننده‌های10T، 11T،Design1 و Design3 به ترتیب ۹۶/۱۲، ۹۶/۶۶، ۳۱/۸ و ۲۸/۲۲ درصد کم مصرف‌تر است. نقطه‌ضعف اصلی سلول‌های 10T و 11T مربوط به سوئینگ است که برای حل مشکل سوئینگ حتماً باید در خروجی آن‌ها بافر استفاده کرد. استفاده از بافر در خروجی‌های تمام جمع‌کننده می‌تواند به افزایش مساحت تراشه و توان مصرفی منجر شود. اما سلول‌های Design1، Design2 و Design3 به بافر هیچ نیازی ندارند و همواره سوئینگ کاملی را ارائه می‌کنند.



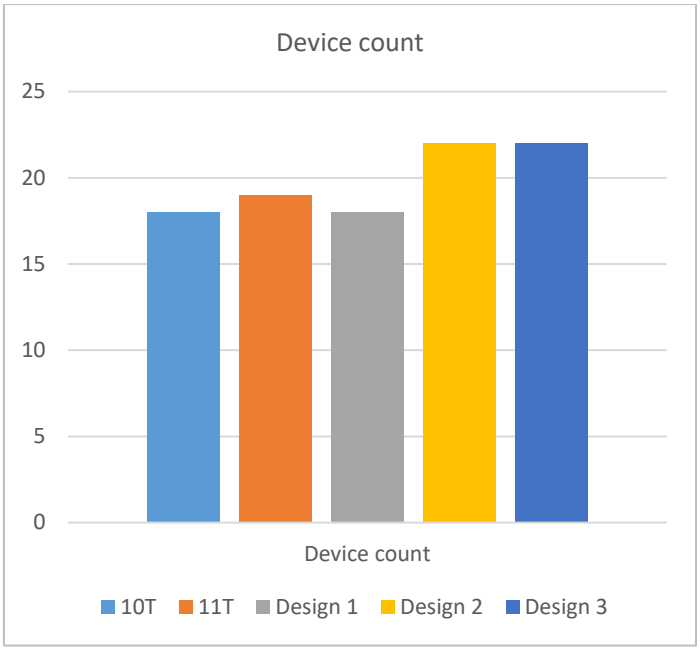
(ب) توان (الف) تأخیر



PDP (ج)

شکل ۱۱: نتایج شبیه‌سازی برای تمام جمع‌کننده‌های مبتنی بر GDI در فناوری ۴۵ نانومتر با فرکانس ۱۰۰ مگاهرتز و ولتاژ تغذیه ۱ ولت الف) تاخیر، ب) توان، ج) PDP

Figure 11. Simulation results for GDI-based full adders in 45nm technology with 100MHz frequency and 1V supply voltage a) delay, b) power, c) PDP



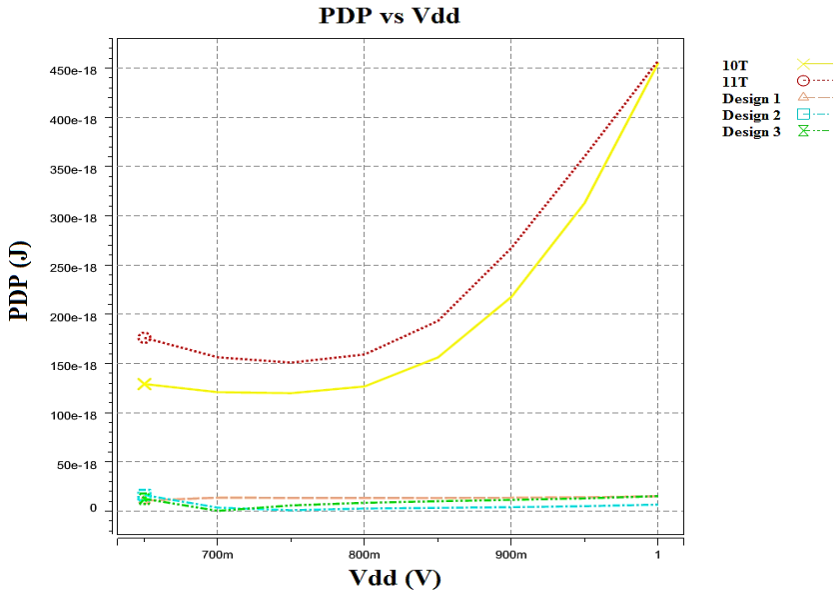
شکل ۱۲: تعداد ترانزیستور تمام جمع‌کننده‌های مبتنی بر GDI
Figure 12. Transistor count of GDI-based full adders

PDP یک معیار کمی برای کارایی و مصالحه بین اتلاف توان و سرعت است. PDP به‌ویژه در مواردی که به عملکرد توان پایین نیاز است اهمیت دارد. PDP برای تمام جمع‌کننده‌های مبتنی بر روش GDI بحث شده در این مقاله تحت ولتاژهای مختلف تغذیه (۰/۶۵ تا ۱ ولت) و بار (۵ تا ۷۰ فمتوفاراد) در ۴۵ نانومتر در شکل ۱۳ نشان داده شده است. با توجه به شکل ۱۳ بخش الف واضح است که در میان تمام جمع‌کننده‌های موجود، سلول تمام جمع‌کننده Design2 کمترین PDP را به ازای ولتاژهای تغذیه مختلف دارد. همچنین، با تغییر ولتاژ تغذیه، بیشترین PDP به سلول 11T تعلق دارد. با توجه به شکل ۱۳بخش ب، هنگامی‌که بار خروجی افزایش می‌یابد، تمام جمع‌کننده Design2 بهترین عملکرد را نشان داده و بیشترین PDP مربوط به تمام جمع‌کننده 11T است.

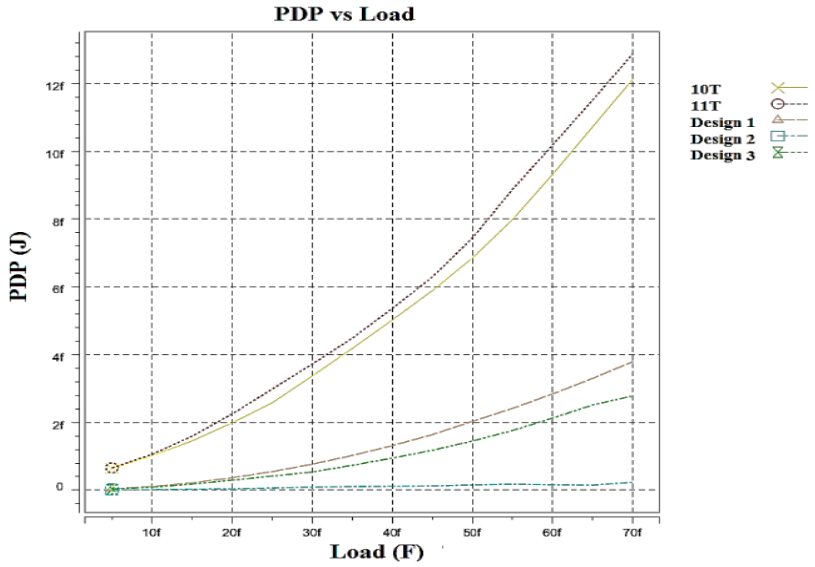
برای اندازه‌گیری عملکرد تحمل در برابر نویز سلول‌های تمام جمع‌کننده ذکر شده، منحنی مصونیت در برابر نویز[1] (NIC) [۲۴] استفاده می‌شود. به‌طور خاص، پالس‌های نویز باید دارای دامنه کافی و مدت‌زمان طولانی باشند تا خطاهای منطقی غیرقابل بازیابی را در مدارهای دیجیتال ایجاد کنند. منحنی مصونیت در برابر نویز یک مکان هندسی از نقاط (V_n ،T_n) است، که در اینجا T_n عرض پالس نویز و V_n دامنه پالس نویز است، که برای آن این گیت فقط یک خطای منطقی ایجاد می‌کند. از آنجا که هر نقطه در منحنی مصونیت در برابر نویز نشان دهنده دامنه V_n و عرض T_n پالس نویز ورودی است که باعث خطاهای منطقی می‌شود، تمام نقاط زیر منحنی مصونیت در برابر نویز در یک منطقه امن قرار دارند. بنابراین، هرچه منحنی مصونیت در برابر نویز یک گیت بالاتر باشد، ایمنی بیشتری نسبت به نویز در آن گیت وجود دارد.

شکل ۱۴ مدار تزریق نویز را نشان می‌دهد [۲۵] که قادر است یک نویز با عرض و دامنه موردنظر را برای ایجاد گلیچ[2] در خروجی ایجاد کند. دامنه و عرض پالس نویز به ترتیب توسط V_P و V_t کنترل می‌شود. منحنی مصونیت در برابر نویز با در نظر گرفتن عرض پالس نویز، برای یک دامنه پالس نویز مشخص، که برای ایجاد گلیچ در خروجی کافی است، ترسیم می‌شود. این گلیچ باید برای ایجاد خطاهای منطقی غیرقابل جبران در مدار مورد آزمایش کافی باشد. نتایج منحنی‌های ایمنی در برابر نویز برای تمام جمع‌کننده‌های بررسی شده در این مقاله در شکل ۱۵ نشان داده شده است. تمام جمع‌کننده 11T دارای بالاترین منحنی مصونیت نویز و به دنبال آن تمام جمع‌کننده 10T و Design2 است.

[1] Noise Immunity Curve
[2] Glitch



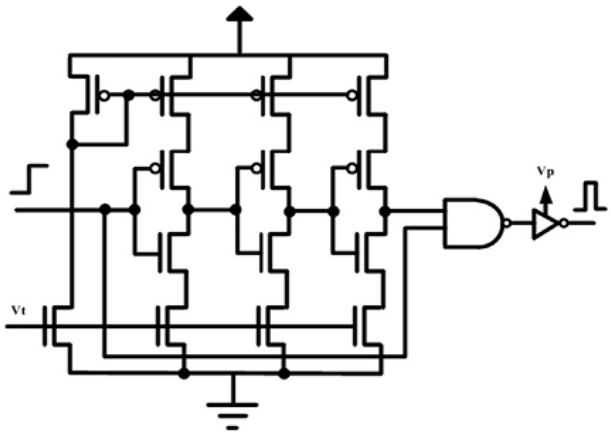
(الف)



(ب)

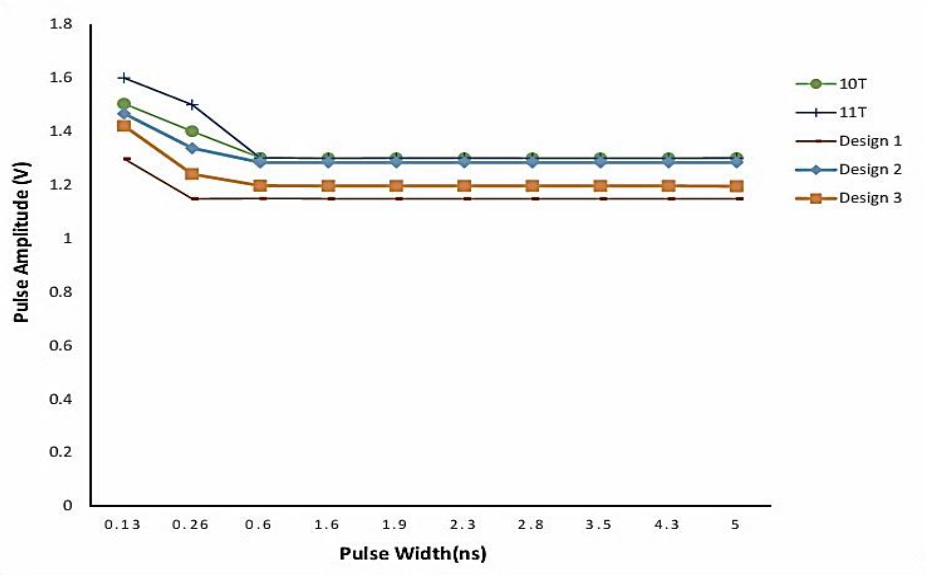
شکل ۱۳: PDP سلول‌های تمام جمع‌کننده در فناوری ۴۵ نانومتر به ازای؛ الف) ولتاژهای تغذیه مختلف، ب) بارهای مختلف

Figure 13. PDP of full adder cells in 45 nm technology; a) different supply voltages, b) different loads



شکل ۱۴: مدار تزریق نویز [۲۵]

Figure 14. Noise injection circuit [25]



شکل ۱۵: منحنی ایمنی در برابر نویز برای تمام جمع‌کننده‌های مبتنی بر GDI در فناوری ۴۵ نانومتر

Figure 15. Noise immunity curve for GDI-based full adders in 45nm technology

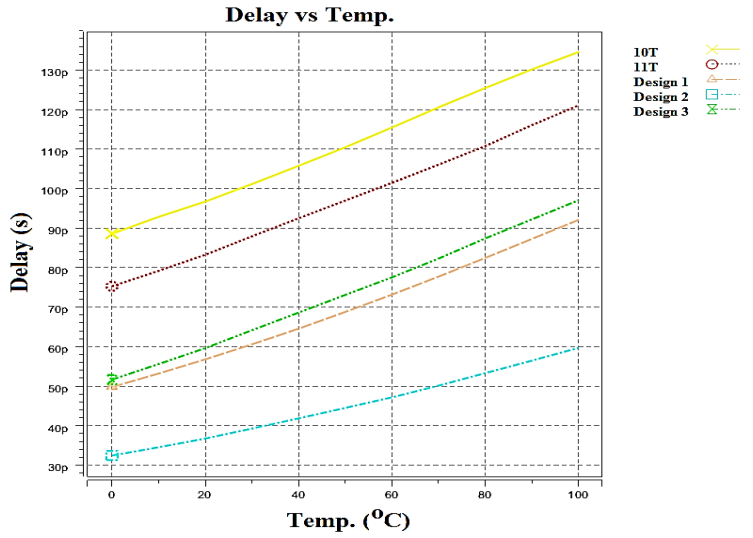
برای ارزیابی مصونیت این مدارات به تغییر دمای محیط، این مدارها همچنین در طیف گسترده‌ای از دماها از صفر تا ۱۰۰ درجه سانتی‌گراد در ولتاژ تغذیه ۱ ولت و فرکانس ۱۰۰ مگاهرتز با خازن بار ۲/۱ فمتو فاراد شبیه‌سازی شدند. نتایج حاصل از این آزمایش در شکل ۱۶ ترسیم شده است. از نتایج تجربی می‌توان چنین استنباط نمود که طرح Design2 عملکرد قابل قبولی در طیف گسترده‌ای از دماها داشته و از لحاظ تأخیر، توان و PDP در مقایسه با طرح‌های دیگر در تمام دماها بهترین عملکرد را دارد.

با در نظر گرفتن جنبه دیگری از ایمنی در برابر نویز، مقادیر تأخیر و مصرف توان برای تمام جمع‌کننده‌های مبتنی بر GDI بررسی شده در این مقاله در دو دمای مختلف در ۴۵ نانومتر با ولتاژ تغذیه ۱ ولت در شکل ۱۷ نشان داده شده است. مقادیر شکل ۱۷ در صفر درجه سانتی‌گراد و ۷۰ درجه سانتی‌گراد با ولتاژ تغذیه ۱ ولت است. همان‌طور که شکل ۱۷ نشان می‌دهد کاهش دما باعث کاهش مصرف توان و سرعت مدارها می‌شود اما هرگونه افزایش دما این پارامترها را افزایش می‌دهد. در شکل ۱۷ نیز مشخص است که طرح Design2 می‌تواند در این درجه حرارت‌ها قابل‌اطمینان عمل کند و افزایش یا کاهش تأخیر و مصرف توان در صفر و ۷۰ درجه سانتی‌گراد نسبت به ۲۷ درجه سانتی‌گراد قابل‌قبول است.

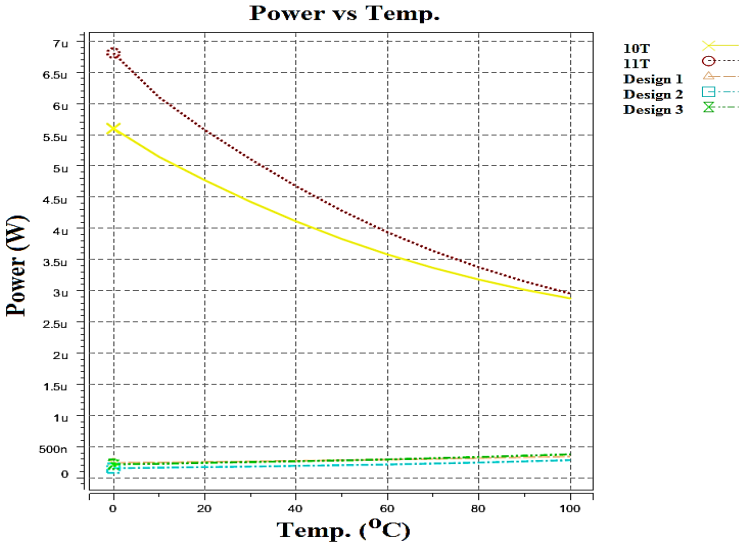
یکی دیگر از معیارهای مورداستفاده، بهره نویز واحد[1] (UNG) است که به‌عنوان دامنه نویز ورودی تعریف می‌شود که باعث ایجاد گلیچ با دامنه یکسان در گره خروجی می‌شود. پالس‌های نویز یکسان برای همه ورودی‌ها اعمال شده و دامنه نویز در خروجی‌ها اندازه‌گیری می‌شود. نویز مؤثر بستگی به دامنه و طول پالس نویز دارد. سطح نویز ورودی را می‌توان با افزایش طول یا دامنه پالس نویز افزایش داد. در این آزمایش، سطح نویز ورودی را با تغییر دامنه آن تغییر می‌دهیم. شکل ۱۸ بهره نویز واحد را در ۱ ولت برای ۴۵ نانومتر نشان می‌دهد. با توجه به نتایج ارائه شده، بیشترین مقدار بهره نویز واحد به تمام جمع‌کننده 10T تعلق دارد.

با توجه به کوچک شدن ابعاد ترانزیستورها با پیشرفت فنّاوری، تجزیه و تحلیل تغییرات فرآیند مدارها ضروری است. بنابراین، شبیه‌سازی‌های مونت‌کارلو با در نظر گرفتن تغییرات فرآیند، ولتاژ تغذیه و دما (PVT) در فرکانس ۱۰۰ مگاهرتز، ولتاژ تغذیه ۱ ولت و خازن‌های بار ۲/۱ فمتو فاراد در خروجی‌های تمام جمع کننده‌های موردبحث انجام گرفت تا استحکام مدارهای مذکور در برابر تغییرات یاد شده تأیید شود.

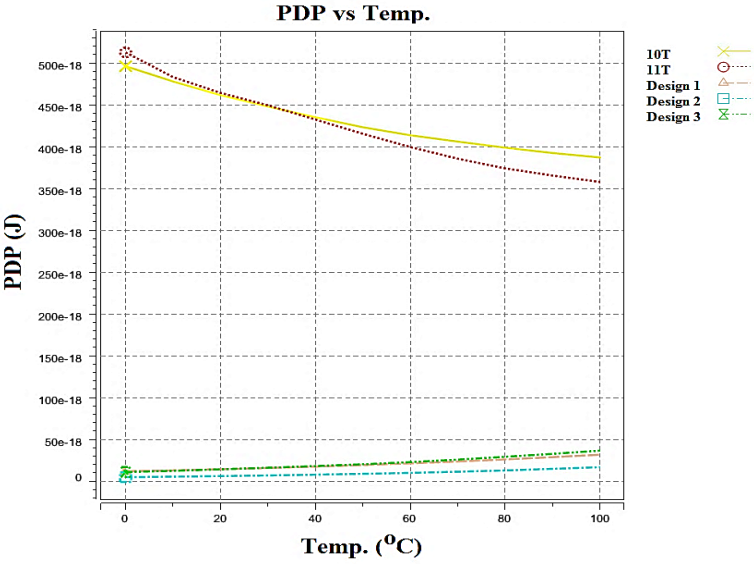
[1] Unity Noise Gain



(الف)



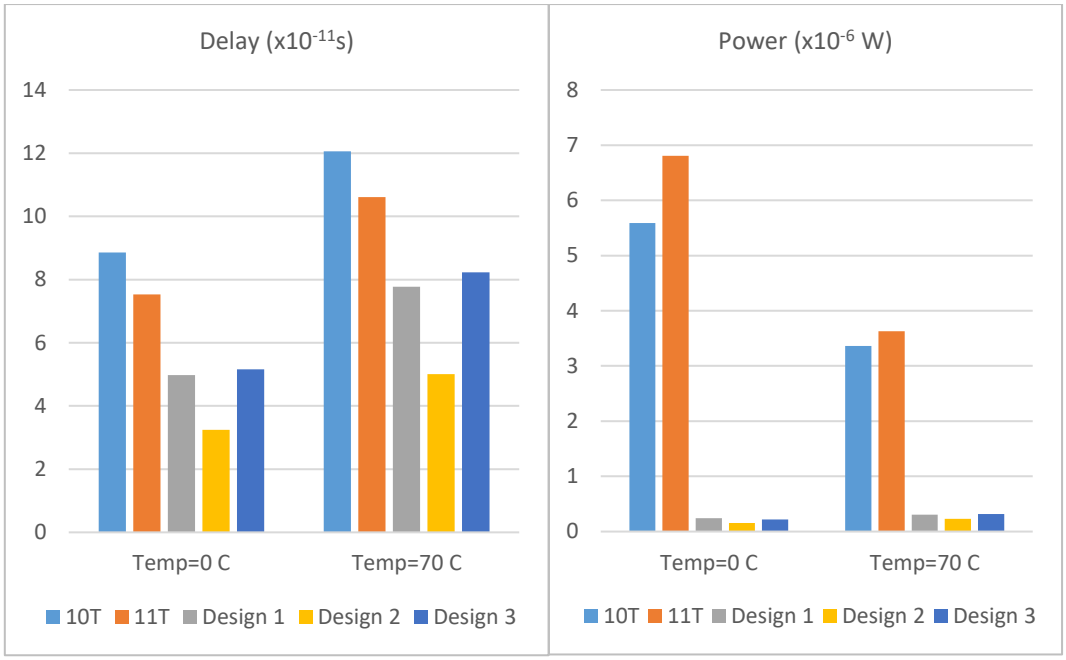
(ب)



(ج)

شکل ۱۶: تأخیر، توان و PDP سلول‌های تمام جمع‌کننده در فناوری ۴۵ نانومتر برحسب تغییرات درجه حرارت

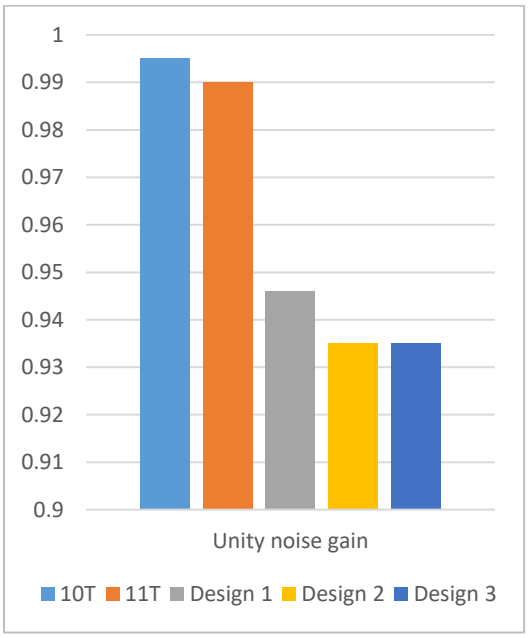
Figure 16. Delay, power and PDP of full adder cells in 45 nm technology in terms of temperature changes



(ب) توان (الف) تأخیر

شکل ۱۷: مقادیر تأخیر و توان مصرفی تمام جمع‌کننده‌های مبتنی بر GDI در دماهای مختلف در فناوری ۴۵ نانومتر

Figure 17. Delay and power consumption values of GDI-based full adders at different temperatures in 45nm technology



شکل ۱۸: بهره نویز واحد برحسب ولت در فناوری ۴۵ نانومتر برای ولتاژ تغذیه ۱ ولت

Figure 18. Unity noise gain in 45nm technology for 1V supply voltage

نتایج شبیه‌سازی مونت‌کارلو با در نظر گرفتن ۱۰۰۰ اجرا برای تمام جمع کننده‌های GDI مورد بحث در این پژوهش در جدول ۵ نشان داده شده است و مقادیر بهتر برای توزیع توان و تأخیر به‌صورت پررنگ مشخص شده است. در این جدول، مقدار μ/σ حساسیت مدارها به تغییرات فرآیند [۲۲] را اندازه‌گیری می‌کند که μ و σ به ترتیب میانگین و انحراف استاندارد را نشان می‌دهند. مداری که مقدار μ/σ بیشتری دارد نشان‌دهنده تغییرات کمتری با تغییرات فرآیند است. از مقدار μ/σ محاسبه‌شده، مشاهده می‌شود که جمع‌کننده Design1 دارای تغییر بیشتری در توزیع توان است و تمام جمع‌کننده 11T دارای تغییر کمتری در توزیع توان است. همچنین از مقدار μ/σ محاسبه‌شده، مشاهده می‌شود که جمع‌کننده Design2 دارای تغییر بیشتری در توزیع تأخیر است و تمام جمع‌کننده Design1 دارای تغییر کمتری در توزیع تأخیر است.

جدول ۵: نتایج شبیه‌سازی مونت‌کارلو برای توزیع توان و تأخیر تمام جمع کننده‌های GDI

Table 5. Monte Carlo simulation results for power distribution and delay of GDI-based full adders

ساختار	توان					تأخیر				
	حداقل (میکرو وات)	حداکثر (میکرو وات)	میانگین (میکرو وات)	انحراف معیار (میکرو وات)	μ/σ	حداقل (پیکو ثانیه)	حداکثر (پیکو ثانیه)	میانگین (پیکو ثانیه)	انحراف معیار (پیکو ثانیه)	μ/σ
10T	۱/۱۸	۱۱۹/۴۰	۱۲/۲۶	۱۰/۹۹	۱/۱۱	۵۴/۱۲	۵۰۹۵/۹	۱۳۳/۱۳	۳۰۸/۹۴	۰/۴۳
11T	۱/۵۸	۸۴/۹۱	۱۲/۴۲	۱۰/۴۵	**۱/۱۸**	۴۸/۹۹	۵۰۵۲/۴	۱۶۹/۹۰	۵۷۶/۲۱	۰/۲۹
Design1	۰/۱۶۹	۸۵/۱۳	**۳/۲۳**	**۶/۹۶**	۰/۴۶	۳۲/۷۱	**۳۲۹/۶۱**	۶۱/۴۳	**۱۶/۳۹**	**۳/۷۴**
Design2	**۰/۰۹۷**	**۵۹/۱۷**	۴/۴۵	۸/۱۵	۰/۵۴	**۲۶/۰۲**	۱۰۰۰۳/۶	**۵۲/۲۰**	۳۱۶/۱۴	۰/۱۶
Design3	۰/۱۴۹	۹۰/۸۸	۴/۹۶	۹/۹۸	۰/۴۹	۳۴/۰۵	۱۰۱۶۱/۴	۸۲/۱۸	۴۴۹/۴۰	۰/۱۸

در جدول ۶ خلاصه نتایج به‌دست‌آمده برای تجزیه و تحلیل‌های مختلف از قبیل تأثیر تغییرات بار خازنی، تغییرات ولتاژ تغذیه، تغییرات دما، حساسیت در برابر تغییرات فرآیند، مصونیت در برابر نویز و سوئینگ خروجی تمام جمع کننده‌های مبتنی بر منطق GDI نشان داده شده است. در این جدول طرح‌های تمام جمع کننده از کمترین مقدار تا بیشترین مقدار مرتب شده‌اند. این جدول می‌تواند راهنمای عملی خوب برای طراحان در انتخاب ساختار مناسب تمام جمع کننده‌های GDI بر اساس نیازهایشان در رابطه با مصالحه‌های طراحی باشد.

جدول ۶: مقایسه تمام جمع کننده‌های مبتنی بر روش GDI بر اساس پارامترهای مختلف

Table 6. Comparison of full adders based on GDI method based on different parameters

		کمترین مقدار				بیشترین مقدار
تغییرات بار	تأخیر انتشار	Design2	10T	11T	Design1	Design3
	توان مصرفی میانگین	Design2	Design3	Design1	10T	11T
	حاصل‌ضرب تأخیر در توان	Design2	Design3	Design1	10T	11T
تغییرات ولتاژ تغذیه	تأخیر انتشار	Design2	Design3	Design1	11T	10T
	توان مصرفی میانگین	Design2	Design3	Design1	10T	11T
	حاصل‌ضرب تأخیر در توان	Design2	Design3	Design1	10T	11T
تغییرات دما	تأخیر انتشار	Design2	Design3	Design1	11T	10T
	توان مصرفی میانگین	Design2	Design3	Design1	10T	11T
	حاصل‌ضرب تأخیر در توان	Design2	Design3	Design1	11T	10T
حساسیت در برابر تغییرات فرآیند	تأخیر انتشار	Design1	10T	11T	Design3	Design2
	توان مصرفی میانگین	11T	10T	Design2	Design3	Design1
مصونیت در برابر نویز		Design1	Design3	Design2	10T	11T
سوئینگ ولتاژ خروجی		10T&11T				Design1&Design2& Design3
تعداد ترانزیستور		10T& Design1		11T		Design2& Design3

۴-بحث و نتیجه‌گیری

در این مقاله، توجه خود را به تمام جمع‌کننده‌های مبتنی بر روش GDI محدود نمودیم، مدارهایی که معمولاً در مدارهای پرسرعت استفاده می‌شوند و بیشتر در معرض نویز هستند. همچنین، نویز را به‌صورت یک پالس و گلیچ تعریف کردیم که در ورودی گیت‌های مبتنی بر GDI ظاهر می‌شود. تاکنون بررسی جامعی در مورد مصونیت در برابر نویز و مصونیت در برابر تغییر دمای محیط تمام جمع کننده‌های مبتنی بر روش GDI ارائه نشده بود و اکثر مقالات که به ارائه طرح تمام جمع کننده مبتنی بر GDI اقدام نموده‌اند طرح پیشنهادی خود را با سایر تمام جمع کننده‌ها مقایسه کرده‌اند که عمدتاً مبتنی بر روش GDI نیستند. تمام طرح‌ها با استفاده از ابزار شبیه‌ساز HSPICE با فناوری ۴۵ نانومتر CMOS شبیه‌سازی شدند. شبیه‌سازی‌ها با استفاده از خازن‌های ۲/۱ فمتوفاراد به‌عنوان بار در خروجی‌های سلول‌های تمام جمع‌کننده به انجام رسیدند. در بین پنج سلول بررسی شده به نامهای 10T، 11T، Deign1، Design2 و Design3، سلول Design2 بهترین عملکرد را از لحاظ تأخیر، توان

مصرفی و حاصل‌ضرب تأخیر در توان (PDP) به ازای ولتاژهای تغذیه مختلف از خود نشان داد. همچنین این سلول به ازای تغییرات بار خازنی در محدوده ۵ تا ۷۰ فمتو فاراد بهترین عملکرد را از لحاظ تأخیر، توان مصرفی و PDP از خود نشان داد. طبق نتایج بدست آمده، سلول Design2 نسبت به سلول‌های 10T، 11T، Design1 و Design3 به ترتیب ۶۱/۶۷، ۵۵/۷۲، ۳۵/۳۲ و ۳۸/۶۷ درصد سریع‌تر و همچنین نسبت به موارد مذکور به ترتیب ۹۶/۱۲، ۹۶/۶۶، ۳۱/۸ و ۲۸/۲۲ درصد کم مصرف‌تر است. طبق بررسی‌های انجام گرفته مشخص شد که مصونیت در برابر نویز تمام جمع‌کننده‌های مبتنی بر GDI نسبت به سایر تمام جمع‌کننده بسیار بالاتر است. تمام جمع‌کننده 11T دارای بالاترین منحنی مصونیت نویز و به دنبال آن تمام جمع‌کننده 10T و Design2 است. از نتایج تجربی همچنین استنباط شد که طرح Design2 عملکرد قابل قبولی در طیف گسترده‌ای از دماها داشته و از لحاظ تأخیر، توان و PDP در مقایسه با طرح‌های دیگر در تمام دماها بهترین عملکرد را دارد. با توجه به نتایج به‌دست‌آمده مشخص شد که بیشترین مقدار بهره نویز واحد به تمام جمع‌کننده 10T تعلق دارد. تجزیه و تحلیل مونت‌کارلو با ۱۰۰۰ تکرار برای تمامی تمام جمع کننده‌های مبتنی بر روش GDI انجام شد و از مقدار μ/σ محاسبه‌شده، مشاهده شد که جمع‌کننده Design1 دارای تغییر بیشتری در توزیع توان است و تمام جمع‌کننده 11T دارای تغییر کمتری در توزیع توان است. همچنین از مقدار μ/σ محاسبه‌شده، مشاهده شد که جمع‌کننده Design2 دارای تغییر بیشتری در توزیع تأخیر است و تمام جمع‌کننده Design1 دارای تغییر کمتری در توزیع تأخیر است.

مراجع

[1] M. Sayyaf, A. Ghasemi, R. Hamzehyan, "Design of Low Power Single-Bit Full-Adder Cell Based on Pass-Transistor Logic," Journal of Southern Communication Engineering, Articles in Press, Accepted Manuscript, Available Online from 14 July 2022, doi: 10.30495/jce.2022.692834 (in Persian).

[2] T. Rashedzadeh, S. M. A. Riyazi, N. Cheraghi Shirazi, "Analysis of the effect of changes of FINs Architectural on FINFET Drain current and on Average Power Dissipation and Propagation Delay in the Hybrid-CMOS full adder," Journal of Southern Communication Engineering, vol. 10, no. 40, pp. 25-36, July 2021, (in Persian).

[3] A. Baghi Rahin and V. Baghi Rahin, "Ultra low voltage and low power 4-2 compressor using FinFET transistors," *Journal of Intelligent Procedures in Electrical Technology (JIPET)*, vol. 9, no. 33, pp. 25-36, May 2018, dor: 20.1001.1.23223871.1397.9.33.3.2.

[4] K. L. Shepard, "Design methodologies for noise in digital integrated circuits," *Proceedings 1998 Design and Automation Conference. 35th DAC. (Cat. No.98CH36175)*, 1998, pp. 94-99, doi: 10.1145/277044.277062.

[5] N. Eshraghian, and K. Weste, Principles of CMOS VLSI Design. A System Perspective. Reading, MA: Addison-Wesley., 1993

[6] SIA National Technology Roadmap for Semiconductors. SE-MATECH, Inc., 1997.

[7] A. Baghi Rahin and V. Baghi Rahin, "A New 2-input CNTFET-Based XOR Cell With Ultra-Low Leakage Power For Low-Voltage and Low-Power Full Adders," *Journal of Intelligent Procedures in Electrical Technology (JIPET)*, vol. 10, no. 33, pp. 13-22, May 2019, dor: 20.1001.1.23223871.1398.10.37.2.6.

[8] A. B. Rahin, A. Kadivarian and V. B. Rahin, "Design of a Full Swing 20-Transistors Full Adder Cell based on CNTFET with High Speed and Low PDP," *30th International Conference on Electrical Engineering (ICEE)*, 2022, pp. 546-550, doi: 10.1109/ICEE55646.2022.9827050.

[9] A. Baghi Rahin and V. Baghi Rahin, "FinFET-based Full Adder using SDTSPC Logic with High Performance," *International Journal of Mechatronics Electrical and Computer Technology (IJMEC)*, vol. 10, no. 38, pp. 4773-4778, 2020.

[10] A. Baghi Rahin, A. Kadivarian and V. Baghi Rahin, "CNTFET-based Full Adder with Ultra Low-Power and PDP for Mobile Applications," *5th Conference on Technology In Electrical and Computer Engineering (ETECH 2020)*, 2020.

[11] A. Baghi Rahin, A. Kadivarian, S. Naseri Akbar and V. Baghi Rahin, “High-Speed and Low-Voltage 16-T Dynamic Full Adder Cell Based on FinFET Transistors,” *International Conference on New Researches and Technologies in Electrical Engineering (ICNRTEE), At: University of Science and Culture (USC)*, Tehran, Iran, 2023.

[12] L. Abdelaziz, B. Khaled and G. Mustapha, “Design, Analysis and Optimization of CMOS Full Adder Based FinFET 10 nm,” *13th International Symposium on Advanced Topics in Electrical Engineering (ATEE)*, Bucharest, Romania, 2023, pp. 1-5, doi: 10.1109/ATEE58038.2023.10108377.

[13] A. Sadeghi, R. Ghasemi, H. Ghasemian and N. Shiri, "High Efficient GDI-CNTFET-Based Approximate Full Adder for Next Generation of Computer Architectures," in *IEEE Embedded Systems Letters*, vol. 15, no. 1, pp. 33-36, March 2023, doi: 10.1109/LES.2022.3192530.

[14] P. -M. Lee, C. -H. Hsu and Y. -H. Hung, "Novel 10-T full adders realized by GDI structure," 2007 *International Symposium on Integrated Circuits, Singapore*, 2007, pp. 115-118, doi: 10.1109/ISICIR.2007.4441810.

[15] G. Park and Y. Kim, "Low Power Gate Diffusion Input Full Adder using Floating Body," 2021 *18th International SoC Design Conference (ISOCC)*, Jeju Island, Korea, Republic of, 2021, pp. 337-338, doi: 10.1109/ISOCC53507.2021.9613966.

[16] I. Hassoune, D. Flandre, I. O'Connor and J. -D. Legat, “ULPFA: A New Efficient Design of a Power-Aware Full Adder,” in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 57, no. 8, pp. 2066-2074, Aug. 2010, doi: 10.1109/TCSI.2008.2001367.

[17] A. Morgenshtein, A. Fish and I. A. Wagner, “Gate-diffusion input (GDI): a power-efficient method for digital combinatorial circuits,” in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 10, no. 5, pp. 566-581, Oct. 2002, doi: 10.1109/TVLSI.2002.801578.

[18] R. Uma and P. Dhavachelvan, “Modified Gate Diffusion Input Technique: A New Technique for Enhancing Performance in Full Adder Circuits,” *Procedia Technology*, vol. 6, pp. 74-81, 2012, doi:10.1016/j.protcy.2012.10.010.

[19] V. Foroutan, M.R. Taheri, K. Navi and A. Azizi Mazreah, “Design of two Low-Power full adder cells using GDI structure and hybrid CMOS logic style,” *Integration,the VLSI journal*, vol. 47, no. 1, 2014, pp. 48-61, doi: 10.1016/j.vlsi.2013.05.001.

[20] M. Shoba and R. Nakkeeran, “GDI based full adders for energy efficient arithmetic applications,” *Engineering Science and Technology, an International Journal*, vol. 19, no. 1, pp. 485-496, 2016, doi: 10.1016/j.jestch.2015.09.006.

[21] J. M. Rabey, A. Chandrakasan, and B. Nikolic, Digital Integrated Circuit, A Design Perspective, Englewood Cliffs, NJ: Prentice Hall, 2002.

[22] A. Morgenshtein, V. Yuzhaninov, A. Kovshilovsky and A. Fish, “Full-Swing Gate Diffusion Input logic—Case-study of low-power CLA adder design,” *Integration,the VLSI journal*, vol. 47, no. 1, pp. 62-70, 2014, doi: 10.1016/j.vlsi.2013.04.002.

[23] J. Shrivas, S. Akashe and N. Tiwari, “Design and performance analysis of 1 bit full adder using GDI technique in nanometer era,” *World Congress on Information and Communication Technologies*, 2012, pp. 822-825, doi: 10.1109/WICT.2012.6409188.

[24] G. A. Katopis, “Delta-I noise specification for a high-performance computing machine,” in *Proceedings of the IEEE*, vol. 73, no. 9, pp. 1405-1415, Sept. 1985, doi: 10.1109/PROC.1985.13301.

[25] G. Balamurugan and N. R. Shanbhag, “The twin-transistor noise-tolerant dynamic circuit technique,” in *IEEE Journal of Solid-State Circuits*, vol. 36, no. 2, pp. 273-280, Feb. 2001, doi: 10.1109/4.902768.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0