بهینه کردن خطینگی واثر هارمونیک سوم در تقویت کننده های کم نویز با گستره بسامدی پهن در تکنولوزی ۱۳۰نانومترCMOS با استفاده از اثربدنه

رویا ملاکی[۱]، سید محمد علی ریاضی[۲*]، نجمه چراغی شیرازی[۳]

۱: دانشجوی کارشناسی ارشد رشته الکترونیک، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران roya mallaki@yahoo.com
۲*: استادیارگروه برق، واحد بوشهر، دانشگاه آزاد اسلامی ،بوشهر ،ایران coactstudent@yahoo.com
۳: استادیارگروه برق، واحد بوشهر، دانشگاه آزاد اسلامی ،بوشهر ،ایران nch_shirazi@yahoo.com
تاریخ دریافت: ۱۳۹۸/۷/۱۷ تاریخ پذیرش: ۱۳۹۹/۱۱/۱۷

چکیده

در این مقاله یک تقویت کننده ی کم نویز فرا پهن باند با استفاده از تکنیک جدید به منظور بهینه کردن خطینگی و اثر هارمونیک مرتبه سوم ارائه شده است. تکنیک حذف اعوجاج مرتبه سوم با استفاده از اثر بدنه ترانزیستور در یک تقویت کننده ی دیفرانسیلی گیت مشترک، انجام شده است و این در حالی است که تقویت کننده بررسی شده نسبت به کار گذشته علاوه بر بهبود IIP3 توان مصرفی را بهبود داده است. برای شبیه سازی از ابزار Cadence IC Design و از تکنولوژی ۱۳۰ نانومتر استفاده شده است. شبیه سازی ها نشان می دهند که مدار به مقدار مینیمم عدد نویز۳/۶۸dBو بهره ۱۹/۵۴dB رسیده است. همچنین مقدار توان مصرفی۹میلی وات بدست آمده است و این در حالی است که مدار از یک تغذیه ۱/۲ ولتی بهره می برد. همچنین۳IIP در فرکانس ۶GHz و فاصله ی دو تن۲۰ MHz، ۹/۱dBmبدست آمده است.و همچنن مقدار پارامتر شایستگی (FOM) ۱۱۳/۶میباشد.

واژه های کلیدی: تقویت کننده کم نویز، فراپهن باند، *CMOS*، *IIP3*، اثربدنه.

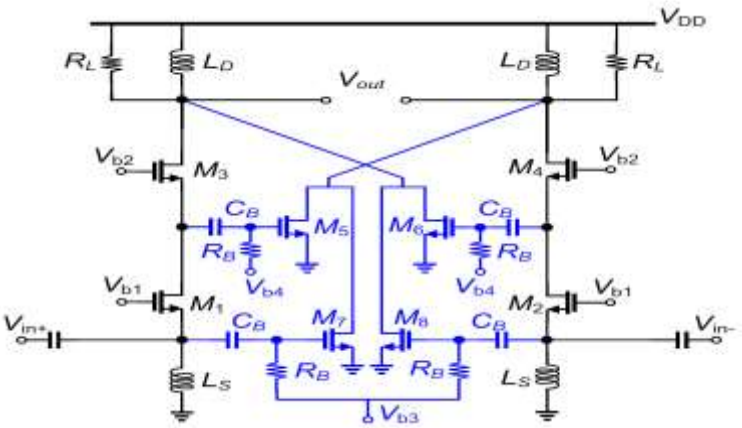
۱- مقدمه

تقویت کننده کم نویز اولین بلوک در یک گیرنده مخابراتی پس از آنتن می باشد و نقش آن تقویت سیگنال ضعیف دریافتی توسط آنتن با افزودن حداقل نویز به آن و در نتیجه کاهش حداقلی نسبت سیگنال به نویز (SNR) است به نحوی که اثر طبقات دیگر بر روی سیگنال دریافتی را به حداقل رساند. عملکرد مناسب این بلوک می تواند تأثیر زیادی روی بلوک های بعدی وکل سیستم گیرنده بگذارد، به نحوی که به جرأت می توان گفت تقویت کننده کم نویزیکی از مهم ترین بخشها در یک گیرنده مخابراتی می باشد.
تقویت کننده ی طراحی شده در اینکار در باند۳تا۱۰گیگاهرتز کار میکند. این باند یکی از باندهای پرکاربرد در سیستمهای مخابراتی محسوب میشود. با توجه به کاربرد باند در ارتباطات سیار و ثابت ماهوارهای ماکروویو، مطالعات فضایی و همچنین رادارها به دلیل محدودیت انتقال امواج با توانهای بالا نیاز به طراحی یک تقویت-کننده کم نویز در این باند فرکانسی با مشخصات بهینه و پهنای باند مناسب محسوس است. همچنین استفاده از رادارها در فرکانسهای پایینتر به دلیل بزرگ بودن اندازه آنتن کاهش مییابد،
تاکنون روش های بسیار زیادی برای خطی سازیLNA ها ارائه شده است که انطباق مشتقی [5,6]، تزریقIM2 [7]، حذف نویز و اعوجاج [1,2,8] و پس اعوجاج [9]، روش هایی هستند که در دسته بندی طرح فیدفوروارد قرار می گیرند. روش انطباق مشتقی از ناخطسانی یک ترانزیستور اضافی به منظور حذف ناخطسانی ترانزیستور اصلی استفاده می کند که شامل کارکردن ترانزیستورهایMOS در ناحیه ترایود[10] یا در ناحیه ی وارونگی ضعیف می باشد[11,12].یکی از معایب روش انطباق مشتقی نا انطباقی در پروسه ی ساخت می باشد. به علت نا انطباقی پروسه ی ساخت میان ترانزیستورها باعث می شود که مشتق مرتبه دوم ترانزیستورها از هم فاصله گرفته و به طور کامل یکدیگر را حذف نکنند. از طرفی به علت اینکه مدار تفاضلی است، در یک طرف، حذف IM3 به خوبی صورت می

گیرد و در طرف دیگر این حذف به خوبی انجام نمی شود.ادامه ی روند مقاله به این صورت است که در بخش ۲ خلاصه ای از کار گذشته و مدار طراحی شده بیان می شود. در بخش سوم تکنیک حذف اعوجاج مرتبه سوم با استفاده از اثر بدنه بررسی می شود. در بخش چهارم نتایج شبیه سازی و مقایسه پارامترهای مدار ارائه شده با کارهای گذشته گزارش شده است. در بخش پنجم نتیجه گیری از طراحی صورت گرفته، ارائه خواهد شد.

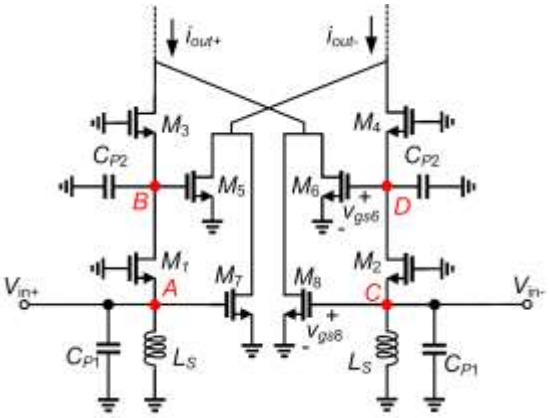
۲- بهبود خطینگی و بررسی تکنیک ارائه شده

بهتر است اول به بررسی مدار ارائه شده در مقاله ی مرجع پرداخته شود، تا ایده ی اصلی مشخص شود. ابتدا مدار ارائه شده که در مرجع [3] گزارش شده است را در شکل۱در نظر بگیرید. شکل در واقع مدار متداول یک LNA با پهنای باند بسیار وسیع است که از ترانزیستورهای (M_1, M_2, M_3, M_4)گیت مشترک در ورودی خود استفاده می کند و از دو خازن Off-chip به منظور جداسازی سطح DC از AC در ورودی استفاده کرده است. لازم به ذکر است که سلف های LS و LD در واقع سلف های ON-Chip یا داخل تراشه می باشند.



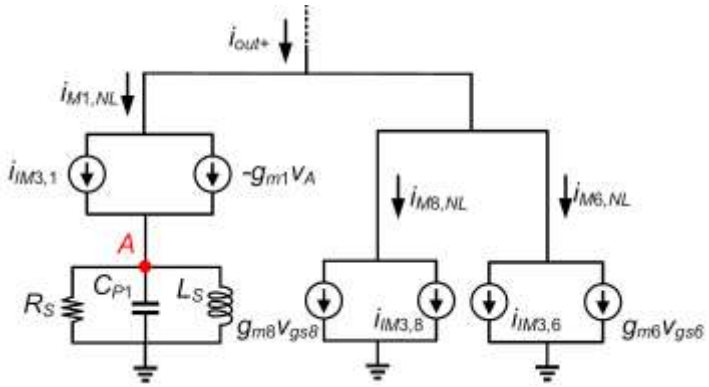
شکل۱:مدار تقویت کننده کم نویزمرجع[3]

اگر به شکل۱نگاه کنیم ترانزیستورهای($M_8 M_5$.....) در واقع برای بهبود خطینگی و عدد نویز به قسمت اصلی شکل اضاف شده است. که در واقع از ۴ ترانزیستور M5 الی M8 استفاده کرده است. با استفاده از این ۴ ترانزیستور (اگر مدار تفاضلی را به صورت نیم مدار نگاه کنیم) ۳ مسیر برای جاری شدن سیگنال RF از ورودی به خروجی وجود دارد. مسیر اولیه که همان مسیر سیگنال مدار متداول است . اما مسیر دوم از طریق ترانزیستور M7,8 و مسیر بعدی از طریق ترانزیستور M5,6 می باشد که سیگنال ورودی این مسیر از طریق ترانزیستورهای M1,2 که حد فاصل ترانزیستورهای M1,2 و ترانزیستورهای کسکود می باشد، نشات می گیرد. اگر مدل AC مدار شکل۱ ، به صورت شکل ۲ نشان داده شده است.در واقع مدلAC مدار کار ما را برای بررسی نویز وپارامترIIP3مدار راحتتر می کند.



شکل۲:مدل AC مدارشکل۱

در ابتدا برای بررسی IIP3 باید نمایشی از IM3 یا اعوجاج های مرتبه سوم ناشی از هر ترانزیستور داشته باشیم کـه در شـکل ۳ نشـان داده شده است. همانطور که در شکل نشان داده شده است، مدار به صورت نیم مدار ترسیم شده است و در کنار منبع جریان وابسته به ولتاژ گیت-سورس هر ترانزیستور ، یک مدل از منبع جریان IM3 نمایش داده شده است.



شکل۳:مدل نیم مدار AC شکل۲

بنابراین با توجه شکل ۳سه نوع جریان از سیگنالRFورودی در خروجی جاری می شود ، IM1,NL، IM6,NL و IM8,NL که. با جمع شدن این سه جریان در خروجی که Iout+ را تشکیل می دهند، این سه جریان به مقاومت موجـود در خروجـی مـدار شـکل ۱ اضـاف شـده و معادله ای از ولتاژ خروجی که حاصل مراتب اول و سوم جریان ترانزیستورها می باشد را تشکیل می دهد.اما با توجه به اینکـه در مقالـه ی [3]، هدف حذف ناخطسانی های مرتبه سوم می باشد، می توان این معادله را تنها شامل مراتب سـوم بیـان کـرد کـه ایـن معادلـه بصورت زیر بیان شود.

$$V_{out+,IM3} = -(\frac{i_{IM3,1}}{2}(1 + (\frac{g_{m6}}{g_{mt4}} + \frac{g_{m8}}{g_{mt2}}) + i_{IM3,6} + i_{IM3,8} \quad (1)$$

طبق معادله ۱سه نوع مولفه ی IM3 در مدار دیده می شود که باید آن ها راحذف کرد. طبق گفته ی مقالـه مرجـع[3] ، دو مولفـه ی iIM3,6 و iIM3,8 به وسیله ی روش انطباق مشتقی از یکدیگر حذف می شوند.

۳- مدار LNA پیشنهادی

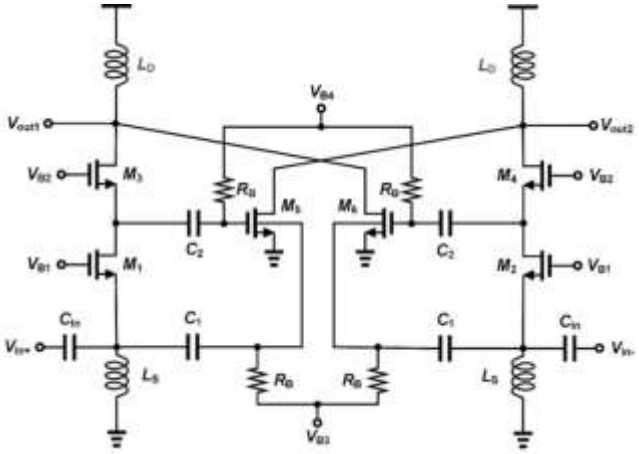
با توجه به روش مشتق انطباقی می توان با بایاس کردن ترانزیستورهای M6,5 شکل ۱در وارونگی قوی و ترانزیستورهای M8,7 در وارونگی ضعیف، نسبت به حذف دو مولفه ی iIM3,6 و iIM3,8 اقدام کرد. حذف دو مولفه iIM3,6 و iIM3,8 ، یک نتیجه را در بر دارد و آن این است که gm ترانزیستورهای M6,5 نسبت به ترانزیستورهای M8,7 بزرگتر است.

حذف بخش $IM_{3,1}$در واقع زمانی صورت می گیرد که معادلهIM3,1 برابر با صفر باشد. با صفر قرار دادن آن معادلـه ی زیـر بدسـت مـی آید:

$$g_{mt7,8} = g_{m1,2}(1 + \frac{g_{m5,6}}{g_{m3,4}}) \quad (2)$$

ایده طراحی مدار جدید بر اساس ادغام دو ترانزیستور M5 و M7 در سمت چپ و M6 و M8 در سمت راست مدار می باشد. ایـن ادغـام به این مفهوم است که از ترانزیستوری استفاده شود که دارای دو گیت باشد. انجام چنین کاری نه تنها باعث افزایش خطینگی مدار می شود، بلکه باعث می شود توان مصرفی تا حد قابل توجهی کاهش یابد.

ترانزیستور های ماسفت در عمل دارای یک گیت هستند و حال موضوع این هست که چگونه می توان از یک ترانزیستور ماسفت به جای دو ترانزیستور ماسفت استفاده کرد.ماسفت در واقع عنصری با چهار پایه است که همانطور که پایه ی بدنه از لحاظ ساختاری هیچ تفاوتی با گیت ندارد. همانطور که ولتاژ گیت-سورس جریانی را در درین ایجاد می کند، ولتاژ بدنه نیز جریانی را در خروجی ایجاد می کند. که هر کدام دارای یک ترارسانایی می باشند.در نتیجه می توان پایه ی بدنه ی ترانزیستور را به عنوان گیت دوم در نظر گرفت و ترانزیستور NMOS را به عنوان ترانزیستوری با دو گیت دانست. با توجه به این موضوع می توان مدار شکل ۱ را اصلاح کرد و آن را به صورت شکل ۴ نشان داد.



شکل۴:مدارLNA پیشنهادی

با توجه به این موضوع معادله ی ۲ به صورت معادله ی زیر تغییر می کند:

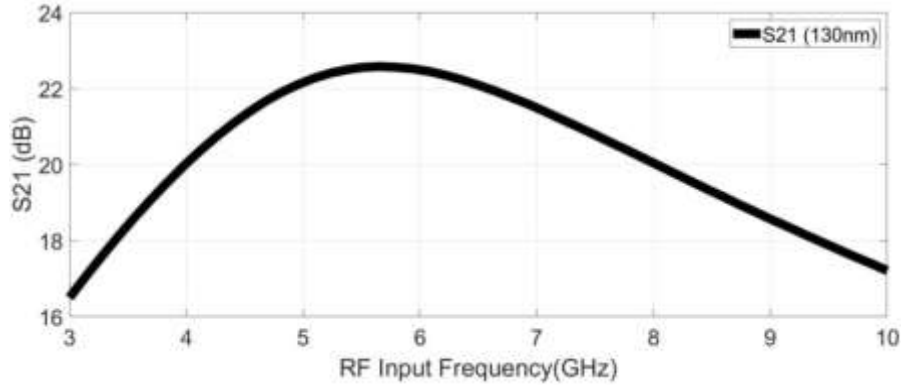
$$g_{mb5,6} = g_{mt1,2}(1 + \frac{g_{m5,6}}{gmt_{3,4}}) \quad (3)$$

معادله ی فوق بیان می کند، تنها ترارسانایی ترانزیستورهای M7 و M8 ، با ترارسانایی بدنه ترانزیستورهای M5 و M6 جایگزین شده اند و در واقع روند حذف IM3 همانند پیشین می باشد که اینبار با استفاده از بایاس بدنه می توان بر روی مقدار $g_{mb5,6}$ کنترل داشت. قسمت بعدی نتایج شبیه سازی مدار ارائه شده را نشان خواهد داد.

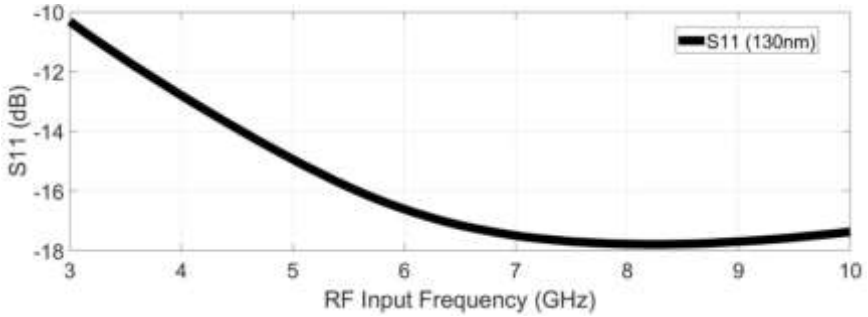
۴- نتایج شبیه سازی های انجام شده

شبیه سازی مدار ارائه شده با استفاده از تکنولوژی۱۳۰ nm در نرم افزار Cadence IC Design انجام گرفته است. شبیه سازی ها نشان می دهد که مقدار میانگین بهره (S21)در پهنای باند ۳ الی۱۰ گیگاهرتز برابربا ۱۹/۵۴ dB می باشد. مقدار منحنی S21 در کل باند مذکور در شکل ۵ نشان داده شده است. همچنین مقدارS11 در کل باند هدف کمتر از ۱۰/۵dB-می باشد، که منحنی این پارامتر در شکل ۶ نشان داده شده است.

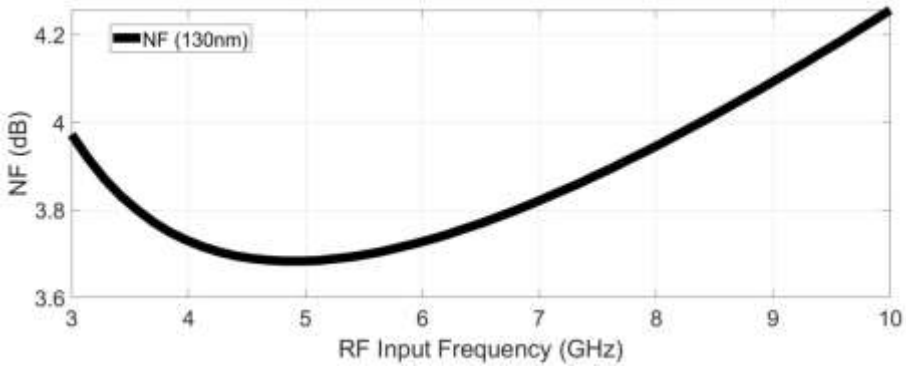
مقدار عدد نویز بدست آمده در شکل ۷ نشان داده شده است که کمترین مقدار عدد نویز بدست آمده در باند(۳ GHzتا۱۰ GHz) برابربا ۳/۶۸dBمی باشد .



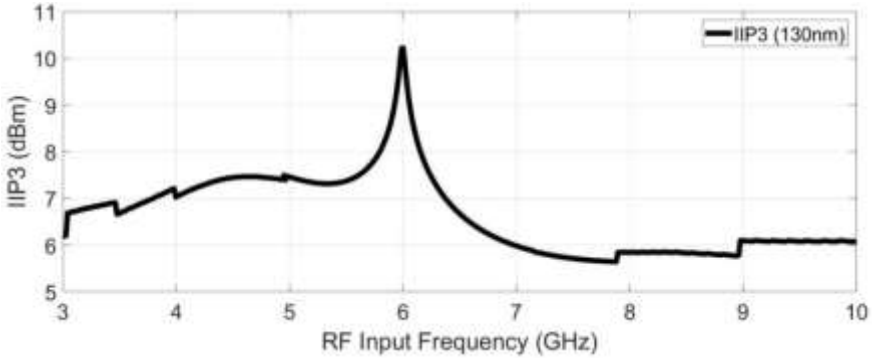
شکل۵:مقدار S21 در تکنولوژی ۱۳۰ نانومتر



شکل۶:مقدار S11 در تکنولوژی ۱۳۰ نانومتر



شکل۷: مقدار NF در تکنولوژی ۱۳۰ نانومترمدار پیشنهادی



شکل۸: مقدار IIP3 در تکنولوژی ۱۳۰ نانومترمدار پیشنهادی (کل باند)

علاوه بر پارامتر خطینگی چند مشخصه ی مهم دیگر LNA مورد نظر می باشد که باید به آنها توجه ویژه داشت. زیرا یک LNA طراحی شده در قیاس با LNA های گزارش شده در مقالات باید به صورت یک پکیج در نظر گرفته شود، تا قیاس عادلانه ای صورت گیرد. به عبارتی دیگر زمانی که یک LNA طراحی می شود، پارامترهایی همچون NF، S11 ، S21 و توان مصرفی باید مورد توجه قرار گیرند و همواره مقدار معقول خود را حفظ کنند. به همین منظور LNA همانند بسیاری از مدارهایی که در حوزه ی طراحی مدارات مجتمع طراحی می شود، دارای یک پارامتر شایستگی(FOM) می باشد.پارامتر FOM که استفاده شده در این مقاله به صورت زیراست:

$$FOM\left[\frac{GHz}{mW}\right]=\frac{S_{21}\times BW[GHz]\times IIP3[mW]}{(F-1)\times P_D[mW]} \quad (4)$$

که دارای مقادیر توان مصرفی، فاکتور نویز (که عدد نویز در واقع ۱۰ برابر لگاریتم فاکتور نویز است)، IIP3 ، S21 و پهنای باند LNA می باشد.

جدول ۱:مقایسه شبیه سازی ها با کارهای گذشته

مراجع	پروسه	پهنای باند	*S11(dB)*	*S21(dB)*	*NF(dB)*	*IIP3(dBm)*	ولتاژ تغذیه	*Kf*	*Delta*	توان مصرفی	*FOM*
	CMOS	*GHz*					*(V)*			*(mW)*	
JSSC'06 [4]	***180nm***	***1.3–12.3***	***< -10***	***8.2***	***4.6***	***+9.1***	-	***>1***	***<1***	***4.5***	***69.7***
IEICE Elex'08 [12]	***180nm***	***2.6–10.7***	***< -11***	***13.5***	***2.7***	***+5***	***1.2***	***>1***	***<1***	***13.5***	***49.3***
CTA'09 [13]	***130nm***	***2.7–8.8***	***< -10***	***12***	***4***	***+1.2***	***1.2***	***>1***	***<1***	***1.4***	***58.5***
T'MTT'13 [14]	***130nm***	***2.2–12.2***	***< -10***	***13***	***1.9***	***+1***	***1.8***	***>1***	***<1***	***7.4***	***61.8***
JSSC'13 [15]	***65nm***	***0.1–10***	***< -11.7***	***24***	***2.6***	***-13.5***	***1.2***	***>1***	***<1***	***8.6***	***15.8***
MWC. Lett.'14 [16]	***180nm***	***1–12.5***	***< -10***	***15.2***	***2.2***	***-0.2***	***1.8***	***>1***	***<1***	***18***	***30.6***
Mejo'15 [3](مرجع)	***90nm***	***2.4–10.4***	***< -11.2***	***9.5***	***3.5***	***+13.1***	***1.2***	***>1***	***<1***	***14.8***	***79.4***
LNA ارائه شده	***130nm***	***3-10***	***< -10***	***19.54***	***3.68***	***+9.1***	***1.2***	***>1***	***<1***	***9***	***426.93***

بالا بودن FOM به تنهایی کفایت بررسی طراحی مناسب را نمی دهد و مدار باید با کارهای پیشین از لحاظ پارامتر ها و علی الخصوص FOM قیاس شود تا برتری آن نسبت به کارهای گذشته بیشتر مورد توجه قرار گیرد. به همین منظور جدولی از مقایسه ی کار ارائه شده با کارهای پیشین ترتیب داده شده است تا قیاس به درستی صورت گیرد. این مقایسه در جدول ۱شان داده شده است. با توجه به شرایط فاصله ی فرکانسی یکسان میان دو تن، مقدار IIP3 مدار ارائه شده نسبت به کار پیشین مقداری برابر دارد و این در حالی است که این شرایط با حذف دو ترانزیستور از مدار پیشین و کاهش درصد زیادی توان مصرفی به انجام رسیده است.

۵- نتیجه‌گیری

در این مقاله به بررسی یک مدار LNAفراپهن باند با خطینگی مرتبه سوم بالا به منظور کار در پهنای باند ۳ الی ۱۰ گیگاهرتز پرداخته شده است. در این مدار با استفاده از اثر بدنه ی ترانزیستور متداول که در بهبودIIP3 ، ایفای نقش داشته است، مقدارIIP3و توان مصرفی به طور قابل ملاحظه ای بهبود داشته و مقدار S11 کمتر از ۱۰-، کمترین عدد نویز برابر با۳/۶۸ dB، میانگینS21یا بهره برابر با۱۹/۵۴ dBمی باشد. مقدار FOMبدست آمده ($\frac{GHz}{mW}$)۱۱۳/۳۶می باشد. FOM نسبت به مقالات گزشته بهبودی۸۰درصدی داشته است.

مراجع

[1] W.-H.Chen, G.Liu, B.Zdravko, A.M.Niknejad(2008), "A highly linear broadband CMOS LNA employing noise and distortion cancellation, "IEEE J.Solid-StateCircuits43 (5) 1164–1176.

[2] D. Im, I.Nam, H.Kim and K.Lee, "A wideband CMOS low-noise amplifier employing noise and IM2 distortion cancellation for a digital TV tuner", *IEEE J.Solid-State Circuits*,vol. 44,no.3,pp.686–698,2009.
[3]B. Mazhab Jafari and M. Yavari, "A UWB CMOS low-noise amplifier with noise reduction and linearity improvement techniques," *Microelectronics J.*, vol. 46, no. 2, pp. 198–206,2015.
[4] S. Shekhar and J.S.Walling,D.J.Allstot, "BandwidthextensiontechniquesforCMOS amplifiers," *IEEEJ.Solid-StateCircuits*,vol.41,no.11,pp.2424–2438,2006.
[5] T.W.Kim, B.Kim and K.Lee, "Highly linear receiver front-end adopting MOSFET transconductance linearization by multiple gated transistors*," IEEE J. Solid- State Circuits*, vol.39,no.1,pp.223–229,2004.
[6] S. Lou, H.C.Luong, "A linearization technique for RF receiver front-endusing second-order-intermodulation injection," *IEEE J. Solid-State Circuits* ,vol.43,no.11, pp.2404–2412,2008.
[7] F.Bruccoleri, E.A.M.Klumperink and B.Nauta, "Wide-band CMOS low-noise amplifier exploiting thermal noise canceling," *IEEE J. Solid-State Circuits*, vol.39, no.2,pp.275–282,2004.
[8] H. Zhang, X.Fan and E.Sanchez-Sinencio, "A low-power, linearized, ultra-wideband LNA design technique," *IEEE J. Solid-State Circuits*, vol.44,no.2,pp.320–330,2009.
[9]Y.S.Youn, J.H.Chang, K.J.Koh, Y.J.Lee and H.K.Yu, "A 2GHz 16dBm IIP3 low noise amplifier in 0.25 mm CMOS technology," *in: Proceedings of the IEEE ISSCC Digest TechnicalPapers*,2003, pp.452–453.
[10] V. Aparin and L.E.Larson, "Modified derivative super position method for linearizing FET low-noise amplifiers," *IEEE Trans. Microw.TheoryTec*,.vol.53,no.2, pp.571–581,2005.
[11] S. Ganesan, E.Sánchez-Sinencio and J.Silva-Martinez "A highly linear low noise amplifier," *IEEE Trans. Microw. Theory Tech nol.* Vol.54,no.12, pp.4079–4085,2006.
[12] N. Kim, V.Aparin, K.Barnett, C.Persico, "Acellular-band CDMA 0.25 mm CMOS LNA linearized using active post-distortion," *IEEE J. Solid-State Circuits*, vol.41,no.7, pp.1530–1534,2006.
[13] A. Mirvakili, M. Yavari and F.Raissi "A linear current-reused LNA for 3.1–10.6GHz UWB receivers," *IEICEElectron.Express*,vol.5,no.21, pp.908–914,2008.
[14] J. Kaukovuori, M.Kaltiokallio and J.Ryynänen "Analysis and design of common- gate low-noise amplifier for wideband applications," *Int.J.CircuitTheoryAppl*. pp.37257–37281,2009.
[15] P.-F.Ye,T.-S.Horng,J.-M.Wu"Two CMOS dual-feedback common-gate low-noise amplifiers with wideband input and noise matching," *IEEETrans. Microw.TheoryTechnolvol.*.61,no.10, pp.3690–3699,2013.
[16] J.W.Park and B.Razavi, "Aharmonic-rejecting CMOS LNA for broadband radios," IEEE J.Solid-StateCircuits,vol.48,no.4, pp.1072–1084,2013.
[17]Y. Lee, N. Seong, Y. Jang and J. Choi "Design of Folded-cascode UWB Low Noise Amplifier with Low Power Consumption", *International Conference on Advanced Communication Technology (ICACT)*,2011, pp. 214-217.
[18] M.S. Mehrjoo and M.Yavari "A new input matching technique for ultra-wideband LNAs," IEICE Electron .Express,vol.7, no.18, 1376–1381,2010.
[19] M.S. Mehrjoo and M.Yavari "A low power UWB very low noise amplifier using an improved noise reduction technique*," IEEEInt.CircuitsSyst.Symp.(ISCAS),* 2011, pp.277–280.
[20] G. Sapone and G.Palmisano "A 3–10-GHz low-power cmos low-noise amplifier for ultra-wide band communication *," IEEETrans.Microw.TheoryTechnol*, vol.59, pp.678–686,2011.
[21] M. Khurramm and S.M.RezaulHasan, "peaked noise matched gm-boosted 3.1–10.6GHz CGCMOS differential LNA for UWB WiMedia," *IETElectron.Lett.* vol.47,no.2, pp. 1346–1348, 2011.
[23] J.-F.Chang and Y.-S.Lin "3.2–9.7 GHz ultra-wide band low-noise amplifier with excellent stop-band rejection," *IETElectron.Lett*.vol.48, pp.44–45,2012.
[24] J.M.Dores,E.C.Becerra-Alvarez,M.A.Martins,J.M.delaRosa and J.R.Fernandez, "Efficient biasing circuits trategies for inductorless wideband lownoise amplifiers with feedback*", Microelectron. J.*,vol.43, pp.714–720,2012.
[25] J. Shim,T.Yang and J.Jeong, "Design of lowpower CMOS ultra wideband lownoise amplifier using noise canceling technique*," Microelectron.J.*, vol.44, no.9, pp.821–826, 2013.
[26] H. Alavi-Rad, S.Ziabakhsh and M.Yagoub "A 1.2V CMOS common-gate lownoise amplifier for UWB wireless *communications,JCircuitsSyst.Comput.*, vol.22, pp.1–11,2013.
[27] Z. Li,L.Chen,Z.Wang,C.Wu,J.Cao,M.Zhang,C.Wang,Y.Liu and Z.Wang "Low-noise andhigh-gain wideband LNA with gm-boosting technique," *IET Electron. Lett*. Vol.49, no.18, pp.1126-1128,2013.

Use of Body Effect for Optimization of Linearity and 3rd Order Harmonic Effects in Wide Band Amplifiers in 130nm CMOS Technology

Roya Mallaki[1], Mohammad Ali Riazi [2*], Najmeh Cheraghi Shirazi [3]

Electronic Engineering Department, Islamic Azad University, Bushehr Branch, Bushehr, Iran,
coactstudent@yahoo.com

ABSTRACT:

This paper presents a broadband low noise amplifier (Low Noise Amplifier is the first block in a post-antenna telecommunication receiver and its role is to amplify the weak signal received by the antenna by adding minimum noise to it, thereby minimizing signal-to-noise ratio (SNR). using a new technique to optimize the linearity and third order harmonic effect. The third order distortion elimination technique was performed using the transistor body effect in a common gate differential amplifier, while the amplifier investigated compared to previous work improved the power consumption in addition to IIP3. Cadence IC Design tools and 130 nm technology were used for the simulation. Simulations show that the circuit has reached a minimum noise value of 68.3 dB and a gain of 19.15 dB. It also has a power consumption of 9 mW, while the circuit uses a 1.2V power supply. IIP3 is also achieved at 6GHz at 20MHz, with a frequency of 1.9 dBm.

KEYWORDS: CMOS, IIP3, LNA