

Vol. 14/ No. 54/Winter 2025

Research Article

## Efficient Design of Parity-Preserving Reversible Non-Restoring Divider

Mohammad Talebi, Ph.D. Student<sup>1</sup>  | Mohammad Mosleh, Associate Professor<sup>2\*</sup>  | Mohsen Chekin, Assistant Professor<sup>3</sup> 

<sup>1</sup>Department of Computer Engineering, Dezful Branch, Islamic Azad University, Dezful, Iran, [mtalebi@iaud.ac.ir](mailto:mtalebi@iaud.ac.ir)

<sup>2</sup>Department of Computer Engineering, Dezful Branch, Islamic Azad University, Dezful, Iran, [Mohammad.Mosleh@iau.ac.ir](mailto:Mohammad.Mosleh@iau.ac.ir)

<sup>3</sup>Department of Computer Engineering, Dezful Branch, Islamic Azad University, Dezful, Iran, [Chegin@iaud.ac.ir](mailto:Chegin@iaud.ac.ir)

**Correspondence**

Mohammad Mosleh, Associate Professor of Computer Engineering, Dezful Branch, Islamic Azad University, Dezful, Iran, [Mohammad.Mosleh@iau.ac.ir](mailto:Mohammad.Mosleh@iau.ac.ir)

**Received:** 31 October 2023

**Revised:** 1 January 2024

**Accepted:** 15 January 2024

### Abstract

One of the basic challenges in high-density integrated circuits is loss of power consumption, which is caused by presence of transistors in circuits and causes the temperature of the circuit to increase. The design of digital circuits in a reversible way can be used as one of efficient approaches to solve this challenge. In addition, the design of parity-preserving reversible circuits can be very effective in detecting faults in circuits. Dividers are used as one of the most widely used circuits in digital computing systems. Divider circuits include an adder, a multiplexer and two sequential register and parallel-in to parallel-out left shift register circuits. This paper is presented a new and efficient design of a parity-preserving reversible non-restoring divider. For this purpose, first, a parity-preserving reversible D-latch is proposed. second, a parity-preserving reversible n-bit register is presented using the proposed reversible D-latch. Third, a parity-preserving reversible (n+1) bit shift register using the proposed reversible D-latch and other reversible gates is proposed. Finally, a parity-preserving reversible n bit divider is developed based on the non-restoring algorithm. The results of comparisons show that the proposed circuit is superior in terms of evaluation criteria of reversible circuits such as quantum cost, number of constant inputs and number of garbage outputs compared to previous works.

**Keywords:** Divider, non-restoring algorithm, Parity-preserving reversible circuit, Quantum computing, Reversible logic.

### Highlights

- Proposing a reversible D-latch memory with parity preserving ability.
- Introducing a reversible register with parity preserving ability.
- Providing a parity preserving reversible left-shift register with parallel load capability (PIPO).
- Development of an efficient parity preserving reversible non-restoring divider using the proposed circuits.

**Citation:** M. Talebi, M. Mosleh, and M. Chegin, "Efficient Design of Parity-Preserving Reversible Non-Restoring Divider," *Journal of Southern Communication Engineering*, vol. 14, no. 54, pp. 17–34, 2025, [doi:10.30495/jce.2024.2000184.1235](https://doi.org/10.30495/jce.2024.2000184.1235), [in Persian].

## طراحی کارآمد تقسیم کننده غیربازیابی برگشت پذیر با قابلیت حفظ توازن

محمد طالبی<sup>۱</sup> | محمد مصلح\*<sup>۲</sup> | محسن چکین<sup>۳</sup>

## چکیده

یکی از چالش‌های اساسی در مدارات مجتمع پرتراکم، اتلاف توان مصرفی است که به واسطه وجود ترانزیستورها در مدارات ایجاد می‌شود و موجب می‌گردد دمای مدار افزایش یابد. طراحی مدارات دیجیتال به شیوه برگشت پذیر می‌تواند به عنوان یکی از رویکردهای کارآمد برای رفع این چالش به کار گرفته شود. علاوه بر این، طراحی مدارات برگشت پذیر با قابلیت حفظ توازن می‌تواند در تشخیص اشکالات در مدارات بسیار مؤثر باشد. تقسیم کننده‌ها به عنوان یکی از مدارات پرکاربرد در سیستم‌های محاسباتی دیجیتال مورد استفاده قرار می‌گیرند. مدارات تقسیم کننده متشکل از واحدهای پایه‌ای جمع کننده، مالتی پلکسر و دو مدار ترتیبی ثبات و ثبات شیفیت به چپ با قابلیت بار شدن موازی هستند. این مقاله یک طراحی جدید و کارآمد از تقسیم کننده غیربازیابی برگشت پذیر با قابلیت حفظ توازن ارائه می‌کند. برای این منظور در ابتدا یک نگهدارنده حالت نوع D برگشت پذیر با قابلیت حفظ توازن پیشنهاد شده است. سپس یک ثبات  $n$  بیتی برگشت پذیر با قابلیت حفظ توازن با استفاده از نگهدارنده حالت برگشت پذیر پیشنهادی ارائه گردیده است. در ادامه یک شیفیت ثبات  $n+1$  بیتی برگشت پذیر با قابلیت حفظ توازن با استفاده از نگهدارنده پیشنهادی و سایر دروازه‌های برگشت پذیر پیشنهاد شده است. در نهایت تقسیم کننده برگشت پذیر  $n$  بیتی با قابلیت حفظ توازن بر اساس الگوریتم غیربازیابی توسعه یافته است. نتایج حاصل از مقایسه‌ها نشان می‌دهند مدار پیشنهادی از لحاظ معیارهای ارزیابی مدارات برگشت پذیر همچون هزینه کوانتومی، تعداد ورودی‌های ثابت و تعداد خروجی‌های زائد در مقایسه با کارهای پیشین برتری دارند.

**کلیدواژه‌ها:** تقسیم کننده، الگوریتم با روش غیربازیابی، محاسبات کوانتومی، منطق برگشت پذیر، مدار برگشت پذیر با قابلیت حفظ توازن

<sup>۱</sup> گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران، Mtalebi@iaud.ac.ir

<sup>۲</sup> گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران، Mohammad.Mosleh@iau.ac.ir

<sup>۳</sup> گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران، Chegin@iaud.ac.ir

نویسنده مسئول

<sup>\*</sup> محمد مصلح، دانشیار، گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران، Mohammad.Mosleh@iaud.ac.ir

تاریخ دریافت: ۹ آبان ۱۴۰۲

تاریخ بازنگری: ۱۱ دی ۱۴۰۲

تاریخ پذیرش: ۲۵ دی ۱۴۰۲

<https://doi.org/10.30495/jce.2024.2000184.1235>

## ۱- مقدمه

امروزه یکی از چالش‌های مهم در توسعه مدارهای مجتمع پرتراکم مسئله اتلاف توان است که موجب افزایش دمای مدارات شده که این مسئله به عنوان یک نگرانی اساسی در طراحی مدارهای کلاسیک به شمار می‌رود. از این رو طراحی مدارها در ابعاد نانو از اهمیت ویژه‌ای برخوردار است [۱-۳]. طراحی مدارها با استفاده از منطق برگشت پذیر<sup>۱</sup> می‌تواند بر چالش اساسی توان مصرفی فائق آمده و نیز به سبب قابلیت پیاده‌سازی کوانتومی، پیچیدگی و تراکم مدارها را نیز به میزان قابل توجهی کاهش دهد [۴].

<sup>۱</sup> reversible

بنابراین در آینده نزدیک شاهد بهره‌گیری گسترده از منطق برگشت‌پذیر و محاسبات کوانتومی در طراحی مدارهای دیجیتال خواهیم بود [۵، ۶]. علاوه بر این، به منظور طراحی مدارات محاسباتی با قابلیت تحمل‌پذیری خطا، می‌توان از مدارهای برگشت‌پذیر با قابلیت حفظ توازن<sup>۱</sup> استفاده کرد [۷].

لاندور<sup>۲</sup> در سال ۱۹۶۱ ثابت کرد که در محاسبات کلاسیک امروزی، بابت هر بیت از اطلاعات که از بین می‌رود، به میزان  $KTLn2$  ژول انرژی به‌صورت انرژی گرمایی آزاد می‌شود، که  $K$  به ثابت بولتزمن و  $T$  به دمای مطلق محیط اشاره دارد [۸]. در سال ۱۹۶۵، مور<sup>۳</sup> نظریه اینکه افزایش صددرصدی تعداد ترانزیستورها در حدود هر ۱۸ ماه موجب تولید حرارت و اتلاف انرژی می‌شود و چالشی با اهمیت در طراحی مدارهای مجتمع خواهد شد را ارائه داد [۹]. در سال ۱۹۷۳، بنت<sup>۴</sup> پیشنهاد داد که استفاده از منطق برگشت‌پذیر باعث کاهش توان مصرفی در مدارات خواهد شد [۱۰].

عملیات کوانتومی ذاتاً برگشت‌پذیر است و دروازه‌های برگشت‌پذیر با قابلیت حفظ توازن فاکتورهای با اهمیتی در طراحی مدارهای برگشت‌پذیر هستند. همچنین ویژگی قابلیت حفظ توازن با استفاده از دروازه‌هایی که قابلیت حفظ توازن دارند با مقایسه حفظ توازن بین ورودی‌ها و خروجی‌ها به تشخیص خطاهای محاسباتی دائمی و گذرا در مدارهای برگشت‌پذیر کمک می‌کند. بنابراین طراحی‌های دروازه‌های برگشت‌پذیر با قابلیت حفظ توازن از احتمال بروز خطاهای محاسباتی کم می‌کند [۱۱]. مدارات تقسیم‌کننده به عنوان یکی از بخش‌های اساسی واحدهای محاسباتی دیجیتال محسوب می‌شوند. تقسیم‌کننده‌ها می‌توانند با استفاده از یکی از رویکردهای بازگردانی<sup>۵</sup> و یا غیربازبایی<sup>۶</sup> عملیات تقسیم را انجام دهند [۱۲]، که شامل مجموعه‌ای از عملیات‌های جابجایی، تفریق و جمع هستند. از این رو مدارات تقسیم‌کننده از واحدهایی ترتیبی همچون ثبات، شیفت ثبات و نیز واحدهای ترکیبی همچون جمع‌کننده و مالتی‌پلکسر تشکیل شده است. در سال ۲۰۰۹، نایم و همکارانش اولین طرح تقسیم‌کننده  $n$  بیتی برگشت‌پذیر را برای انجام عملیات تقسیم در بازه اعداد صحیح مثبت با بهره‌گیری از الگوریتم غیربازبایی ارائه نمودند [۱۳]. در طراح ارائه شده مالتی‌پلکسر  $n$  بیتی، ثبات برگشت‌پذیر  $n$  بیتی و ثبات شیفت به چپ  $n+1$  بیتی بر مبنای گیت  $FRG$ <sup>۷</sup> و از گیت جمع‌کننده برگشت‌پذیر  $MTSG$  و گیت  $TS-3$  برای طراحی جمع‌کننده موازی برگشت‌پذیر  $n+1$  بیتی استفاده شده است. در تقسیم‌کننده ارائه شده ورودی‌های ثابت برابر  $10n + 11$ ، خروجی‌های زائد برابر  $11n+18$  و هزینه‌ی کوانتومی برابر  $61n+50$  است. اگرچه تقسیم‌کننده ارائه شده برگشت‌پذیر است ولیکن از قابلیت حفظ توازن<sup>۸</sup> برخوردار نیست. در سال ۲۰۱۱، دستان و حق‌پرست برای اولین بار یک تقسیم‌کننده  $n$  بیتی برگشت‌پذیر غیربازبایی با قابلیت حفظ توازن را ارائه نمودند [۱۴]. در این مقاله، دو طراحی متفاوت با استفاده از حافظه نگهدارنده حالت<sup>۹</sup> و بدون استفاده از حافظه نگهدارنده حالت ارائه شده است. در ساختار ارائه شده با استفاده از گیت‌های  $FRG$  و  $DFG$ <sup>۱۰</sup> و با پیشنهاد گیت‌های متنوع برگشت‌پذیر، یک مدار جمع‌کننده  $n+1$  بیتی و یک ثبات شیفت به چپ  $n+1$  بیتی پیشنهاد شده است. طراحی اول شامل  $11n+14$  ورودی ثابت،  $12n+18$  خروجی زائد و هزینه‌ی کوانتومی  $75n+60$  است. رویکرد دوم نیز دارای  $11n+12$  ورودی ثابت،  $12n+16$  خروجی زائد و هزینه‌ی کوانتومی  $75n+53$  است. در سال ۲۰۱۶، بابو و همکارانش یک تقسیم‌کننده غیربازبایی برگشت‌پذیر ممیز شناور  $n$  بیتی با قابلیت حفظ توازن ارائه نمودند [۱۵]. در طراحی تقسیم‌کننده معرفی شده، با ارائه گیت‌های برگشت‌پذیر<sup>۱۱</sup> از پیش طراحی شده و استفاده از گیت  $DFG$  یک ثبات شیفت به چپ برگشت‌پذیر  $n+1$  بیتی، و با ارائه یک تمام جمع‌کننده تحمل‌پذیر خطا با عنوان  $NFTFAG$ <sup>۱۲</sup> و استفاده از گیت  $DFG$  یک جمع‌کننده موازی  $n+1$  بیتی برگشت‌پذیر طراحی شده است. تقسیم‌کننده معرفی شده دارای  $10n + 17$  ورودی‌های ثابت،  $12n + 17$  خروجی‌های زائد و هزینه‌ی کوانتومی  $67n + 69$  است. در سال ۲۰۲۲، طالبی و همکارانش یک تقسیم‌کننده  $n$  بیتی ممیز شناور برگشت‌پذیر با قابلیت حفظ توازن پیشنهاد نمودند

<sup>1</sup> parity-preserving

<sup>2</sup> Landauer

<sup>3</sup> Moore

<sup>4</sup> Bennett

<sup>5</sup> restoring

<sup>6</sup> non-restoring

<sup>7</sup> Fredkin Gate

<sup>8</sup> parity-preserving

<sup>9</sup> Latch

<sup>10</sup> Double Feynman Gate

<sup>11</sup> reversible gates

<sup>12</sup> New Fault Tolerant Full Adder Gate

[۱۶]. در این تقسیم کننده طراحی های کارآمدی برای واحدهای سازنده آن شامل جمع کننده، ثبات شیفت به چپ و ثبات  $n$  بیتی صورت گرفته است. در این تقسیم کننده با ارائه یک جمع کننده برگشت پذیر و یک ثبات شیفت به چپ بر اساس گیت های برگشت پذیر DFG, FRG و یک نگهدارنده حالت پیشنهادی ارائه گردیده است. مدار پیشنهادی شامل  $13n + 18$  ورودی های ثابت،  $15n + 18$  خروجی های زائد و هزینه ی کوانتومی برابر  $66n + 68$  است. در این مقاله به ارائه یک تقسیم کننده برگشت پذیر با قابلیت حفظ توازن بر اساس رویکرد غیربازایی پرداخته می شود که در آن اصول طراحی برگشت پذیر به درستی رعایت شده است. ایده ها و نوآوری های این مقاله به شرح زیر هستند:

- طراحی یک نگهدارنده حالت نوع  $D^1$  برگشت پذیر تک بیتی کارآمد با قابلیت حفظ توازن
  - ارائه یک ثبات  $n$  بیتی برگشت پذیر با استفاده از نگهدارنده حالت نوع  $D$  پیشنهادی با  $n$  ورودی ثابت،  $n$  خروجی زائد و هزینه کوانتومی برابر  $6n$
  - پیشنهاد یک ثبات شیفت به چپ با قابلیت بار موازی<sup>۲</sup> برگشت پذیر با قابلیت حفظ توازن با استفاده از هم افزایی حافظه نگهدارنده حالت  $D$  پیشنهادی و گیت های برگشت پذیر FRG و DFG
  - توسعه یک تقسیم کننده برگشت پذیر غیربازایی کارآمد با قابلیت حفظ توازن به کمک مدارات پیشنهاد شده
- مقاله به صورت ذیل سازماندهی شده است: در بخش دوم اصول منطق برگشت پذیر و روش تقسیم اعداد به شیوه غیربازایی پرداخته می شود. در بخش سوم، به توسعه یک تقسیم کننده برگشت پذیر با قابلیت حفظ توازن به کمک تکنیک تقسیم غیربازایی پرداخته می شود. در بخش چهارم، به ارزیابی و مقایسه طرح های پیشنهادی با کارهای پیشین می پردازد. در آخر، مقاله با بخش نتیجه گیری خاتمه می یابد.

## ۲- منطق برگشت پذیر و روش تقسیم اعداد

در این بخش در ابتدا به بیان مفاهیم پایه ای در منطق برگشت پذیر شامل مفهوم برگشت پذیری، دروازه های برگشت پذیر و نمایش های کوانتومی دروازه های برگشت پذیر پرداخته می شود. در ادامه به معرفی تقسیم بر اساس الگوریتم غیربازایی پرداخته خواهد شد.

دروازه ای برگشت پذیر است که یک نگاشت یک به یک بین ورودی ها و خروجی های آن برقرار باشد؛ به عبارتی هر خروجی به طور منحصر به فرد به یک ورودی منتسب شود [۱۷، ۱۸]. یک دروازه برگشت پذیر دارای قابلیت حفظ توازن است اگر بین ورودی و خروجی های دروازه برگشت پذیر  $n \times n$  با بردار ورودی  $\{I_1, I_2, \dots, I_n\}$  و بردار خروجی  $\{Q_1, Q_2, \dots, Q_n\}$  رابطه متوازن  $\{I_1 \oplus I_2 \oplus \dots \oplus I_n\}$  اشکالات در سطح مدار برگشت پذیر است [۲۲-۲۹].

برخی از معیارهای مهم جهت ارزیابی مدارهای برگشت پذیر به شرح زیر هستند:

تعداد ورودی های ثابت شامل ورودی های تنظیم شده مدار برگشت پذیر با مقادیر ثابت صفر و یا یک، تعداد خروجی زائد شامل خروجی های بلااستفاده هستند و به عنوان ورودی به سایر دروازه های برگشت پذیر استفاده نمی شود. هزینه کوانتومی شامل هزینه کوانتومی یک مدار برگشت پذیر به مجموع دروازه های برگشت پذیر  $2 \times 2$  و دروازه های کنترلی  $V$  و  $V^\dagger$ ، فیمن<sup>۳</sup> (CNOT) و دروازه  $1 \times 1$  وارونگر (NOT) که می توان هزینه آن را نادیده گرفت، و سایر دروازه های کوانتومی در نظر گرفته می شود [۳۰، ۳۱]. تاخیر عامل مهمی در طراحی مدارهای متوالی است، تعداد انجام مراحل از ورودی به خروجی در یک مدار کوانتومی را عمق مدار گویند و به این ترتیب تاخیر ورودی به خروجی یک مدار کوانتومی متناسب با عمق مدار است [۳۲].

## ۲-۱- دروازه های پایه

### - دروازه وارونگر کوانتومی (NOT):

یک دروازه کوانتومی  $1 \times 1$  با هزینه کوانتومی برابر با یک می باشد که نمایش کوانتومی آن در شکل ۱ نشان داده شده است [۳۱].

<sup>1</sup> D-Latch

<sup>2</sup> Parallel-In Parallel-Out (PIPO)

<sup>3</sup> Feynman Gate

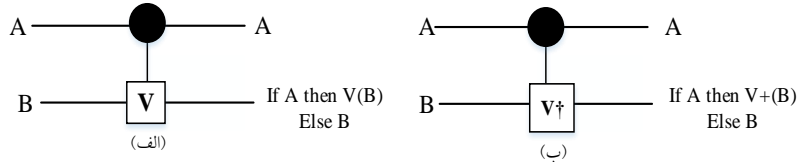


شکل ۱: نمایش کوانتومی دروازه NOT [۳۱]

Figure 1: quantum realization of NOT gate [31]

**دروازه‌های کنترل شونده  $V$  و  $V^\dagger$ :**

دروازه‌های کوانتومی  $2 \times 2$  با هزینه کوانتومی یک و تاخیر  $V$  برابر یک و  $V^\dagger$  برابر  $2\Delta$  هستند [۳۲] که نمایش کوانتومی آن‌ها در شکل ۲ نشان داده شده است [۳۱، ۳۳-۳۵]. همانطوری که ملاحظه می‌شود، زمانی که خط کنترل  $A$  برابر صفر باشد ورودی بدون تغییر به خروجی منتقل می‌شود؛ اگر ورودی کنترل  $A$  برابر با یک باشد، دروازه‌های کنترل شونده  $V$  و  $V^\dagger$  به ترتیب بصورت خروجی‌های  $V(B)$  و  $V^\dagger(B)$  به خروجی ارسال می‌شوند.



شکل ۲: نمایش کوانتومی (الف) دروازه کنترلی  $V$ ، (ب) دروازه کنترلی  $V^\dagger$  [۳۱، ۳۳-۳۵]

Figure 2: quantum realization of (a) Controlled- $V$  gate and (b) Controlled- $V^\dagger$  gate [31,33-35]

اگر  $V$  و  $V^\dagger$  به ترتیب مبین ماتریس‌های دروازه‌های کنترل شونده  $V$  و  $V^\dagger$  باشند آن‌گاه روابط زیر برقرار است [۳۶، ۳۷].

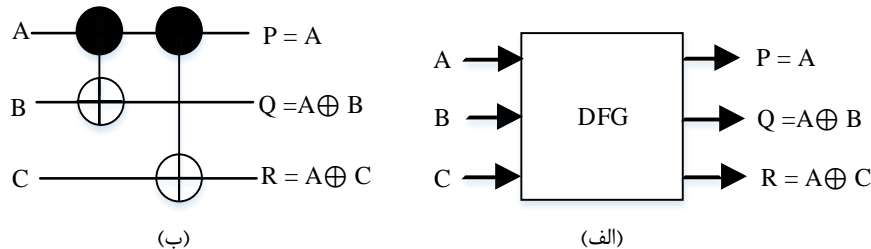
$$V \times V = NOT \tag{۱}$$

$$V^\dagger \times V = V \times V^\dagger = I \tag{۲}$$

$$V^\dagger \times V^\dagger = NOT \tag{۳}$$

**دروازه برگشت پذیر DFG:**

یک دروازه برگشت پذیر  $3 \times 3$  با قابلیت حفظ توازن است که دارای هزینه کوانتومی برابر دو و تاخیر آن برابر  $2\Delta$  است. نمایش کوانتومی در شکل ۳ و درستی آن در جدول ۱ نمایش داده شده است [۱۹].



شکل ۳: دروازه برگشت پذیر DFG: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۱۹]

Figure 3: reversible DFG gate (a) block diagram and (b) quantum realization [19]

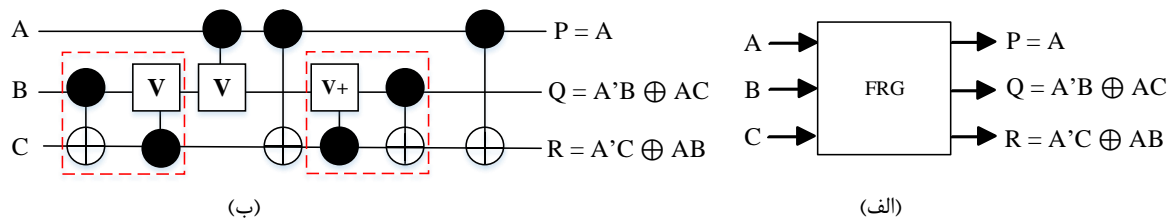
جدول ۱: جدول درستی دروازه DFG

Table 1: truth table of the DFG gate

| ورودی |   |   | خروجی |   |   |
|-------|---|---|-------|---|---|
| A     | B | C | P     | Q | R |
| 0     | 0 | 0 | 0     | 0 | 0 |
| 0     | 0 | 1 | 0     | 0 | 1 |
| 0     | 1 | 0 | 0     | 1 | 0 |
| 0     | 1 | 1 | 0     | 1 | 1 |
| 1     | 0 | 0 | 1     | 1 | 1 |
| 1     | 0 | 1 | 1     | 1 | 0 |
| 1     | 1 | 0 | 1     | 0 | 1 |
| 1     | 1 | 1 | 1     | 0 | 0 |

**دروازه برگشت پذیر FRG:**

یک دروازه برگشت پذیر  $3 \times 3$  با قابلیت حفظ توازن است که دارای هزینه کوانتومی برابر پنج و تاخیر برابر  $4\Delta$  است. نمایش کوانتومی در شکل ۴ و درستی آن در جدول ۲ نمایش داده شده است [۳۸].



شکل ۴: دروازه برگشت پذیر FRG: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۳۸]

Figure 4: reversible FRG gate (a) block diagram and (b) quantum realization [38]

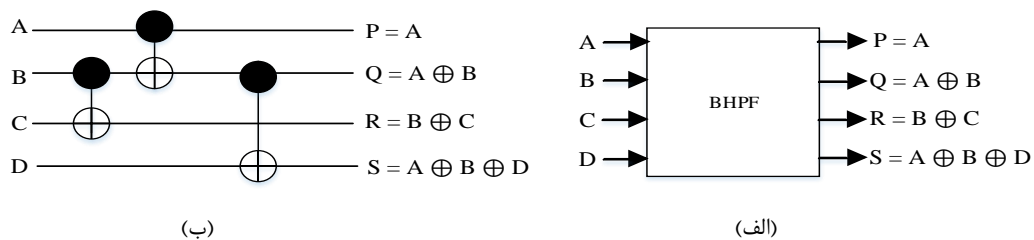
جدول ۲: جدول درستی دروازه FRG

Table 2: truth table of the FRG gate

| ورودی |   |   |   | خروجی |   |   |
|-------|---|---|---|-------|---|---|
| A     | B | C | P | Q     | R |   |
| 0     | 0 | 0 | 0 | 0     | 0 | 0 |
| 0     | 0 | 1 | 0 | 0     | 1 | 1 |
| 0     | 1 | 0 | 0 | 1     | 0 | 0 |
| 0     | 1 | 1 | 0 | 1     | 1 | 1 |
| 1     | 0 | 0 | 1 | 0     | 0 | 0 |
| 1     | 0 | 1 | 1 | 1     | 1 | 0 |
| 1     | 1 | 0 | 1 | 0     | 1 | 1 |
| 1     | 1 | 1 | 1 | 1     | 1 | 1 |

**دروازه برگشت پذیر BHPF<sup>۱</sup>**

یک بلوک برگشت پذیر ۴×۴ با قابلیت حفظ توازن است که هزینه کوانتومی آن برابر سه و تاخیر آن برابر ۳Δ است. نمایش کوانتومی در شکل ۵ و درستی آن در جدول ۳ نشان داده شده است [۲۴].



شکل ۵: دروازه برگشت پذیر BHPF: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۲۴]

Figure 5: reversible BHPF gate (a) block diagram and (b) quantum realization [24]

جدول ۳: جدول درستی بلوک دیاگرام BHPF

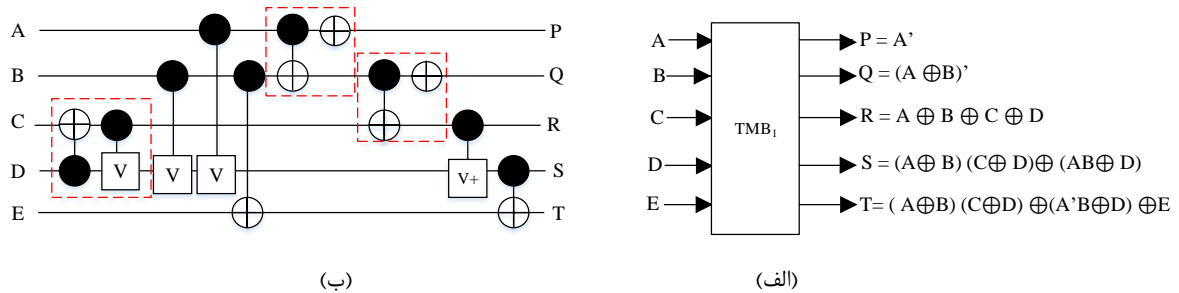
Table 3: truth table of the BHPF gate

| ورودی |   |   |   | خروجی |   |   |   |
|-------|---|---|---|-------|---|---|---|
| A     | B | C | D | P     | Q | R | S |
| 0     | 0 | 0 | 0 | 0     | 0 | 0 | 0 |
| 0     | 0 | 0 | 1 | 0     | 0 | 0 | 1 |
| 0     | 0 | 1 | 0 | 0     | 0 | 1 | 0 |
| 0     | 0 | 1 | 1 | 0     | 0 | 1 | 1 |
| 0     | 1 | 0 | 0 | 0     | 1 | 1 | 1 |
| 0     | 1 | 0 | 1 | 0     | 1 | 1 | 0 |
| 0     | 1 | 1 | 0 | 0     | 1 | 0 | 1 |
| 0     | 1 | 1 | 1 | 0     | 1 | 0 | 0 |
| 1     | 0 | 0 | 0 | 1     | 1 | 0 | 1 |
| 1     | 0 | 0 | 1 | 1     | 1 | 0 | 0 |
| 1     | 0 | 1 | 0 | 1     | 1 | 1 | 1 |
| 1     | 0 | 1 | 1 | 1     | 1 | 1 | 0 |
| 1     | 1 | 0 | 0 | 1     | 0 | 1 | 0 |
| 1     | 1 | 0 | 1 | 1     | 0 | 1 | 1 |
| 1     | 1 | 1 | 0 | 1     | 0 | 0 | 0 |
| 1     | 1 | 1 | 1 | 1     | 0 | 0 | 1 |

<sup>1</sup> Bolhassani Haghparast Parity-Preserving Full-adder (BHPF)

**- بلوک برگشت پذیر TMB1:**

یک بلوک برگشت پذیر ۵×۵ با قابلیت حفظ توازن است که هزینه کوانتومی برابر با هشت و تاخیر ۶Δ برخوردار است؛ نمایش کوانتومی بلوک TMB1 در شکل ۶ و درستی آن در جدول ۴ نشان داده شده است [۱۶].



شکل ۶: بلوک منطقی برگشت پذیر TMB1: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۱۶]  
 Figure 6: reversible TMB1 logical block: (a) block diagram and (b) quantum realization [16]

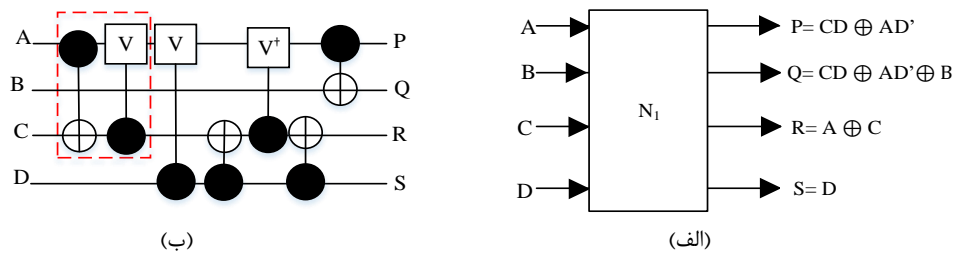
جدول ۴: جدول درستی بلوک TMB1  
 Table 4: truth table of the TMB1 block

| ورودی |   |   |   |   | خروجی |   |   |   |   |
|-------|---|---|---|---|-------|---|---|---|---|
| A     | B | C | D | E | P     | Q | R | S | T |
| 0     | 0 | 0 | 0 | 0 | 1     | 1 | 0 | 0 | 0 |
| 0     | 0 | 0 | 0 | 1 | 1     | 1 | 0 | 0 | 1 |
| 0     | 0 | 0 | 1 | 0 | 1     | 1 | 1 | 1 | 1 |
| 0     | 0 | 0 | 1 | 1 | 1     | 1 | 1 | 1 | 0 |
| 0     | 0 | 1 | 0 | 0 | 1     | 1 | 1 | 0 | 0 |
| 0     | 0 | 1 | 0 | 1 | 1     | 1 | 1 | 0 | 1 |
| 0     | 0 | 1 | 1 | 0 | 1     | 1 | 0 | 1 | 0 |
| 0     | 0 | 1 | 1 | 1 | 1     | 1 | 0 | 1 | 0 |
| 0     | 1 | 0 | 0 | 0 | 1     | 0 | 1 | 0 | 1 |
| 0     | 1 | 0 | 0 | 1 | 1     | 0 | 0 | 0 | 1 |
| 0     | 1 | 0 | 1 | 0 | 1     | 0 | 0 | 0 | 0 |
| 0     | 1 | 0 | 1 | 1 | 1     | 0 | 0 | 0 | 0 |
| 0     | 1 | 1 | 0 | 0 | 1     | 0 | 0 | 1 | 1 |
| 0     | 1 | 1 | 0 | 1 | 1     | 0 | 0 | 1 | 0 |
| 0     | 1 | 1 | 1 | 0 | 1     | 0 | 0 | 1 | 1 |
| 0     | 1 | 1 | 1 | 1 | 1     | 0 | 0 | 1 | 0 |
| 1     | 0 | 0 | 0 | 0 | 0     | 0 | 1 | 0 | 0 |
| 1     | 0 | 0 | 0 | 1 | 0     | 0 | 0 | 0 | 1 |
| 1     | 0 | 0 | 1 | 0 | 0     | 0 | 0 | 0 | 1 |
| 1     | 0 | 0 | 1 | 1 | 0     | 0 | 0 | 1 | 1 |
| 1     | 0 | 1 | 0 | 0 | 0     | 0 | 0 | 1 | 0 |
| 1     | 0 | 1 | 0 | 1 | 0     | 0 | 0 | 1 | 0 |
| 1     | 0 | 1 | 1 | 0 | 0     | 0 | 0 | 1 | 1 |
| 1     | 0 | 1 | 1 | 1 | 0     | 0 | 0 | 1 | 0 |
| 1     | 1 | 0 | 0 | 0 | 0     | 1 | 0 | 1 | 0 |
| 1     | 1 | 0 | 0 | 1 | 0     | 1 | 0 | 1 | 1 |
| 1     | 1 | 0 | 1 | 0 | 0     | 1 | 0 | 0 | 1 |
| 1     | 1 | 0 | 1 | 1 | 0     | 1 | 0 | 0 | 0 |
| 1     | 1 | 1 | 0 | 0 | 0     | 1 | 1 | 1 | 0 |
| 1     | 1 | 1 | 0 | 1 | 0     | 1 | 1 | 1 | 1 |
| 1     | 1 | 1 | 1 | 0 | 0     | 1 | 0 | 0 | 1 |
| 1     | 1 | 1 | 1 | 1 | 0     | 1 | 0 | 0 | 0 |

**-بلوک منطقی برگشت پذیر N1:**

یک بلوک برگشت پذیر ۴×۴ با قابلیت حفظ توازن است که دارای هزینه کوانتومی برابر با شش و تاخیر ۵Δ بوده و نمایش کوانتومی در شکل ۷ و درستی آن در جدول ۵ نشان داده شده است [۳۹].

<sup>1</sup> Talebi Mosleh Block1 (TMB1)



شکل ۷: بلوک منطقی برگشت پذیر  $N_1$ : (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۳۹]  
 Figure 7: reversible  $N_1$  logical block: (a) block diagram and (b) quantum realization [39]

جدول ۵: جدول درستی بلوک  $N_1$

Table 5: truth table of the  $N_1$  block

| ورودی |   |   |   | خروجی |   |   |   |
|-------|---|---|---|-------|---|---|---|
| A     | B | C | D | P     | Q | R | S |
| 0     | 0 | 0 | 0 | 0     | 0 | 0 | 0 |
| 0     | 0 | 0 | 1 | 0     | 0 | 1 | 1 |
| 0     | 0 | 1 | 0 | 0     | 1 | 0 | 0 |
| 0     | 0 | 1 | 1 | 1     | 1 | 1 | 1 |
| 0     | 1 | 0 | 0 | 0     | 1 | 0 | 0 |
| 0     | 1 | 0 | 1 | 0     | 1 | 0 | 1 |
| 0     | 1 | 1 | 0 | 0     | 1 | 1 | 0 |
| 0     | 1 | 1 | 1 | 1     | 0 | 1 | 1 |
| 1     | 0 | 0 | 0 | 1     | 1 | 1 | 0 |
| 1     | 0 | 0 | 1 | 0     | 0 | 1 | 1 |
| 1     | 0 | 1 | 0 | 1     | 1 | 0 | 0 |
| 1     | 0 | 1 | 1 | 1     | 1 | 0 | 1 |
| 1     | 1 | 0 | 0 | 1     | 0 | 1 | 0 |
| 1     | 1 | 0 | 1 | 0     | 1 | 1 | 1 |
| 1     | 1 | 1 | 0 | 1     | 0 | 0 | 0 |
| 1     | 1 | 1 | 1 | 1     | 0 | 0 | 1 |

## ۲-۲- الگوریتم تقسیم کننده غیربازیابی

عمل تقسیم به عنوان یکی از عملیات های مهم و با پیچیدگی بالا در سیستم های محاسباتی محسوب می شود. یکی از متداول ترین الگوریتم های تقسیم، الگوریتم غیربازیابی است [۱۳]. روش کار در این الگوریتم به این صورت است که پس از عملیات شیفت به چپ عملیات بازگردانی را می توان از طریق معادله  $R_{i+1} = 2R_i + V$  پیاده سازی نمود. در این تکنیک اگر نتیجه معادله منفی شد، باقیمانده جزئی سریعاً ذخیره نخواهد شد و عملیات جمع، تفریق و بازیابی به وسیله معادلات  $R_i = R_i + V$  و  $R_{i+1} = 2R_i - V$  انجام می شود. بنابراین اگر خارج قسمت  $q_i = 1$  شد، باقیمانده جزئی توسط عمل تفریق حساب می شود و اگر خارج قسمت  $q_i = 0$  شود، بجای ذخیره مقدار باقیمانده جزئی یک عملیات جمع مقسوم علیه با باقیمانده جزئی انجام می شود. شکل (۸) فلوجارت الگوریتم تقسیم کننده غیربازیابی را نمایش می دهد [۴۰، ۱۶].

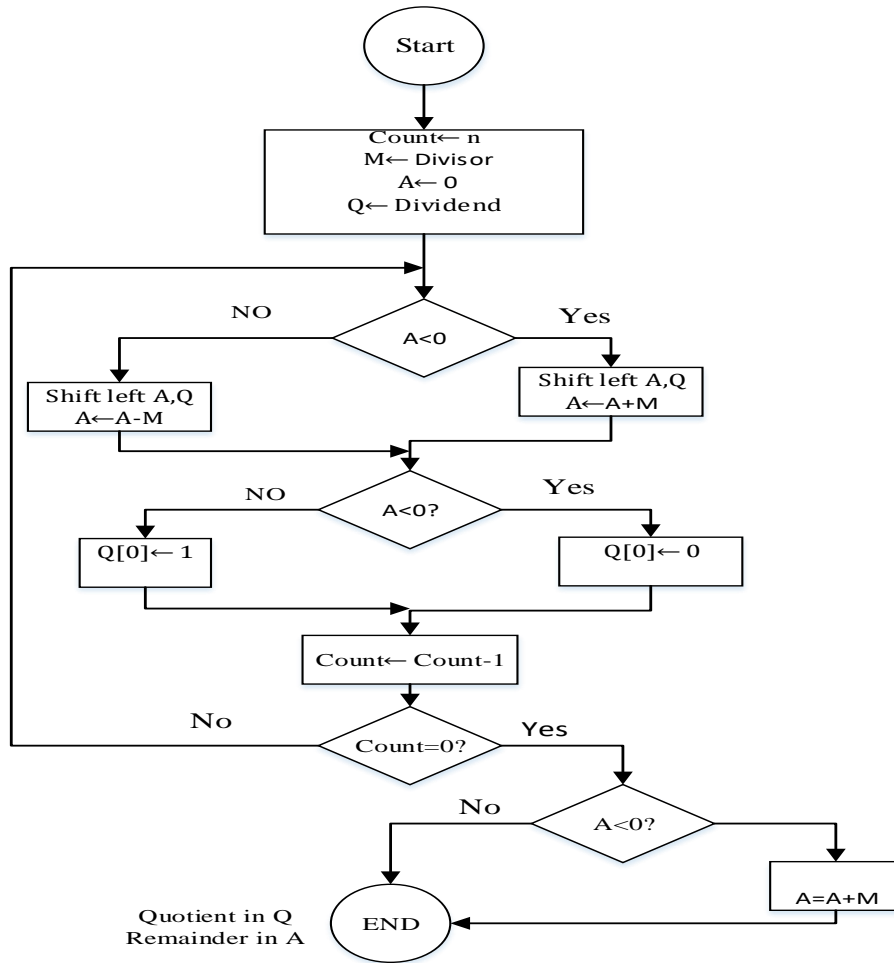
## ۳- تقسیم کننده برگشت پذیر پیشنهادی

در این بخش به تشریح فرآیند طراحی تقسیم کننده پیشنهادی پرداخته خواهد شد. برای این منظور در ابتدا واحدهای تشکیل دهنده تقسیم کننده پیشنهادی طراحی می شوند و سپس با استفاده از اجزا طراحی شده به توسعه تقسیم کننده غیربازیابی برگشت پذیر با قابلیت حفظ توازن پرداخته می شود.

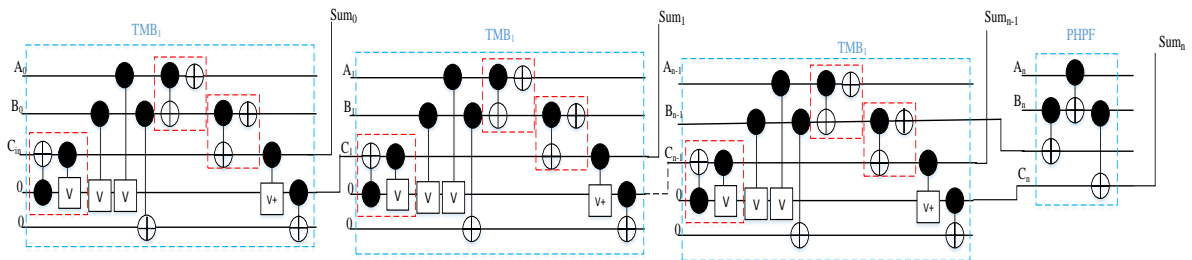
## ۳-۱- جمع کننده موج گونه برگشت پذیر با قابلیت حفظ توازن

در تقسیم کننده پیشنهادی از جمع کننده موج گونه  $n+1$  بیتی برگشت پذیر کارآمد با قابلیت حفظ توازن که در مرجع [۱۶] ارائه گردیده استفاده می شود که نمایش کوانتومی آن در شکل ۹ نشان داده شده است.





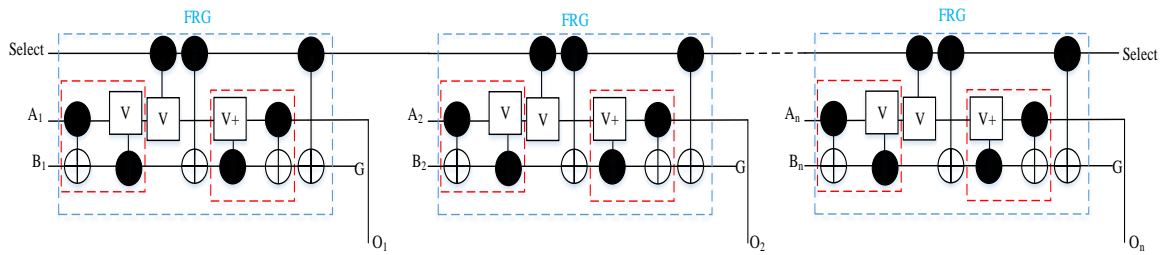
شکل ۸: فلوچارت تقسیم کننده غیربازیابی [۱۶، ۴۰]  
Figure 8: flowchart of non-restoring divider [16, 40]



شکل ۹: جمع کننده موج گونه برگشت پذیر n+1 بیتی با قابلیت حفظ توازن  
Figure 9: parity-preserving reversible (n+1)-bit RCA adder

### ۳-۲- مالتی پلکسر برگشت پذیر با قابلیت حفظ توازن

یک مالتی پلکسر n بیتی برگشت پذیر با استفاده از پشت سرهم قراردادن n دروازه FRG همانند شکل ۱۰ طراحی می شود. خطوط A (A<sub>1</sub>, A<sub>2</sub>, ..., A<sub>n</sub>) و B (B<sub>1</sub>, B<sub>2</sub>, ..., B<sub>3</sub>) ورودی های مالتی پلکسر و Select ورودی انتخاب آن می باشد که اگر برابر صفر باشد، خروجی مالتی پلکسر برابر A و اگر برابر یک باشد، خروجی مالتی پلکسر برابر B است. مالتی پلکسر برگشت پذیر معرفی شده فاقد ورودی ثابت، n خروجی زائد و هزینه کوانتومی برابر 5n و با فرض n برابر با یک تاخیر آن برای یک بیت مالتی پلکسر برابر ۴Δ است [۱۳].

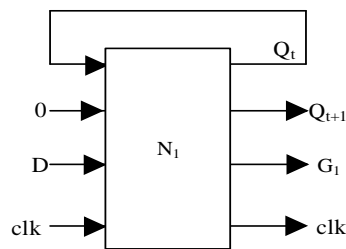


شکل ۱۰: نمایش کوانتومی مالتی پلکسر برگشت پذیر n بیتی با قابلیت حفظ توازن  
Figure 10: quantum realization of parity-preserving reversible n-bit multiplexer

### ۳-۳- ثبات برگشت پذیر پیشنهادی با قابلیت حفظ توازن

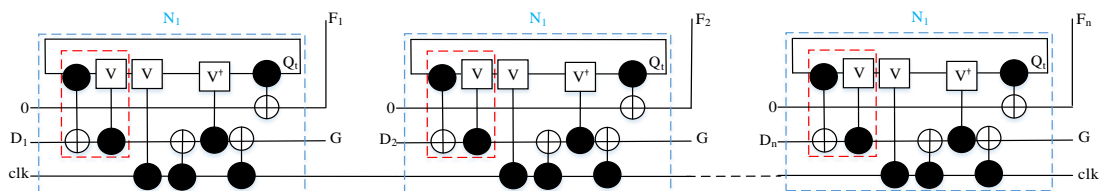
یکی از اجزا اساسی در مدارات تقسیم کننده، وجود عناصر حافظه است. برای این منظور یک نگهدارنده حالت نوع D<sup>۱</sup> کارآمد با استفاده از بلوک N1 معرفی شده در مرجع [۳۹] طراحی می‌شود. بلوک برگشت پذیر نگهدارنده حالت نوع D پیشنهادی بر اساس بلوک برگشت پذیر N1 در شکل ۱۱ نشان داده شده است؛ و همانطوری که در شکل مشاهده می‌شود، اگر خروجی P بلوک N1 به ورودی A وصل شود و مقدار ورودی B برابر با مقدار صفر شود؛ همچنین ورودی C به مقدار D، و ورودی/خروجی D به CLK تنظیم گردند، طبق رابطه ۴ و بر اساس خروجی Q بلوک فوق یک نگهدارنده حالت از نوع D بدست خواهد آمد. نگهدارنده حالت پیشنهادی دارای یک ورودی ثابت، یک خروجی زائد و هزینه کوانتومی برابر شش و تاخیر آن برابر ۵Δ است.

$$Q_{i+1} = D \cdot CLK + \overline{CLK} \cdot Q_i \tag{۴}$$



شکل ۱۱: بلوک برگشت پذیر نگهدارنده حالت نوع D پیشنهادی  
Figure 11: reversible block of proposed D-latch

همانطوری که در شکل ۱۲ نشان داده شده است، ثبات n بیتی پیشنهادی با استفاده از پشت سرهم قرار دادن n بلوک نگهدارنده حالت پیشنهادی طراحی شده است. ثبات پیشنهادی دارای n ورودی ثابت، n خروجی زائد و هزینه کوانتومی برابر 6n و تاخیر آن با فرض n مساوی با یک، برای یک رجیستر برابر ۵Δ است.



شکل ۱۲: نمایش کوانتومی ثبات n بیتی پیشنهادی با استفاده از نگهدارنده حالت نوع D برگشت پذیر پیشنهادی  
Figure 12: quantum realization of proposed n-bit register using proposed reversible D-latch

<sup>۱</sup> D-Latch

۳-۴- ثبات شیفت به چپ با قابلیت بار موازی برگشت پذیر پیشنهادی با قابلیت حفظ توازن

ثبات شیفت به چپ با قابلیت بار موازی برای ذخیره سازی موقت و همچنین تاخیر زمانی داده ها در مدار تقسیم کننده استفاده شده است. عملکرد آن به این صورت است که همه بیت ها با لبه اولین کلاک به صورت موازی در ثبات بارگذاری خواهند شد و بعد از عملیات شیفت همه بیت ها یکباره به خروجی ارسال می گردند. ورودی های کنترلی SV و E بر اساس رابطه ۵ عملکرد خروجی ثبات را با توجه به مقادیر ورودی توابع کنترلی در جدول ۶ نشان می دهند [۱۳].

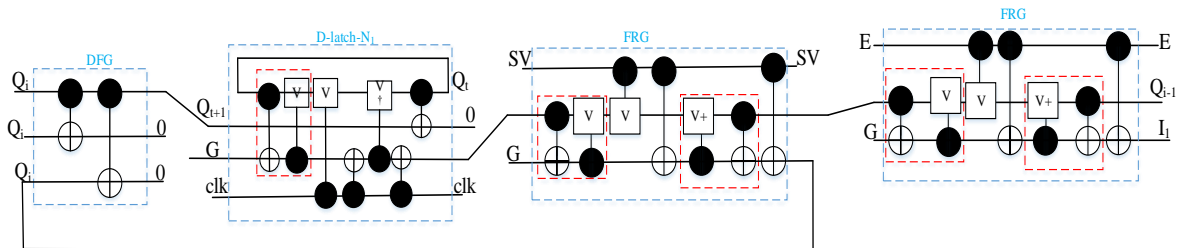
$$Q_i = SV \cdot E \cdot I_i + SV \cdot E \cdot Q_{i-1} + SV \cdot Q_i \tag{5}$$

جدول ۶: توابع کنترلی ورودی های ثبات شیفت به چپ

Table 6: Control functions of left-shift register inputs

| Mode control |    | Output $Q_i$ | عملیات     |
|--------------|----|--------------|------------|
| E            | SV |              |            |
| 0            | 0  | $Q_{i-1}$    | شیفت به چپ |
| 1            | 0  | $I_i$        | بار موازی  |
| x            | 1  | $Q_i$        | بدون تغییر |

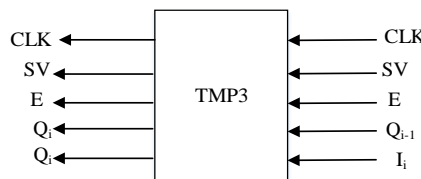
در ادامه ثبات شیفت به چپ برگشت پذیر با قابلیت بار شدن موازی و توانایی حفظ توازن با استفاده از نگهدارنده حالت نوع D پیشنهادی، دو دروازه FRG و یک دروازه DFG مطابق شکل ۱۳ طراحی شده است. مدار پیشنهادی دارای سه ورودی ثابت، سه خروجی زائد و هزینه کوانتومی برابر ۱۸ و تاخیر آن با فرض n مساوی با یک، برای یک بیت رجیستر شیفت به چپ برابر  $15\Delta$  است.



شکل ۱۳: نمایش کوانتومی ثبات شیفت به چپ با قابلیت بار موازی برگشت پذیر با قابلیت حفظ توازن پیشنهادی

Figure 13: quantum realization of proposed parity-preserving reversible PIPO left-shift register

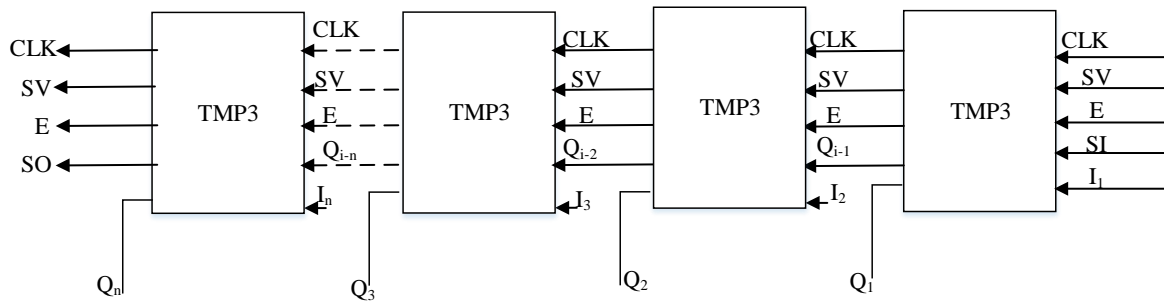
به منظور بکارگیری مدار معرفی شده در طراحی یک سلول ثبات شیفت به چپ n بیتی، مدار ثبات شیفت پیشنهادی به صورت یک بلوک  $5 \times 5$  با نام TMP3 در شکل ۱۴ نشان داده شده است.



شکل ۱۴: سلول تک بیتی ثبات شیفت به چپ با قابلیت بار موازی برگشت پذیر پیشنهادی با قابلیت حفظ توازن

Figure 14: one-bit cell of proposed parity-preserving reversible PIPO left-shift register

به منظور طراحی یک ثبات شیفت به چپ n+1 بیتی برگشت پذیر با قابلیت بار موازی و توانایی حفظ توازن، n بلوک پیشنهادی TMP3 به صورت آبشاری به یکدیگر متصل می شوند (مطابق شکل ۱۵). لازم به ذکر است مدار پیشنهادی دارای  $3n$  ورودی ثابت،  $3n+5$  خروجی زائد و هزینه کوانتومی برابر  $18n+18$  است.



شکل ۱۵: ثابت  $n+1$  بیتی شیفت به چپ برگشت پذیر پیشنهادی با قابلیت بار موازی و توانایی حفظ توازن

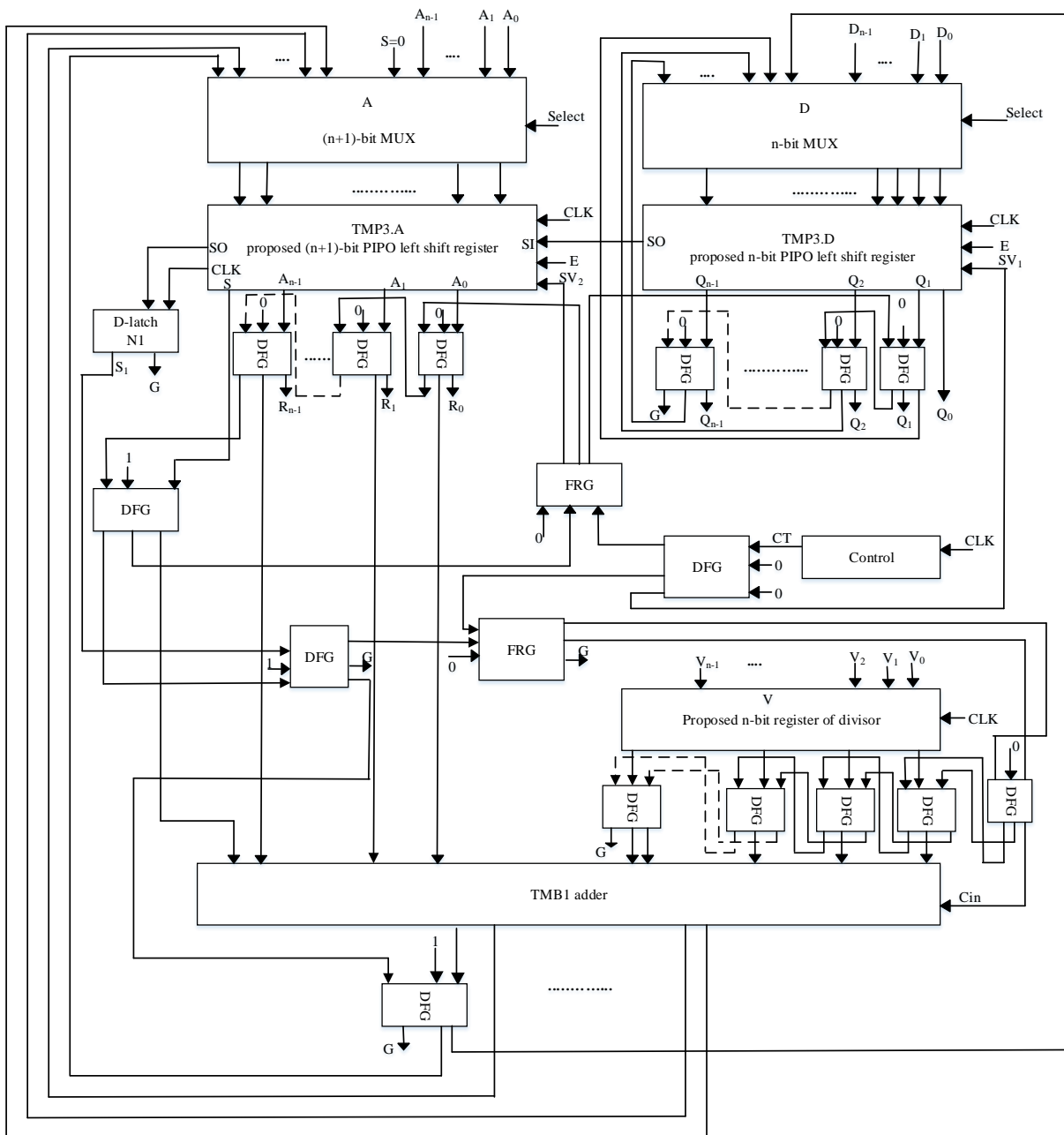
Figure 15: proposed parity-preserving reversible PIPO left-shift  $(n+1)$ -bit register

### ۳-۵- تقسیم کننده پیشنهادی

در این بخش به ارائه یک طراحی بهینه از مدار تقسیم کننده غیربازیابی برگشت پذیر  $n$  بیتی برگشت پذیر با قابلیت حفظ توازن برای تقسیم اعداد صحیح مثبت مبتنی بر معماری معرفی شده در [۱۳، ۱۴] پرداخته می شود. معماری تقسیم کننده برگشت پذیر بر اساس طراحی پیشنهادی در شکل ۱۶، شامل دو مالتی پلکسر  $n$  بیتی با نام  $D$  و مالتی پلکسر  $n+1$  بیتی با نام  $A$ ، ثابت شیفت به چپ با قابلیت بار موازی  $n$  بیتی با عنوان  $TMP3.A$  و ثابت شیفت  $n+1$  بیتی با عنوان  $TMP3.D$  نام گذاری شده اند. یک ثابت  $n$  بیتی با عنوان  $V$  جهت ذخیره مقسوم علیه، یک نگهدارنده حالت  $D$  با عنوان  $N1$  به منظور نگهداری  $S_1$  مقدار سرریزی که از سمت ثابت شیفت  $TMP3.A$  در نگهدارنده حالت  $N1$  نگهداری می شود و یک جمع کننده موج گونه  $n+1$  بیتی می باشد. مقادیر اولیه مالتی پلکسرها  $A$  برابر  $A(A_{n-1} A_{n-2} \dots A_0) = 0$  و ورودی  $S$  وصل است به مالتی پلکسر  $A$  است. مقسوم<sup>۱</sup> برابر با  $D(D_{n-1} D_{n-2} \dots D_0)$ ، مقسوم علیه<sup>۲</sup> برابر با  $V(V_{n-1} V_{n-2} \dots V_0)$  و کنترل برابر با صفر است. ثابت های شیفت به چپ به ترتیب عبارتند از: خارج قسمت<sup>۳</sup> تقسیم کننده برابر با  $TMP3.D(Q_{n-1} Q_{n-2} \dots Q_0)$  و باقیمانده<sup>۴</sup> برابر با  $TMP3.A(A_{n-1} A_{n-2} \dots A_0)$  هستند. وقتی پالس ساعت اعمال شود: اگر  $SV2=0$  و  $E=1$  باشد، ورودی  $S=1$  می شود و خروجی از مالتی پلکسر  $n+1$  بیتی  $A$  بصورت موازی در ثابت  $TMP3.A$  جایگذاری می شود. اگر  $E=1$  و  $SV1=0$  باشد، خروجی از مالتی پلکسر  $n$  بیتی در ثابت  $TMP3.D$  به صورت موازی جایگذاری می شود. اگر  $E=0$  باشد هر دو ثابت شیفت به چپ عملیات شیفت را انجام می دهند. خروجی  $SO$  از ثابت شیفت به چپ  $n$  بیتی  $TMP3.D$  به  $SI$  از ثابت شیفت به چپ  $n+1$  بیتی  $TMP3.A$  وصل است. همچنین  $SO$  از خروجی ثابت  $TMP3.A$  به نگهدارنده حالت  $N1$  وصل است. اگر واحد کنترل  $select=1$  شود  $E=0$  خواهد شد، و عملیات شیفت از خروجی  $SO$  از ثابت  $n$  بیتی  $TMP3.D$  به  $SI$  از ثابت  $n+1$  بیتی  $TMP3.A$  انجام خواهد شد. پس از عملیات شیفت مقدار  $SO$  از ثابت  $TMP3.A$  به نگهدارنده حالت  $N1$  منتقل می شود و عملیات جمع کننده را تعیین می کند. خروجی نگهدارنده حالت  $N1$  مکمل می شود، اگر خروجی نگهدارنده حالت برابر با 1 باشد سپس عملیات  $TMP3.D + V$  محاسبه می شود در غیر این صورت اگر صفر باشد عملیات  $TMP3.D - V$  محاسبه خواهد شد و نتیجه ی عملیات جمع یا تفریق به جمع کننده  $n+1$  بیتی ارسال می شود. در این روش بعد از  $2n+1$  کلاک پالس فرآیند تقسیم پایان می یابد، اگر سیگنال خروجی بلوک کنترل در مدار به 1 تغییر یابد در این شرایط اگر  $S=0$  باشد؛  $SV2=1$  خواهد بود و  $TMP3.A$  باقیمانده جزئی را ذخیره می کند؛ اما اگر  $S=1$  باشد بعد از  $2n+1$  کلاک پالس باقیمانده جزئی باید به وسیله جمع باقیمانده جزئی و خارج قسمت (جمع  $V$  با  $TMP3.D$ ) بازگردانی شود. سپس با کلاک بعدی وقتی  $select=0$  باشد، متمم پر ارزشترین بیت (MSB) حاصل از محاسبه جمع کننده در بیت  $Q_0$  ثابت  $TMP3.D$  جایگذاری می شود و با کلاک بعدی حاصل محاسبه جمع کننده به کم ارزشترین بیت (LSB) از ثابت  $TMP3.A$  شیفت پیدا می کند. در طراحی، از بلوک  $DFG$  برای کپی کردن سیگنال  $CT$  به دروازه  $FRG$  استفاده شده است. دروازه  $FRG$  می تواند عملگر  $AND$  را پیاده سازی کند و دو خروجی یکسان تولید کند که یکی از خروجی ها به ورودی  $SV2$  و دیگری به جمع کننده متصل

<sup>1</sup> dividend  
<sup>2</sup> divisor  
<sup>3</sup> quotient  
<sup>4</sup> remainder

شده است. زمانیکه  $TMP3.D$  مقدار خارج قسمت را ذخیره می کند و پس از بازگردانی باقیمانده،  $S$  باید برابر صفر باشد. در شکل ۱۶، مدار تقسیم کننده  $n$  بیتی برگشت پذیر پیشنهادی با قابلیت حفظ توازن نشان داده شده است. در طراحی ساختار تقسیم کننده پیشنهادی از ترکیب اجزای پیشنهادشده، استفاده شده است.



شکل ۱۶: مدار تقسیم کننده غیربازیابی  $n$  بیتی برگشت پذیر پیشنهادی با قابلیت حفظ توازن  
Figure 16: proposed parity-preserving reversible  $n$ -bit non-restoring divider circuit

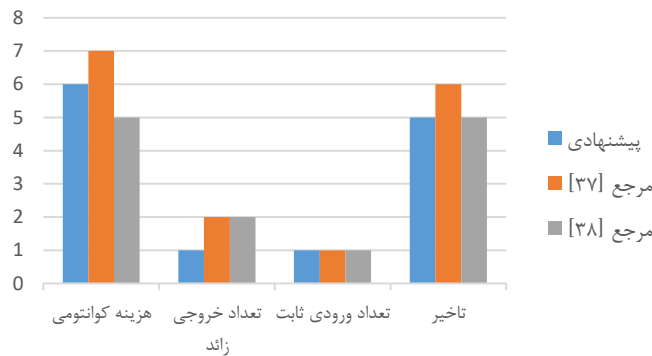
#### ۴-مقایسه و ارزیابی

در این بخش به بررسی ارزیابی کارایی طرح های پیشنهادی از دیدگاه معیارهای ارزیابی مدارات برگشت پذیر شامل ورودی ثابت، خروجی زائد و هزینه کوانتومی پرداخته می شود. معیارهای استفاده شده بصورت مستقل از فناوری ساخت هستند. ثبات برگشت پذیر پیشنهادی با دو ثبات برگشت پذیر ارائه شده در مراجع [۴۱، ۴۲] مورد بررسی و مقایسه قرار گرفته است که نتایج حاصله در جدول ۷ و با فرض  $n=1$  در نمودار شکل ۱۷ نشان داده شده است.

جدول ۷: مقایسه ثبات برگشت پذیر پیشنهادی با کارهای پیشین

Table 7: comparison of proposed reversible register with previous works

| طراحی                  | هزینه کوانتومی | تعداد خروجی زائد | تعداد ورودی ثابت | تاخیر با فرض $n=1$ | قابلیت حفظ توازن |
|------------------------|----------------|------------------|------------------|--------------------|------------------|
| پیشنهادی               | $6n$           | $n$              | $n$              | $5\Delta$          | دارد             |
| ارائه شده در مرجع [41] | $7n$           | $n+1$            | $n$              | $6\Delta$          | دارد             |
| ارائه شده در مرجع [42] | $5n$           | $n+1$            | $n$              | $5\Delta$          | ندارد            |



شکل ۱۷: نمودار مقایسه ثبات برگشت پذیر

Figure 17: comparison chart of reversible register

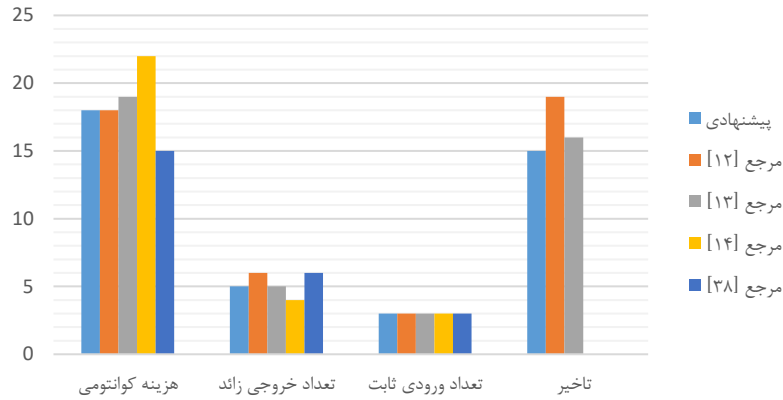
همان طور که در جدول ۷ ملاحظه می‌گردد، ثبات برگشت‌پذیر پیشنهادی در مقایسه با مرجع [۴۱] از لحاظ کمتر شدن پارامترهای هزینه کوانتومی، خروجی زائد و تاخیر و در مقایسه برتری دارد و در مقایسه با مرجع [۴۲] از لحاظ کمتر بودن پارامترهای خروجی زائد و داشتن قابلیت حفظ توازن برتری دارد. ثبات شیفت به چپ  $n+1$  بیتی با قابلیت بار موازی برگشت‌پذیر پیشنهادی با چهار طرح موجود در مراجع [۱۳-۱۵، ۴۲] مورد ارزیابی و مقایسه قرار گرفته است که نتایج آن در جدول ۸ و با فرض  $n=1$  در نمودار شکل ۱۸ نشان داده شده است.

جدول ۸: مقایسه ثبات شیفت به چپ با قابلیت بار موازی برگشت‌پذیر پیشنهادی با کارهای پیشین

Table 8: comparison of proposed reversible PIPO left-shift register with previous works

| طراحی                  | هزینه کوانتومی | تعداد خروجی زائد | تعداد ورودی ثابت | تاخیر با فرض $n=1$ | قابلیت حفظ توازن |
|------------------------|----------------|------------------|------------------|--------------------|------------------|
| پیشنهادی               | $18n$          | $3n+2$           | $3n$             | $15\Delta$         | دارد             |
| ارائه شده در مرجع [13] | $18n$          | $3n+3$           | $3n$             | $19\Delta$         | ندارد            |
| ارائه شده در مرجع [14] | $19n$          | $3n+2$           | $3n$             | $16\Delta$         | دارد             |
| ارائه شده در مرجع [15] | $22n$          | $3n+1$           | $3n$             | -                  | دارد             |
| ارائه شده در مرجع [42] | $15n$          | $3n+3$           | $3n$             | $14\Delta$         | ندارد            |

همان طور که در جدول ۸ ملاحظه می‌شود، ثبات شیفت پیشنهادی در مقایسه با طرح ارائه شده در مرجع [۱۳] از نظر تعداد خروجی‌های زائد و تاخیر، در مقایسه با طرح ارائه شده در مرجع [۱۴] از لحاظ هزینه کوانتومی و تاخیر، در مقایسه با طرح ارائه شده در مرجع [۱۵] از لحاظ هزینه کوانتومی، و نهایتاً در مقایسه با طرح ارائه شده در مرجع [۴۲] از لحاظ کمتر شدن خروجی زائد و داشتن قابلیت حفظ توازن برتری دارد. در نهایت به مقایسه تقسیم‌کننده  $n$  بیتی برگشت‌پذیر پیشنهادی با طرح‌های ارائه شده در مراجع [۱۴-۱۶] پرداخته می‌شود. با توجه به پیچیدگی بالای مدارا تقسیم‌کننده، در ابتدا یک ارزیابی دقیق از اجزا تشکیل‌دهنده تقسیم‌کننده پیشنهادی در جدول ۹ ارائه شده است.



شکل ۱۸: نمودار مقایسه ثبات شیفت به چپ با قابلیت بار موازی برگشت پذیر

Figure 18: comparison chart of reversible PIPO left-shift register

جدول ۹: نتایج حاصل از ارزیابی تقسیم کننده برگشت پذیر پیشنهادی با قابلیت حفظ توازن

Table 9: results of evaluation of proposed parity-preserving reversible divider

| طرح                        | هزینه کوانتومی | تعداد خروجی زائد | تعداد ورودی ثابت | تاخیر با فرض n=1 | قابلیت حفظ توازن |
|----------------------------|----------------|------------------|------------------|------------------|------------------|
| مالتی پلکسر n بیتی         | 5n             | n                | 0                | 4Δ               | دارد             |
| مالتی پلکسر (n+1) بیتی     | 5n+5           | n+1              | 0                | 4Δ+4Δ            | دارد             |
| ثبات n بیتی                | 6n             | n                | n                | 5Δ               | دارد             |
| ثبات شیفت به چپ n بیتی     | 18n            | 3n+2             | 3n               | 15Δ              | دارد             |
| ثبات شیفت به چپ (n+1) بیتی | 18n+18         | 3n+5             | 3n               | 15Δ+15Δ          | دارد             |
| جمع کننده (n+1) بیتی       | 8n+3           | 3n+2             | n+4              | 9Δ               | دارد             |
| سایر دروازه ها/پلوک        | 6n+24          | 6                | 2n+8             | 27Δ              | دارد             |

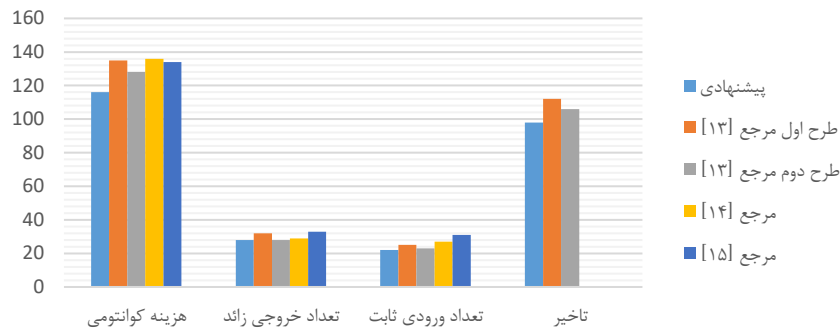
طبق محاسبات جدول ۹ تقسیم کننده n بیتی پیشنهادی دارای هزینه کوانتومی برابر  $66n+50$ ، خروجی زائد برابر  $12n+16$ ، ورودی ثابت برابر  $10n+12$  و تاخیر برابر  $98\Delta$  می باشد. نتایج حاصل از مقایسه تقسیم کننده پیشنهادی با طراحی های ارائه شده در مراجع [۱۴-۱۶] در جدول ۱۰ و با فرض  $n=1$  در نمودار شکل ۱۹ نشان داده شده است.

جدول ۱۰: نتایج مقایسه تقسیم کننده برگشت پذیر پیشنهادی با کارهای پیشین

Table 9: comparison results of proposed reversible divider with previous works

| طرح                   | هزینه کوانتومی | خروجی زائد | ورودی ثابت | تاخیر با فرض n=1 | قابلیت حفظ توازن |
|-----------------------|----------------|------------|------------|------------------|------------------|
| طرح پیشنهادی          | $66n + 50$     | $12n+16$   | $10n+12$   | $98\Delta$       | دارد             |
| طرح اول موجود در [۱۴] | $75n + 60$     | $12n + 20$ | $11n + 14$ | $112\Delta$      | دارد             |
| طرح دوم موجود در [۱۴] | $75n + 53$     | $12n+16$   | $11n+12$   | $106\Delta$      | دارد             |
| طرح موجود در [۱۵]     | $67n + 69$     | $12n+17$   | $10n+17$   | -                | دارد             |
| طرح موجود در [۱۶]     | $66n + 68$     | $15n+18$   | $13n+18$   | $110\Delta$      | دارد             |

همان طور که در جدول ۱۰ ملاحظه می شود، تقسیم کننده پیشنهادی در مقایسه با طرح اول ارائه شده در مرجع [۱۴] از لحاظ هزینه کوانتومی، خروجی زائد، ورودی ثابت و تاخیر، و در مقایسه با طرح دوم ارائه شده در مرجع [۱۴] نیز از لحاظ هزینه کوانتومی، ورودی ثابت و تاخیر بهبود داده شده است. در مقایسه با طرح ارائه شده در مرجع [۱۵] از لحاظ هزینه کوانتومی، خروجی زائد و ورودی ثابت، و در مقایسه با طرح ارائه شده در مرجع [۱۶] از لحاظ هزینه کوانتومی، خروجی زائد، ورودی ثابت و تاخیر بهینه شده است. نتایج حاصل نشان می دهد طرح پیشنهادی نسبت به طرح های موجود پارامترهای ارزیابی بهینه و هزینه کوانتومی کمتری دارد.



شکل ۱۹: نمودار مقایسه تقسیم کننده برگشت پذیر  
Figure 19: comparison chart of reversible divider

## ۵- نتیجه گیری و پیشنهادات آتی

در این مقاله یک طراحی بهینه از مدار تقسیم کننده برگشت پذیر غیربازایی  $n$  بیتی با قابلیت حفظ توازن برای تقسیم اعداد صحیح مثبت پیشنهاد شد. برای این منظور، در ابتدا یک حافظه نگهدارنده حالت نوع  $D$  برگشت پذیر با قابلیت حفظ توازن پیشنهاد شده است، سپس با استفاده از نگهدارنده حالت پیشنهادی، یک ثبات برگشت پذیر کارآمد ارائه گردید. در ادامه یک ثبات شیفت به کمک هم افزایی گیت های برگشت پذیر  $FRG$  و  $DFG$  و نگهدارنده حالت نوع  $D$  پیشنهادی ارائه شد. در نهایت با کمک مدارات برگشت پذیر پیشنهادی، یک تقسیم کننده غیربازایی برگشت پذیر بهینه توسعه یافت. همچنین به منظور کاهش پیچیدگی تقسیم کننده پیشنهادی، از بهترین مدارات جمع کننده و مالتی پلکسره های برگشت پذیر موجود استفاده گردید. نتایج حاصل از ارزیابی ها نشان می دهد تقسیم کننده پیشنهادی دارای  $10n+12$  ورودی ثابت،  $12n+16$  خروجی زائد، و هزینه کوانتومی  $66n+50$  است. نتایج حاصل از مقایسه ها نشان از برتری طرح پیشنهادی در بسیاری از معیارهای ارزیابی در مقایسه با بهترین طراحی پیشین است. برای کارهای آتی، پیاده سازی تقسیم کننده غیربازایی پیشنهادی با استفاده از اتوماتای سلولی نقطه کوانتومی می تواند مورد توجه قرار گیرد.

## مراجع:

- [1] S. R. Heikalabad, F. Salimzadeh and Y. Z. Barughi, "A unique three-layer full adder in quantum-dot cellular automata," *Computers & Electrical Engineering*, vol. 86, p. 106735, 2020, doi: 10.1016/j.compeleceng.2020.106735.
- [2] S.-S. Ahmadpour, M. Mosleh and S. R. Heikalabad, "An efficient fault-tolerant arithmetic logic unit using a novel fault-tolerant 5-input majority gate in quantum-dot cellular automata," *Computers & Electrical Engineering*, vol. 82, p. 106548, 2020, doi: 10.1016/j.compeleceng.2020.106548.
- [3] R. Binaei and M. Gholami, "Design of novel  $D$  flip-flops with set and reset abilities in quantum-dot cellular automata nanotechnology," *Computers & Electrical Engineering*, vol. 74, pp. 259-272, 2019, doi: 10.1016/j.compeleceng.2019.02.002.
- [4] M. Noorallahzadeh, M. Mosleh and S.-S. Ahmadpour, "Efficient designs of reversible synchronous counters in nanoscale," *Circuits, Systems, and Signal Processing*, vol. 40, no. 11, pp. 5367-5380, 2021, doi: 10.1007/s00034-021-01719-4.
- [5] M. Noorallahzadeh and M. Mosleh, "Efficient designs of reversible shift register circuits with low quantum cost," *Journal of Circuits, Systems and Computers*, vol. 30, no. 12, p. 2150215, 2021, doi: 10.1142/S0218126621502157.
- [6] T. Liu *et al.*, "Efficient scheme for implementing a hybrid Toffoli gate with two NV ensembles simultaneously controlling a single superconducting qubit," *Applied Physics Letters*, vol. 123, no. 13, 2023, doi: 10.1063/5.0169902.



- [7] M. Noorallahzadeh and M. Mosleh, "Parity-preserving reversible flip-flops with low quantum cost in nanoscale," *The Journal of Supercomputing*, vol. 76, no. 3, pp. 2206-2238, 2020, doi: 10.1007/s11227-019-03074-3.
- [8] R. Landauer, "Irreversibility and heat generation in the computing process," *IBM journal of research and development*, vol. 5, no. 3, pp. 183-191, 1961, doi: 10.1147/rd.53.0183.
- [9] G. E. Moore, "Cramming more components onto integrated circuits," ed: McGraw-Hill New York, NY, USA:, 1965.
- [10] C. H. Bennett, "Logical reversibility of computation," *IBM journal of Research and Development*, vol. 17, no. 6, pp. 525-532, 1973, doi: 10.1147/rd.176.0525.
- [11] M. Noorallahzadeh and M. Mosleh, "Parity-preserving reversible flip-flops with low quantum cost in nanoscale," *The Journal of Supercomputing*, pp. 1-33, 2019, doi: 10.1007/s11227-019-03074-3.
- [12] S. Sayedsalehi, M. R. Azghadi, S. Angizi and K. Navi, "Restoring and non-restoring array divider designs in quantum-dot cellular automata," *Information sciences*, vol. 311, pp. 86-101, 2015, doi: 10.1016/j.ins.2015.03.030.
- [13] N. M. Nayeem, A. Hossain, M. Haque, L. Jamal and H. M. H. Babu, "Novel reversible division hardware," in *52nd IEEE International Midwest Symposium on Circuits and Systems*, 2009, pp. 1134-1138, doi: 10.1109/MWSCAS.2009.5235968.
- [14] F. Dastan and M. Haghparast, "A novel nanometric fault tolerant reversible divider," *International Journal of Physical Sciences*, vol. 6, no. 24, pp. 5671-5681, 2011, doi: 10.5897/IJPS11.981.
- [15] H. M. H. Babu and M. S. Mia, "Design of a compact reversible fault tolerant division circuit," *Microelectronics Journal*, vol. 51, pp. 15-29, 2016, doi: 10.1016/j.mejo.2016.01.003.
- [16] M. Talebi, M. Mosleh, M. Haghparast and M. Chekin, "Effective scheme of parity-preserving-reversible floating-point divider," *The European Physical Journal Plus*, vol. 137, no. 9, pp. 1-13, 2022, doi: 10.1140/epjp/s13360-022-03212-6.
- [17] M. Valinataj, M. Mirshekar and H. Jazayeri, "Novel low-cost and fault-tolerant reversible logic adders," *Computers & Electrical Engineering*, vol. 53, pp. 56-72, 2016, doi: 10.1016/j.compeleceng.2016.06.008.
- [18] A. Sarker, H. M. Hasan Babu and S. M. M. Rashid, "Design of a DNA-based reversible arithmetic and logic unit," *IET nanobiotechnology*, vol. 9, no. 4, pp. 226-238, 2015, doi: 10.1049/iet-nbt.2014.0056.
- [19] B. Parhami, "Fault-tolerant reversible circuits," in *2006 fortieth asilomar conference on signals, systems and computers*, 2006, pp. 1726-1729, doi: 10.1109/ACSSC.2006.355056.
- [20] E. PourAliAkbar, K. Navi, M. Haghparast and M. Reshadi, "Novel Optimum Parity-Preserving Reversible Multiplier Circuits," *Circuits, Systems, and Signal Processing*, vol. 39, no. 10, pp. 5148-5168, 2020, doi: 10.1007/s00034-020-01406-w
- [21] E. PourAliAkbar, K. Navi, M. Haghparast and M. Reshadi, "Novel Designs of Fast Parity-Preserving Reversible Vedic Multiplier," E. PourAliAkbar, K. Navi, M. Haghparast, and M. Reshadi, "Novel Designs of Fast Parity-Preserving Reversible Vedic Multiplier", *The CSI Journal on Computer Science and Engineering*, vol. 17, no. 1, 2019.
- [22] S. R. Arabani, M. R. Reshadinezhad and M. Haghparast, "Design of a parity preserving reversible full adder/subtractor circuit," *International Journal of Computational Intelligence Studies*, vol. 7, no. 1, pp. 19-32, 2018, doi: 10.1504/IJCISTUDIES.2018.090164.
- [23] N. K. Misra, B. Sen, S. Wairya and B. Bhoi, "Testable novel parity-preserving reversible gate and low-cost quantum decoder design in 1D molecular-QCA," *Journal of Circuits, Systems and Computers*, vol. 26, no. 09, p. 1750145, 2017, doi: 10.1142/S0218126617501456.

- [24] M. Haghparast and A. Bolhassani, "On design of parity preserving reversible adder circuits," *International Journal of Theoretical Physics*, vol. 55, no. 12, pp. 5118-5135, 2016, doi: 10.1007/s10773-016-3133-5.
- [25] R.-G. Zhou, Y.-C. Li and M.-Q. Zhang, "Novel designs for fault tolerant reversible binary coded decimal adders," *International Journal of Electronics*, vol. 101, no. 10, pp. 1336-1356, 2014, doi: 10.1080/00207217.2013.832388.
- [26] M. Islam and Z. Begum, "Reversible logic synthesis of fault tolerant carry skip BCD adder," *arXiv preprint arXiv:1008.3288*, 2010, doi: 10.48550/arXiv.1008.3288.
- [27] S. Hod, "Best approximation to a reversible process in black-hole physics and the area spectrum of spherical black holes," *Physical Review D*, vol. 59, no. 2, p. 024014, 1998, doi: 10.1103/PhysRevD.59.024014.
- [28] R. C. Merkle, "Two types of mechanical reversible logic," *Nanotechnology*, vol. 4, no. 2, p. 114, 1993, doi: 10.1088/0957-4484/4/2/007.
- [29] M. Noorallahzadeh, M. Mosleh and K. Datta, "A new design of parity-preserving reversible multipliers based on multiple-control toffoli synthesis targeting emerging quantum circuits," *Frontiers of Computer Science*, vol. 18, no. 6, p. 186908, 2024, doi: 10.1007/s11704-023-2492-3.
- [30] A. Bolhassani and M. Haghparast, "Optimised reversible divider circuit," *International Journal of Innovative Computing and Applications*, vol. 7, no. 1, pp. 13-33, 2016, doi: 10.1504/IJICA.2016.075465.
- [31] H. Thapliyal and N. Ranganathan, "Design of reversible sequential circuits optimizing quantum cost, delay, and garbage outputs," *ACM Journal on Emerging Technologies in Computing Systems (JETC)*, vol. 6, no. 4, pp. 1-31, 2010, doi: 10.1145/1877745.1877748.
- [32] M. Mohammadi and M. Eshghi, "On figures of merit in reversible and quantum logic designs," *Quantum Information Processing*, vol. 8, pp. 297-318, 2009, doi: 10.1007/s11128-009-0106-0.
- [33] A. Barenco *et al.*, "Elementary gates for quantum computation," *Physical review A*, vol. 52, no. 5, p. 3457, 1995, doi: 10.1103/PhysRevA.52.3457.
- [34] M. Morrison and N. Ranganathan, "Design of a reversible ALU based on novel programmable reversible logic gate structures," in *IEEE computer society annual symposium on VLSI*, 2011, pp. 126-131, doi: 10.1109/ISVLSI.2011.30.
- [35] M. Morrison and N. Ranganathan, "A novel optimization method for reversible logic circuit minimization," in *IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*, 2013, pp. 182-187, doi: 10.1109/ISVLSI.2013.6654656.
- [36] D. M. Miller, M. Soeken and R. Drechsler, "Mapping NCV circuits to optimized Clifford+T circuits," in *International Conference on Reversible Computation*, 2014, pp. 163-175, doi: 10.1007/978-3-319-08494-7\_13.
- [37] M. Noorallahzadeh and M. Mosleh, "Efficient designs of reversible BCD to EX-3 Converter with low quantum cost in nanoscale," *International Journal of Quantum Information*, vol. 18, no. 05, p. 2050020, 2020, doi: 10.1142/S0219749920500203.
- [38] E. Fredkin and T. Toffoli, "Conservative logic," *Int. J. of Theoretical Physics*, vol. 21, pp. 219-253, 1982, doi: 10.1007/BF01857727.
- [39] M. Noorallahzadeh, M. Mosleh, S. S. Ahmadpour, J. Pal and B. Sen, "A new design of parity preserving reversible Vedic multiplier targeting emerging quantum circuits," *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, p. e3089, 2023, doi: 10.1002/jnm.3089.

- [40] B. K. Bhoi, N. K. Misra and M. Pradhan, "Synthesis and simulation study of non-restoring cell architecture layout in perpendicular nano-magnetic logic," *Journal of Computational Electronics*, vol. 19, no. 1, pp. 407-418, 2020, doi: 10.1007/s10825-019-01432-1.
- [41] M. Haghparast and K. Navi, "Novel reversible fault tolerant error coding and detection circuits," *International Journal of Quantum Information*, vol. 9, no. 02, pp. 723-738, 2011, doi: 10.1142/S0219749911007447.
- [42] A. Banerjee, "Reversible cryptographic hardware with optimized quantum cost and delay," in *Annual IEEE India Conference (INDICON)*, 2010, pp. 1-4, doi: 10.1109/INDICON.2010.5712605.

---

#### COPYRIGHTS

©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) <https://creativecommons.org/licenses/by/4.0>

---

