دوره ۱۳، شماره پاییز و زمستان ۱۳۹۹

مجله فناوری اطلاعات در طراحی مهندسی
Information Technology in Engineering Design
http://ited.sinaweb.net

طراحی و پیاده‌سازی هم‌سطح دو مدار جمع کننده ٤- بیتی با انتشار رقم نقلی جدید مبتنی بر تکنولوژی آتوماتای سلولی کوانتومی

محسن وهابی * [۱] میثم وهابی [۲] امیر صباغ ملا حسینی[۳] آزاده السادات عمرانی زرندی [٤]

(۱) دانشگاه آزاد اسلامی، واحد علوم تحقیقات تهران (کرمان)، کرمان، ایران*

(۲) دانشگاه آزاد اسلامی، واحد علوم تحقیقات تهران (کرمان)، کرمان، ایران

(۳) عضو هیئت علمی دانشگاه آزاد اسلامی، واحد کرمان، کرمان، ایران

(٤) استادیار بخش مهندسی کامپیوتر، دانشکده فنی و مهندسی، دانشگاه شهید باهنر، کرمان، ایران

(تاریخ ارسال : ۱٤۰۰/۰۳/۳۱ تاریخ پذیرش : ۱٤۰۰/۰٦/۲۹)

چکیده:

با پیشرفت تکنولوژی و کاهش اندازه‌ها درحد نانو، ابزارهای با کارایی بالا در حوزه مدارات مجتمع طراحی‌شده‌اند. ازجمله این تکنولوژی‌ها، آتوماتای سلولی کوانتومی (QCA) است که با خصوصیات منحصربه‌فردی همچون سرعت بالاتر و توان مصرفی کمتر نسبت به تکنولوژی CMOS، یک چشم‌انداز جدید را ارائه کرده است. از سوی دیگر طراحی کارآمد جمع کننده‌ها به‌عنوان پایه بسیاری از محاسباتی در مدارات دیجیتال، از اهمیت بسیار ویژه‌ای برخوردار است. از همین رو، در این مقاله به طراحی و پیاده‌سازی دو مدار تمام جمع کننده (FA) جدید پرداخته شده است. برای بررسی بهتر کارایی، اقدام به طراحی دو جمع کننده ٤ بیتی نموده‌ایم. سپس نتایج حاصل را با طراحی‌های قبلی مقایسه کرده‌ایم تا عملکرد طرح پیشنهادی مشخص گردد. جمع کننده‌های ٤ بیتی این تحقیقات به‌صورت هم‌سطح (تک لایه) طراحی‌شده‌اند و نسبت به طراحی‌های قبلی ازنظر هزینه، تعداد سلول مصرفی، مساحت مصرفی، و تأخیر برتری قابل‌توجهی دارند.

کلمات کلیدی: آتوماتای سلولی کوانتومی، QCA، تمام جمع کننده، FA، ٤-bit RCA، هم‌سطح (تک لایه)

*عهده‌دار مکاتبات:

محسن وهابی

نشانی: دانشگاه آزاد اسلامی، واحد علوم تحقیقات تهران (کرمان)، کرمان، ایران

پست الکترونیکی: Mohsen.vahabi@iauk.ac.ir **تلفن** : ۰۳٤۳۲٤٥٤۳۲۸

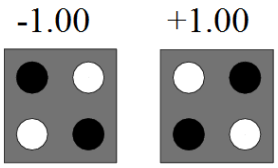
۱-مقدمه:

با ترقی در مقیاس سایز، اندازه و دست‌یابی به ابعاد نانو و عدم پاسخگویی تکنولوژی اکنونی (تکنولوژی CMOS)، منجر به ساخت دیوایس‌هایی با کارایی بالا در مقیاس نانو و در حوزه مدارات مجتمع گردید. ازجمله این تکنولوژی‌ها، آتوماتای سلولی کوانتومی (QCA) است که با خصوصیات منحصربه‌فرد، یک چشم‌انداز جدید را ارائه کرده است. از سوی دیگر جمع کننده‌ها یکی از اصلی‌ترین بلوک‌های محاسباتی استفاده‌شده در مدارات دیجیتال هستند؛ به‌گونه‌ای که طراحی و بهینه‌سازی آن‌ها از اهمیت بسیار ویژه‌ای برخوردار است [۱و۲]. معیارهای مشخصی برای طراحی بهتر مدارات تمام جمع کننده وجود دارد. مهم‌ترین معیار همان بهبود پارامترهای مداری است. از معیارهای دیگر می‌توان به توان مصرفی کم، سرعت‌بالا و سادگی مدار نام برد که خود این معیارها را می‌توان اجزایی از معیار کاربردی در نظر گرفت. یکی از کاربردهای بسیار ضروری تمام جمع کننده‌ها، استفاده در وسایل ارتباطی و محاسباتی است. با توجه به اینکه امروزه وسایل ارتباط‌جمعی قابل‌حمل بوده و کاملاً در دسترس قرارگرفته‌اند؛ دغدغه اصلی، افزایش طول عمر باطری و کاهش نیاز به شارژ مجدد است. افزایش عملکرد یک جمع کننده مستقیماً به بهبود پارامترهای مداری و پیشرفت عملکرد سیستم مربوط است. بنابراین بسیاری از محققان به دنبال روش‌هایی جهت کاهش مصرف توان می‌باشند. امروزه با افزایش فراگیر استفاده از وسایل الکترونیکی، نیاز به طراحی بهینه جمع کننده‌ها نیز بسیار اهمیت پیداکرده است. هرچه جمع کننده‌ها ویژگی‌های کیفی و پارامتری بهتری داشته باشند تأثیر مستقیم آن در دستگاه مورداستفاده مشهود بوده و درنتیجه آن دستگاه با اقبال عمومی روبه‌رو خواهد شد. به همین دلیل ارائه ساختارهای جدید برای این مدارات موردتوجه طراحان مدارات مجتمع می‌باشد. از سوی دیگر ازجمله عواملی که نشان‌دهنده کارایی و عملکرد خوب یک بلوک جمع کننده می‌باشد، استفاده از آن در مدارات بزرگ‌تر و کاربردی‌تر می‌باشد. برای نشان دادن کارایی و عملکرد بهتر طراحی تمام جمع کننده پیشنهادی این تحقیقات نسبت به طراحی‌های قبلی، اقدام به طراحی دو نمونه جمع کننده ٤ بیتی با این دو تمام جمع کننده پیشنهادی نموده‌ایم؛ سپس نتایج حاصل را با طراحی‌های قبلی مقایسه کرده‌ایم تا مزایای طراحی‌های پیشنهادی بیشتر و بهتر نمود پیدا کنند. در طراحی مدارات مرکب و پیچیده در تکنولوژی آتوماتای سلولی کوانتومی، چگونگی طراحی تقاطع سیم‌ها اهمیت زیادی دارد [۳ و ٤]. از سوی دیگر وجود تقاطع در طراحی باعث افزایش تأخیر می‌شود. درنتیجه ما در تحقیقات پیش رو جهت بهبود پارامترهای مداری سعی کرده‌ایم تا از کمترین تعداد تقاطع در طراحی‌های خود استفاده کنیم؛ که این خود باعث کاهش تعداد سلول‌های مصرفی، مساحت مصرفی و تأخیر می‌شود. ازاین‌رو جمع کننده ٤ بیتی این تحقیقات از بهترین نمونه‌های طراحی تاکنون می‌باشد. زیرا نه‌تنها به‌صورت هم‌سطح (تک لایه) طراحی‌شده بلکه طراحی‌های صورت گرفته با کمترین تعداد تقاطع عبوری بوده و نسبت به طراحی‌های قبلی ازنظر تعداد سلول مصرفی، مساحت مصرفی، تأخیر و Cost Function برتری قابل‌توجهی دارد. بقیه این مقاله به شرح زیر ارائه‌شده است. در بخش ۲ (مبانی تحقیق)، یک مروری اجمالی بر معرفی پایه و اساس تکنولوژی QCA و نحوه کار و عملکرد تکنولوژی آن و سپس نگاهی به آثار قبلی پیرامون موضوع مطرح‌شده، ارائه‌شده است. در بخش ۳ (طراحی‌های پیشنهادی)، طراحی مدارات تمام جمع کننده پیشنهادی این تحقیقات ارائه‌شده، که سپس با این معماری‌ها به طراحی مدارات جمع کننده ٤ بیتی پرداختیم. در بخش ٤ (شبیه‌سازی و مقایسه نتایج)، با استفاده از جداول و نمودارها به مقایسه طراحی‌های پیشنهادی با طراحی‌های قبلی پرداخته‌ایم. در بخش ۵ (نتیجه‌گیری)، نتیجه‌گیری مقاله پیشه رو حاصل‌شده است.

۲- مبانی تحقیق:

۲-۱ آتوماتای سلولی کوانتومی (QCA):

اساس این تکنولوژی بر پایه سلول‌های QCA است و اساس سلول QCA این است که قادر به نشان دادن یک بیت منطقی با فضای اشغالی در مقیاس نانو می‌باشد. سلول‌های QCA در طراحی به‌صورت مربع نشان داده می‌شوند و هر سلول از ٤ حفره تشکیل‌شده که دو الکترون در داخل آن محبوس هستند و می‌توانند آزادانه بین حفره‌های حرکت کنند.

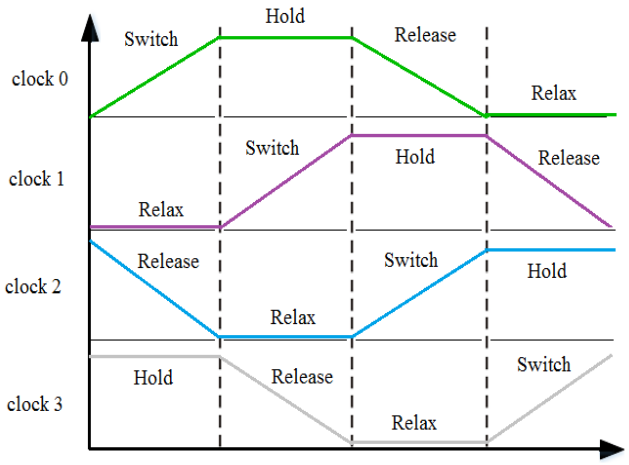


شکل (۱): ساختار سلول‌هایQCA

با قرار گرفتن ۲ الکترون در ٤ حفره، ٦ حالت مختلف ایجاد می‌شود که به دلیل وجود نیروی دافعه کولمبی بین الکترون‌ها تمامی این حالات امکان‌پذیر نیست و این ۲ الکترون همواره در وضعیتی قرار می‌گیرند که بیشترین فاصله را از یکدیگر داشته باشند. بر اساس دافعه کلومبی ایجادشده بین دو الکترون، الکترون‌ها درون حفره‌ها به‌صورت قطری قرار می‌گیرند که بیشترین فاصله را از هم دارند و قانون دافعه کولمبی برقرار است. درنتیجه دو ساختار ایجاد می‌شود که با دو ارزش منطقی "۰" و "۱" نشان داده می‌شوند؛ که ارزش منطق "۰" مربوط به ساختار قطبی ۱- و ارزش منطقی "۱" مربوط به ساختار قطبی ۱+ می‌باشد. شکل (۱) نشان‌دهنده ساختار سلول‌های QCA می‌باشد [٥ و ٦].

۲-۲ فازهای کلاک QCA:

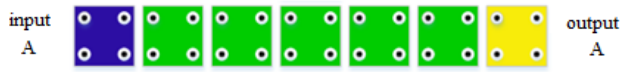
در تکنولوژی QCA از چهار فاز کلاک QCA تشکیل‌شده است، که در شکل (۲) نشان داده‌شده‌اند. همان‌گونه که در شکل مشاهده می‌شود، در فاز کلاک Switch ابتدا موانع پایین می‌باشند و سلول QCA در حالت بدون پلاریزاسیون قرار دارد و سلول QCA از سلول‌های اطرافش داده می‌گیرد. سپس موانع به‌تدریج بالا می‌آیند و سلول QCA بر اساس مقدار ارزشی درایوهای ورودی خود پلاریزه می‌شود. در انتهای این فاز کلاک، موانع به‌اندازه کافی برای جلوگیری از تونل زنی الکترونی بالا هستند. در فاز کلاک Hold، همچنان موانع بالا نگه‌داشته می‌شوند و سلول کاملاً پایدار است و داده‌ی خود را به سلول‌های اطراف منتقل می‌کند. در فاز کلاک Release موانع به‌تدریج پایین می‌آیند و سلول ناپایدار می‌شود. در این فاز سلول پلاریزاسیون خود را از دست می‌دهد. در فاز کلاک Relax موانع سلول در پایین‌ترین حالت خود قرار دارند و سلول در حالت بدون پلاریزاسیون می‌باشد [٤ و ٧].



شکل (۲): چهار فاز کلاک QCA [۱]

۲-۳ پیاده‌سازی و طراحی در QCA:

در تکنولوژی QCA، پیاده‌سازی و طراحی مدارات بر اساس سیم QCA، اینورتر [۸] و گیت اکثریت [۹] می‌باشد. سیم QCA آرایه‌ای از سلول‌ها با پلاریزاسیون مشابه است؛ که سیگنال را از یک انتها به انتهای دیگر منتقل می‌کند. انتشار سیگنال با استفاده از سیم ۹۰ درجه (به‌عنوان یک زنجیره نرمال) و سیم ٤٥ درجه (معروف به زنجیره اینورتر) به ترتیب در شکل (۳) و (٤) نشان داده‌شده است. در سیم ٤٥ درجه، هر بار سیگنال معکوس می‌شود. بنابراین، برای رسیدن سیگنال ورودی اصلی به انتهای خروجی، باید تعداد سلول‌های همسایه در حدفاصل سلول ورودی و خروجی به تعداد فرد وجود داشته باشد [۵، ٦ و ۱۰].



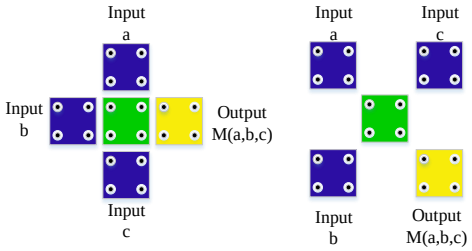
شکل (۳): ساختار سلول‌های QCA

شکل (٤): ساختار سلول‌های QCA

یکی از واحدهای منطقی کلیدی در QCA گیت اکثریت سه ورودی است. همان‌طور که در شکل (۵) نشان داده‌شده است، این گیت از پنج سلول، بطوریکه سه سلول ورودی به‌عنوان سلول ورودی هستند، یک سلول به‌عنوان سلول خروجی و سلول میانه به‌عنوان سلول تصمیم‌گیری تشکیل‌شده است. رابطه (۱)، رابطه منطقی این گیت را نشان می‌دهد [۷ و ۱۰].

رابطه (۱):

$$M(a,b,c) = a.b + a.c + b.c$$



شکل (٥): گیت اکثریت ۳ ورودی

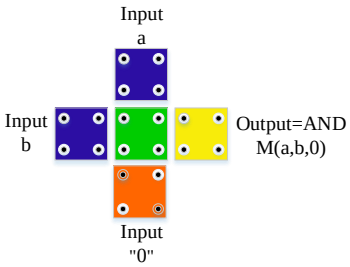
علاوه بر این، گیت اکثریت را می‌توان با تنظیم یکی از ورودی‌ها آن باارزش منطقی به ترتیب "۰" یا "۱" به‌عنوان گیت "AND" یا "OR" پیکربندی کرد [۹ و ۱۱]. شکل‌های (٦) و (۷) به ترتیب گیت‌های AND و OR دو ورودی و روابط (۲) و (۳) نیز به ترتیب رابطه منطقی گیت AND و OR دو ورودی را نشان می‌دهند.

رابطه (۲):

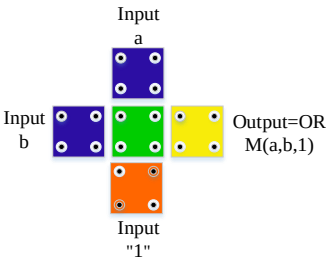
$$a \,.\, b = M\,(a,b,۰)$$

رابطه (۳):

$$a + b = M\,(a,b,۱)$$

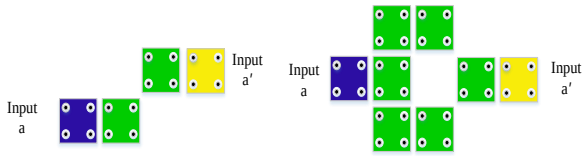


شکل (٦): گیت AND دو ورودی



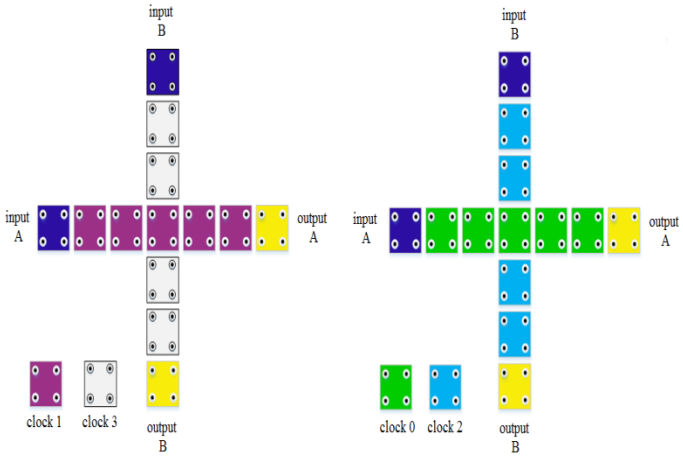
شکل (۷): گیت OR دو ورودی

علاوه بر این، سلول QCA می‌تواند با قرار دادن دو سلول QCA به‌صورت مورب [۸ و ۱۲]، همان‌طور که در شکل (۸) نشان داده‌شده است، یک عملیات وارونگی را انجام دهد.



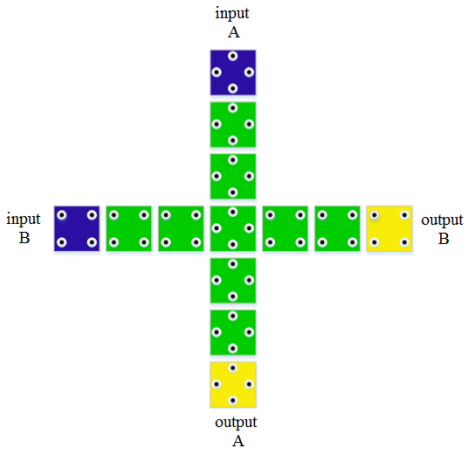
شکل (۸): انواع گیت وارونگر (گیت Not)

در QCA، دو نوع عبور سیم (تقاطع) وجود دارد، یعنی تقاطع‌های یک‌لایه (هم‌سطح) و چندلایه [۳، ۱۳ و ۱٤]. تقاطع هم‌سطح نیز به دو صورت طراحی می‌شود. نوع اول زمانی که عبور سیم با استفاده از ویژگی‌های اختلاف‌فاز ساعت QCA باشد، تحقق می‌یابد. همان‌طور که در شکل (۹) نشان داده‌شده است، برای عبور سیم‌های QCA به اختلاف‌فاز ۱۸۰ درجه نیاز است [۱۳ و ۱٤].



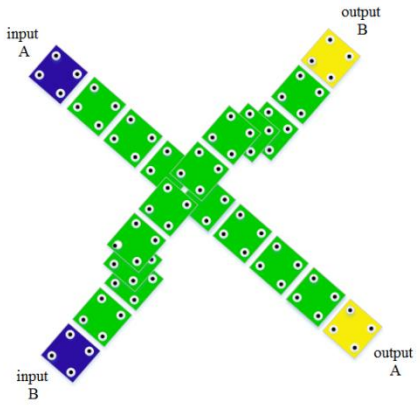
شکل (۹): تقاطع هم‌سطح با فازهای کلاک با اختلاف‌فاز ۱۸۰ درجه

از طرف دیگر، برای تقاطع هم‌سطح با استفاده از سلول‌های ٤٥ درجه، هنگام استفاده از زنجیره اینورتر برای عبور سیم، هیچ اختلاف‌فازی نیاز نیست [۳]، همان‌طور که در شکل (۱۰) نشان داده‌شده است.



شکل (۱۰): تقاطع هم‌سطح با زنجیره اینورتر

در تقاطع چندلایه، برای عبور سیم از حداقل سه لایه طراحی برای تکمیل عبور سیم استفاده می‌شود [۳]؛ همان‌طور که در شکل (۱۱) نشان داده‌شده است. در تمام مدارهای گزارش‌شده در مقاله پیش رو، به دلیل طراحی نو و خلاقانه ما از هیچ تقاطعی برای پیاده‌سازی مدارات پیشنهادی استفاده نکرده‌ایم.



شکل (۱۱): تقاطع چندلایه

۲-٤. مروری بر کارهای گذشته

در مقاله [۱۵]، معماری یک تمام جمع کننده هم‌سطح ارائه‌شده است که این معماری با بهره‌گیری از تقاطع ارائه‌شده در [۱٦] صورت گرفته است؛ سپس با این معماری جمع کننده ٤ بیتی طراحی‌شده است که طراحی‌های تمام جمع کننده پیشنهادی ما نسبت به تمام جمع کننده ارائه‌شده در این مقاله ازنظر پارامترهای مداری بهتر است و درنتیجه جمع کننده‌های ٤ بیتی پیشنهادی ما به دلیل استفاده حداقلی از تقاطع، ازنظر تأخیر، Cost و Cost Function از این نوع معماری برتری دارد. در مقاله [۱٦] معماری تمام جمع کننده طراحی‌شده به دلیل استفاده از تقاطع و گیت معکوس کننده زیاد با هزینه‌های پیاده‌سازی زیادی روبه‌رو است درصورتی‌که طراحی پیشنهادی تحقیقات ما با کمترین تعداد تقاطع عبوری طراحی‌شده و ازلحاظ تعداد سلول، مساحت مصرفی، تأخیر و تعداد گیت معکوس کننده نسبت به این طراحی نیز برتری دارد. در مقاله [۱۷] تمام جمع کننده طراحی‌شده با استفاده از سلول ٤٥ درجه طراحی‌شده که به دلیل اینکه ورودی‌های b و c مدار در حلقه می‌باشند، امکان دسترسی به ورودی‌های مدار وجود ندارد و کاربرد این طراحی در مدارات پیچیده‌تر عملاً میسر نیست و یا با افزایش تأخیر و تعداد سلول مدار امکان‌پذیر خواهد بود. در مقاله [۱۸] نیز جمع کننده ٤ بیتی به‌صورت چندلایه طراحی‌شده و از مساحت مصرفی، تعداد سلول و تأخیر زیادی برخوردار است درصورتی‌که طرح پیشنهادی ما به دلیل استفاده حداقلی از تقاطع در طراحی، نسبت به این معماری ازلحاظ مساحت مصرفی، تعداد سلول و تأخیر برتری دارد. در مقاله [۱۹] معماری جمع کننده ٤ بیتی به‌صورت چندلایه ارائه‌شده که با هزینه پیاده‌سازی زیادی روبه‌رو است درحالی‌که طراحی ما به‌صورت هم‌سطح می‌باشد و ازلحاظ تأخیر، Cost و Cost Function نسبت به این معماری برتری دارد. در مقاله [۲۰] نیز جمع کننده ٤ بیتی ارائه‌شده باوجود تقاطع‌های زیاد استفاده‌شده در طراحی با تأخیر، مساحت مصرفی و تعداد سلول زیادی روبه‌رو می‌باشد درصورتی‌که طراحی ما به دلیل استفاده از کمترین تعداد تقاطع ازنظر مساحت مصرفی، تأخیر، Cost Function و Cost نسبت به این معماری برتری قابل ملاحظه‌ای دارد.

۳. مدارات پیشنهادی

جمع کننده‌ها یکی از پرکاربردترین مدارات محاسباتی در منطق دیجیتال هستند؛ و مهم‌ترین و پرکاربردترین مدار حسابی دیجیتال در میان ساختارهای جمع کننده، تمام جمع کننده می‌باشد؛ زیرا این مدار در همه‌ی مدارات حسابی و محاسباتی مورداستفاده قرار می‌گیرد. در این مقاله ما به طراحی و پیاده‌سازی یک مدار تمام جمع کننده (FA) جدید پیشنهادی می‌پردازیم؛ که طراحی‌های صورت گرفته، با Cost Function کمتر، استفاده حداقلی از تقاطع عبوری و به‌صورت هم‌سطح (تک لایه) نسبت به بهترین نمونه‌های قبلی می‌باشد. در طراحی‌های صورت گرفته، طراحی تک لایه مدنظر قرارگرفته است. گیت XOR یکی از مهم‌ترین و پراهمیت‌ترین گیت‌های منطقی است. در این مقاله ما با استفاده از گیت XOR [۲۱] اقدام به طراحی مدار تمام جمع کننده نموده‌ایم. سپس با استفاده از تمام جمع کننده طراحی‌شده اقدام به طراحی جمع کننده ٤ بیتی با استفاده حداقلی از تقاطع‌های عبوری کرده‌ایم.

۳-۱. مدار تمام جمع کننده پیشنهادی

مدارات تمام جمع کننده (FA) پیشنهادی این تحقیقات از بهترین نمونه‌های طراحی‌شده تاکنون می‌باشند؛ زیرا در این طراحی‌ها استفاده حداقلی از تقاطع عبوری شده و طراحی‌ها به‌صورت هم‌سطح (تک لایه) طراحی‌شده‌اند. رابطه (٤-۱) مربوط به خروجی S و رابطه (٤-۲) مربوط به خروجی Cout مدارات تمام جمع کننده و جدول (۱) جدول درستی آن‌ها و شکل‌های (۱۲)، (۱۳)، (۱٤) و (۱۵) به ترتیب بلوک دیاگرام، پیاده‌سازی طراحی پیشنهادی مدار تمام جمع کننده (الف)، پیاده‌سازی طراحی پیشنهادی مدار تمام جمع کننده (ب) و خروجی شبیه‌ساز طراحی‌های مدارات تمام جمع کننده (FA) پیشنهادی را نشان می‌دهند.

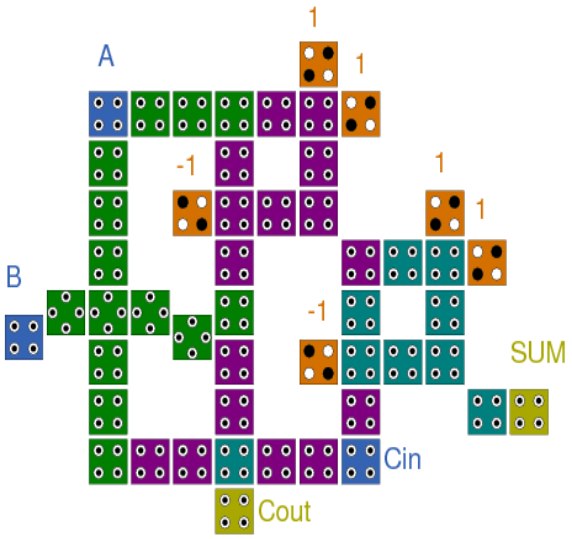
رابطه (٤-۱):
$$S=A \oplus B \oplus Cin$$

رابطه (٤-۲):
$$Cout=M(A,B,Cin)= A.B + A.Cin + B.Cin$$

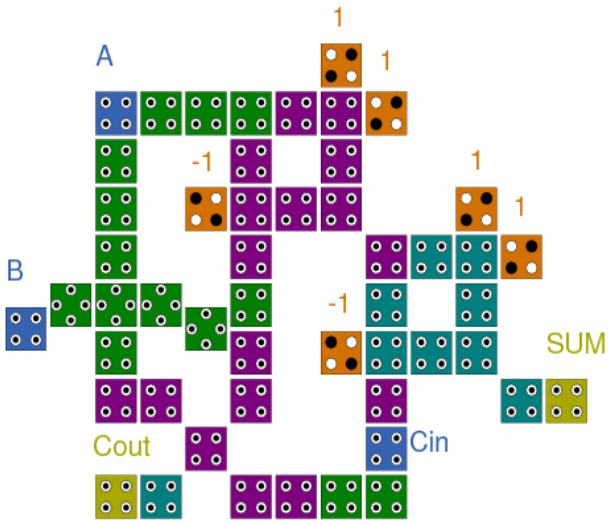
A	B	Cin	S	Cout
۰	۰	۰	۰	۰
۰	۰	۱	۱	۰
۰	۱	۰	۱	۰
۰	۱	۱	۰	۱
۱	۰	۰	۱	۰
۱	۰	۱	۰	۱
۱	۱	۰	۰	۱
۱	۱	۱	۱	۱

جدول (۱): جدول درستی مدار تمام جمع کننده (FA)

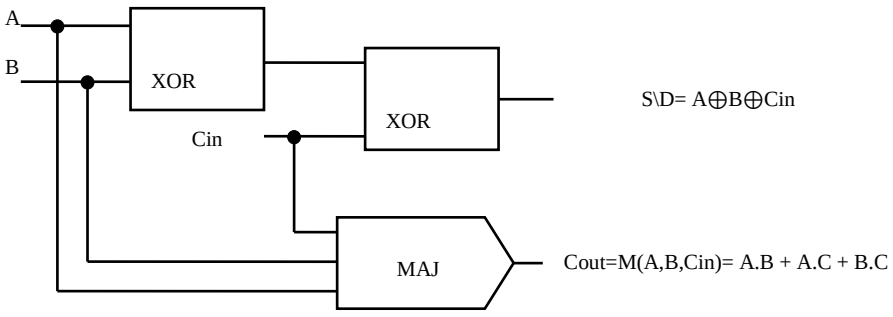
شکل (۱۲): بلوک دیاگرام مدارات تمام جمع کننده (FA) پیشنهادی

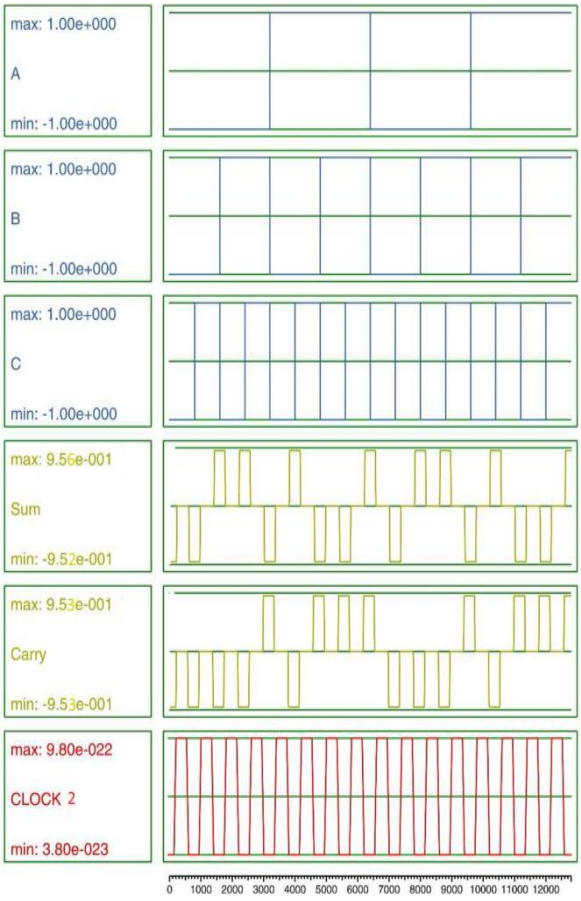


شکل (۱۳): پیاده‌سازی مدار تمام جمع کننده (FA) پیشنهادی (الف)



شکل (١٤): پیاده‌سازی مدار تمام جمع کننده (FA) پیشنهادی (ب)

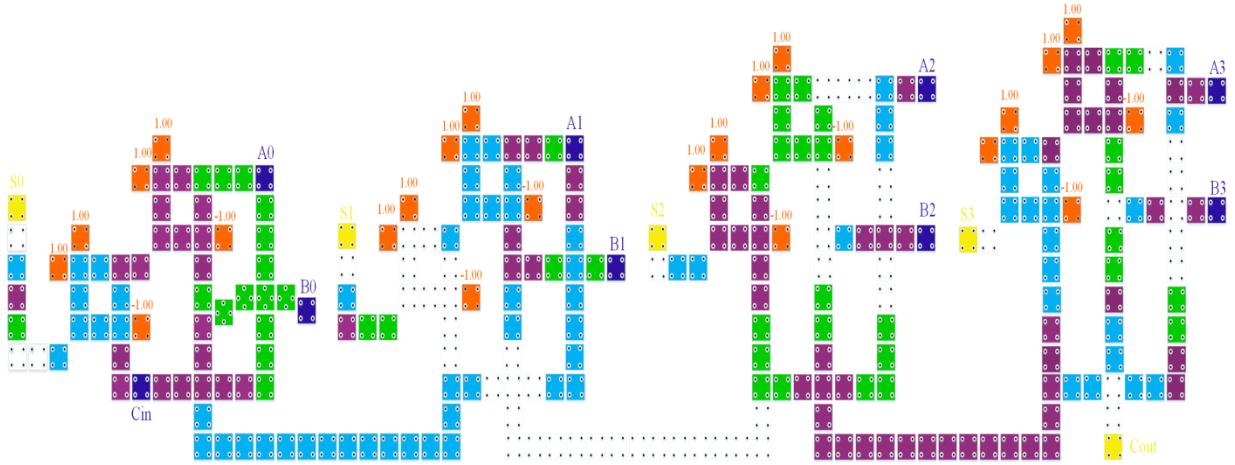




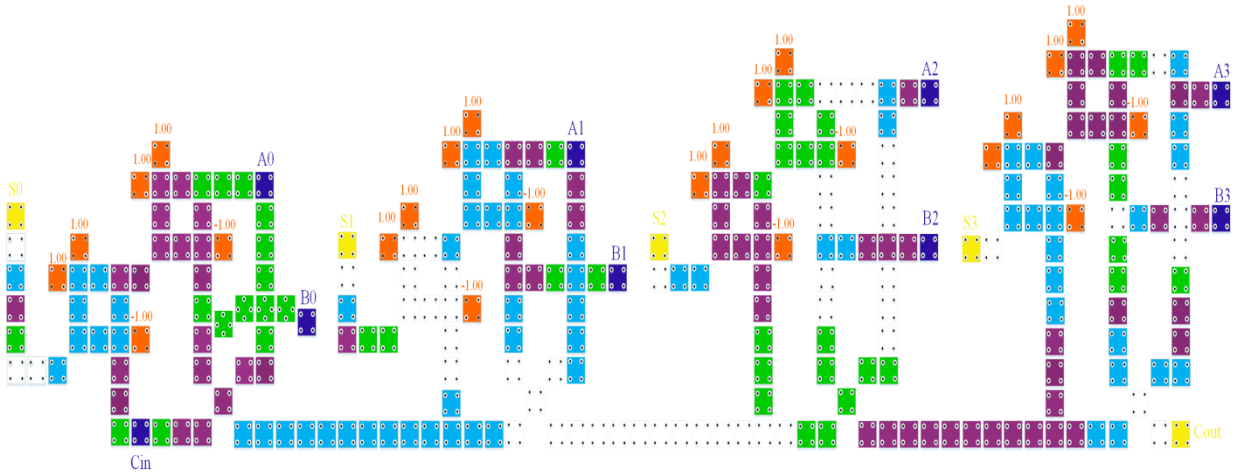
شکل (۱۵): خروجی شبیه‌ساز مدارات تمام جمع کننده (FA) پیشنهادی (الف) و (ب)

۳-۱. مدار جمع کننده ٤ بیتی پیشنهادی

برای نشان دادن کارایی و عملکرد بهتر طراحی تمام جمع کننده‌های پیشنهادی این تحقیقات نسبت به طراحی‌های قبلی، اقدام به طراحی جمع کننده‌های ٤ بیتی با این تمام جمع کننده‌ها پیشنهادی نموده‌ایم؛ سپس نتایج حاصل را با طراحی‌های قبلی مقایسه کرده‌ایم تا مزایای طرح‌های پیشنهادی بیشتر و بهتر نمود پیدا کند. ازاین‌رو جمع کننده‌های ٤ بیتی این تحقیقات از بهترین نمونه‌های طراحی تاکنون می‌باشند؛ زیرا نه‌تنها به‌صورت هم‌سطح (تک لایه) طراحی‌شده بلکه طراحی‌های صورت گرفته با کمترین تعداد تقاطع عبوری و سلول چرخشی (سلول°٤٥) بوده و نسبت به طراحی‌های قبلی ازنظر تعداد سلول مصرفی، مساحت مصرفی، تأخیر، Cost و Cost Function برتری قابل‌توجهی دارند. شکل (١٦) و (١٧) به ترتیب پیاده‌سازی و خروجی شبیه‌ساز مدارات جمع کننده ٤ بیتی پیشنهادی این تحقیقات را نشان می‌دهند.



(الف)



(ب)

شکل (١٦): مدارات جمع کننده ٤ بیتی (RCA) پیشنهادی

٤. نتایج شبیه‌سازی

جدول (٢)، جدول پارامترهای نرم‌افزار شبیه‌ساز و نتایج شبیه‌سازی در جدول (٣) آمده است. همان‌گونه که مشاهده می‌شود، مدار تمام جمع کننده (FA) پیشنهادی این تحقیقات با بهترین نمونه‌های قبلی مقایسه شده است. همان‌گونه که مشاهده می‌شود، جمع کننده‌های پیشنهادی این تحقیقات به دلیل به کار حداقلی از تقاطع عبوری و همچنین استفاده از تعداد گیت اکثریت و گیت اینورتر کمتر نسبت به طراحی‌های قبلی از مزیت بهتری برخوردار هستند. از سوی دیگر ازجمله معیارهای ارزیابی جدید و مهم برای مدارات QCA تابع هزینه (Cost Function) می‌باشد که در مقاله [٢٢] پیشنهادشده است. تابع هزینه معیاری است مرکب، متشکل از معیارهای معین T، C، I، M که سهم خاصی در تعریف تابع هزینه‌دارند. معادله رابطه (٥) این معیار مهم را توصیف می کند. در این معادله M تعداد گیت اکثریت، I تعداد گیت اینورتر و C تعداد تقاطع‌های عبوری را نشان می‌دهند. پارامتر T نیز نشان‌دهنده‌ی میزان تأخیر می‌باشد.

ضرایب L، K و P بر اساس اهمیت توان مصرفی، مساحت مصرفی، پیچیدگی و تأخیر تعیین می‌شوند. در [۱۵] بر اساس [۲۲] ضرایب L=۲، K و P برای ارزیابی عملکرد جمع کننده‌های مختلف بررسی‌شده‌اند. به دنبال همین رویکرد ما نیز مقایسه Cost Function را در جدول (٤) که کاربرد این معیار را به ازای L=۲، K و P به تصویر کشیده‌ایم. همان‌طور که در جدول (٤) مشاهده می‌شود، در طرح‌های پیشنهادی ما نسبت به [۲۰] از تعداد گیت اینورتر خیلی کمتری برای طراحی استفاده‌شده است. به‌علاوه در طراحی ما استفاده حداقلی از تقاطع عبوری شده است و تأخیر طراحی ما نیز بسیار کمتر می‌باشد؛ به همین دلیل تابع هزینه طرح پیشنهادی ما از [۲۰] بهتر است. همچنین در [١٦] نسبت به طرح پیشنهادی ما به دلیل استفاده از تقاطع و گیت اینورتر بیشتر، از تابع هزینه بیشتری برخوردار است. به‌علاوه در [۱۷] به دلیل استفاده از تعداد گیت اینورتر و نیز در [۱۵] به دلیل استفاده از تقاطع و گیت اینورتر و تأخیر بیشتر، از تابع هزینه بیشتری نسبت به طراحی پیشنهادی ما برخوردار می‌باشند.

معادله رابطه (۵):

$$Cost\ Function = (M^K + I + C^L) \times T^P$$

همچنین یک ارزیابی جدید در [۱۵] آمده است که معادله رابطه (٦) نشان‌دهنده‌ی این رابطه می‌باشد. در این معادله Area نشان‌دهنده مساحت مصرفی و Latency نشان‌دهنده تأخیر می‌باشد. همان‌گونه که مشاهده می‌شود مدارات جمع کننده ٤ بیتی این تحقیقات در این ارزیابی نیز مزیت و برتری محسوسی نسبت به نمونه‌های قبلی دارند.

معادله رابطه (٦):

$$Cost = Area \times Latency$$

جدول (۲): جدول پارامترهای نرم‌افزار شبیه‌ساز

Parameter	Value
Cell width	۱۸nm
Cell height	۱۸nm
Dot diameter	۵nm
Number of samples	۱۲۸۰۰
Convergence tolerance	۰/۰۰۱
Radius of effect	٦۵nm
Relative permittivity	۱۲/۹
Clock high	۹/۸e-۲۲J
Clock low	۳/۸e-۲۳J
Clock amplitude factor	۲
Layer separation	۱۱/۵nm
Maximum iteration per sample	۱۰۰

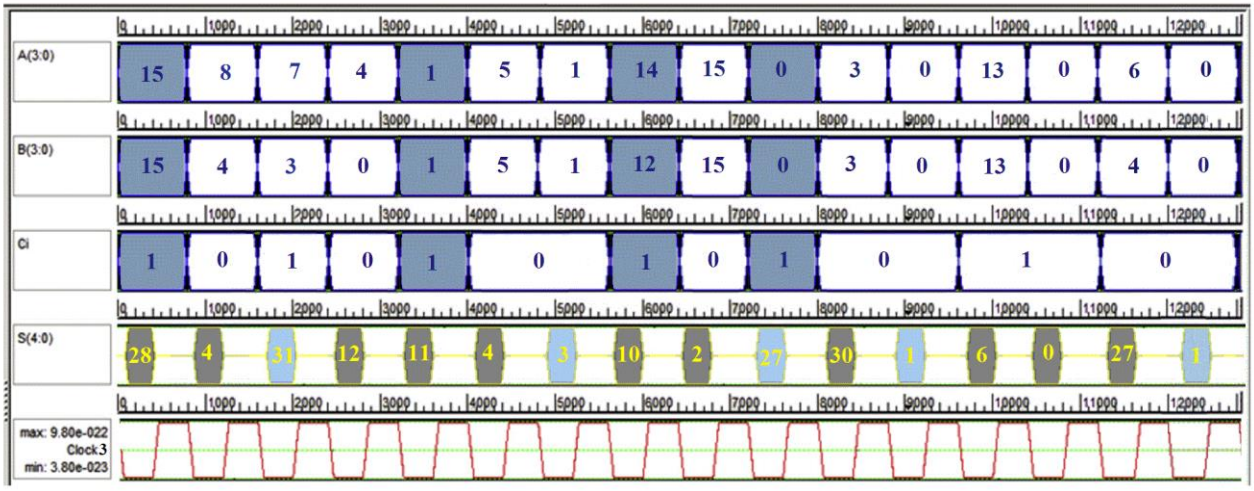
جدول (٣): مقایسه مدارات تمام جمع کننده (FA) پیشنهادی با طراحی‌های قبلی

مدار	مساحت مصرفی (um^2)	تعداد سلول	تأخیر (کلاک)	تعداد تقاطع عبوری	نوع تقاطع عبوری	تعداد گیت not
FA [١٥]	٠,٤٣	٥٩	١	٢	Coplanar	٢
FA [١٦]	٠,٠٥	٥٨	١	٢	Coplanar	٤
FA [١٧]	٠,٠٤	٥٢	٠,٧٥	٠	نیازی ندارد	٦
FA [٢٣]	٠,٠٥	٤٧	١	٠	نیازی ندارد	٢
FA [٢٤]	٠,٠٤	٦١	٠,٥	١	Coplanar	٤
FA [٢٥]	٠,٠٦	٤٤	١,٢٥	٠	نیازی ندارد	٦
FA [٢٦]	٠,٠٤٧	٥٦	١	١	Coplanar	٢
FA پیشنهادی (الف)	٠,٠٥١	٥٠	٠,٧٥	١	Coplanar	٤
FA پیشنهادی (ب)	٠,٠٥١	٥١	٠,٧٥	١	Coplanar	٤

جدول (٤): مقایسه مدارات جمع کننده ٤ بیتی (٤-bit RCA) پیشنهادی با طراحی‌های قبلی

مدار	مساحت مصرفی (um^2)	تعداد سلول	تأخیر (کلاک)	نوع تقاطع عبوری	Cost	تعداد تقاطع عبوری	Cost Function P،K،L=٢
RCA [١٨]	٠,٢٩	٣٠٨	٨	چندلایه	٢,٣٢	٨	٢٣٣٦٠
RCA [١٥]	٠,٢٤	٢٦٢	٧	هم‌سطح	١,٤٥٦	٨	١٠٥٨٤
RCA [١٩]	٠,٢٤	٢٣٧	٦	چندلایه	١,٤٤	١٢	١٧٧٤٨
RCA [٢٠]	٠,٣٧	٢٦٩	٣,٥	هم‌سطح	١,٢٩٥	٨	٢٨٤٢

RCA پیشنهادی (الف)	۰,۳۵	۲۸٤	۲	هم‌سطح	۰,۷۰۲	٤	۱۷۰٤
RCA پیشنهادی (ب)	۰,۳۳	۲٦۹	۲	هم‌سطح	۰,٦٥٤	٤	۱۷۰٤



شکل (۱۷): خروجی شبیه‌ساز مدارات جمع کننده ٤ بیتی پیشنهادی (الف) و (ب)

۵. نتیجه‌گیری

در بسیاری از طراحی‌های FA در تکنولوژی QCA از تقاطع‌های عبوری برای پیاده‌سازی مدارات استفاده‌شده است. تقاطع‌های چندلایه موجب افزایش مساحت مصرفی، تعداد سلول و همچنین Cost Function مدارات می‌شود. تعدادی از طراحی‌ها نیز با استفاده از تقاطع‌های هم‌سطح با زنجیره اینورتر (سلول‌های ٤۵) طراحی‌شده‌اند. از سوی دیگر تقاطع‌های هم‌سطح با استفاده از کلاک‌های فاز غیر مجاور (اختلاف‌فاز ۱۸۰ درجه) موجب افزایش تأخیر مدارات می‌شود. به همین دلیل ما در طراحی‌های خود از کمترین تعداد تقاطع و سلول چرخشی استفاده نموده‌ایم. ازاین‌رو مدارات جمع کننده ٤ بیتی این تحقیقات از بهترین نمونه‌های طراحی تاکنون می‌باشند؛ زیرا نه‌تنها به‌صورت هم‌سطح (تک لایه) طراحی‌شده‌اند بلکه طراحی‌های صورت گرفته با کمترین استفاده از تقاطع و سلول چرخشی (سلول°٤۵) بوده‌اند که این امر موجب پایداری و استحکام مدار نسبت به طراحی‌های قبلی است و همچنین نسبت به طراحی‌های قبلی ازنظر تعداد سلول مصرفی، مساحت مصرفی، تأخیر و Cost Function و Cost برتری قابل‌توجهی دارند. نتایج نشان‌دهنده کارآمدی مدارات پیشنهادی است؛ بنابراین می‌توان از آن‌ها در طراحی مدارات و سیستم‌های پیچیده‌تر استفاده کرد؛ که این امر موجب بهبود و بهینگی آن‌ها می‌شود.

٦-مراجع:

[١]M. Vahabi and A. Sabbagh Molahosseini, "Designing A Novel Coplanar Full Adder/ Subtractor Based On Reversible Logic In Quantum-Dot Cellular Automata Technology," Information Technology in Engineering Design, vol. ١١, pp. ٤٧-٦٣, ٢٠١٨. (In Persian).

[٢]S. Rasouli Heikalabad and F. Salimzadeh, "Design of Content-Addressable Memory in Quantum-Dot Cellular Automata," Journal of Electronical & Cyber Defence, vol. ٨, pp. ٥٣-٦١, ٢٠٢٠. (In Persian).

[٣]P. D. Tougaw and C. S. Lent, "Logical Devices Implemented Using Quantum Cellular Automata," Journal of Applied physics, vol. ٧٥, no. ٣, pp. ١٨١٨–١٨٢٥, ١٩٩٤.

[٤] H. Cho and E.E. Swartzlander, Adder Designs and Analyses for Quantum-dot Cellular Automata. IEEE Transactions on Nanotechnology. ٦(٣): p. ٣٧٤-٣٨٣, ٢٠٠٧.

[٥] J.A. Fortes, "Future Challenges in VLSI System Design," in VLSI, ٢٠٠٣. Proceedings. IEEE Computer Society Annual Symposium on. ٢٠٠٣..

[٦] S.E. Frost, A.F. Rodrigues, et al., "Memory in Motion: A Study of Storage Structures in QCA," in First Workshop on Non-Silicon Computing. ٢٠٠٢.

[٧] M. Kianpour and R. Sabbaghi-Nadooshan, "Optimized Design of Multiplexor by Quantum-dot CellularAutomata," International Journal of Nanoscience and Nanotechnology, ٩(١): p. ١٥-٢٤, ٢٠١٣.

[٨] C. S. Lent, P. D. Tougaw, et al., "Quantum Cellular Automata," Nanotechnology, ٤٩–٥٧, ١٩٩٣.

[٩] I. Amlani, "Digital Logic Gate Using Quantum-Dot Cellular Automata," Science, ٢٨٩–٢٩١, ١٩٩٩.

[١٠] W. Wang, K. Walus and et al., "Quantum-dot Cellular Automata Adders," in Nanotechnology, Third IEEE Conference, ٢٠٠٣.

[١١] M.R. Beigh, M. Mustafa and et al., "Performance Evaluation of Efficient XOR Structures in Quantum-dot Cellular Automata (QCA)". ٢٠١٣.

[١٢] E.E. Swartzlander, H. Cho and et al., "Computer Arithmetic Implemented With QCA: A Progress Report. in Signals, Systems and Computers (ASILOMAR)," Conference Record of the Forty Fourth Asilomar Conference on IEEE, ٢٠١٠.

[۱۳] S.-H. Shin, J.-C. Jeon, and K.-Y. Yoo, “Wire-Crossing Tchnique on Quantum-dot Cellular Automata,” in NGCIT۲۰۱۳, the ۲nd International Conference on Next Generation Computer and Information Technology, ۲۰۱۳.

[۱٤] R. Devadoss, K. Paul and et al. “Coplanar QCA Crossovers. Electronics Letters,” ۱۲۳٤-۱۲۳٥, ۲۰۰۹

[۱٥] D. Abedi, G. Jaberipur and et al., “Coplanar Full Adder in Quantum-dot Cellular Automata Via Clock-Zone-Based Crossover,” IEEE Transactions on Nanotechnology, ۱٤(۳): p. ٤۹۷-٥۰٤, ۲۰۱٥.

[۱٦] A. Sandhu and S. Gupta, "Performance Evaluation of An Efficient Five-Input Majority Gate Design in QCA Nanotechnology," Iranian Journal of Science and Technology, Transactions of Electrical Engineering, pp. ۱-۱۲, ۲۰۱۹.

[۱۷] M. Sarvaghad-Moghaddam and A. A. Orouji, "New Symmetric and Planar Designs of Reversible Full-Adders/Subtractors in Quantum-dot Cellular Automata," The European Physical Journal D, vol. ۷۳, p. ۱۲٥, ۲۰۱۹.

[۱۸] S. Hashemi, M. Tehrani and K. Navi, “An Efficient Quantum-dot Cellular Automata Full Adder,” Sci Re. Essay, ۷(۲):۱۷۷–۸۹, ۲۰۱۲.

[۱۹] M. Mohammadi, M. Mohammadi and S. Gorgin, “An Efficient Design of Full Adder in Quantum-dot Cellular Automata (QCA) Technology,” Microelectron J, ٥۰:۳٥–٤۳, ۲۰۱٦.

[۲۰] M. Balali, A. Rezai amd et al.,“Towards Coplanar Quantum-dot Cellular Automata Adders Based on Efficient Three-Input XOR Gate,” Results in Physics, ۷: p.۱۳۸۹-۱۳۹٥, ۲۰۱۷.

[۲۱] A.M. Chabi, A. Roohi and et al., “Towards Ultra-Efficient QCA Reversible Circuits,” Microprocessors and Microsystems, ٤۹: p. ۱۲۷-۱۳۸, ۲۰۱۷.

[۲۲] W. Liu, L. Lu, M. O’Neill and E.E. Swartzlander, “A First Step Toward Cost Functions For Quantum-dot Cellular Automata Designs,” IEEE Transactions on Nanotechnology, ٤۷٦-٤۸۷, ۲۰۱٤.

[۲۳] M. Vahabi, A. Sabbagh Molahosseini, " A New Coplanar Full Adder/Subtractor in Quantum-Dot Cellular Automata Technology,” MJTD, Vol. ۷, No. ۲, , pp. ٥۳-٦۳, Apr. ۲۰۱۸.

[٢٤] S. Erniyazov and J.-C. Jeon, "Carry Save Adder and Carry Look Ahead Adder Using Inverter Chain Based Coplanar QCA Full Adder For Low Energy Dissipation," Microelectronic Engineering, vol. ٢١١, pp. ٣٧-٤٣, ٢٠١٩.

[٢٥] S. Zoka and M. Gholami, "A Novel Efficient Full Adder–Subtractor in QCA Nanotechnology," International Nano Letters, vol. ٩, pp. ٥١-٥٤, ٢٠١٩.

[٢٦] N. Safoev and J.-C. Jeon, "Design of High-Performance QCA Incrementer/Decrementer Circuit Based on Adder/Subtractor Methodology," Microprocessors and Microsystems, vol. ٧٢, p. ١٠٢٩٢٧, ٢٠٢٠.