

رابطه جدید محاسبه مقاومت بدنه در ترانزیستورهای PD SOI MOSFET در مقیاس نانومتر

آرش دقیقی^(۱) - اعظم عسکری خوشویی^(۲)

(۱) استادیار گروه برق - دانشکده برق - دانشکده فنی، دانشگاه شهرکرد

(۲) کارشناسی ارشد گروه برق - مرکز آموزش عالی علمی کاربردی تیران و کرون

تاریخ پذیرش: تابستان ۱۳۸۹

تاریخ دریافت: پاییز ۱۳۸۸

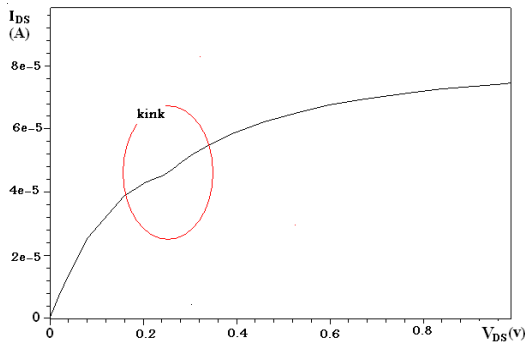
خلاصه: در این مقاله یک مدل جدید غیرخطی برای بهبود محاسبه مقاومت بدنه ترانزیستورهای PD SOI در مقیاس 45 نانومتر ارائه می‌گردد. این مدل بر پایه شبیه‌سازی‌های سه بعدی سیگنال کوچک ارزیابی می‌شود. در این مقاله فاکتورهای مشخص‌کننده مقاومت بدنه در ترانزیستورهای نانومتر، با استفاده از قابلیت شبیه‌سازی سه بعدی نرم‌افزار ISE-TCAD نشان داده می‌شود و سپس با استفاده از مدل پتانسیل سطح، رابطه‌ای ریاضی برای محاسبه مقاومت بدنه بر حسب متغیرهای پتانسیل بدنه و عرض افزاره، بیان می‌گردد. در نهایت نتایج شبیه‌سازی سه بعدی نرم‌افزاری و رابطه ریاضی به دست آمده با آخرین نتایج به دست آمده مورد مقایسه قرار می‌گیرد. مقایسه نتایج، بهبود رابطه ریاضی ارائه شده را نشان می‌دهد.

کلمات کلیدی: PD SOI، PSP SOI، مقاومت بدنه، پتانسیل بدنه، نانومتر.

۱- مقدمه:

خواص این نوع ترانزیستور را از انواع دیگر SOI متمایز می‌کند. از طرف دیگر، جریان حامل‌ها در کانال ترانزیستور باعث ایجاد پدیده یونیزاسیون برخوردی شده که نهایتاً جریان حفره‌ها را در بدنه ترانزیستور ایجاد می‌نماید [۵، ۱۱]. حامل‌های در حال حرکت در بدنه این قطعه، مقاومتی را در سر راه حرکت خود احساس می‌کنند. این مقاومت، مقاومت بدنه ترانزیستور می‌باشد. مقاومت بدنه به ابعاد ترانزیستور، طول کانال و ولتاژ نقطه کار آن مربوط می‌شود و با هر کدام از پارامترهای فوق قابل تغییر است. با کوچک شدن ابعاد ترانزیستور به حدود چندین نانومتر، بررسی اثر این مقاومت و معادلات تغییر آن با شرایط کاری ترانزیستور اهمیت خاصی پیدا می‌کند [۴، ۱۰]. در بحث نانو با استفاده از مدل Energy Balance مشخصه دقیق و قابل اطمینانی از تغییر مقاومت بدنه ترانزیستورهای PD SOI در ابعاد نانو به دست می‌آید [۶-۹، ۱۱]. اهمیت مقاومت بدنه در ترانزیستورهای با ابعاد نانومتر، باعث می‌شود که برای یافتن وابستگی مشخصه‌های افزاره با عوامل تاثیرگذاری چون عرض افزاره (W) و پتانسیل بدنه (V_B) نیاز به مدلی متراکم احساس شود.

ترانزیستورهای سیلیکون روی عایق (SOI) در مقایسه با ترانزیستورهای Bulk مزیت‌های عمده‌ای از خود نشان می‌دهند که استفاده از آنها را برای مقاصد عملی تحت شرایط سخت کاری بسیار مطلوب می‌سازد. از جمله مزیت‌های این ترانزیستورها می‌توان به کاهش مولفه جریان‌های نشتی، کاهش خازن‌های پیوندی، بهبود اثرات کانال کوتاه، ایزوله‌بودن ترانزیستور، کاهش نویزپذیری و حذف اثر قفل‌شدگی را نام برد. به دلیل اینکه این ترانزیستورها 20% تا 35% بهبود عملکردی در مقایسه با ترانزیستورهای Bulk را از خود نشان می‌دهند، بسیاری از شرکت‌های بزرگ برای ساخت مدارات مجتمع از این ترانزیستورها استفاده می‌نمایند. صنعت مدارات مجتمع با کوچک شدن مستمر سایز افزاره‌ها در آینده به پیش می‌رود و تکنولوژی SOI شروع به پیشروی‌های بعدی مقیاس گذاری CMOS کرده است. تراشه‌های PD SOI، یک نوع از ترانزیستورهای SOI ذکر شده هستند که زیر لایه یا بستر در زیر این لایه عایق (اکسید سیلیکون) واقع شده است. در این نوع ترانزیستور، پوسته سیلیکون که بین لایه عایق و اکسید گیت می‌باشد، به صورت ناقص تخلیه شده است [۱-۳]. این خاصیت به وجود آمده کاربرد و



شکل (۱): نمایش اثر کینک به صورت یک انحنا در منحنی مشخصه

I_{DS} - V_{DS} یک ترانزیستور PD SOI

Fig. (1): The demonstration of Kink effect as a distortion in the I_{DS} - V_{DS} characteristics of the PD SOI transistor

محبوبیت افزاره‌های PD به علت عدم وابستگی ولتاژ آستانه آنها، به ضخامت لایه سیلیکون و بارهای موجود در اکسید سیلیکون، می‌باشد. اثر زبان‌آور کینک که وابسته به افزاره‌های PD SOI است، موجب افزایش جریان افزاره می‌گردد که این افزایش جریان با افزایش سرعت عملکرد مدار، یک مزیت برای PD SOI ایجاد می‌کند [۱۳، ۱۲].

از جمله دیگر اثرات بدنه شناور در ترانزیستورهای PD SOI می‌توان به وابستگی مشخصه افزاره به جریان گیت اشاره کرد که این اثر در شرایطی که ضخامت اکسید گیت بسیار کم است، رخ می‌دهد و در این حالت جریان‌های تونلی بین گیت و بدنه ظاهر می‌گردد. این اثرات موجود در افزاره‌های PD SOI با استفاده از اتصال بدنه قابل جبران می‌باشند.

۳- طراحی ساختار ترانزیستور نیمه تخلیه در مقیاس 45 nm

از آنجا که صنعت مدارات مجتمع با کوچک شدن مستمر مشخصه سائز افزاره‌ها به پیش می‌رود، مقیاس‌گذاری ابعاد فیزیکی افزاره از نظر طولی و عرضی به تراکم بالاتر بسته‌بندی و کاهش هزینه ساختار یک افزاره خوب منجر می‌شود. لذا نیاز به یک نرم‌افزار مناسب و بسیار دقیق برای شبیه‌سازی و تحلیل ساختار افزاره‌های در حد نانومتر احساس می‌شود [۱۴]. نرم‌افزار مورد استفاده در این شبیه‌سازی نرم‌افزار ISE TCAD می‌باشد که نرم‌افزاری بسیار قوی برای طراحی قطعات الکترونیکی و نیمه‌هادی‌ها در صنعت VLSI است.

هدف، طراحی ساختار افزاره PD SOI در مقیاس 45 nm است که بنا به اصول فیزیکی و رعایت قواعد ITRS به طراحی و انتخاب قطعات تشکیل دهنده آن می‌پردازیم. هر ترانزیستور PD SOI از پنج بخش اساسی بستر یا زیر لایه، اکسیدمدفون یا BOX، بدنه، پلی سیلیکون گیت و قسمت گیت تشکیل شده است. مقطع عرضی افزاره آزمایشی PD SOI در مقیاس 45 nm طراحی شده در شکل (۲) نمایش داده شده است.

۲- معرفی برخی خواص ترانزیستور PD SOI

افزاره‌های SOI MOSFET به دو دسته اصلی تقسیم می‌شوند: افزاره‌هایی که لایه سیلیکون در ناحیه کانال آنها به صورت کامل تخلیه نمی‌گردد (PD) و افزاره‌هایی که لایه سیلیکان در ناحیه کانال آن، به صورت کامل تخلیه می‌گردد (FD). در افزاره‌های PD SOI، بدنه سیلیکونی باید به اندازه کافی ضخیم باشد تا ناحیه تهی شده در کانال به سطح مشترک بدنه و BOX گسترش نیابد. از این رو ضخامت لایه سیلیکان، t_{si} ، در آنها باید از دو برابر مقدار X_{dmax} (عمق ناحیه تخلیه) بزرگتر باشد.

$$X_{dmax} = \sqrt{\frac{4\epsilon_{si}\phi_F}{qN_a}} \quad (1)$$

در این حالت، هیچ بر هم کنشی بین نواحی تخلیه ناشی از گیت جلو و پشت، در زیر فصل‌های مشترک جلو و پشت، وجود نداشته و یک ناحیه خنثی، در زیر نواحی تخلیه به وجود می‌آید. این ناحیه خنثی را بدنه می‌نامند. اگر بدنه، توسط اتصال بدنه به زمین وصل گردد، مشخصه‌های افزاره PD SOI، دقیقاً همان مشخصه‌های افزاره BULK می‌باشد. اگر بدنه، به صورت الکتریکی شناور، رها گردد، اثراتی که تحت عنوان اثرات بدنه - شناور نامیده شده، ظاهر گردیده که موجب تاثیر بر مشخصه‌های افزاره PD SOI می‌گردد. از جمله این اثرات، می‌توان به اثر کینک، اشاره کرد. زمانی که ولتاژ درین به اندازه کافی افزایش می‌یابد، الکترون‌ها در ناحیه کانال، انرژی کافی را در ناحیه میدان الکتریکی قوی به ویژه در نزدیک درین به دست آورده و با برخورد با اتم‌های شبکه سیلیکون، موجب تولید زوج الکترون-حفره می‌شوند. این مکانیسم برخورد و تولید زوج الکترون حفره، مکانیسم یونیزاسیون برخوردی نام دارد. الکترون‌های تولید شده ناشی از این مکانیسم، به سرعت جذب درین شده و حفره‌ها (حامل‌های اکثریت در بدنه نوع P)، به سمت مکانی در بدنه با پایین‌ترین پتانسیل حرکت می‌کنند. این مکان بدنه شناور نام دارد. تزریق حفره‌ای به داخل ناحیه بدنه شناور، موجب می‌شود که دیود pn ناشی از پیوند بدنه-سورس به صورت مستقیم بایاس گردد. به این ترتیب بدنه شناور افزاره دارای پتانسیل مثبت می‌شود. در مجموع می‌توان گفت که حضور ترانزیستور دو قطبی npn پارازیتی با بیس باز بین سورس و درین، بر مشخصه‌های افزاره تاثیر می‌گذارد.

شکل (۱) اثر کینک را در نمودار مشخصه I_{DS} - V_{DS} از یک ترانزیستور PD SOI بدنه شناور نشان می‌دهد. همان‌طور که مشاهده می‌شود این اثر با حضور یک انحنا در مشخصه‌های خروجی افزاره‌های PD SOI، نمایان می‌گردد.

حدود 8 nA است که این میزان برای افزاره 45 nm مقدراری ایده‌آل محسوب می‌شود.

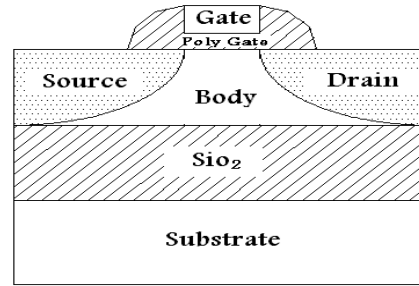
۴- بررسی عوامل تاثیرگذار بر مقاومت بدنه ترانزیستور PD SOI با استفاده از مدل متراکم پتانسیل سطح (PSP)

مدل متراکم پتانسیل سطح، مطابق چارچوب آخرین استانداردهای مدل PSP ترانزیستورهای bulk فرمول‌بندی شده است. PSP SOI علاوه بر خصوصیات فرمول‌بندی اساسی فیزیکی و مقیاس‌پذیری PSP، اثرات مخصوص به SOI را به وسیله توانایی شبیه‌سازی بدنه شناور، جریان‌ها و ظرفیت‌های خازنی پارازیته بدنه دارا می‌باشد [۱۷-۱۹].

PSP SOI الگوریتم تکرارشونده‌ای برای محاسبات پتانسیل سطح مورد استفاده در PSP و برای بایاس مستقیم پیوندهای سورس-درین که می‌تواند در افزاره‌های PD SOI با بدنه شناور قابل قبول باشد، ارائه می‌کند. این مدل همچنین فرمول‌های اساسی فیزیکی و توضیحات اثرات هندسه کوچک که از ترکیب بهترین طرح‌های SP به دست می‌آیند، ارائه می‌کند [۱۵، ۱۶]. مدل جدید PSP SOI به وسیله داده‌های مناسب اندازه‌گیری شده از افزاره‌های PD SOI 9nm تا 65 nm توصیف شده است. نتایج شبیه‌سازی برای نشان دادن خصوصیات ویژه و همگرایی مدل استفاده شده ارائه شده‌اند.

شکل (۳) دیگرام مدل معادل PSP SOI را نشان می‌دهد. برای ساختار بدنه شناور چهار گره خارجی سورس (S)، درین (D)، گیت (G) و زیرلایه (E) در نظر گرفته شده است. برای شبیه‌سازی DC، پتانسیل بدنه V_{BS} به وسیله بالانس جریان‌های بدنه از نشتی پیوندهای سورس و درین (تولید باز ترکیب)، جریان یونیزاسیون ضربه‌ای، جریان گیت القاشونده نشتی درین/سورس GIDL/GISL و جریان تونلی گیت به بدنه که بین گیت و بدنه جاری می‌باشد، معین می‌شود.

برای شبیه‌سازی‌های حالت‌گذاری ac، علاوه بر جریان‌های DC بدنه، V_{BS} به وسیله کوپلینگ خازنی بدنه به ترمینال‌های درین، سورس، گیت و زیر لایه تاثیر گرفته است. گره خارجی اتصال بدنه (BC) همان‌گونه که در تصویر (۳) نمایش داده شده، از طریق مسیر مقاومتی R_B که مقاومت بدنه می‌باشد به گره داخلی بدنه (B) متصل شده است. بر طبق این شکل بالانس جریان‌ات از اتصال گره خارجی بدنه، کوپلینگ ظرفیت خازنی و راه‌های DC ذکر شده، پتانسیل بدنه را تعیین می‌کنند [۲۹].



شکل (۲): نمایش مقطع عرضی یک افزاره PD SOI
Fig. (2): The lateral cross section of a PDSOI device

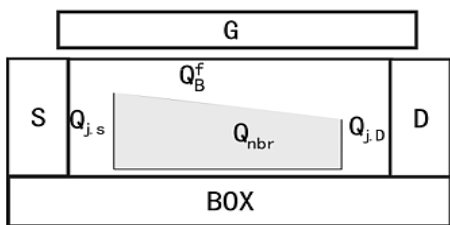
باید توجه داشت که انتخاب نوع و اندازه قسمت بدنه برای عملکرد افزاره بسیار مهم می‌باشد. زیرا نواحی عملکرد افزاره نظیر سورس و درین و کانال در این ناحیه واقع شده‌اند. پس ضخامت بدنه یا t_{Si} باید به دقت و بر اساس معیارهای بسیار دقیق عملی انتخاب شود. همان‌طور که قبلاً ذکر گردید، در طراحی ساختار افزاره‌های PDSOI بدنه سیلیکونی باید به اندازه کافی ضخیم انتخاب گردد تا ناحیه تخلیه شده در کانال به سطح مشترک بدنه و اکسیدمدفون گسترش نیابد که معمولاً t_{Si} بیش از دو برابر عمق ناحیه تخلیه کانال اختیار می‌شود. بر اساس X_{dmax} محاسبه شده، ضخامت بدنه در افزاره مورد مطالعه حدود 70 nm اختیار می‌شود. توجه شود که غلظت ناخالصی قسمت بدنه بیشتر از ناخالصی نوع P اختیار شده برای قسمت بستر و کمتر از ناخالصی نوع n در قسمت‌های سورس و درین اختیار می‌شود. در نظر گرفتن دو پروفایل متقارن و زاویه‌دار halo در طراحی افزاره PD SOI در مقیاس 45 nm ضروری می‌باشد. پروفایل خطی کاشت ناخالصی halo برای از بین بردن جریان‌های ناخالصی در زیر سورس و درین، حذف اثر سوراشدگی و همچنین جلوگیری از اثرات تونلی باند به باند از نوع ناخالصی بدنه تعریف می‌شود.

سپس قسمت‌های دیگر افزاره نظیر گیت و پلی‌گیت، بستر و اکسید مدفون به قسمت بدنه اضافه می‌شود.

حال می‌توان مشخصه‌های خروجی گوناگون این طراحی نظیر منحنی‌های $I_{DS}-V_{GS}$ ، $I_{DS}-V_{DS}$ ، $I_{DS}-V_{GS}$ و $\log I_{DS}-V_{GS}$ [۲۱] را مشاهده کرد. از مشخصه $I_{DS}-V_{GS}$ می‌توان ولتاژ آستانه به دست آورد. در طول شبیه‌سازی افزاره به علت عدم تطابق V_{th} موجود، با استانداردهای ITRS یک پروفایل خطی جدید در ناحیه‌ای همسان با طول موثر کانال، از جنس ناخالصی نوع P اختیار می‌گردد. با تنظیم آن، ولتاژ آستانه موردنظر در حدود 0.25 V می‌گردد.

منحنی مشخصه $I_{DS}-V_{DS}$ افزاره PD SOI در مقیاس 45 nm، میزان I_{on} برای نمونه ساخته شده را به دست می‌دهد. I_{on} به دست آمده حدود 600 μA می‌باشد. این میزان I_{on} برای افزاره 45 nm با ولتاژ آستانه 0.25 V مناسب می‌باشد.

مشخصه مهم دیگر $\log I_{DS}-V_{GS}$ می‌باشد که مشخصه مهم I_{off} ترانزیستور را به دست می‌دهد. علاوه بر این از روی آن می‌توان شیب زیرآستانه ترانزیستور را به دست آورد. I_{off} به دست آمده برای افزاره



شکل (۴): نمایش بارهای Q_B و Q_{nbr} در ناحیه خنثی بدنه
Fig. (4): The Q_B and Q_{nbr} in the neutral part of the body

در بخش بعدی این مقاله مدل ریاضی بهبودیافته‌ای برای به‌دست آوردن R_B بر اساس مدل PSP ارائه می‌گردد.

۵- بهبود رابطه تغییرات مقاومت بدنه با پتانسیل بدنه (V_B) و عرض افزاره (W)

حال روشی برای یافتن رابطه وابستگی R_B (مقاومت بدنه) و V_B (ولتاژ بدنه) با استفاده از روش پایه پتانسیل سطح ارائه می‌گردد. طبق مدل غیرخطی بیان شده در رابطه (۲) با به دست آوردن Q_{nbr} از رابطه (۳) می‌توان به رابطه‌ای برای بیان وابستگی R_B به V_B رسید.

برای یافتن Q_{nbr} نیاز به مشخص شدن رابطه Q_B به صورت دقیق می‌باشد. $Q_B = Q_B^f + Q_{j,s} + Q_{j,D}$ (۴)

Q_B^f بار ایجاد شده توسط گیت در ناحیه بالایی بدنه می‌باشد. با در نظر گرفتن بار Q_B^f به صورت حجمی و با توجه به میزان ناخالصی موجود در ناحیه مربوط به آن و نیز عمق ناحیه تخلیه، می‌توان به مقدار آن از رابطه زیر دست یافت.

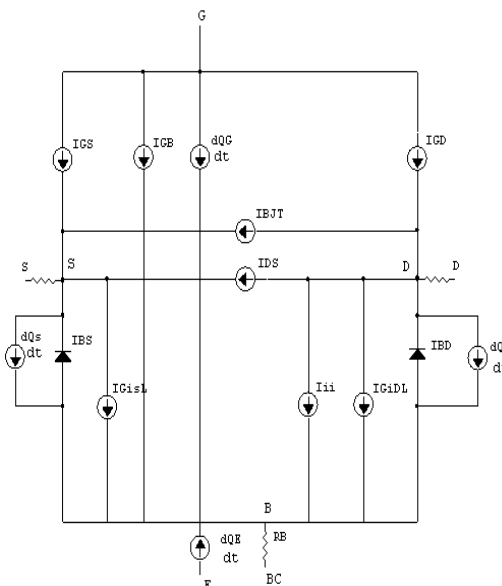
$$Q_B^f = qN_B \cdot x_{dman} \cdot WL_{eff} \quad (5)$$

در این رابطه N_B میزان ناخالصی موثر در ناحیه مربوط به بارگیت جلویی و x_{dman} عمق ناحیه تخلیه بدنه، W عرض افزاره و L_{eff} طول موثر کانال می‌باشد. با میانگین‌گیری از غلظت ناخالصی قسمت بدنه افزاره در بخش $Tecplot$ از نرم‌افزار، میزان N_B که از نوع ناخالصی پذیرنده می‌باشد، تخمین زده می‌شود. برای یافتن x_{dman} از رابطه (۱) بیان شده در بخش (۲) مقاله استفاده می‌شود. به این ترتیب رابطه پارامتری و نیز مقدار عددی Q_B^f حاصل می‌شود.

جزء دوم تشکیل‌دهنده Q_B ، $Q_{j,s}$ می‌باشد. با توجه به این که پتانسیل در سورس صفر اختیار شده و این که پتانسیل در قسمت بدنه به علت وجود جریان‌های ناشی گوناگون صفر نیست، پیوند p-n در قسمت بدنه - سورس یک پیوند بایاس مستقیم می‌باشد. به کمک روابطی که در خصوص پیوندهای p-n موجود است می‌توان بار القاشده را در سمت سورس به صورت بیان شده در رابطه (۶) محاسبه کرد.

$$Q_{j,s} = qI_{halo} \cdot W N_{as} X_{ps} \quad (6)$$

بار بیان شده در رابطه (۶) به صورت حجمی در نظر گرفته شده است، که در آن I_{halo} طول پروفایل خطی کاشت ناخالصی halo در سمت سورس و X_{ps} عمق ناحیه تخلیه پیوند p-n بایاس مستقیم در سمت سورس - بدنه می‌باشد. N_{as} نیز میزان تراکم ناخالصی‌های نوع پذیرنده



شکل (۳): نمایی از مدل مدار PSP SOI.
Fig. (3): The schematic of a PSP SOI circuit model

در شکل (۳) I_{IDS} جریان ذاتی درین، I_{IBJT} جریان دوقطبی پارازیتی، I_{ii} جریان یونیزاسیون ضربه‌ای، I_{IGiDL}/I_{IGiSL} جریان گیت القا شونده ناشی درین (سورس)، I_{IBS}/I_{IBD} جریان پیوند سورس/ درین، I_{GB} ، I_{GS}/I_{GD} جریان تونلی گیت به درین/ سورس - بدنه. Q_G ، Q_s ، Q_B ، Q_E بارهای سورس، درین، گیت و بستر برای SOI با اتصال بدنه می‌باشند. گره اضافه (BC) برای کنترل ولتاژ گره داخلی بدنه (B) از طریق مقاومت بدنه R_B پدید آمده است.

در مدل PSP SOI جریان پیوند ($I_{B,S/D}$) شامل جریان رانش و انتشار (I_{ideal})، جریان تولید و باز ترکیب (I_{SRH})، جریان تونلی ملحق به تله (I_{TAT})، جریان تونلی باند به باند (I_{BBT}) می‌باشد. روابط محاسباتی این جریان‌ها در [۱۶] آمده است. مطالعات قبلی انجام شده بر اساس مدل PSP، معادله غیرخطی (۲) را برای محاسبه مقاومت بدنه بیان می‌کند [۱۶].

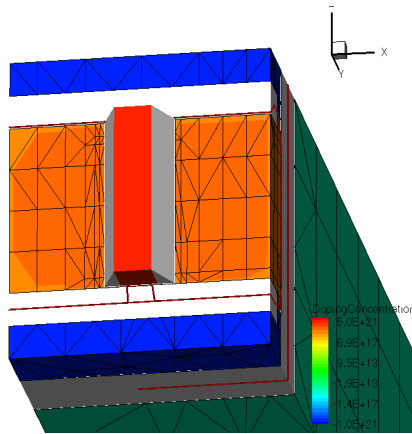
$$R_B = \frac{W^2}{\mu_B Q_{nbr}} \quad (2)$$

در رابطه (۲)، μ_B قابلیت حرکت حامل‌های اکثریت در بدنه (حفره در \ln Mosfet) و

$$Q_{nbr} = qN_{FFF} t_{SI} WL - Q_B \quad (3)$$

کل بار اکثریت متحرک در ناحیه خنثی بدنه می‌باشد. در اینجا N_{EFF} دوپینگ موثر کانال شامل اثر القای halo و t_{si} ضخامت پوسته سیلیکونی می‌باشد. بار کل Q_B شامل بار bulk القا شونده گیت (جلو) Q_B^f ، بارهای تخلیه پیوند $Q_{j,s}/D$ و بار bulk القا شونده گیت پشتی همان‌طور که در شکل (۳) نشان داده شده است می‌باشد. شکل (۴) مکان تقریبی بارهای Q_B و Q_{nbr} را در ناحیه خنثی بدنه یک ترانزیستور PD SOI نشان می‌دهد.

طراحی سه بعدی نرم افزار ISE TCAD، تنها در صورت صحیح بودن مراحل برنامه نویسی و طراحی صحیح ساختار افزاره به جوابی همگرا منجر می شود. ضمن شبیه سازی سه بعدی این افزاره، از مدل اتصال بدنه یا همان Body contact برای افزاره PD SOI در مقیاس 45 nm استفاده می گردد. اتصال بدنه تعریف شده، H شکل می باشد [۲۰]. شکل (۵) که نمایانگر تغییرات غلظت ناخالصی در حجم افزاره به همراه گره های محاسباتی (مش) است، به وضوح این اتصال H شکل را در نمای بالایی افزاره نمایش می دهد. اتصالات نمایش داده شده از زیر به بدنه متصل می باشند. پتانسیل در یک طرف اتصال H شکل بدنه صفر، و سوی دیگر اتصال به صورت شناور رها می گردد.



شکل (۵): نمایش تغییرات غلظت ناخالصی در حجم افزاره PD SOI در

مقیاس 45nm به همراه گره های محاسباتی آن (W=0.2μm)

Fig. (5): The schematic of the variations of impurity concentration in the PD SOI device at 45 nm scale, together with its computed nodes (W=0.2 μm)

با توجه به تراکم مش ها در حجم افزاره طراحی شده، هر کدام از گره هایی که توسط مش ها به وجود آمده اند یکی از نقاط محاسباتی را تشکیل داده اند. در شبیه سازی دوبعدی یک افزاره کوچک با طول کانال 45 nm، حدود 32000 گره محاسباتی برای نمایش مشخصه های مختلف خروجی افزاره تعریف شده است. برای شبیه سازی سه بعدی تعداد این نقاط محاسباتی تعریف شده به بیش از 40000 تا حدود 50000 گره می رسد که این دقت بالا در تعریف تراکم بسیار بالای نقاط محاسباتی باعث مشکل شدن شبیه سازی سه بعدی و دیر به پاسخ نهایی رسیدن شده است. بنابراین قطعاً می توان ادعای دقت بالا و صحیح بودن کار محاسباتی انجام شده را در این مقاله بیان کرد.

در این مقاله W از 0.2 μm تا 1 μm تغییر یافته تا بتوان نحوه تغییرات R_B با W را تخمین زد. غلظت حامل های ناخالصی استفاده شده در یافتن رابطه R_B بر حسب W و V_B، به دقت و با میانگین گیری های دقیق به دست آمده است.

با شبیه سازی سه بعدی انجام شده، می توان مقدار عددی پتانسیل الکترواستاتیک را در هر کجای حجم افزاره دید و تعیین کرد. شکل (۶) نمایی از تغییرات پتانسیل الکترواستاتیک حاصل از شبیه سازی سه بعدی

در قسمت p از این دیود یعنی در قسمت بدنه است. W عرض افزاره است که بعد سوم بار حجمی را تشکیل می دهد. X_{ps} نیز از رابطه (۷) حاصل می شود.

$$X_{ps} = \left\{ \frac{2\epsilon_{si}(\phi_{es} - V_f)N_{ds}}{qN_{as}(N_{ds} + N_{as})} \right\}^{1/2} \quad (7)$$

در این رابطه V_f بیانگر ولتاژ بایاس مستقیم پیوند بدنه - سورس است که در افزاره برابر با V_{BS} می باشد. φ_{es} نیز پتانسیل ذاتی پیوند می باشد. جزء سوم تشکیل دهنده Q_{i,D}، Q_B است که بیانگر میزان بار ایجاد شده از طرف پیوند p-n بایاس معکوس در سمت درین می باشد که با رابطه (۸) داده می شود. در این مطالعه ولتاژ درین برابر 1.1 V اختیار گردید.

$$Q_{i,D} = q I_{halo} W N_{ad} X_{pd} \quad (8)$$

در رابطه (۸) نیز به علت حجمی بودن بار، I_{halo} بیانگر طول پروفایل ناخالصی خطی کاشت ناخالصی halo در سمت درین و X_{pd} عمق ناحیه تخلیه پیوند p-n بایاس معکوس در سمت بدنه - درین است و W همچنان بیانگر عرض افزاره یعنی بعد سوم بار حجمی می باشد. N_{ad} غلظت ناخالصی نوع پذیرنده در قسمت p از این دیود، یعنی قسمت بدنه می باشد و X_{pd} نیز از رابطه (۹) برای یک پیوند بایاس معکوس حاصل می شود:

$$X_{pd} = \left\{ \frac{2\epsilon_{si}(\phi_{eD} + V_R)N_{dD}}{qN_{ad}(N_{ad} + N_{dD})} \right\}^{1/2} \quad (9)$$

در این رابطه V_R بیانگر ولتاژ با یاس معکوس پیوند بدنه - درین می باشد که در این افزاره برابر با V_{DB} است.

می نیز معرف پتانسیل ذاتی پیوند p-n در سمت درین است. با جمع کردن بارهای به دست آمده، از رابطه (۴)، Q_B حاصل می شود و با قرار دادن آن در رابطه (۳)، Q_{nbr} به صورت رابطه (۱۰) به دست می آید:

$$Q_{nbr} = WL_{eff} N_{eff} t_{si} - q I_{halo} W \left\{ \frac{2\epsilon_{si}(\phi_{es} - V_{Bs})N_{ds} N_{as}}{q(N_{ds} + N_{as})} \right\}^{1/2} - q L_{holo} W \left\{ \frac{2\epsilon_{si}(\phi_{eD} - V_{DB})N_{dD} N_{ad}}{q(N_{dD} + N_{ad})} \right\}^{1/2} - q N_B X_{dmax} W L_{eff} \quad (10)$$

با توجه به رابطه بیان شده در رابطه (۲) وابستگی مقاومت بدنه به ولتاژ بدنه به صورت رابطه (۱۱)، حاصل می شود:

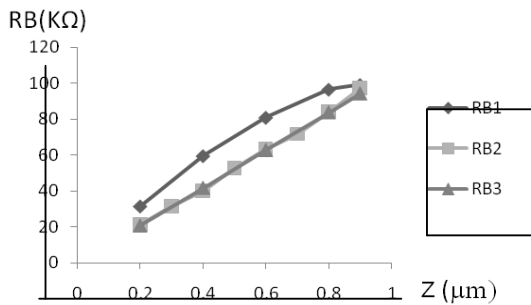
$$R_B = \frac{W}{\mu[V - X(Y(\phi_{eD} + V_D - V_B))^{1/2} - X(Z(\phi_{es} + V_S - V_B))^{1/2}]} \quad (11)$$

Z, V, Y, X پارامترهای وابسته مدل می باشند.

۶- نتایج شبیه سازی سه بعدی

جهت حصول روابط وابستگی مقاومت بدنه با عواملی چون پتانسیل بدنه و عرض افزاره؛ نیاز به شبیه سازی افزاره در محیط نرم افزار ISE TCAD می باشد و به دلیل آن که مقاومت بدنه در سه بعد طول افزاره (امتداد کانال)، عمق افزاره (امتداد ضخامت لایه سیلیکونی) و عرض افزاره (امتداد W)، با پتانسیل بدنه تغییر می کند، به شبیه سازی افزاره طراحی شده در نمای سه بعدی نرم افزار نیاز می باشد.

همان طور که در شکل (۷) مشاهده می‌شود، با افزایش V_B ، W زیاد می‌شود. در نقاط انتهایی افزاره، افزایش V_B به علت تغییر در میزان جریان‌های داخلی بدنه کمتر می‌شود. با داشتن نتایج حاصل از نمودار شکل (۷)، V_B متناظر با هر W مشخص می‌گردد و می‌توان با قرار دادن این مقادیر معلوم در رابطه ریاضی به دست آمده در (۱۱)، مقدار R_B را برای هر مقدار W در بازه تعریف شده به دست آورد. جهت نشان دادن میزان تطبیق نتیجه رابطه ریاضی پیشنهادی، با نتایج شبیه‌سازی سه‌بعدی حاضر و مقایسه آن با نتایج حاصل از مطالعات پیشین، سه منحنی به دست آمده از نتایج مطالعات پیشین رابطه (۲)، رابطه ریاضی پیشنهاد شده و نتایج حاصل از شبیه‌سازی سه‌بعدی افزاره روی یک دستگاه مختصات در شکل (۸) نشان داده شده‌اند.



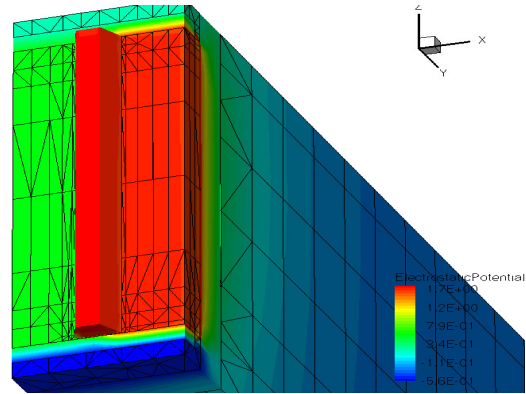
شکل (۸): منحنی‌های تغییرات R_B بر حسب V_B بر اساس مطالعات پیشین (RB1)، نتایج شبیه‌سازی (RB2) و رابطه ریاضی به دست آمده (RB3)

Fig. (8): The graph of variations of R_B as a function of V_B based on the previous studies (RB1), the simulation results (RB2) and the mathematic relation obtained (RB3)

۷- نتیجه‌گیری

با دقت در سه نمودار نمایش داده شده در شکل (۸)، مشاهده می‌شود که نتیجه به دست آمده از شبیه‌سازی‌های سه‌بعدی (RB2) با رابطه ریاضی به دست آمده (RB3)، کاملاً تطابق دارد و این نشان‌دهنده بهبود محاسبات در رابطه ریاضی به دست آمده، نسبت به نتایج مطالعات قبلی انجام شده می‌باشد.

را در حجم افزاره PD SOI در مقیاس 45 nm برای $W = 0.8 \mu m$ است. باید توجه داشت که پتانسیلی که در این تصویر دیده می‌شود، با پتانسیل بایاس خارجی که ضمن نوشتن فایل برنامه‌نویسی تعریف شده، متفاوت می‌باشد. چون پتانسیل الکترواستاتیک، برآیند پتانسیل اعمالی از خارج افزاره با پتانسیل ذاتی پیوند می‌باشد. به عنوان مثال، همین موضوع باعث گردیده که با آگاهی از این که ولتاژ درین 1.1 V تعریف شده است، پتانسیل الکترواستاتیک در حدود 1.7 V مشاهده شود. با محاسبه دقیق پتانسیل ذاتی در جای‌جای افزاره، می‌توان از روی شکل (۶) پتانسیل خارجی افزاره را با اندکی تدبیر از شبیه‌سازی‌های سه‌بعدی به دست آورد.

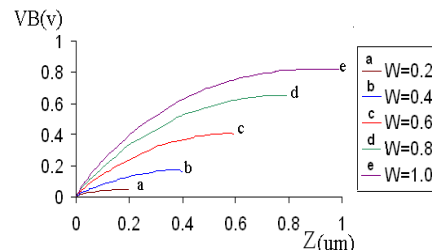


شکل (۶) نمایش تغییرات پتانسیل الکترواستاتیک در حجم افزاره

PD SOI در مقیاس 45 nm به همراه گره‌های محاسباتی آن ($W = 0.8 \mu m$)

Fig. (6): The variations of electrostatic potential inside the PD SOI device of 45 nm scale with calculated nodes ($W = 0.8 \mu m$)

با استفاده از این خاصیت نرم‌افزار، برای افزاره‌های با عرض $W = 0.2, 0.4, 0.6, 0.8, 1 \mu m$ ، تعدادی از ولتاژ نقاطی از بدنه با داشتن پتانسیل الکترواستاتیکی در جای‌جای افزاره و با مختصات متفاوت W به وسیله شبیه‌سازی سه بعدی سیگنال کوچک، استخراج می‌شود. با داشتن این داده‌های یک به یک منحنی V_B بر حسب W حاصل می‌گردد. نمودار شکل (۷) نشانگر منحنی حاصل از نتیجه این شبیه‌سازی می‌باشد.



شکل (۷): منحنی V_B بر حسب W افزاره PD SOI 45 nm حاصل از نتایج

شبیه‌سازی برای افزاره‌های با عرض متفاوت

Fig. (7): The graph of variations of V_B as a function of W of 45 nm PD SOI device, obtained from the simulation results for the different device width

References

- [1] J.P. Colinge, "Silicon-on-insulator technology", Materials to VLSI, Kluwer academic publishers, 3rd. edition, 2004.
- [2] G.G. Shahidi, "SOI technology for the GHz era", IBM J.RES. & DEV., Vol.46, No.2/3, March/May 2002.
- [3] J.P. Raskin, "Wideband characterization of SOI materials and devices", Solid-State Elect., 51, pp.1161-1171, 2007.
- [4] V. Kilchytka, et al, "Influence of device engineering on the analog and RF performance of SOI MOSFETs", IEEE Trans. On Elec. Dev., Vol.50, No.3, pp.577-586, March 2003.
- [5] W. Jin, P.C. Chan, S.K.H. Fung, P.K. Ko, "Shot-noise-induced excess low-frequency noise in floating-body partially depleted SOI MOSFETs", IEEE Trans. Elec. Dev., Vol.46, No.7, pp.1180-1185, 1999.
- [6] ISE TCAD Manual, ISE Integrated systems, V.10.
- [7] W. Jin, et al, "SOI thermal impedance extraction methodology and its significance for circuit simulation", IEEE Trans. on Elec. Dev., Vol.48, No.4, pp.730-736, 2001.
- [8] D. Lederer, J.P. Raskin, "RF performance of a commercial SOI technology transferred onto a passivated HR silicon substrate", IEEE Trans. on Elec. Dev., Vol.55, No.7, pp.1664-1671, 2008.
- [9] C. Fiegna, Y. Yang, E. Sangiorgi, A.G. O'Neil, "Analysis of self-heating effects in ultrathin body SOI MOSFETs by device simulation", IEEE Trans. On Elec. Dev., Vol.55, No.1, pp.233-244, 2008.
- [10] D. Lederer, D. Vanhoenacker, D. Flandre, J. Raskin, "Frequency degradation of SOI MOS device output conductance conference", IEEE/SOI, pp.76-77, Sep./Oct. 2003.
- [11] A. Daghighi, M. Osman, M.A. Imam, "An area efficient body contact for low and high voltage SOI MOSFET devices", Solid-State Elec., No.52, pp.196-204, 2008.
- [12] P. Su, S. Fung, S. Tang, F. Assaderaghi, H.C. BSIMPD, "A partial-depletion SOI MOSFET model for deep-submicron CMOS designs", IEEE/CICC, pp.197-200, 2000.
- [13] SC. Lin, JB. Kuo, "Temperature-dependent Kink effect model for partially- depleted SOI NMOS devices", IEEE Trans. Elec. Dev., 46(1):254-8, 1999.
- [14] T. Skotnicki, "Heading for decanometer CMOS navigation among icebergs still a viable strategy", ESSDERC, pp.19-33, 2000.
- [15] G.G. Shahidi, "SOI technology for the GHz era", In international symposium on VLSI technology, systems, and applications, proceedings of technical papers, p.11- 4, 2001.
- [16] G.Gildenblat, X.Li, W.Wu, H.Wang, A.Jha, R.Van Langevelde, et al, "PSP: An advanced surface-potential-based MOSFET model for circuit simulation", IEEE Trans. Electron. Dev., 53 (9):1979-93, 2006.
- [17] G. Gildenblat, H. Wang, T-L. Chen, X. Cai, "SP: An advanced surface-potential- based compact MOSFET model", IEEE J. Solid-State Circ, 39 (Sep.): 1394-406, 2004.
- [18] G. Gildenblat, X. Li, H. Wang, W. Wu, R. Van Langevelde, A.Scholten, et al, "Introduction to PSP MOSFET model", In Technical proceedings of workshop on compact modeling, p.19 - 24, 2005.
- [19] A. Daghighi, M.A. Osman, "Three-dimensional simulation of body contact structures in PD SOI MOSFETs", IEEE/UGIM, p.288-91, 2003.
- [20] A. Daghighi, M.A. Osman, "Small signal analysis of a SOI MOSFET device with a novel area efficient body contact", IEEE/S.E.C., 88-91, 2005.
- [21] A. Askari Khashooei, "Changes in body resistance PD SOI transistor in Nanometer scale", Master thesis, Islamic Azad University, Najafabad Branch, Summer 2009.

رزومه



آرش دقیقی متولد ۱۳۵۱ شهر اصفهان می‌باشد. وی دوره کارشناسی خود را در رشته برق گرایش الکترونیک در دانشگاه صنعتی اصفهان و دوره کارشناسی ارشد را در رشته مهندسی برق گرایش کنترل و دوره دکترا در رشته مهندسی برق گرایش الکترونیک با تخصص ادوات نیمه‌هادی از دانشگاه ایالتی واشنگتن به پایان رسانده‌اند. ایشان از دانشجویان ممتاز المپیاد فیزیک کشوری در سال ۱۳۶۹ بوده که بعد از پایان تحصیلات در مقطع کارشناسی ارشد برای ادامه تحصیل در سال ۱۳۸۰ به کشور آمریکا سفر کرده است. در طی دوره دکترا بر روی ساخت و شبیه‌سازی ادوات نیمه‌هادی SOI کار کرده که حاصل آن ابداع روشی جدید برای اتصال بدنه در این ترانزیستورها می‌باشد. ایشان از سال ۱۳۸۳ - ۱۳۸۵ با شرکت اینتل همکاری داشته است و هم‌اکنون استادیار دانشگاه دولتی شهرکرد می‌باشد. ایشان مقالات چندی در مجلات معتبر ISI و کنفرانس‌های بین‌المللی دارند.



اعظم عسکری خشویی متولد اسفند ۱۳۶۲ شهر اصفهان می‌باشد. وی دوره کارشناسی و کارشناسی ارشد خود را در رشته مهندسی برق گرایش الکترونیک در دانشگاه آزاد اسلامی نجف‌آباد در سال‌های ۱۳۸۵ و ۱۳۸۸ به پایان رسانده است. زمینه تخصص علمی ایشان طراحی و شبیه‌سازی ترانزیستورهای در ابعاد نانومتر و مخابرات بی‌سیم می‌باشد.

