JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 15/ No. 60/ Winter 2025
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

https://dorl.net/dor/20.....
Research Article

Design and Simulation of a New Capacitance Multiplier with Adaptive Current Bias and Quasi-Floating Gate Technique with Electronic Tunability and High Linearity for Biomedical Applications

Mohammad Aghaei-Jeshvaghani[1,2], *Ph.D Student*, Mehdi Dolatshahi[1], *Assistant Professor*, Sayed Mohammadali Zanjani[1,2], *Assistant Professor*, Mohammad Amin Honarvar[1,2], *Associate Professor*

[1]Department of Electrical Engineering- Najafabad Branch, Islamic Azad University, Najafabad, Iran
[2]Smart Microgrid Research Center- Najafabad Branch, Islamic Azad University, Najafabad, Iran
maghaei-elec@sel.iaun.ac.ir, dolatshahi@iaun.ac.ir, sma_zanjani@pel.iaun.ac.ir, amin.honarvar@gmail.com

Abstract
Employing capacitance multipliers in low-frequency integrated circuits has a significant effect on reducing the chip size area. The main idea behind the proposed circuit in this paper is to use a folded current follower (FCF) structure to effectively reduce the equivalent series resistance (ESR) in the input stage. Furthermore, using an auxiliary circuit to adapt the bias current of the transistors and applying the necessary signals by the quasi-floating gate technique (QFG), are other approaches employed to reduce the static power consumption while properly increasing the linearity of the proposed circuit, which can be considered as other benefits of the proposed approach. On the other hand, to improve the linearity, negative feedback is used and necessary voltage is applied to the gate of the transistors in the current sampler. The "K" coefficient can be adjusted by the active method. Low input resistance and high output resistance as well as the reduced occupied silicon area are achieved based on the simulation results of the proposed circuit. The simulation results in 0.18 µm technology show that, with a 0.8 V power supply and base capacitor (C_b=1 pF), for 850 nW power consumption, a capacitor equivalent to 204 pF is achieved in the proposed approach. As another example, to realize the 101 pF capacitor with the supply as mentioned above and base capacitor, the proposed multiplier requires 6.3 times less area and 23 times more bandwidth than FCF, which shows the increased accuracy of the proposed design. In the proposed circuit, in the presence of a current adaptive circuit with an input signal range of 7 nA, the output current range is obtained as 1510 nA, While the output bias current is 100nA and the harmonic distortion value is obtained as 3.6%. The proposed circuit has the highest figure of merit 42.823 MHz/µW, which shows superiority in overall performance in comparison with other reported designs.

Keywords: adaptive current, biomedical, capacitance multipliers, electronic adjustability, linearity

Received: 23 July 2022
Revised: 28 August 2022
Accepted: 21 November 2022

Corresponding Author: Dr. Mehdi Dolatshahi

Citation: M. Aghaei-Jeshvaghani, M. Dolatshahi, S.M.A. Zanjani, M.A. Honarvar, "Design and simulation of a new capacitance multiplier with adaptive current bias and quasi-floating gate technique with electronic tunability and high linearity for biomedical applications", Journal of Intelligent Procedures in Electrical Technology, vol. 15, no. 60, pp. 103-118, March 2025 (in Persian).

https://dorl.net/dor/20.....
مقاله پژوهشی

طراحی و شبیه‌سازی یک ضرب‌کننده خازنی جدید با بایاس جریان تطبیقی و تکنیک گیت شبه‌شناور با ویژگی تنظیم‌پذیری الکترونیکی و خطینگی بالا برای کاربردهای زیست‌پزشکی

محمد آقایی-جشوقانی[۱،۲]، دانشجوی دکتری، مهدی دولتشاهی[۱]، استادیار، سید محمدعلی زنجانی[۱،۲]، استادیار، محمد امین هنرور[۱،۲]، دانشیار

۱- دانشکده مهندسی برق- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
۲- مرکز تحقیقات ریزشبکه‌های هوشمند- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
maghaei-elec@sel.iaun.ac.ir, dolatshahi@iaun.ac.ir, sma_zanjani@pel.iaun.ac.ir, amin.honarvar@gmail.com

چکیده: استفاده از ضرب‌کننده‌های خازنی در مدارهای مجتمع فرکانس پایین، تاثیر قابل توجه در کاهش مساحت تراشه دارد. در مدار پیشنهادی به‌منظور کاهش مقاومت معادل سری در طبقه ورودی از ساختار مبتنی‌بر دنبال‌کننده جریان بازگشتی استفاده شده است. استفاده از مدار کمکی جهت تطبیق جریان بایاس ترانزیستورها و اعمال سیگنال‌های لازم توسط تکنیک گیت شبه‌شناور به‌منظور کاهش توان مصرفی ایستا و افزایش خطینگی از دیگر ویژگی‌های مدار پیشنهادی است. همچنین جهت افزایش خطینگی از فیدبک منفی استفاده شده است تا ولتاژ لازم به گیت ترانزیستورهای نمونه‌بردار جریان اعمال شود. ضریب مقیاس‌گذاری K با روش فعال قابل تنظیم است. مقاومت ورودی پایین و مقاومت خروجی بالا و حداقل مساحت مدار پیشنهادی، از نتایج نظری و شبیه‌سازی مدار پیشنهادی است. مدار پیشنهادی در فناوری ۰/۱۸ میکرومتر و با تغذیه ۰/۸ ولت شبیه‌سازی شده است. نتایج نشان می‌دهد مدار پیشنهادی برای خازن معادل ۲۰۴ پیکوفاراد با خازن پایه ۱ پیکو فاراد، توانی معادل ۸۵۰ نانووات مصرف می‌کند. به‌عنوان مثالی دیگر، برای تحقق خازن ۱۰۱ پیکو فاراد با تغذیه و خازن پایه مذکور، ضرب‌کننده پیشنهادی، به مساحتی ۶/۳ بار کم‌تر و پهنای باند ۲۳ بار بیشتر نسبت به FCF نیاز دارد که نشانگر افزایش صحت طرح پیشنهادی است. در مدار پیشنهادی، با حضور مدار تطبیق جریان با دامنه سیگنال ۷ نانوآمپر در ورودی، دامنه سیگنال جریان خروجی ۱۵۱۰ نانو آمپر است؛ در حالی که جریان بایاس خروجی ۱۰۰ نانوآمپر بوده و مقدار اعوجاج هارمونیکی ۳/۶ درصد است. مدار پیشنهادی دارای بیشترین ضریب شایستگی یعنی ۴۸/۸۲۳ مگاهرتز بر میکروات است که معرف عملکرد بهتر نسبت به مدارهای گزارش‌شده قبلی است.

کلمات کلیدی: تنظیم‌پذیری الکترونیکی، جریان تطبیقی، خطینگی، زیست پزشکی، ضرب‌کننده خازنی

تاریخ ارسال مقاله: ۱۴۰۱/۵/۱
تاریخ بازنگری مقاله: ۱۴۰۱/۶/۶
تاریخ پذیرش مقاله: ۱۴۰۱/۸/۳۰
نام نویسنده‌ی مسئول: دکتر مهدی دولتشاهی
نشانی نویسنده‌ی مسئول: نجف‌آباد- بلوار دانشگاه- دانشگاه آزاد اسلامی واحد نجف‌آباد- دانشکده مهندسی برق

۱- مقدمه

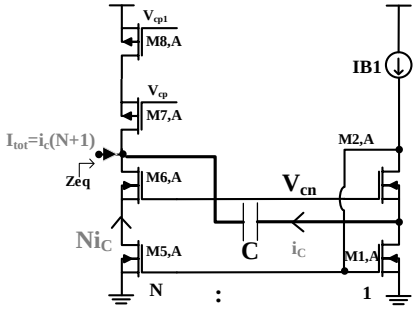
طراحی مدارهای مجتمع کم‌توان[1] به‌ویژه برای دستگاه‌های قابل حمل، تلفن‌های هوشمند و دستگاه‌های زیست‌پزشکی قابل حمل مانند سمعک به یک نیاز تبدیل شده است [۴-۱]. ویژگی‌هایی مانند سرعت، خطینگی و مصرف توان از چالش‌های طراحی مدارهای آنالوگ است [۵،۶]. ادوات پردازش سیگنال‌های حیاتی مانند الکتروکاردیوگراف و یا الکتروانسفالوگراف، نیاز به دریافت انرژی از بدن انسان و کار با باتری با طول عمر زیاد دارند [۱۰-۷]. قسمت آنالوگ ابتدایی این ادوات به فیلترهایی با فرکانس‌های قطع چند ده و چند صد هرتز نیاز دارند [۱۱]. با این حال، در طراحی سامانه‌های آنالوگ، تولید مدارهای مجتمع با عناصر غیرفعال مانند فیلتر مقاومت-خازنی گران است و مساحت وسیعی از تراشه را می‌پوشاند. در طراحی فیلترهای فرکانس پایین، کاهش میزان ترارسانایی[2] ترانزیستور (gm) منجر به افزایش سطح نویز حرارتی می‌شود [۱۲]. بنابراین، کاهش رسانایی روش موثری نبوده و عموما به ظرفیت خازنی بزرگی نیاز است. در کاربردهایی مانند حسگر خازنی، مدار نمونه‌بردار و نگه‌دار، قفل‌کننده حلقه فاز و فیلتر [۱۳] در حوزه زیست‌پزشکی به خازن‌هایی با ظرفیت بالا نیاز است. درنتیجه بین کاهش مساحت تراشه، توان مصرفی و قابلیت فعالیت در فرکانس پایین چالش وجود دارد [۱۴]. بنابراین طراحان، به‌جای استفاده از خازن‌هایی با ظرفیت بزرگ، بر طراحی ضرب‌کننده‌های خازنی که مساحت اشغالی کم‌تری را روی تراشه اشغال می‌کنند، متمرکز شده‌اند [۴]. ضرب‌کننده‌ها می‌توانند با حداقل مساحت اشغالی، خازن مورد نیاز برای ایجاد فرکانس‌های قطع پایین را برآورده کنند. همچنین ضرب‌کننده‌های خازنی به شکل‌های زمین‌شده [۱۴،۱۵] و شناور [۱۱،۱۶] استفاده می‌شوند. خازن معادل (C_{eq}) به‌صورت ضرب ظرفیت خازن پایه C_b در عامل مقیاس‌گذاری (K) تعریف می‌شود. ضرب‌کننده‌های امپدانس خازنی به دو دسته کلی مد جریان و مد ولتاژ دسته‌بندی می‌شوند. ضرب‌کننده‌های خازنی مد ولتاژ، ضریب K و پهنای باند موثری دارند. در ضرب‌کننده خازنیِ مد ولتاژ، خازن پایه (C_b) بر اساس نظریه‌ی میلر، بین خروجی و ورودی تقویت‌کننده نصب می‌شود و خازن معادل طبق رابطه (۱) به‌صورت ضرب ظرفیت خازن پایه C_b در عامل مقیاس‌گذاری K تعریف می‌شود:

$$k = \frac{V_2}{V_1} = |A_V| = \frac{C_{eq}}{C_b} \qquad (۱)$$

بین افزایش نوسان متقارن ورودی و افزایش ضریب تقویت خازنی چالش وجود دارد که منجربه محدودیت در مقدار K می‌شود. بنابراین از آن در کاربردهایی استفاده می‌شود که حداکثر خازن مورد نیاز است ولی مقدار دقیق مد نظر نیست [۱۷،۱۸]. تعدادی از مدارهای مبتنی‌بر مد ولتاژ در مرجع‌های [۱۸] و [۱۹] گزارش شده‌اند. دسته دیگری از طرح‌ها دقت بسیار خوبی را ارائه می‌دهند اما ضریب محدود، توان مصرفی بالا و سطح سیلیکون زیادی دارند؛ این طرح‌ها عموما بر اساس مد جریان هستند [۶]. در شکل (۱) جریان خازن i_c توسط M1 جذب شده و ولتاژ $Vgs_1 = i_c/gm_1$ روی پیوندگاه گیت-سورس دومی اعمال شده و با ضریب N در M2 تقویت می‌شود. درنتیجه، جریان $i_{tot}=i_c(1+N)$ در گره ورودی ایجاد می‌شود که معرف ظرفیت معادل $C_{eq}=C(1+N)$ و عامل مقیاس‌گذاری $K=N+1$ است. این مدار وابستگی کم‌تری به اثرات دما، فرآیند ساخت و تغذیه دارد؛ هرچند برای افزایش ضریب K، مساحت ترانزیستور M2 باید N برابر M1 باشد و به نسبت K، جریان بایاس DC در آینه جریان تقویت شده و منجربه افزایش توان مصرفی خواهد شد. این مدار از ساختار مبتنی‌بر دنبال‌کننده جریان برگشتی[3] (FCF) استفاده می‌کند. جریان خازن وارد گره درین M1 شده و به‌علت ساختار فیدبک شانت دارای امپدانس معادل ورودی کم‌تری نسبت به امپدانس با بار دیودی (1/gm) است. ترانزیستورهای آبشاری M6 و M7 و M8 در شکل (۱)، جهت بهبود امپدانس خروجی یا همان مقاومت موازی با بار[4] (PLR) می‌شود. مقاومت معادل سری برابر $1/gm_1ro_2gm_2$ است. همچنین جریان مصرفی این مدار از رابطه‌ی (۲) قابل حصول است.

$$I_{tot} = 2I_{B1}(N+1) \qquad (۲)$$

که در آن I_{B1} جریان مصرفی و N نسبت ترانزیستورها است. با توجه به این‌که مقاومت ذاتی ترانزیستور (r_o) با عکس جریان متناسب است، افزایش N موجب کاهش امپدانس خروجی و کاهش PLR و درنتیجه کاهش محدوده فرکانس پایین رفتار امپدانس خازنی می‌شود [۱۱،۲۰].



شکل (۱): ضرب‌کننده امپدانس خازنی مد جریان از نوع دنبال‌کننده جریان بازگشتی [۳]

Figure (1): Current-capacitance impedance multipliers are folded current-follower type [3]

همچنین با افزایش N، سطح اشغالی تراشه به‌طور چشم‌گیری زیاد می‌شود. مدارهای مبتنی‌بر مد جریان به دلیل ساختار ساده‌تر، نوسان[۵] کم‌تر در گره‌ها و قابلیت عملکرد در ولتاژ تغذیه پایین، به مدارهای مبتنی‌بر مد ولتاژ ارجحیت دارند [۶،۱۷،۱۸،۲۱]. در مرجع‌های [۱۱] و [۲۲]، در زمان طراحی مدار، با تعیین نسبت ابعاد ترانزیستورها در مدارهای آینه جریان، ضریب K تعیین می‌شود؛ لذا بعد از ساخته‌شدن تراشه توسط کارخانه، مقدار K قابل کنترل نیست [۱۳]. برای جبران تغییرات ایجاد شده در مقدار K طی فرآیند ساخت [۲۳] و همچنین قابلیت انتخاب کانال‌های فرکانسی گوناگون، با تغییر مقدار ظرفیت خازن، می‌توان از خازن‌های قابل تنظیم استفاده کرد [۲۶-۲۴]. مقدار K عمدتاً به‌وسیله کنترل فعال توسط ولتاژ یا جریان و در موارد ساده‌تر، به‌روش غیرفعال (به‌عنوان مثال توسط مقدار مقاومت) تنظیم می‌شود [۲۶]. در مدارهای غیریکپارچه، مقاومت و خازن مقیاس‌گذاری شده توسط مقاومت و خازن‌های خارج از تراشه، کنترل می‌شوند [۲۴،۲۵]. بنابراین استفاده از ویژگی تنظیم‌پذیری فعال (الکترونیکی)، در ضرب‌کننده‌های خازنی مورد نیاز است. مدارهای متنوعی برای تنظیم‌پذیری به‌صورت فعال ارائه شده است که در اکثر آن‌ها بهینه نبودن توان مصرفی و افزایش جریان بایاس از نکات چالشی است [۱۳]. البته در برخی کارهای گزارش‌شده قبلی، استفاده از راه‌کارهایی مانند بایاس ترانزیستور در ناحیه ترایود، منجر به تنظیم‌پذیری با توان پایین شده است ولی محدوده تنظیم‌پذیری کم است [۱۳]. در مرجع [۱۵] تنظیم‌پذیری به‌کمک دو روش تغییر مقاومت از طریق روش تبهگنی سورس[۶] و تغییر جریان بایاس انجام می‌شود؛ هرچند تنظیم مقدار K به‌صورت ناپیوسته و استفاده از عناصر غیرفعال که منجربه افزایش سطح اشغالی شده است، از جمله معایب این مدارها است. برای تغییر مقدار K در مرجع [۷]، مقدار جریان بایاس تغییر کرده است که برای مقادیر زیاد، منجربه افزایش چشم‌گیر توان مصرفی می‌شود. در مرجع [۱۱] تنظیم‌پذیری ضریب K مشاهده نمی‌شود. همچنین یک مدار تنظیم‌پذیر با مقادیر K گسسته (K€Z) در مرجع [۴] گزارش شده است ولی به‌دلیل تغییر مقاومت خروجی (r_o) در فرآیند ساخت، مقدار دقیقی برای K محقق نمی‌شود. ضرب‌کننده‌های خازنی به شکل‌های مختلف شناور و تفاضلی نیز ارائه می‌شوند که مرجع‌های [۲۰] و [۲۷]، دارای خازن شناور و تفاضلی برای فیلترهای تمام تفاضلی با ضریب مقیاس و دقت بالا هستند. برای بررسی کامل مدار لازم است تا پاسخ گذرا و پاسخ سیگنال بزرگِ مدار مورد بررسی و تحلیل قرار گیرد. با افزایش فرکانس ورودی و یا خازن پایه، میزان جریان راه‌اندازی مدار نیز افزایش پیدا کرده و مدار باید بتواند این جریان را تامین کند. حداکثر مقدار K در مدارهای مبتنی‌بر جریان که در کلاس A فعالیت می‌کنند، محدود است. حداکثر جریان خروجی مدارهای کلاس A، محدود به جریان بایاس ترانزیستور است ولی در مدارهای کلاس AB این‌گونه نیست [۲۸،۲۹]. بنابراین استفاده از ویژگی کلاس AB می‌تواند مقادیر بزرگ K را اختیار کرد، در حالی که اعوجاج حداقلی در سیگنال ایجاد شود.

در این مقاله، یک ضرب‌کننده خازنی شناور تفاضلی پیشنهاد می‌شود که دارای تنظیم‌پذیری وسیع K بوده و به‌صورت فعال کار می‌کند و توان مصرفی و ولتاژ تغذیه پایینی دارد. این مدار دارای پهنای باند وسیع است به‌نحوی که بازه فرکانسی خازن معادل پیشنهادی (صحت عملکرد) افزایش می‌یابد. در مدار پیشنهادی، به‌جهت افزایش دامنه سیگنال خروجی از ساختار کلاس AB با توان مصرفی مشخص استفاده شده است. استفاده از یک مدار جانبی برای تطبیق جریان مدار به‌منظور بهینه‌کردن توان مصرفی ایستا به کمک روش گیت شبه‌شناور[۷] (QFG) طرح‌شده در [۲۱]، در این مقاله دنبال شده است. همچنین جهت بهبود میزان خطینگی از فیدبک منفی با کمک تقویت‌کننده ولتاژ استفاده شده است. مدار پیشنهادی به‌دلیل ساختار تمام تفاضلی دارای

اعوجاج‌های زوج نیست و خطینگی آن بهبود می‌یابد. همچنین همه ترانزیستورها در مدار پیشنهادی در ناحیه زیرآستانه بایاس شده‌اند تا توان مصرفی کاهش یابد [۳۰]. در ادامه، ساختار مقاله به این شرح است. در بخش ۲، طرح مدار پیشنهادی و جزئیات ساختار مدار اصلی و مدار جانبی برای تطبیق جریان بایاس، ارائه شده است. نتایج شبیه‌سازی در مورد تحقق خازن تنظیم‌پذیر الکترونیکی با ضرایب گوناگون در فناوری ۰/۱۸ میکرومتر و نتایج مربوط به ظرفیت خازنی معادل، ناشی از تغییرات فرآیند ساخت، ولتاژ و دما[۸] (PVT) در بخش ۳ نشان داده شده‌اند. بخش ۴ به بررسی نتایج پرداخته و مقایسه نتایج، انجام شده است. نتیجه‌گیری در بخش ۵ بیان شده است.

۲- مدار پیشنهادی

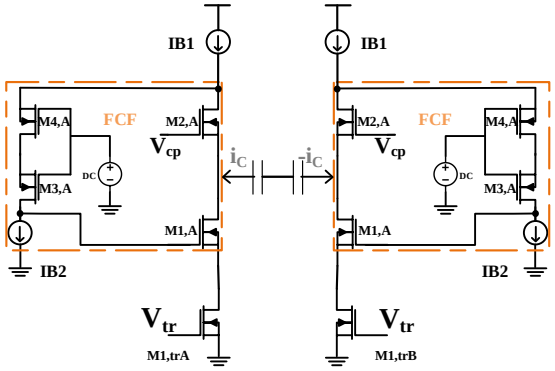
همان‌گونه که بیان شد، مدار پیشنهادی، یک ساختار تمام تفاضلی است که برای تطابق جریان بایاس ترانزیستورها از یک مدار جانبی استفاده می‌کند. قسمت ورودیِ مدار پیشنهادی جهت دریافت جریان سیگنال کوچک خازن i_c در شکل (۲) نشان داده شده که در آن همه ترانزیستورها در ناحیه زیرآستانه بایاس شده‌اند تا توان مصرفی کاهش یابد ولی به‌دلیل کوچکی جریان در این ناحیه، میزان ترارسانایی ترانزیستور (gm) کم بوده که منجربه افزایش امپدانس گره ورودی می‌شود و لازم است مقدار مقاومت معادل سری[۹] (ESR) با روش‌های مداری کاهش یابد.

در این مدار جریان خازن i_c وارد گره سورس M2 می‌شود. با افزایش ولتاژ سورس M2، جریان درین-سورس M2 کاهش یافته و اختلاف این جریان با جریان منبع IB1 باعث افزایش ولتاژ درین M2 می‌شود. درنتیجه ولتاژ گیت M1 در یک مسیر حلقه بسته افزایش می‌یابد و افزایش ولتاژ گیت M1 باعث افزایش جذب جریان i_c می‌شود. در این مدار، زوج ترانزیستورهای M3 و M4 (بین درین زوج M2 و گیت زوج M1) و منابع جریان IB2 یک ساختار گیت مشترک را ایجاد می‌کنند. به‌عبارتی این مدار در مسیر فیدبک از یک تقویت‌کننده با بهره $gm_{SC}ro_{SC}$ عبور می‌کند و درنتیجه مقاومت ورودی را به همین نسبت کاهش می‌دهد. میزان ESR مدار پیشنهادی از معادله (۳) به‌دست می‌آید که در آن gm ترارسانایی و r_o مقدار امپدانس خروجی ترانزیستورها هستند.

$$\mathrm{ESR} = \frac{1}{\mathrm{gm}_1 \;\; \mathrm{gm}_2\mathrm{ro}_2 \;\;\; \mathrm{gm}_{\mathrm{SC}}\mathrm{ro}_{\mathrm{SC}}} \qquad (۳)$$

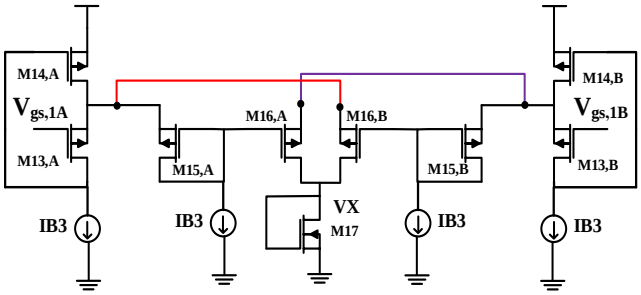
دو ترانزیستور $M_{1,trA}$ و $M_{1,trB}$ در ناحیه ترایود و جهت نمونه‌برداری از جریان استفاده می‌شوند و افت ولتاژ بین پایانه‌های درین-سورس آن‌ها نسبت به سایر ترانزیستورها بسیار کم و در حد چند میلی ولت است. با افزایش دامنه سیگنال ac، خازن، قابلیت جذب جریان ac تا سطح IB1-IB2 (یعنی مقدار جریان بایاس M1) را دارد. بنابراین، به‌ازای دامنه‌های بیشتر از این مقدار، مدار به‌درستی کار نمی‌کند. راه‌حل پیشنهادی اول آن است که مقدار جریان بایاس M1 برابر حداکثر دامنه سیگنالی که به آن اعمال می‌شود، طراحی شود، اما در این صورت، توان مصرفی ایستایِ مدار همواره به‌ازای دامنه‌های مختلف ac برابر و در حداکثر مقدار خود است، لذا در پیشنهاد مناسب‌تر می‌توان مداری استفاده کرد که میزان جریان بایاس مدار منطبق با تغییرات دامنه سیگنال ac تغییر نماید. بنابراین در این مقاله استفاده از یک مدار تطبیق‌کننده جریان بایاس، دنبال شده است. صرف‌نظر از هدف بهینه‌کردن توان مصرفی، می‌دانیم که با افزایش دامنه سیگنال ac و نزدیک شدن آن به مقدار جریان بایاس، اعوجاج افزایش می‌یابد و بنابراین برای داشتن خطینگی مناسب، باید میزان جریان بایاس افزایش یابد. بنابراین استفاده از مدار تطبیق، علاوه‌بر تطبیق جریان بایاس، خطینگی جریان ترانزیستورM1 را نیز افزایش می‌دهد. بنابراین به مدار جانبی نیاز است تا متناسب با افزایش دامنه سیگنال ac، مقدار جریان بایاس IB1 افزایش یابد و درنتیجه، مدار از لحاظ توان مصرفی بهینه و متناسب با دامنه سیگنال اعمالی به آن باشد؛ ضمن آن که خطینگی خوبی ایجاد شود. به این ترتیب خروجی‌های ولتاژ گیت-سورس ترانزیستورهای M1,A و M1,B شکل (۲)، ورودی‌های مدار شکل (۳) جهت اعمال رفتار تطبیقی هستند.

با تغییر دامنه سیگنال i_c، ولتاژ گیت-سورس M1 نیز تغییر کرده و از این ولتاژ به‌عنوان ورودی مدار جانبی نشان داده شده در شکل (۳) استفاده می‌شود. در این مدار هر زوج ترانزیستور M13 و M14 یک دنبال‌کننده ولتاژ بازگشتی با دقت خوب هستند. به‌عبارتی ولتاژ گیت ترانزیستورهای M1,A و M1,B با یک اختلاف ولتاژ DC ناشی از W/L ترانزیستورهای M13,A و M13,B و اثر IB3 در سورس M13 ایجاد می‌شود.

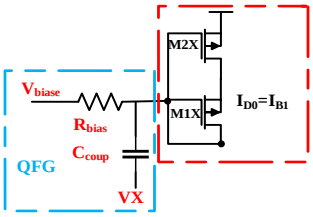


شکل (۲): بخش ورودی مدار ضرب‌کننده خازنی پیشنهادی

Figure (2): The input section of the proposed capacitance multiplier circuit



(الف) مدار تطبیق‌کننده جریان



(ب) تحقق منبع جریان تطبیقی

شکل (۳): تکنیک گیت شبه‌شناور

Figure (3): QFG technique a) Current adapter circuit, b) Realization of adaptive current source

درحالت اول اگر فرض شود که دامنه جریان سیگنال خازن i_c صفر باشد، ولتاژ ac گیت-سورس زوج ترانزیستورهای M1 نیز صفر بوده و جریان ac عبوری از زوج ترانزیستورهای M16 نیز صفر است. جریان ac صفر در ترانزیستورهای M16 منجربه ولتاژ ac برابر صفر در گره VX می‌شود و مدار شکل (۳) سیگنالی تولید نمی‌کند. اما اگر جریان i_c به مدار شکل (۲) اعمال شود، ولتاژ گیت-سورس زوج ترانزیستورهای M1 دارای ولتاژ ac با دامنه‌های یکسان و اختلاف ولتاژ ۱۸۰ درجه می‌شوند. هر مقدار که دامنه جریان i_c بیشتر باشد، دامنه این ولتاژها که به ورودی شکل (۳) اعمال می‌شوند، افزایش یافته و در نتیجه میزان جریان ac ترانزیستورهای M16 تغییر می‌کند. اگر Vgs,1A بیشتر از Vgs,1B باشد، جریان M16,B زیاد و جریان M16,A کاهش می‌یابد و بالعکس. در نتیجه مجموع جریان زوج ترانزیستورهای M16 وارد ماسفت اتصال دیودی M17 می‌شوند تا جریان به ولتاژ $VX= (IDM_{16,A}+IDM_{16,B})/gm$ تبدیل شود.

اکنون ولتاژ VX متناسب با دامنه جریان i_c است و باید به جریان بایاس IB1 در مدار شکل (۲) اعمال شود تا عملکرد تطبیقی همراه با افزایش خطینگی تحقق پذیرد. برای این‌کار از تکنیک گیت شبه‌شناور که در شکل (۳) نشان داده شده است، استفاده می‌شود. در این تکنیک، مقاومت R_{bias} و منبع تغذیه V_{bias} جریان پایه IB1 را در ترانزیستور M2x ایجاد کرده و سیگنال VX از طریق خازن C_{coup} به گیت اعمال می‌شود. با افزایش ولتاژ گیت از طریق خازن C_{coup}، جریان بایاس جریان زوج ترانزیستورهای M1 و M2 شکل (۱) نیز متناسب با دامنه سیگنال i_c افزایش می‌یابد. در ادامه، مدار تنظیم‌کننده الکترونیکی ضریب K که در

شکل (۴) نشان داده شده است بررسی می‌شود. از ویژگی‌های مدار پیشنهادی، قابلیت تغییر K بدون استفاده از عناصر غیرفعال و یا نصب عناصر خارج از تراشه است.

در این مدار، سیگنال ورودی In به گیت M1t اعمال می‌شود و سورس M1t ولتاژ اعمالی به گیت را با دقت بالا دنبال می‌کند در حالی که به‌دلیل ساختار فیدبک منفی، اثر بارگذاری ندارد. با فرض V_{DS} بزرگتر از ۱۰۰ میلی‌ولت، ولتاژ گیت-سورس ترانزیستورِ بایاس شده در ناحیه زیرآستانه قابل تقریب به رابطه (۴) است. در رابطه (۴)، I_S جریان اشباع معکوس، W و L عرض و طول کانال ترانزیستور، V_{th} ولتاژ آستانه، V_r ولتاژ گرمایی و η عامل شیب در ناحیه زیرآستانه است.

$$V_{GS} = \eta V_T \left(\ln \frac{ID_{sub}}{W/L \; I_S} \right) + V_{th} \qquad (۴)$$

اگر در رابطه (۴) و بر اساس شکل (۴)، ID_{sub} برابر it_1 شود؛ آن‌گاه ولتاژ گیت-سورس ترانزیستور M1t از رابطه (۴) حاصل می‌شود که DC1 نام گذاری می‌شود. به‌روش مشابه، ولتاژ مطلوب خروجی out به وسیله ولتاژ DC2 ایجاد می‌شود که ناشی از مقدار جریان it و تاثیر آن بر مقدار ولتاژ گیت-سورس M2t است. به‌عبارتی اختلاف ولتاژ بین In و Out برابر اختلاف ولتاژ DC1 و DC2 است به‌گونه‌ای که اگر $it=it_1$ باشد، DC1=DC2 بوده و ولتاژ In=Out می‌شود. درنتیجه با تغییر میزان $G_1=I_{t1}/I_t$، سطح DC بین ورودی و خروجی تغییر می‌کند. این اختلاف ولتاژ DC ایجادشده به گیت طبقه دوم اعمال می‌شود. این افزایش ولتاژ باعث افزایش میزان جریان خروجی یا همان مقدار ضریب K می‌شود. برای آن که بازده توان بهبود یابد، مطابق شکل (۵) در طبقه دوم از ساختار کلاس AB استفاده می‌شود. استفاده از این ساختار باعث می‌شود ضریب K، دو برابر شود. با توجه به چگونگی کار مدار تغییردهنده مقدار K و مدار کلاس AB، جریان ترانزیستور M5 از رابطه (۵) حاصل می‌شود.

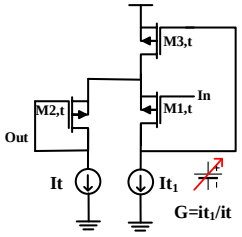
$$ID_{M5} = \frac{W}{L}_{M5} I_{S,M5} \left\{ \left[\frac{It_1 \; \frac{W}{L}_{M2t} I_{S,M2t} \left[ID_{M1} + i_c \right]}{It \; \frac{W}{L}_{M1} I_{S,M1} \; \frac{W}{L}_{M1t} I_{S,M1t}} \right] + \frac{V_{th,M1} - V_{th,M1t} + V_{th,M2t} - V_{th,M5}}{hV_T} \right\} \qquad (۵)$$

اگر V_{th} و I_S همه ترانزیستورها با یکدیگر برابر باشند، آن‌گاه رابطه (۵) به‌صورت رابطه (۶) بازنویسی می‌شود.

$$ID_{M5} = \frac{W}{L}_{M5} \left(\frac{\frac{W}{L}_{M2t}}{\frac{W}{L}_{M1} \; \frac{W}{L}_{M1t}} \right) \left(\frac{it_1}{it} \right) \left[ID_{M1} + i_c \right] \qquad (۶)$$

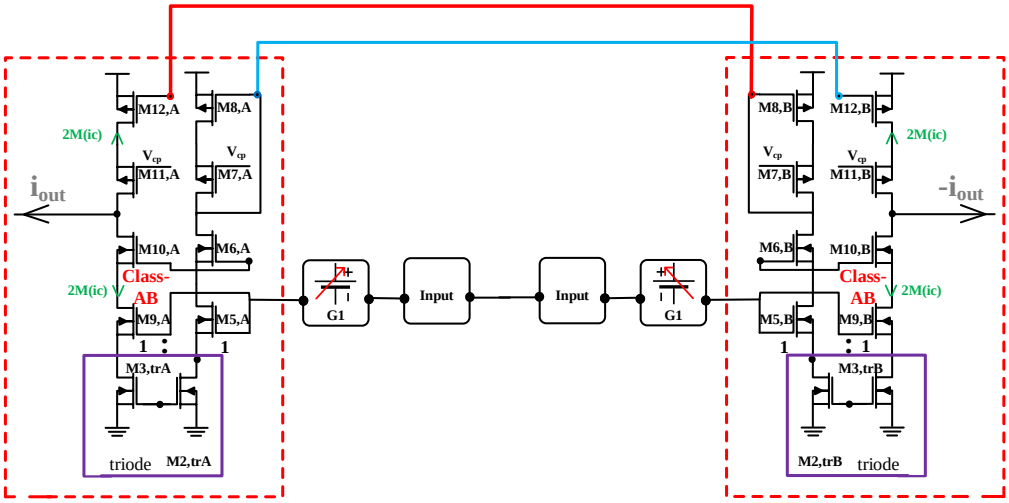
معادله (۶) بیان می‌کند که جریان ضرب‌کننده خازنی قابلیت تنظیم‌پذیری الکترونیکی به‌صورت مضرب $G=It_1/It$ را دارد. با افزایش مقدار K، دامنه سیگنال جریان ac ترانزیستورهای خروجی بیشتر شده و باعث افزایش اعوجاج می‌شود. این افزایش اعوجاج به‌علت افزایش دامنه سیگنال ac نسبت به جریان بایاس ترانزیستور است. بنابراین مطابق شکل (۶) با نمونه‌گیری جریان در شاخه خروجی و مقایسه آن با شاخه ورودی به‌عنوان مرجع و بهره‌گیری از ساختار فیدبک منفی به‌کمک تقویت‌کننده عملیاتی، خطینگی افزایش می‌یابد. زوج ترانزیستورهای $M_{2,3,tr}$، در ناحیه ترایود، مانند یک مقاومت عمل می‌کنند. برای آن که نمونه‌برداری در شاخه‌های ورودی و خروجی به‌درستی انجام شود، باید رابطه (۷) تحقق پذیرد.

$$ID_{M1}R_1 = ID_{M5}R_2 \qquad (۷)$$



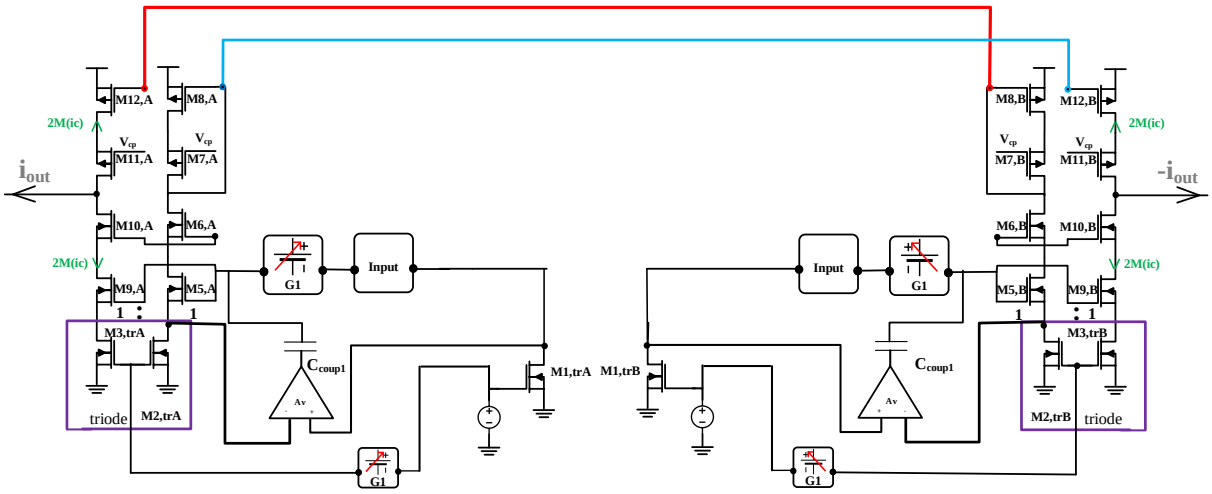
شکل (۴): مدار تنظیم‌کننده الکترونیکی ضریب K

Figure (4): K coefficient electronic tunable circuit



شکل (۵): طبقه خروجی کلاس AB

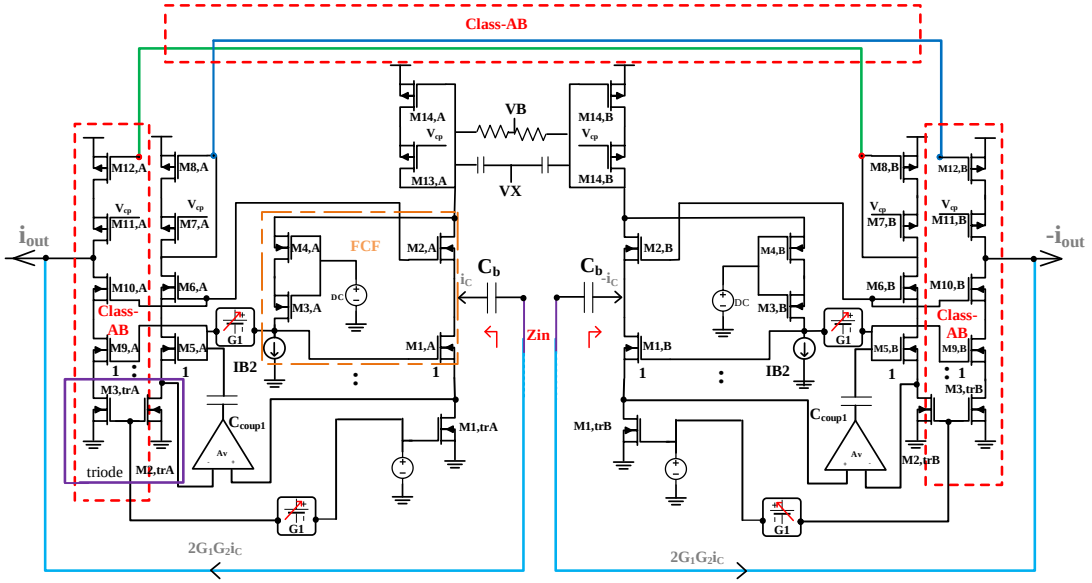
Figure (5): Class AB output stage



شکل (۶): نمونه‌گیری از جریان شاخه‌های ورودی و خروجی و اعمال فیدبک منفی جهت افزایش خطینگی در خروجی

Figure (6): Sampling the current of the input and output branches and applying negative feedback to increase the output linearity

که در آن R_1 مقاومت شاخه جریان ورودی و R_2 مقاومت شاخه جریان خروجی است و چون $ID_{M5}=K.ID_{M1}$ است، باید $R_2=R_1/K$ باشد. با انتخاب مناسب عرض و طول کانال و ولتاژ گیت-سورس برای $M_{1,tr}$ و $M_{2,tr}$، آن‌ها در ناحیه تراید به‌گونه‌ای بایاس شده‌اند که افت ولتاژ آن‌ها کم‌تر از چند میلی‌ولت است. سپس با استفاده از مدار تنظیم‌کننده K (بلوک G_1)، مقدار ولتاژ گیت-سورس ترانزیستور $M_{2,tr}$ به‌گونه‌ای تنظیم می‌شود که $R_2=R_1/K$ شود. حال با استفاده از تقویت‌کننده عملیاتی، میزان ولتاژ درین-سورس این ترانزیستورها با یکدیگر مقایسه شده و خطای ناشی از آن‌ها برای تصحیح به گیت ترانزیستورهای M5 و M9 اعمال می‌شود. برای اعمال این سیگنال از تکنیک QFG استفاده می‌شود که در آن ولتاژ بایاس گیت این ترانزیستورها توسط خروجی بلوک G_1 ایجاد شده و خروجی تقویت‌کننده برای افزایش خطینگی به خازن C_{coup1} اعمال می‌شود. در پیاده‌سازی جهت تحقق $R_2=R_1/K$، به‌دلیل تثبیت نقطه کار و رفتار dc مدار، نیاز به استفاده از دو بلوک G1 برای اعمال ولتاژ به گیت زوج ترانزیستورهای M2,tr نیست و فقط با یک بلوک، این امر محقق می‌شود. وقتی بلوک G1 برای تغییر میزان K استفاده شود، جریان شاخه‌های خروجی (زوج ترانزیستورهای M5 و M9) از لحاظ بایاس DC تغییر می‌کنند و بنابراین مقدار مقاومت زوج ترانزیستورهای M2,tr و M3,tr (که در ناحیه تراید بایاس شده‌اند و نقش مقاومتی دارند)، تغییر می‌کند. این تغییر مقاومت باعث خطا در اندازه‌گیری جریان ac شده و درنتیجه جریان ac شاخه خروجی به‌خوبی نمی‌تواند مقدار مرجع خود را که جریان M1,tr است، دنبال کند و باعث خطا در مقدار جریان خروجی می‌شود.



شکل (۷): ضرب‌کننده خازنی پیشنهادی

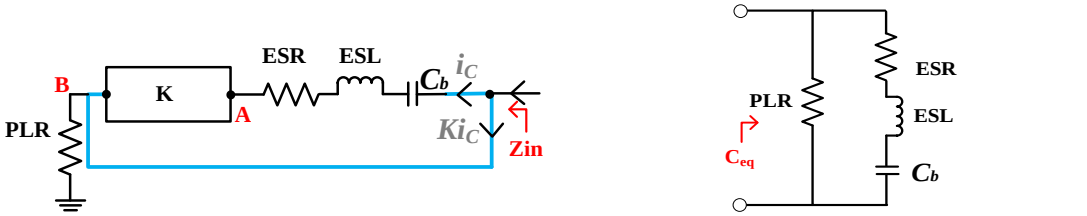
Figure (7): Proposed capacitance multiplier

برای حذف این مشکل، از بلوک G1 استفاده شده تا ولتاژ دو سر مقاومت از دید نقطه کار DC (زوج ترانزیستورهای M2,tr و M3,tr) به‌ازای تغییرات مختلف G1 تثبیت شود. از آن‌جا که دو نیمه سمت چپ و راستی مدار از لحاظ بایاس DC یکسان و فقط از لحاظ سیگنال ac مختلف‌العلامه است، بنابراین مداری که نیمه‌ی راست مدار را از لحاظ بایاس تثبیت می‌کند نیز می‌تواند نیمه چپ مدار را تثبیت کند. بنابراین نیاز به دو آپ‌امپ و دو بلوک G1 نبوده و با یک بلوک G1 و یک آپ‌امپ با خروجی دوگانه و اختلاف فاز ۱۸۰ درجه همان کار را می‌کند. درنتیجه، مساحت اشغالی و توان مصرفی کم‌تری نسبت به شکل (۶)، مورد نیاز است. اکنون جریان افزایش‌یافته در خروجی باید به پایانه‌ای از خازن که به ورودی مدار متصل نیست، متصل شود. در مدار پیشنهادی، نسبت ابعاد ترانزیستورها N برابر یک است که منجر به کاهش سطح اشغالی تراشه می‌شود. همچنین قابلیت تنظیم‌پذیری ضریب K به‌صورت فعال از ویژگی‌های مهم مدار پیشنهادی است. همچنین به‌دلیل جریان بایاس کم در ترانزیستورهای خروجی، مقدار PLR افزایش می‌یابد که این امر منجربه افزایش بازه فرکانسیِ رفتارِ خازنی و افزایش دقت ضرب‌کننده خازنیِ پیشنهادی می‌شود. اگر ضرب‌کننده، ایده‌آل باشد، آن‌گاه تابع امپدانس برحسب فرکانس، در کل بازه فرکانسی به‌صورت یک خط شیب‌دار ترسیم می‌شود؛ اما در عمل، $C_{eq}=KC_b$ نبوده و مطابق شکل (۸)، در مدل خود دارای عناصر پارازیتِ PLR و ESR است. همچنین مقاومت PLR، قطب تابع امپدانس و مقاومت ESR صفر تابع امپدانس را مشخص می‌کنند. ضمنا در برخی مواقع، یک سلف معادل سری شده با خازن نیز به مدل افزوده می‌شود که معرف اثر فیدبک شانت است و باید تا حد امکان، کوچک باشد. نیم مدار تفاضلی به‌صورت مدل عناصر پارازیتیکی استخراج شده، برای تحلیل فرکانسی ضرب‌کننده پیشنهادی در شکل (۸) نشان داده شده است. اگر از اثر فرکانسی بلوک G_1 و ترانزیستورهای کلاس AB بر صفرها و قطب‌ها صرف‌نظر شود، امپدانس ورودی مطابق رابطه (۸) به‌دست می‌آید. در این رابطه، ESR مقاومت سری معادل با خازن، PLR مقاومت موازی با بار، ESL سلف سری معادل با خازن و C_b خازن پایه است.

$$Z_{in}(s)=\frac{PLR\ ESLC_b s^2+ESR\ sC_b+1}{ESLC_b s^2+(ESR+K\ PLR)\ sC_b+1} \qquad (۸)$$

اگر در معادله (۸)، از ESL صرف‌نظر شود؛ آن‌گاه رابطه تقریبی (۹) به‌دست می‌آید. محدوده فرکانسی که در آن امپدانس به‌صورت خازنی است، از رابطه (۱۰) حاصل می‌شود.

$$Z_{in}(s)=\frac{PLR}{C_b\ (ESR+K\ PLR)}\frac{\left(\frac{s}{w_Z}+1\right)}{s\left(\frac{w_P}{s}+1\right)} \qquad (۹)$$



(ب) مدل مداری برای تحلیل فرکانسی مدار پیشنهادی (الف) مدل مداری ضرب‌کننده خازنی با درنظرگرفتن عناصر پارازیت

شکل (۸): تحلیل فرکانسی [۱۰]

Figure (8): Frequency analysis, a) Circuit model of capacitance multiplier considering interference elements [10], b) Circuit model for frequency analysis of the proposed circuit

$$f_p = \frac{1}{2\pi C_b \ (ESR + K \ PLR)} < f < f_Z = \frac{1}{2\pi C_b \ ESR} \qquad (۱۰)$$

رابطه (۱۰) نشان می‌دهد که باید میزان ESR کم و PLR زیاد شود تا محدوده‌ی فرکانسیِ رفتار خازنی افزایش یابد.

۳- نتایج شبیه‌سازی

مدار پیشنهادی توسط نرم‌افزار کیدنس[۱۰] در فناوری ۰/۱۸ میکرومتر و با ولتاژ تغذیه ۰/۸ ولت و جریان بایاس ID_{M1} یک نانوآمپر و خازن پایه (C_b) یک پیکوفاراد شبیه‌سازی شده است. جریان مصرفی رگولاتور ولتاژ ۱۵ نانوآمپر، IB1 برابر ۶ نانوآمپر، IB2 برابر ۵ نانوآمپر است. محدوده‌ای از فرکانس که در آن، فازِ خازنِ معادل C_{eq}، برابر ۱±۹۰ درجه شود، مورد نظر است. اگر فرکانس در این محدوده f^* باشد و قدرمطلق $Z_{in}(f^*)$ اندازه امپدانس خازن در این فرکانس باشد، C_{eq} از رابطه (۱۱) حاصل می‌شود [۲۰].

$$C_{eq} = \left[\left|Z_{in}(f^*)\right| 2\pi f^*\right]^{-1} \qquad (۱۱)$$

در شکل (۹)، دامنه و فاز امپدانس خازنی مدار پیشنهادی برای K برابر ۱۰۱ نشان داده شده است. مدار پیشنهادی به‌دلیل جریان بایاس کم‌تر، مقدار PLR بیشتری نسبت به مدار FCF دارد. با این مقدار K، جریان خروجی مدار FCF و مدار پیشنهادی به‌ترتیب ۱۰۰ نانوآمپر و ۵۰ نانوآمپر است.

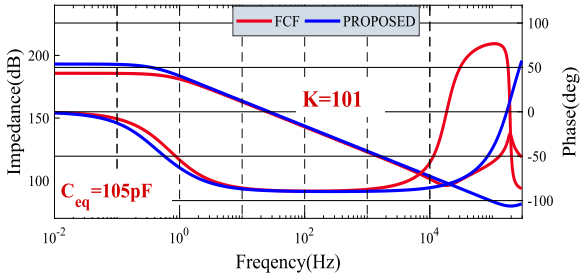
در جدول (۱) قطب و صفر امپدانس ورودی به همراه مساحت اشغالی برای K برابر ۱۰۱ بیان شده است. واضح است که بیشترین پهنای باند مربوط به مدار شکل (۷) با مقدار ۱۸۲ کیلوهرتز و کم‌ترین پهنای باند مربوط به مدار FCF با مقدار ۷/۹ کیلوهرتز است.

بر اساس رابطه (۳) ، صفر امپدانس خازنیِ مدار پیشنهادی از صفر مدار FCF بزرگ‌تر است. از لحاظ تئوری در مدار پیشنهادی به‌ازای it و it_1 به‌ترتیب ۰/۵ و۵۰ نانوآمپر، K به‌ترتیب برابر ۳ و ۲۰۱ حاصل می‌شود. نتایج شبیه‌سازیِ اندازه و فاز امپدانس ضرب‌کننده خازنی جهت تحقق خازن‌های ۳/۳ پیکوفاراد و ۲۰۴ پیکوفاراد از لحاظ شبیه‌سازی در شکل (۱۰) نشان داده شده است. همان‌گونه که از شکل (۱۰) و رابطه (۱۰) مشخص است، صفر تابع امپدانس وابسته به میزان K نیست ولی با افزایش K فرکانس قطب (f_P) کاهش می‌یابد.

Table (1): Numerical comparison of indicators with K=101 to create capacitor C_{eq}=101 pF

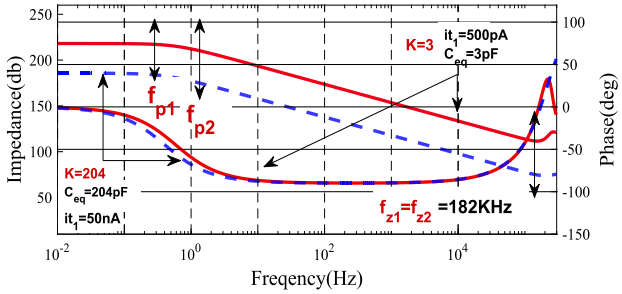
جدول (۱): مقایسه عددی شاخصه‌ها با K برابر ۱۰۱ برای ایجاد خازن C_{eq} برابر ۱۰۱ پیکوفاراد

پارامتر / مدار	مساحت فعال (میکرومتر مربع)	قطب (هرتز)	صفر (کیلوهرتز)
مدار مرجع [۳]	۳۰۵۰	۰/۴۲	۷/۹
مدار پیشنهادی	۴۸۰	۰/۲۳	۱۸۲



شکل (۹): دامنه و فاز امپدانس خازنی معادل برای مدار دنبال‌کننده جریان برگشتی و مدار پیشنهادی

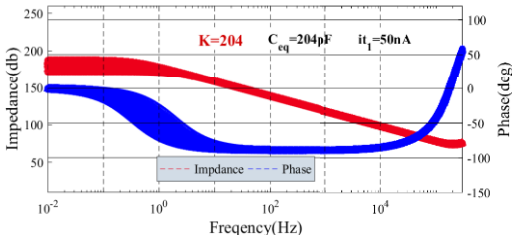
Figure (9): Amplitude and phase of the equivalent capacitive impedance for the FCF circuit and the proposed circuit



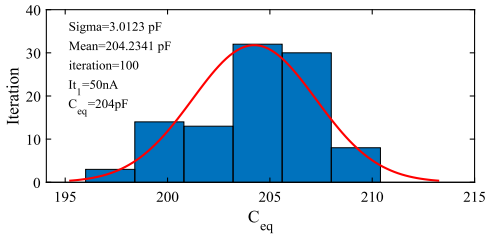
شکل (۱۰): اندازه امپدانس و فاز ضرب‌کننده خازنی پیشنهادی با مقدار نظری ۲۰۱و۳ =K

Figure (10): Impedance size and phase of the proposed capacitance multiplier with the theoretical value of K=3, 201

برای ارزیابی پاسخ امپدانس فرکانسی مدار پیشنهادی در برابر تغییرات فرآیند ساخت از تحلیل مونت‌کارلو با ۱۰۰ مرتبه تکرار استفاده شد. به‌ازای K برابر ۲۰۱ برای تحقق خازن معادل با مقدار نظری ۲۰۱ پیکوفاراد، مقدار میانگین ۲۰۴/۲ پیکوفاراد و انحراف معیار ۳/۰۱ پیکوفاراد به‌دست آمده است. نتایج شکل (۱۱) نشان می‌دهد که مدار پیشنهادی در برابر تحلیل مونت‌کارلو پایداری خوبی دارد. تغییرات مدار پیشنهادی نسبت به دما و تغذیه در شکل (۱۲) نشان داده شده است. در شکل (۱۲) به‌ازای it_1 برابر ۵۰ نانوآمپر و تغییرات دمایی (۰ تا ۸۰ درجه سانتی‌گراد)، مقدار ΔK برابر ۲۳ است. این تغییرات به‌دلیل وابستگی ترارسانایی به دما است. همچنین به‌ازای تغییرات منبع تغذیه (۰/۱±۰/۸ ولت)، مقدار ΔK برابر ۲ است که پایداری خوبی را نشان می‌دهد. برای بررسی اثر مدار تطبیق‌کننده جریان و فیدبک منفی جهت افزایش خطینگی از مدار آزمون شکل (۱۳) استفاده می‌شود. منبع جریان سینوسی که معرف جریان سیگنال کوچک خازن i_c بوده را به گره ورودی اعمال نموده و جریان خروجی مدار، محاسبه می‌شود.



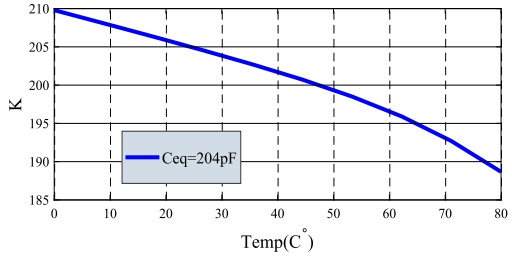
(الف) پاسخ فرکانسی



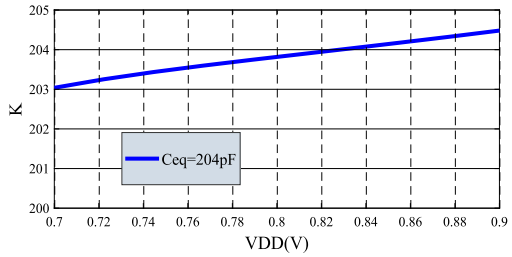
(ب) مقدار خازن معادل

شکل (۱۱): تحلیل مونت‌کارلو برای مدار پیشنهادی با مقدار K برابر ۲۰۴

Figure (11): Monte Carlo analysis of the proposed circuit with K=204 a: frequency response b: equivalent capacitor value



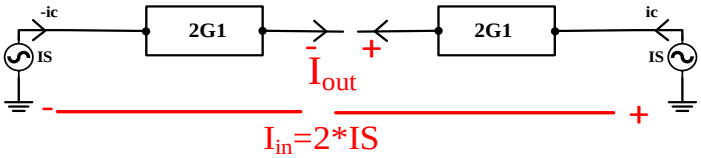
(الف) تغییرات دما ۰ تا ۸۰ درجه سانتی‌گراد



(ب) تغییرات تغذیه ۰/۸±۰/۱ ولت

شکل (۱۲): بررسی تغییرات مقدار K با تغییرات دما و تغییرات منبع تغذیه به‌ازای it1 برابر ۵۰ نانوآمپر و it برابر ۰/۵ نانوآمپر

Figure (12): Examination of K value changes with temperature changes and power supply changes based on it1=50 nA and it=0.5 nA, a) Temperature changes 0~80^{0}C, b) Power supply changes 0.7V~0.9V



شکل (۱۳): مدار آزمون جهت بررسی مدار تطبیق‌کننده جریان و افزایش خطینگی

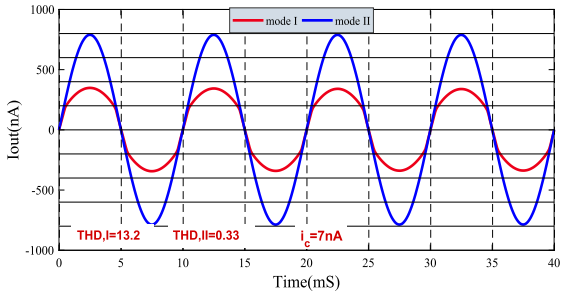
Figure (13): Test circuit to check the current adapter circuit and linearity increase

در این مدار منبع IS معادل سیگنال جریان ac خازن شکل (۱) بوده و بلوک G1 نیز معادل مدار شکل (۶) است که در آن جریان IS وارد و در خروجی تقویت می‌شود. در شکل (۱۳) به‌ازای ضریب تقویت ۱۰۰ و منبع جریان سینوسی با فرکانس ۱۰۰ هرتز و دامنه‌های ۱ نانوآمپر و ۷ نانوآمپر به ورودی اعمال شده است. شکل موج جریان خروجی در دو حالت بدون استفاده از مدار شکل (۳) و (۶) با استفاده از آن‌ها به‌ترتیب در شکل‌های (۱۴-الف) و (۱۴-ب) با نام‌های modeI و modeII نشان داده شده است. تغییرات ولتاژ VX برای اعمال‌شدن به گیت ترانزیستورهای M13 و M14 از طریق خازن C_{coup1} جهت تحقق مدار تطبیق با افزایش دامنه جریان خازن i_c به‌ازای K برابر ۲۰۱ در شکل (۱۵) نشان داده شده است. در شکل (۱۵) مشخص است که با افزایش i_c، اختلاف ولتاژ گیت-سورس ترانزیستورهای M1,B و M1,A بیشتر شده و این ولتاژها بعد از اعمال شدن به مدار، مطابق شکل (۱۵-ب)، ولتاژ VX را ایجاد می‌کنند. ولتاژ VX با اعمال شدن به خازن‌های C_{coup1} باعث تغییر جریان بایاس M13 مطابق شکل (۱۵-ب)، متناسب با افزایش دامنه i_c خواهد شد. افزایش منبع جریان تطبیق یافته سبب می‌شود تا جریان ترانزیستورهای M1 با کمینه اعوجاج، تقویت شده و در خروجی مطابق شکل (۱۵-ت) دریافت شوند. مشخص است که اگر از مدار تطبیق یافته استفاده نشود، برای پردازش سیگنال با دامنه حداکثری، جریان بایاس ترانزیستورهای ورودی و خروجی نیز باید در حداکثر مقدار خود تامین شوند و این به این معنی است که برای پردازش سیگنال‌هایی با دامنه‌های کم‌تر، توان زیادی اتلاف می‌شود. به‌عنوان نمونه، به‌ازای دامنه ۷ نانوآمپر در ورودی و K برابر ۱۰۱؛ برای مدار پیشنهادی جریان بایاس خروجی ۵۰ نانوآمپر، برای مدار کلاس AB برابر ۳۵۰ نانوآمپر و برای مدار کلاس A برابر ۷۰۰ نانوآمپر است. تاثیر هر یک از مدارهای اشاره شده بر روی اعوجاج هارمونیکی جریان خروجی، در شکل (۱۶) به‌ازای دامنه‌های مختلف ورودی و ضرایب مختلف K نشان داده شده است. همان‌گونه که مشخص است، استفاده از مدار کمکی تطبیقی باعث کاهش چشم‌گیر اعوجاج هارمونیکی با جریان بایاس یکسان خروجی می‌شود. به‌عنوان نمونه، دامنه‌ی جریان خروجی و مقدار اعوجاج به‌ازای K برابر ۲۰۱، به‌ترتیب در حالت اول و دوم ۶۲۰ نانوآمپر

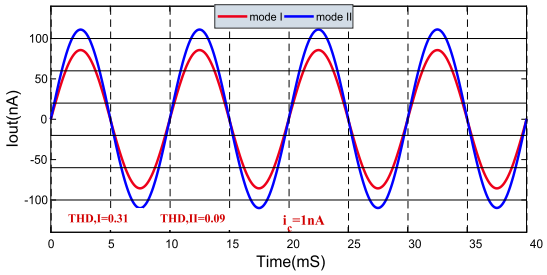
با اعوجاج هارمونیکی ۱۴ درصد و۱۵۱۰ نانوآمپر با اعوجاج هارمونیکی ۳/۶ درصد است. پاسخ امپدانسی ضرب‌کننده خازنی پیشنهادی برای تحقق خازن‌های با C_{eq} مختلف به‌ازای تغییرات تغذیه (۰/۱ ±۰/۸ ولت)، تغییرات دما (۰ تا۸۰ سانتی گراد)، گوشه‌های فرآیند (tt, ss, ff, sf, fs) و تحلیل مونت‌کارلو با ۱۰۰ مرتبه تکرار در جدول (۲) بررسی و دنبال شده است. با افزایش دما، مقدار ترارسانایی در ناحیه زیرآستانه، کاهشی شده و باعث کاهش K می‌شود. همچنین به‌علت مقاوم‌بودن منابع جریان در برابر تغییرات منبع تغذیه، تغییرات ناچیزی در مقدار K مشاهده می‌شود. از جدول (۲)، مشخص است که مدار پیشنهادی نسبت به تغییرات یاد شده دارای پایداری مناسبی است.

۴- مقایسه مدار پیشنهادی با طراحی‌های انجام شده در گذشته

در جدول (۳)، شاخص‌هایی مانند توان مصرفی، عامل مقیاس‌گذاری (K)، محدوده فرکانسی و سایر ویژگی‌های مدارهای پیشنهادی با تعدادی مطالعه‌ها مقایسه و بررسی شده است. مدار پیشنهادی نسبت به سایر مدارها به جز مرجع [۴] دارای K بیشتری است ولی مرجع [۴] دارای توان مصرفی بیشتری نسبت به مدار پیشنهادی است.



(الف) عدم استفاده از مدار تطبیق‌کننده و مدار افزایش دهنده خطینگی



(ب) با استفاده از مدار تطبیق‌کننده و مدار افزایش دهنده خطینگی

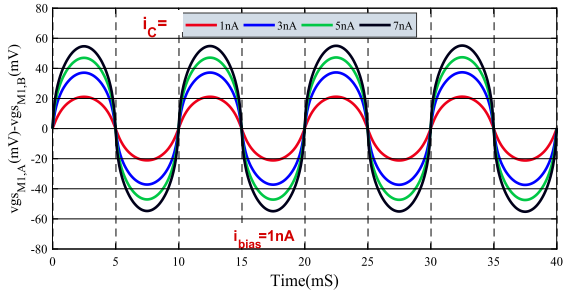
شکل (۱۴): جریان تقویت‌شده مدار پیشنهادی به‌ازای دامنه‌های ورودی مختلف با K برابر ۱۰۰

Figure (14): The amplified current of the proposed circuit for different input ranges with K=100 and the use, a) non-use, b) of the matching circuit and the linearity increasing circuit

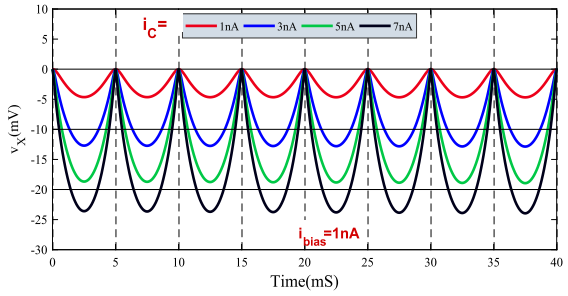
Table (2): Effects of temperature changes, power supply, process corners and Monte Carlo analysis on the K index (C_b=1pF)

جدول (۲): اثرات تغییرات دما، منبع تغذیه، گوشه‌های فرآیند و تحلیل مونت‌کارلو بر شاخصه K (C_b) برابر ۱ پیکوفاراد)

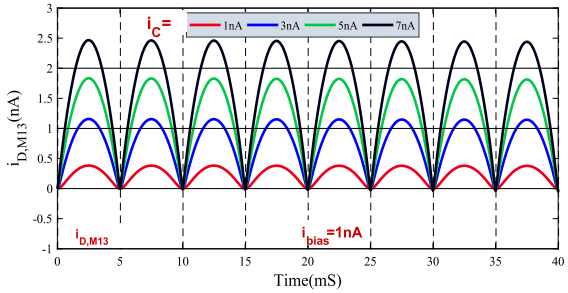
ایده‌آل C_{eq}/C_b	تاثیر گوشه‌های فرآیند					تاثیر تغییر دما		تاثیر تغییر تغذیه		تاثیر مونت کارلو		I_{t1} (نانو آمپر)
	tt	ff	fs	sf	ss	۸۰	۰	۰/۹	۰/۷	انحراف معیار	میانگین	
۳	۳/۲۲	۳/۷	۳/۱۷	۳/۲۷	۳/۲۷	۳/۴	۳/۲	۳/۳۷	۳/۳۲	۰/۱۶	۳/۱۶	۰/۵
۴۱	۴۳/۵	۴۴/۷	۴۴	۴۲/۸	۴۲/۹	۴۰۲/۳	۴۴	۴۳/۸	۴۳/۴	۰/۴۹۵	۴۲/۷	۱۰
۱۰۱	۱۰۴	۱۰۹/۳	۱۰۷	۱۰۵	۱۰۰	۱۰۱	۱۰۷	۱۰۵/۸	۱۰۵	۱,۸	۱۰۳/۲	۲۵
۲۰۱	۲۰۶	۲۱۶	۲۱۰	۱۹۹/۶	۱۹۵	۱۹۵	۲۱۱	۲۰۷/۵	۲۰۵/۹	۳	۲۰۴	۵۰



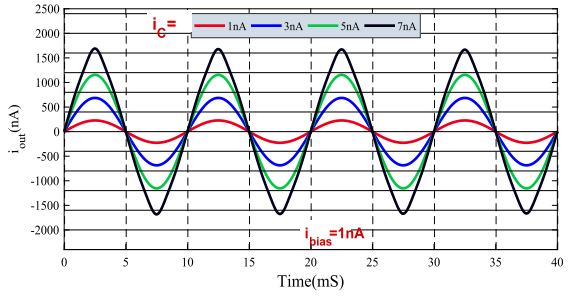
(الف) اختلاف ولتاژ گیت-سورس ترانزیستورهای M1,A و M1,B



(ب) سیگنال ac گره VX جهت اعمال به خازن‌های C_{coup1}



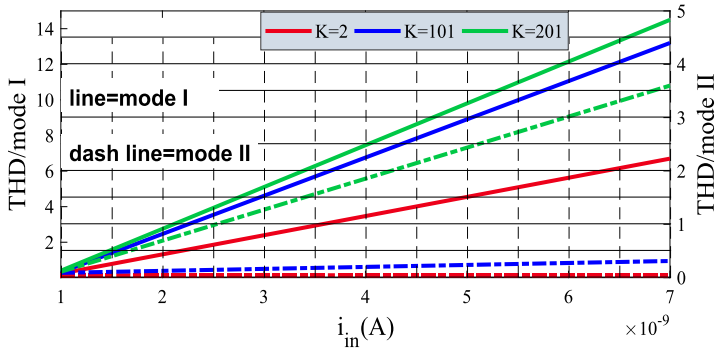
(پ) مقدار ac منبع جریان تطبیق‌یافته با افزایش دامنه سیگنال i_c



(ت) جریان خروجی

شکل (۱۵): منبع جریان تطبیق‌یافته و ولتاژ اعمالی به آن

Figure (15): Adapted current source and voltage applied to it, a) Gate-source voltage difference of $M_{1,A}$ and M1,B transistors, b) Nodal AC signal VX to apply to C_{coup1} capacitors, c) Amount of adapted current flow with increasing amplitude, d) Output current



شکل (۱۶): اعوجاج هارمونیکی جریان خروجی در دو حالت به‌ازای ضرایب K مختلف

Figure (16): Harmonic distortion of the output current in two states according to different K coefficients

Table (3): Comparison of the proposed circuit with the designs done in the past

جدول (۳): مقایسه مدار پیشنهادی با تعدادی از طراحی‌های انجام‌شده در گذشته

مدار پیشنهادی	[۴]	[۱۱]	[۲۰]	[۱۳]	[۲۱]	[۳۱]	شاخص
۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	فناوری (میکرومتر)
۰/۸	±۰/۹	۱/۸	۱/۸	±۰/۳	±۰/۲۵	±۰/۹	منبع ولتاژ (ولت)
۸۵۰	۳۴۰۰۰۰	۷۳۸۰	۵۷۶۰	۲۷-۹۶	۳۰۲	-	توان مصرفی (نانووات)
×	✓	×	×	×	×	✓	استفاده از عناصر غیرفعال
✓	✓	×	×	✓	×	×	تنظیم‌پذیری الکترونیکی مقدار K
✓	×	×	×	×	×	×	قابلیت تطبیقی بودن جریان
۲-۲۰۱	۹۸-۴۵۵	۵۰	۵۰	۱-۱۰۰	۱۰/۸۸	۲-۱۶	ضریب مقیاس‌گذاری
۱۸۲	-	۱۲۰	۲۸	۴۰	۵	-	صفر امپدانس خازنی (کیلوهرتز)
۰/۰۰۴۸	۰/۰۰۴	۰/۰۴۴	۰/۰۴۶	-	۰/۰۳۷	-	مساحت (میلی‌مترمربع)
۴۲/۸۲۳	-	۰/۸۱۳	۰/۲۴۳	۴۱/۶	۰/۱۷۸	-	ضریب شایستگی (مگاهرتز بر میکروواط)

همچنین کم‌ترین توان‌های مصرفی در مرجع‌های [۱۳] و [۲۱] به‌ترتیب ۹۶ نانووات و ۳۰۲ نانووات با تغذیه‌های ۰/۳± ولت و ۰/۲۵± ولت گزارش شده است، این در حالی است که برای مدار پیشنهاد شده در این مقاله، با تغذیه‌ی ۰/۸ ولت و توان مصرفی ۸۵۰ نانووات، K برابر ۲۰۱ است. هر چند که مرجع‌های [۴] و [۳۱] دارای ضریب مقیاس‌گذاری (K) متغیری هستند، ولی این تغییرات با استفاده از عناصر پسیو مقاومتی رخ می‌دهد. ضمنا در مدار پیشنهادی فرکانس f_Z بیشترین مقدار را با توان مصرفی کم دارد. مطابق مرجع [۱۱]، برای مقایسه بهتر بین گزارش‌ها و مدار پیشنهادی، از ضریب شایستگی[11] نشان داده شده در معادله (۱۲) استفاده می‌شود.

$$\mathrm{FOM} = \mathrm{K}\left[\frac{\mathrm{BW}}{\mathrm{P}}\right] \qquad (۱۲)$$

که در آن $BW=f_Z-f_P$ مقدار پهنای باند موثر برحسب مگاهرتز است. همچنین P برحسب میکروواط و K ضریب مقیاس‌گذاری است.

بیشترین ضریب شایستگی، مربوط به ضرب‌کننده خازنی پیشنهادی با ۴۲/۸۲۳ مگاهرتز بر میکروواط است. این معیار شایستگی بیان می‌کند که مدار پیشنهادی ضریب مقیاس‌گذاری بالایی را با توان مصرفی پایین و پهنای باند بالایی دارد. به‌عبارتی افزایش مقدار K شاخصه‌های توان مصرفی و پهنای باند را دچار مشکل نکرده است. که نشانگر عملکرد بهتر مدار پیشنهادشده نسبت به طراحی‌های انجام شده در گذشته است، ضمن آن‌که K می‌تواند به‌صورت الکترونیکی تغییر کند. هرچند در این معیار تاثیر تطبیقی بودن جریان و در نتیجه توان مصرفی بهینه و خطینگی مدار بررسی نشده است در حالی که مدار پیشنهادی از این حیث دارای ویژگی مناسبی است.

۵- نتیجه‌گیری

در این مقاله، یک مدار ضرب‌کننده امپدانس خازنی شناور با بایاس جریان تطبیقی و با استفاده از تکنیک گیت شبه‌شناور جهت تحقق ظرفیت خازنی ۲۰۴ پیکوفاراد با خازن پایه یک پیکوفاراد در فناوری ۰/۱۸ میکرومتر با قابلیت تنظیم‌پذیری الکترونیکی K برای تحقق ظرفیت‌های خازنی گوناگون، طراحی و آزموده شد. استفاده از ساختار با امپدانس ورودی پایین و امپدانس خروجی بالا که منجربه افزایش پهنای باند می‌شود، از ویژگی‌های طرح پیشنهادی بود. بهینه‌کردن توان مصرفی از طریق تطبیقی کردن جریان و افزایش خطینگی در مدار پیشنهادی نشان داده شد. همچنین، عملکرد مناسب مدار پیشنهادی در برابر تغییرات فرآیند، ولتاژ و دما با شبیه‌سازی نشان داده شد. در نهایت مشخص شد که مدار ضرب‌کننده خازنی پیشنهادی در مقایسه با تعدادی از مطالعه‌های قبلی، ضریب شایستگی بالاتری دارد.

سپاسگزاری

این مقاله مستخرج از رساله دکتری در دانشگاه آزاد اسلامی واحد نجف‌آباد است. نویسندگان بر خود لازم می‌دانند مراتب تشکر صمیمانه خود را از همکاران حوزه پژوهشی دانشگاه آزاد اسلامی و داوران محترم که ما را در انجام و ارتقای کیفی این مقاله یاری نموده‌اند، اعلام نمایند.

References
مراجع

[1] S. Alizadeh-Zanjani, A. Jannesari, P. Torkzadeh, "Design and simulation of ultra-low-power sigma-delta converter using the fully differential inverter-based amplifier for digital hearing aids application", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 51, pp. 73–88, Dec. 2022 (in Persian) (dor: 20.1001.1.23223871.1401.13.51.5.8).

[2] S.M.A. Zanjani, M. Dousti, M. Dolatshahi, "Inverter-based, low-power and low-voltage, new mixed-mode Gm-C filter in subthreshold CNTFET technology", IET Circuits, Devices and Systems, vol. 12, no. 6, pp. 681–688, Nov. 2018 (doi: 10.1049/iet-cds.2018.5158).

[3] R.G. Carvajal, J. Ramirez-Angulo, A.J. Lopez-Martin, A. Torralba, J.A.G. Galan, A. Carlosena, F.M. Chavero, "The flipped voltage follower: A useful cell for low-voltage low-power circuit design", IEEE Trans. on Circuits and Systems, vol. 52, no. 7, pp. 1276–1291, July 2005 (doi: 10.1109/TCSI.2005.851387).

[4] E. Alaybeyoglu, "Implementation of capacitor multiplier with cell-based variable transconductance amplifier", IET Circuits, Devices and Systems, vol. 13, no. 3, pp. 267–272, May. 2019 (doi: 10.1049/iet-cds.2018.5217).

[5] F. Khateb, T. Kulej, H. Veldandi, W. Jaikla, "Multiple-input bulk-driven quasi-floating-gate MOS transistor for low-voltage low-power integrated circuits", AEU-International Journal of Electronics and Communications, vol. 100, pp. 32–38, Feb. 2019 (doi: 10.1016/j.aeue.2018.12.023).

[6] I. Padilla-Cantoya, "Capacitor multiplier with wide dynamic range and large multiplication factor for filter applications", IEEE Trans. on Circuits and Systems, vol. 60, no. 3, pp. 152–156, Mar. 2013 (doi: 10.1109/TCSII.2013.2240814).

[7] E. Alaybeyoglu, H. Kuntman, "Capacitor multiplier with high multiplication factor for integrated low pass filter of biomedical applications using DTMOS technique", AEU-International Journal of Electronics and Communications, vol. 107, pp. 291–297, June. 2019 (doi: 10.1016/j.aeue.2019.06.001).

[8] S. Bano, G.B. Narejo, S.M.U. Ali, "Nanopower sub-threshold biquadratic cells and its application to portable ECG system", AEU-International Journal of Electronics and Communications, vol. 107, pp. 57–69, May 2019 (doi: 10.1016/j.aeue.2019.05.001).

[9] C.Y. Sun, S.Y. Lee, "A fifth-order butterworth OTA-C LPF with multiple-output differential-input OTA for ECG applications", IEEE Trans. on Circuits and Systems, vol. 65, no. 4, pp. 421–425, April. 2018 (doi: 10.1109/TCSII.2017.2695366).

[10] C. Sawigun, S. Thanapitak, "A 0.9-nW, 101-Hz, and 46.3-μVrms IRN low-pass filter for ECG acquisition using FVF biquads", IEEE Trans. on Very Large Scale Integration Systems, vol. 26, no. 11, pp. 2290–2298, July. 2018 (doi: 10.1109/TVLSI.2018.2863706).

[11] V.S. Rajan, K.H. Kishore, R. Sanjay, B. Venkataramani, "A cross-coupled symmetric floating impedance scaler with enhanced bandwidth and accuracy", AEU-International Journal of Electronics and Commun ications, vol. 122, p. 153242, May. 2020 (doi: 10.1016/j.aeue.2020.153242).

[12] S. Solís-Bustos, J. Silva-Martínez, F. Maloberti, E. Sánchez-Sinencio, "A 60-dB dynamic-range CMOS sixth-order 2.4-Hz low-pass filter for medical applications", IEEE Trans. on Circuits and Systems, vol. 47, no. 12, pp. 1391–1398, Dec. 2000 (doi: 10.1109/82.899631).

[13] M.A. Jeshvaghani, M. Dolatshahi, "Design of a low-power universal Gm-C filter in sub-threshold region", Journal of Intelligent Procedures in Electrical Technology, vol. 4, no. 15, pp. 3-10, June 2013 (in Persian) (dor: 20.100- 1.1.23223871.1392.4.15.1.9).

[14] V. Stornelli, L. Safari, G. Barile, G. Ferri, "A new extremely low power temperature insensitive electronically tunable VCII-based grounded capacitance multiplier", IEEE Trans. on Circuits and Systems, vol. 68, no. 1, pp. 72–76, June 2021 (doi: 10.1109/TCSII.2020.3005524).

[15] M.A. Al-Absi, M.T. Abuelma'atti, "A novel tunable grounded positive and negative impedance multiplier", IEEE Trans. on Circuits and Systems, vol. 66, no. 6, pp. 924–927, June 2019 (doi: 10.1109/TCSII.2018.2874511).

[16] M.A. Al-Absi, "Realization of a large values floating and tunable active inductor", IEEE Access, vol. 7, pp. 42609–42613, 2019 (doi: 10.1109/ACCESS.2019.2907639).

[17] I. Padilla-Cantoya, "Low-power high parallel load resistance current-mode grounded and floating capacitor

multiplier", IEEE Trans. on Circuits and Systems, vol. 60, no. 1, pp. 16–20, Jan. 2013 (doi: 10.1109/TCSII .2012.2234923).
[18] G. Bonteanu, "A review of capacitance multiplication techniques", Proceeding of the IEEE/ECAI, no. 3, pp. 1–4, Iasi, Romania, June 2019 (doi: 10.1109/ECAI.2018.8678969).
[19] G.A. Rincon-Mora, "Active capacitor multiplier in Miller-compensated circuits", IEEE Journal of Solid-State Circuits, vol. 35, no. 1, pp. 26–32, Jan. 2000 (doi: 10.1109/4.818917).
[20] V.S. Rajan, R. Sanjay, S. Kumaravel, B. Venkataramani, "Area and power efficient flipped voltage follower based symmetrical floating impedance scaler with improved accuracy for fully differential filters", AEU-International Journal of Electronics and Communications, vol. 106, pp. 116–125, April 2019 (doi: 10.1016/j.aeue.2019.04.025).
[21] S. Pourashraf, J. Ramírez-Angulo, J.M.H. Montero, R. González-Carvajal, A.J. Lopez-Martin, "±0.25-V class-AB CMOS capacitance multiplier and precision rectifiers", IEEE Trans. on Very Large Scale Integration System, vol. 27, no. 4, pp. 830–842, Nov. 2019 (doi: 10.1109/TVLSI.2018.2881249).
[22] I. Padilla-Cantoya P.M. Furth, "Enhanced grounded capacitor multiplier and Its floating implementation for analog filters", IEEE Trans. on Circuits and Systems, vol. 62, no. 10, pp. 962–966, Oct. 2015 (doi: 10.1109/TCSII.2015.2435751).
[23] J.A. Ruiz, A.J. Lopez-Martin, J. Ramirez-Angulo, "Three novel improved CMOS C-multipliers", Internat ional Journal of Circuit Theory and Applications, vol. 40, no. 6, pp. 607-616, June 2012 (doi: 10.1002/cta.745).
[24] I. Myderrizi A. Zeki, "Electronically tunable DXCCII-based grounded capacitance multiplier", AEU-International Journal of Electronics and Communications, vol. 68, no. 9, pp. 899–906, April 2014 (doi: 10.1016/j.aeue.2014.04.013).
[25] I. Padilla-Cantoya, L. Rizo-Dominguez, J.E. Molinar-Solis, E.G. Turitsyna, S. Webb, "Capacitance multiplier with large multiplication factor, high accuracy, and low power and silicon area for floating applications," IEICE Electronics Express, vol. 15, no. 3, Article Number: 20171191, Jan. 2018 (doi: 10.1587/elex.15.20171191).
[26] R. Sotner, J. Jerabek, L. Polak, J. Petrzela, "Capacitance multiplier using small values of multiplication factors for adjustability extension and parasitic resistance cancellation technique", IEEE Access, vol. 8, pp. 144382–144392, July 2020 (doi: 10.1109/ACCESS.2020.3014388).
[27] W. Germanovix, E. Bonizzoni, F. Maloberti, "Capacitance super multiplier for sub-hertz low-pass integrated filters", IEEE Trans. on Circuits and Systems, vol. 65, no. 3, pp. 301–305, March 2018 (doi: 10.1109/TCSII.2017.2691010).
[28] S. Banagozar, M. Yargholi, "Ultra-low power two-stage class-AB recycling double folded cascode OTA", AEU-International Journal of Electronics and Communications, vol. 110, Article Number: 152848, July 2019 (doi: 10.1016/j.aeue.2019.152848).
[29] M.P. Garde, A. Lopez-Martin, J.M. Algueta, R.G. Carvajal, J. Ramirez-Angulo, "Class AB amplifier with enhanced slew rate and GBW", International Journal of Circuit Theory and Applications, vol. 47, no. 8, pp. 1199–1210, April. 2019 (doi: 10.1002/cta.2650).
[30] S. Mehdipourm, M. Habibi, "A review of methods of reducing power on neural recording amplifiers", Journal of Intelligent Procedures in Electrical Technology, vol. 7, no. 27, pp. 55–64, Nov. 2015 (in Persian) (dor: 20.1001.1.23223871.1395.7.27.5.8).
[31] A. Yesil, E. Yuce, S. Minaei, "Grounded capacitance multipliers based on active elements", AEU-International Journal of Electronics and Communications, vol. 79, pp. 243–249, June 2017 (doi: 10.1016/j.aeue.2017.06.006).

زیرنویس‌ها

1. Low power integrated circuits
2. Transconductance
3. Flipped current follower
4. Parallel load resistance
5. Swing
6. Source degeneration
7. Quasi floating gate
8. Process voltage and temperature
9. Electrical series resistance
10. Cadence software
11. Figure of merit