JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 15/ No. 57/ Spring 2024
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.iau.ir/

20.1001.1.23223871.1403.15.57.4.3

Research Article

A New Topology for Switched Capacitor Multilevel Inverter Based on H-Bridge Submodules

Majid Hossienpour, ***Associate Professor,*** **Erfan Panahlou,** ***M.Sc.,*** **Ali Seifi,** ***Ph.D. Student,*** **Abdolmajid Dejamkhooy,** ***Associate Professor***

Department of Electrical Engineering- University of Mohaghegh Ardabili, Ardabil, Iran
hoseinpour.majid@uma.ac.ir, panahloerfan@gmail.com, ali_seifi@student.uma.ac.ir, majiddejam@uma.ac.ir

Abstract
Reducing the number of voltage sources and the power electronics components while obtaining voltage boosting in the output voltage are the key parameters in the research area of the multilevel inverter design. A lesser number of components would ensure lesser cost while higher boosting ability increases its application potential. In this paper, a new H-bridge based single-source switched capacitor multilevel inverter structure is introduced. The proposed structure including two K-type units (KTU) can produce nineteen voltage levels with a voltage boosting of 1.5 times the input voltage. This converter consists of fourteen switches, two diodes, one voltage source and five capacitors with self-balancing capability. A comprehensive comparative comparison with the recent presented topologies have been carried out to investigate the performance of proposed structure. The main features of the proposed structure are utilizing single DC voltage source, self-balancing of the capacitors the capability of the input voltage, reducing the power electronics components in terms of voltage level count, and thus reducing the overall cost. The simulation results in the Matlab/simulink environment and the experimental laboratory results are provided to verify the satisfactory operation of the proposed topology.

Keywords: multilevel Inverter, reduced components, self-Balance, voltage gain

Received: 14 May 2022
Revised: 22 June 2022
Accepted: 9 August 2022

Corresponding Author: Dr. Majid Hosseinpour

Citation: M. Hossienpour, E. Panahlou, A. Seifi, A. Dejamkhooy, "A new topology for switched capacitor multilevel inverter based on H-bridge submodules", Journal of Intelligent Procedures in Electrical Technology, vol. 15, no. 57, pp. 51-74, Spring 2024 (in Persian).

20.1001.1.23223871.1403.15.57.4.3

مقاله پژوهشی

ارائه ساختار جدید برای اینورتر چندسطحی خازن سوئیچ شونده مبتنی بر سلول‌های پایه پل H

مجید حسین‌پور، دانشیار، عرفان پناه‌لو، دانش‌آموخته کارشناسی‌ارشد، علی سیفی، دانشجوی دکتری، عبدالمجید دژم‌خوی، دانشیار

گروه مهندسی برق- دانشگاه محقق اردبیلی، دانشکده فنی و مهندسی، اردبیل، ایران
hoseinpour.majid@uma.ac.ir, panahloerfan@gmail.com, ali_seifi@student.uma.ac.ir, majiddejam@uma.ac.ir

چکیده: کاهش تعداد منابع ولتاژ DC مستقل و تعداد قطعات الکترونیک قدرت از موارد مهم مدنظر محققان در طراحی ساختارهای اینوترهای چندسطحی است. کاهش تعداد قطعات یک ساختار در کاهش هزینه کلی آن تاثیرگذار بوده و قابلیت و کارایی آن را افزایش می‌دهد. در این مقاله یک اینورتر چندسطحی خازن سوئیچ‌شونده تک منبعی جدید مبتنی بر سلول‌های پایه پل H ارائه شده است. ساختار پیشنهادی با دو واحد نوع K (KTU) قابلیت تولید نوزده سطح ولتاژ را داشته و دارای ضریب بوست ولتاژ ۱/۵ است. این مبدل از چهارده سوئیچ، دو دیود، یک منبع ولتاژ و پنج خازن با تعادل خودکار ولتاژ تشکیل شده است. برای بررسی کارایی ساختار پیشنهادی، مطالعه مقایسه‌ای با سایر توپولوژی‌های ارائه شده اخیر انجام شده است. مزایای توپولوژی پیشنهادی شامل استفاده از یک منبع ولتاژ DC، تعادل خودکار ولتاژ خازن‌ها، قابلیت افزایش ولتاژ ورودی، کاهش تعداد قطعات الکترونیک قدرت نسبت به تعداد سطوح ولتاژ خروجی و در نتیجه کاهش هزینه کلی است. شبیه‌سازی ساختار پیشنهادی نوزده سطحی با مدولاسیون فرکانس پایه برای بررسی عملکرد صحیح آن در محیط سیمولینک متلب ارائه شده است. نمونه آزمایشگاهی ساختار پیشنهادی برای بررسی صحت نتایج شبیه‌سازی پیاده‌سازی شده و نتایج حاصل بیانگر عملکرد مناسب ساختار پیشنهادی است.

کلمات کلیدی: اینورتر چندسطحی، تعادل خودکار، ضریب بوست ولتاژ، کاهش تعداد قطعات

تاریخ ارسال مقاله: ۱۴۰۰/۲/۲۴
تاریخ بازنگری مقاله: ۱۴۰۰/۴/۱
تاریخ پذیرش مقاله: ۱۴۰۱/۵/۱۸

نام نویسنده‌ی مسئول: دکتر مجید حسین‌پور
نشانی نویسنده‌ی مسئول: اردبیل- دانشگاه محقق اردبیلی- دانشکده فنی و مهندسی

۱- مقدمه

در سال‌های اخیر اینورترهای چندسطحی[۱] (MLI) که مورد توجه محققان قرار گرفته در کاربردهای صنعتی مانند توزیع توان الکتریکی، حمل و نقل، سیستم تولید انرژی تجدیدپذیر[۲] (REG)، خودروهای الکتریکی[۳] (EV) مورد توجه قرار گرفته است [۱،۲]. در مقایسه با اینورتر دوسطحی معمولی، اینورتر چندسطحی دارای مزیت‌هایی مانند کاهش مولفه‌های هارمونیکی، کاهش تنش ولتاژ المان‌ها، کاهش فرکانس کلیدزنی، کاهش تلفات مبدل، کاهش اغتشاش الکترومغناطیسی[۴] (EMI) است [۳]. اینورترهای چندسطحی متداول به سه دسته تقسیم می‌شوند که عبارتند از: ساختار نقطه خنثی مهار شده[۵] (NPC)، ساختار خازن شناور[۶] (FC) و ساختار پل H آبشاری[۷] (CHB) [۴]. توپولوژی‌های نقطه خنثی مهار شده و خازن شناور از نقص عدم تعادل خودکار ولتاژ خازن‌ها رنج می‌برند و به تعداد زیاد تجهیزات فعال و غیرفعال، به ویژه برای تعداد سطوح ولتاژ بیش از هفت سطح، نیاز دارند [۵]. همچنین تعداد سطوح ولتاژ خروجی توپولوژی CHB از طریق افزایش ماژول‌های پل H افزایش می یابد که این امر منجر به‌vv افزایش قابل ملاحظه تعداد المان‌های این ساختار می‌شود. سطح ولتاژ خروجی مطلوب را می‌توان با استفاده از منابع ولتاژ جریان مستقیم[۸] (DC) مستقل نامتقارن با اندازه‌های متفاوت محقق نمود [۶،۷]. با این حال، نیاز به منابع مستقل اضافی در ماژول‌های پل H منجر به مشکلات زیادی در طراحی می‌شود. در نتیجه، تلاش برای توسعه اینورتر چندسطحی در دو مسیر صورت گرفته است: تعادل خودکار ولتاژ و کاهش تعداد قطعات، به ویژه منابع ولتاژ DC مستقل. توپولوژی‌های اصلاح شده‌ای بر اساس ساختارهای NPC و FC برای بهبود معایب ذکر شده ارائه شده است. توپولوژی اصلاح شده‌ای مبتنی بر خازن شناور با افزایش تعداد سطوح ولتاژ خروجی در مرجع [۸] معرفی شده که ولتاژ خازن‌ها با مدولاسیون خاص تعادل خودکار ولتاژ را حفظ می‌کنند. همچنین مبدل‌های نقطه خنثی مهار شده فعال[۹] (ANPC)، که انعطاف‌پذیری ساختارهای FC و NPC را برای تولید خروجی چندسطحی ادغام می‌کنند، برای کاربردهای ولتاژ متوسط پیشنهاد شده‌اند [۹]. سنسورهای ولتاژ و جریان برای مبدل‌های نقطه خنثی مهار شده فعال ضروری هستند و به حفظ تعادل خودکار ولتاژ خازن‌ها در شرایط دینامیکی کمک می‌کنند، در حالی که پیچیدگی بیش‌تری در طراحی و کنترل ایجاد می‌کنند. روش مشابه تعادل خودکار ولتاژ با سنسورها در اینورتر هفت سطحی پیشنهاد شده در مرجع [۱۰] یافت می‌شود. برای کاهش پیچیدگی کنترل، واحد تعادل خودکار با یک خازن در مرجع [۱۱] انجام شده است. در این ساختار، تعادل خودکار ولتاژ خازن بدون استفاده از سنسور در نصف اندازه منبع ولتاژ DC[۱۰] ورودی ثابت نگه داشته می‌شود و این امر باعث کاهش هزینه طراحی می‌شود. با این حال، برای این ساختار منابع ولتاژ DC ایزوله متقارن اضافی مورد نیاز است. از طرف دیگر، اینورترهای چندسطحی آبشاری یکپارچه با منابع ولتاژ DC متقارن و نامتقارن ارائه شده که تعداد سطوح ولتاژ خروجی قابل توجه بر اساس انتخاب اندازه منابع ولتاژ DC به‌دست می‌آید. بدیهی است که با افزایش تعداد سطوح ولتاژ خروجی، اعوجاج هارمونیک کل[۱۰] (THD) پایین‌تری حاصل می‌شود. بنابراین فرکانس کلیدزنی و اندازه فیلتر خروجی می‌تواند کاهش یابد. در همین حال میزان EMI ناشی از dv/dt، ما بین سطوح ولتاژ خروجی مجاور هم کاهش می‌یابد. در همین راستا، ماژول مربعی نوع T[۱۱] (STT) با چهار منبع ولتاژ DC ادغام شده، در مرجع [۱۲] ارائه شده که بیش از هفده سطح ولتاژ خروجی را می‌توان با یک ماژول STT تحقق بخشید. اندازه THD ولتاژ خروجی این ساختار بدون فیلترهای LC کم‌تر از ۵ درصد است و استاندارد IEEE519 را به راحتی فراهم می‌کند. بازده محاسبه شده برای این ساختار در خروجی پنج کیلووات به دلیل استفاده از مدولاسیون فرکانس پایه[۱۲] (FFM) بالاتر از ۹۶/۵ درصد است [۱۳]. پارامترهای EMI و THD با افزایش تعداد سطوح ولتاژ خروجی به‌صورت مطلوبی بهبود می یابند. بازده نیز به دلیل کم‌بودن فرکانس کلیدزنی در روش کلیدزنی فرکانس پایه تضمین شده است. در مرجع [۱۴]، دو نوع اینورتر چندسطحی خازن سوئیچ‌شونده به عنوان جایگزین برای توپولوژی پل H آبشاری با هدف تولید ولتاژ خروجی چندسطحی با کلیدهای کم‌تر پیشنهاد شده است. اینورتر چندسطحی خازن سوئیچ‌شونده[۱۳] (SCMLI) به دلیل تعادل خودکار ولتاژ خازن و گسترش سطح ولتاژ خروجی، به موضوع تحقیقاتی جذابی تبدیل شده است. در مرجع [۱۵] ماژول‌های چندسطحی پایه مبتنی بر خازن سوئیچ‌شونده برای کاربردهای آبشاری ارائه شده که از روش سری و موازی برای تعادل خودکار ولتاژ خازن استفاده می‌شود. ماژول پنج سطحی در مرجع [۱۶] دارای ضریب بوست ولتاژ برابر با دو است و ماژول هفت سطحی در مرجع [۱۷] ضریب بوست ولتاژ ۱/۵را می‌تواند تأمین کند. در مرجع [۱۸] یک ساختار خازن سوئیچ‌شونده شبه رزونانسی

چندسطحی برای ریزشبکه‌های AC با فرکانس بالا[۱۴] (HFAC) پیشنهاد شده است. تعداد سطوح ولتاژ خروجی با استفاده یک منبع ولتاژ DC تولید می‌شود در حالی‌که این ساختار توانایی بوست ولتاژ ورودی را ندارد. در مرجع [۱۹] یک ساختار چندسطحی خازن سوئیچ‌شونده متشکل از چندین واحد خازن سوئیچ‌شونده معرفی شده است. تعداد سطوح ولتاژ خروجی و ضریب بوست با واحدهای اضافی خازن تغییر می‌یابد. اما در این بین بیشینه تنش ولتاژ کلیدها تا حد زیادی افزایش می‌یابد. از این‌رو برای بهبود این نقص، یک اینورتر چندسطحی خازن سوئیچ‌شونده افزاینده برای افزایش تعادل خودکار پیشنهاد شده است [۲۰]. در این ساختار با کم‌کردن بیشینه تنش ولتاژ، تعداد قطعات کلیدزنی افزایش یافته است. در مرجع [۲۱] یک ساختار اینورتر چندسطحی خازن سوئیچ‌شونده سیزده سطحی با قابلیت تعادل خودکار ولتاژ خازن، کاهش تعداد قطعات، منبع ولتاژ DC واحد و توانایی بوست ولتاژ خروجی، بر اساس واحدهای نوع K با استفاده از دو ماژول پل H ارائه شده است. تعداد سطوح ولتاژ خروجی قابل توجه و پیچیدگی کم‌تر آن برای تعادل خودکار ولتاژ خازن، قابلیت استفاده از این ساختار را در کاربردهایی مانند سیستم توزیع AC، خودروهای الکتریکی (EV) و سیستم‌های انرژی تجدیدپذیر (REG) را فراهم می‌کند.

در این مقاله یک توپولوژی اصلاح شده نوزده سطحی بر اساس دو واحد پایه نوع K ارائه شده و اصول عملکردی آن توضیح داده شده است. ساختار پیشنهادی از چهارده کلید، دو دیود، یک منبع ولتاژ و پنج خازن با تعادل خودکار ولتاژ تشکیل شده و توانایی افزایش ولتاژ ورودی با ضریب بوست ولتاژ ۱/۵ را دارا است. مزایای توپولوژی پیشنهادی شامل استفاده از یک منبع ولتاژ DC، تعادل خودکار ولتاژ خازن‌ها، قابلیت افزایش ولتاژ ورودی، کاهش تعداد قطعات الکترونیک قدرت نسبت به تعداد سطوح ولتاژ خروجی و در نتیجه کاهش هزینه کلی است. ساختار پیشنهادی ابتدا در بخش دوم معرفی می‌شود و حالت‌های عملکردی آن در تعداد سطوح مختلف ولتاژ خروجی با جزئیات نشان داده شده است. سپس روش کلیدزنی آن توضیح داده خواهد شد. در بخش سوم نحوه محاسبه و طراحی خازن‌های مورد نیاز برای ساختار پیشنهادی ارائه شده است. مطالعه تطبیقی در مقایسه با سایر ساختارهای خازن سوئیچ‌شونده در بخش چهارم نشان‌دهنده مزیت ساختار پیشنهادی در کاهش قطعات، تنش ولتاژ و هزینه کلی است. تعادل خودکار ولتاژ خازن‌ها، عملکرد پاسخ گذرا و قابلیت بوست ولتاژ خروجی توسط شبیه‌سازی و نتایج آزمایشگاهی در بخش پنجم ارائه می‌شود و در نهایت در بخش ششم نتیجه‌گیری انجام شده است.

۲- توپولوژی نوزده سطحی پیشنهادی

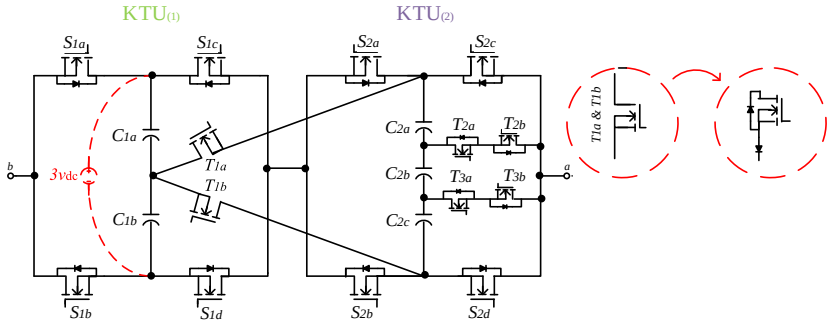
در این قسمت به اصول عملکرد توپولوژی پیشنهادی و مدولاسیون فرکانس پایه برای آن اشاره می‌شود.

۲-۱- اصول عملکرد توپولوژی پیشنهادی نوزده سطحی

توپولوژی پایه پیشنهاد شده نوزده سطحی که در شکل (۱) نشان داده شده است، از دو واحد نوع K تشکیل شده و هر واحد نوع K شامل یک ماژول پل H است. ترانزیستور T_{1a} و T_{1b} ترانزیستور یک جهته بدون دیود موازی معکوس توسط یک ماسفت سری با دیود یا دو ترانزیستور با اتصال پشت به پشت است.

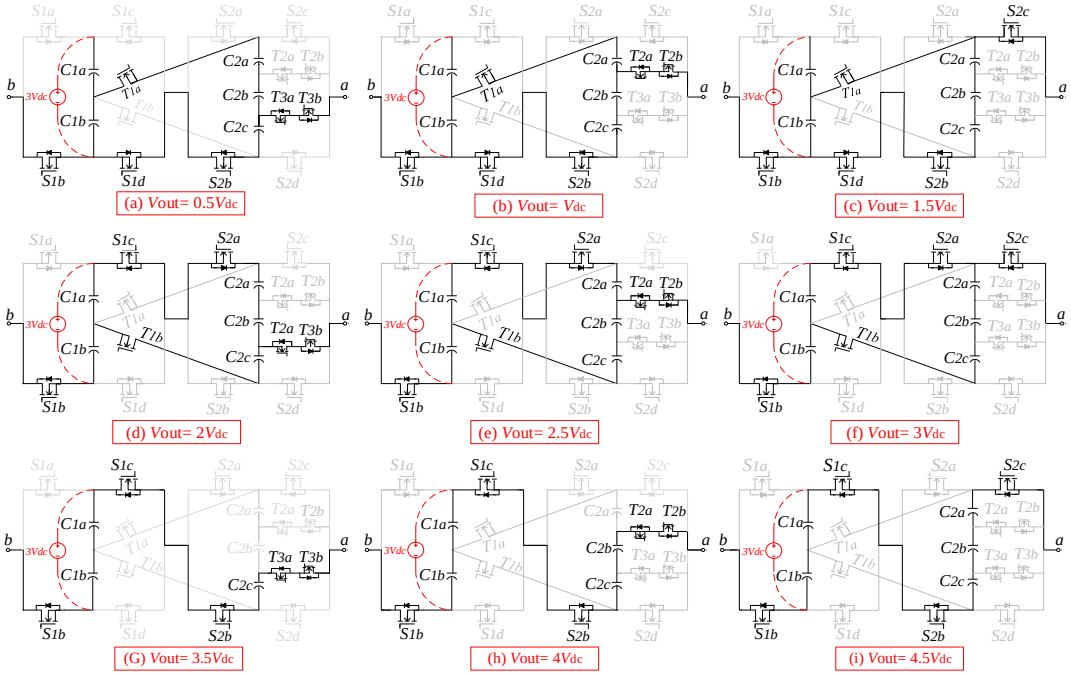
ساختار پیشنهادی دارای صرفا یک منبع ولتاژ DC ورودی با اندازه $3V_{dc}$ است که به دو خازن سری C_{1a} و C_{1b} متصل است و ولتاژ خروجی چندسطحی از دو سر ab به‌دست می‌آید. ولتاژ خازن‌های C_{1a} و C_{1b} در مقدار $1.5V_{dc}$ تثبیت می‌شوند و ولتاژ خازن‌های C_{2a}، C_{2b} و C_{2c} در مقدار $0.5V_{dc}$ تثبیت می‌شوند تا اینورتر نوزده سطحی پیشنهادی به ضریب بوست ولتاژ برابر با ۱/۵ حاصل شود. توپولوژی پیشنهادی با افزدون دو کلید و یک خازن به ساختار نوع K ارائه شده در مرجع [۲۲] حاصل شده است. در مقایسه با ساختار ارائه شده مرجع [۲۳] تعداد سطوح ولتاژ تولیدی نسبت به تعداد کلیدها و خازن‌ها افزایش چشم‌گیری یافته است. حالت‌های عملکردی اینورتر نوزده سطحی پیشنهادی در سطوح مختلف ولتاژ خروجی در نیم سیکل مثبت در شکل (۲) و نیم سیکل منفی در شکل (۳) نشان داده شده است.

مطابق حالت‌های ارائه شده در شکل‌های (۲) و (۳)، حداکثر ولتاژ خروجی $4.5V_{dc}$ است و بنابراین ضریب بوست ولتاژ برابر با ۱/۵ حاصل می‌شود. جفت کلیدهای (S_{1a} و S_{1b})، (S_{1c} و S_{1d}) و (S_{2a} و S_{2b}) مکمل هم هستند و این امر از پیچیدگی کنترل تا حد زیادی می‌کاهد. حالت‌های کلیدزنی ترانزیستورهای ساختار پیشنهادی در جدول (۱) نشان داده شده است.



شکل (۱): اینورتر پیشنهادی نوزده سطحی با دو واحد پایه نوع K مبتنی بر سلول‌های پایه پل H

Figure (1). The proposed 19-level inverter with two K-type basic units based on H-bridge cells



شکل (۲): حالت‌های عملکرد و مسیرهای جریان اینورتر نوزده سطحی پیشنهادی در نیم سیکل مثبت

Figure (2): Performance modes and paths of the proposed 19-level inverter in the positive half cycle

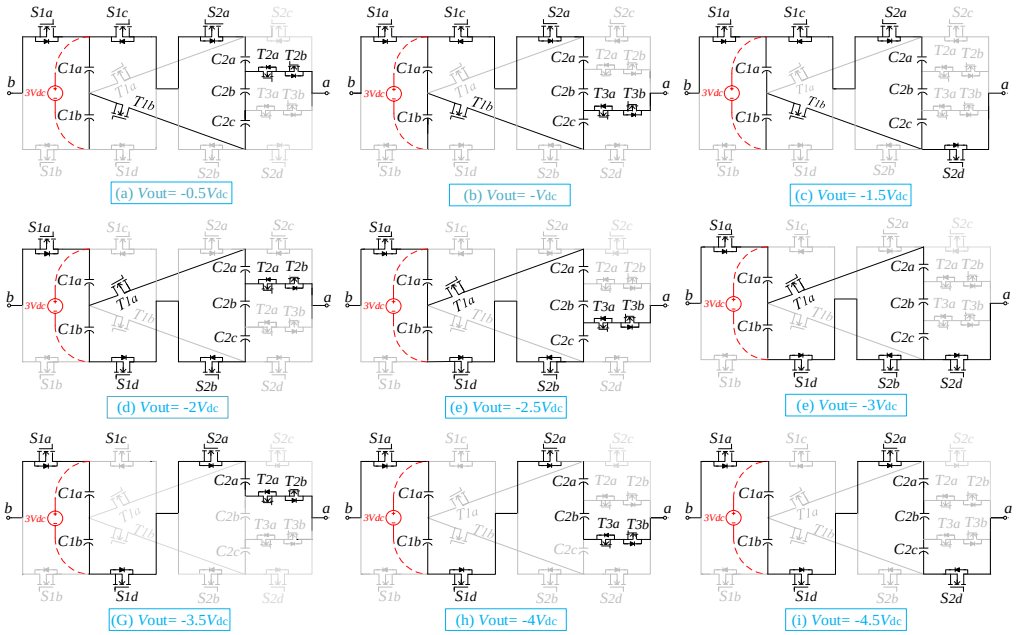
۲-۲- مدولاسیون فرکانس پایه برای توپولوژی پیشنهادی

به دلیل تعداد سطوح ولتاژ خروجی قابل توجه، مدولاسیون فرکانس پایه مطابق با روش ارائه شده در مرجع [۲۳]، برای توپولوژی پیشنهادی اعمال شده است. این روش کلیدزنی دارای مزیت‌هایی مانند کاهش تلفات کلیدزنی و پیچیدگی کمتر است. زاویه کلیدزنی هر سطح ولتاژ خروجی را می‌توان با تقاطع موج سینوسی مرجع و نقطه میانی ما بین سطوح ولتاژ خروجی مجاور هم تعیین کرد. بنابراین، زاویه سوئیچینگ θ_o در هر سطح ولتاژ خروجی به‌صورت رابطه (۱) است.

$$\theta_i = \arcsin\left(\frac{i-0.25}{4.5}\right) \quad 0 < \theta_i < 0.5\pi \quad \text{for } i = (0, 0.5, 1, \ldots, 2.5, 4.5) \qquad (۱)$$

در این رابطه θ_o برابر صفر است. پس از تعیین زاویه کلیدزنی هر سطح ولتاژ خروجی، سیگنال‌های کنترل را می‌توان به سادگی توسط کنترل‌کننده با استفاده از جدول (۱) تولید کرد. با مقایسه شکل‌های (۲) و (۳)، خازن‌های C_{1a} و C_{1b} و یا خازن‌های C_{2a}، C_{2b} و C_{2c} به‌طور متقارن در نیم-سیکل مثبت و نیم-سیکل منفی عمل می‌کنند که بنابراین تعادل خودکار به‌طور طبیعی حاصل می‌شود. $T_{(i)}$ در شکل (۴) نشان دهنده مدت زمان سطح i در ربع-سیکل است. بدیهی است که به دلیل خروجی متقارن، می‌توان آن را بر اساس رابطه‌های (۲) و (۳) محاسبه کرد.

$$T_{\langle 4.5\rangle} = T_{\langle -4.5\rangle} = (0.5\pi - \theta_{4.5}) / (2\pi f_0) \qquad (۲)$$



شکل (۳): حالت‌های عملکرد و مسیرهای جریان اینورتر نوزده سطحی پیشنهادی در نیم سیکل منفی

Figure (3): Performance modes and paths of the proposed 19-level inverter in the negative half cycle

Table (1): Proposed topoplogy switching modes of 19-Levels

جدول (۱): حالت‌های کلیدزنی توپولوژی پیشنهادی نوزده سطحی

حالت	S_a	S_b	S_{1c}	S_{1d}	T_{1a}	T_{1b}	S_{2a}	S_{2b}	S_{2c}	S_{2d}	T_{2a}	T_{2b}	T_{3a}	T_{3b}	V_o
۱	۰	۱	۰	۱	۱	۰	۰	۱	۰	۰	۰	۰	۱	۱	+۰/۵
۲	۰	۱	۰	۱	۱	۰	۰	۱	۰	۰	۱	۱	۰	۰	+۱
۳	۰	۰	۰	۱	۱	۰	۰	۱	۱	۰	۰	۰	۰	۰	+۱/۵
۴	۰	۰	۱	۰	۰	۱	۱	۰	۰	۰	۰	۰	۱	۱	+۲
۵	۰	۱	۱	۰	۰	۱	۱	۰	۰	۰	۱	۱	۰	۰	+۲/۵
۶	۰	۱	۱	۰	۰	۱	۰	۰	۱	۰	۰	۰	۰	۰	+۳
۷	۰	۱	۱	۰	۰	۰	۰	۰	۰	۰	۰	۰	۱	۱	+۳/۵
۸	۰	۱	۱	۰	۰	۰	۰	۱	۰	۰	۱	۱	۰	۰	+۴
۹	۰	۱	۱	۰	۰	۰	۰	۱	۱	۰	۰	۰	۰	۰	+۴/۵
۱۰	۰	۱	۰	۱	۱	۰	۰	۱	۰	۰	۰	۰	۱	۱	۰
۱۱	۱	۰	۱	۰	۰	۱	۱	۰	۰	۰	۱	۱	۰	۰	-۰/۵
۱۲	۱	۰	۱	۰	۰	۱	۱	۰	۰	۰	۰	۰	۱	۱	-۱
۱۳	۱	۰	۱	۰	۰	۱	۱	۰	۰	۱	۰	۰	۰	۰	-۱/۵
۱۴	۱	۰	۰	۱	۱	۰	۰	۱	۰	۰	۱	۱	۰	۰	-۲
۱۵	۱	۰	۰	۱	۱	۰	۰	۱	۰	۰	۰	۰	۱	۱	-۲/۵
۱۶	۱	۰	۰	۱	۱	۰	۰	۱	۰	۱	۰	۰	۰	۰	-۳
۱۷	۱	۰	۰	۱	۰	۰	۱	۰	۰	۰	۱	۱	۰	۰	-۳/۵
۱۸	۱	۰	۰	۱	۰	۰	۱	۰	۰	۰	۰	۰	۱	۱	-۴
۱۹	۱	۰	۰	۱	۰	۰	۱	۰	۰	۱	۰	۰	۰	۰	-۴/۵

$$T_{<i>} = T_{<-i>} = \frac{\theta_{i+0.5} - \theta_i}{2\pi f_o} \qquad (۳)$$

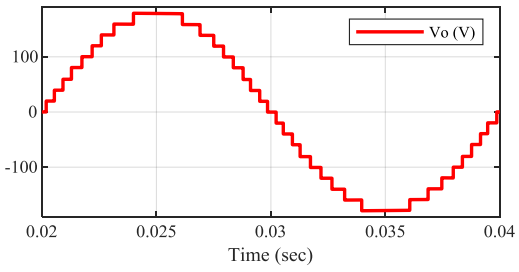
۳- تحلیل تعادل خودکار ولتاژ خازن‌ها

در این بخش، روش تولید برای تعادل خودکار ولتاژ خازن‌ها به‌کار گرفته شده و پارامترهای پارازیتی مولفه‌ها برای ساده‌سازی نادیده در نظرگرفته می‌شوند. مقدار منبع ولتاژ مستقیم DC بدون نوسان سه برابر V_{dc} تنظیم شده است. مطابق شکل‌های (۲) و (۳)، اعوجاج ولتاژ نقطه خنثی خازن‌های سری C_{1a} و C_{1b} در طول سطح (m برابر ۰/۵، ۱، ۱/۵، ۲، ۲/۵ و ۳) رخ می‌دهد. از این‌رو، چهار نوع مدار معادل را می‌توان در شکل (۵) خلاصه کرد. منابع ولتاژ DC و خازن‌های C_{1a} و C_{1b} به‌عنوان یک قسمت ورودی یکپارچه در نظر گرفته می‌شوند، در حالی‌که خازن‌های C_{2a}، C_{2b} و C_{2c} و بار خروجی R_L به‌عنوان یک قسمت بار یکپارچه در نظر گرفته می‌شوند. در شکل (۵-الف) مدار معادل خازن C_{1b} در سطح (۰/۵، ۱ و ۱/۵)، شکل(۵-ب) مدارمعادل خازن C_{1b} در سطح (۳- ، ۲/۵- و ۲)، شکل (۵-ج) مدار معادل C_{1a} در سطح (۱/۵- ، ۱- و ۰/۵-) و شکل (۵-د) مدار معادل C_{1b} در سطح (۳ ، ۲/۵ و ۲-) را نشان می‌دهند. جریان نقطه خنثی i_{np1} خازن سری C_{1a} و C_{1b} در نظر گرفته شده است. با توجه به سطح ولتاژ خروجی (۱/۵±، ۱± و ۰/۵±)، خازن‌های C_{2a}، C_{2b} و C_{2c} و بار خروجی R_L معادل دو امپدانس $Z_{eq<\pm M>}$ است که در شکل (۵) در دو مدار معادل (الف) و (ج) نشان داده شده است. اما در مورد سطح (۳±، ۲/۵± و ۲±) و خازن‌های $Z_{eq<\pm M>}$ و $Z'_{eq<\pm M>}$ که به‌ترتیب به جریان نقطه خنثی و سمت منبع در دو مدار معادل (ب) و (د) متصل شده‌اند. در نتیجه، میانگین i_{np1} جریان نقطه خنثی در سطح m از نیم‌سیکل مثبت و در سطح m- از نیم‌سیکل منفی را می‌توان به‌ترتیب به‌صورت رابطه (۴) بیان کرد:

$$\overline{i_{np1\langle m\rangle}} = \frac{vc_{1b}}{Z_{\langle m\rangle}}, \quad \overline{i_{np1\langle m\rangle}} = \frac{2V_{dc} - vc_{1b}}{Z_{\langle -m\rangle}} \tag{۴}$$

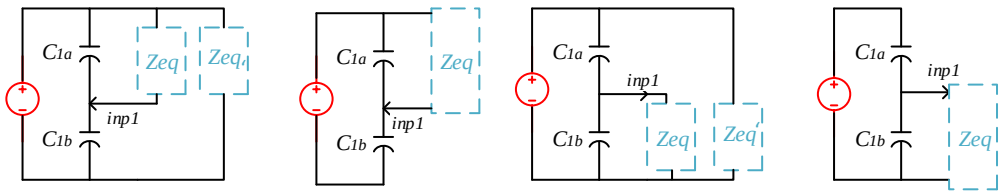
بنابراین، بار خالص متناظر نقطه خنثی در نیم-سیکل مثبت و نیم-سیکل منفی به‌صورت رابطه (۵) ارائه شده است.

$$\begin{aligned}\Delta Q_{\langle +\rangle} &= 2\left(\frac{T_{\langle 0.5\rangle}}{Z_{\langle 0.5\rangle}} + \frac{T_{\langle 1\rangle}}{Z_{\langle 1\rangle}} + \frac{T_{\langle 1.5\rangle}}{Z_{\langle 1.5\rangle}} + \frac{T_{\langle 2\rangle}}{Z_{\langle 2\rangle}} + \frac{T_{\langle 2.5\rangle}}{Z_{\langle 2.5\rangle}} + \frac{T_{\langle 3\rangle}}{Z_{\langle 3\rangle}}\right) v_{C1b} \\ &= 2\left(\frac{T_{\langle 0.5\rangle}}{Z_{\langle -0.5\rangle}} + \frac{T_{\langle 1\rangle}}{Z_{\langle -1\rangle}} + \frac{T_{\langle 1.5\rangle}}{Z_{\langle -1.5\rangle}} + \frac{T_{\langle 2\rangle}}{Z_{\langle -2\rangle}} + \frac{T_{\langle 2.5\rangle}}{Z_{\langle -2.5\rangle}} + \frac{T_{\langle 3\rangle}}{Z_{\langle -3\rangle}}\right)\left(2V_{dc} - v_{C1b}\right)\end{aligned} \tag{۵}$$



شکل (۴): ولتاژ خروجی با کلیدزنی فرکانس پایه

Figure (4): Output voltage based on fundamental frequency switching



شکل (۵): مدارهای معادل تعمیم یافته برای خازن‌های C_{1b} و C_{1a} در سطوح مختلف ولتاژ خروجی. (الف): مدار معادل C_{1b} در سطح (۱/۵، ۱ و ۰/۵)، (ب): مدار معادل C_{1b} در سطح (۳-، ۲/۵- و ۲)، (ج): مدار معادل C_{1a} در سطح (۱/۵- ، ۱- و ۰/۵-)، (د): مدار معادل C_{1b} در سطح (۳، ۲/۵ و ۲-)

Figure (5): Generalized equivalent circuits for capacitors C_{1a} and C_{1b} at different output voltage levels, a) Equivalent circuit of C_{1b} at the level (1.5, 1 and 0.5), b) Equivalent circuit of C_{1b} at the level (-3, -2.5 and 2), c) Equivalent circuit of C_{1a} at the level (-1.5, -1 and -0.5), d) Equivalent circuit of C_{1b} at the level (3, 2.5 and -2)

پارامتر $T_{<M>}$ مدت زمان سطح m را در ۱/۴ سیکل نشان می‌دهد $T_{\langle M\rangle}=T_{\langle -M\rangle}$. در واقع خازن‌های C_{2a} و C_{2b} و بار خروجی R_L از سطح M و سطح M– به هم متصل هستند، بنابراین مطابق شکل‌های (۲) و (۳) امپدانس $Z_{eq<M>}=Z_{eq<-M>}$ است. به این ترتیب، کل شارژ خالص تحویل/ جذب شده توسط خازن‌های C_{1a} و C_{1b} در یک سیکل به‌صورت رابطه (۶) به‌دست می‌آید.

$$\Delta Q=\Delta Q_{\langle +\rangle}-\Delta Q_{\langle -\rangle}=4\left(\frac{T_{\langle 0.5\rangle}}{Z_{\langle 0.5\rangle}}+\frac{T_{\langle 1\rangle}}{Z_{\langle 1\rangle}}+\frac{T_{\langle 1.5\rangle}}{Z_{\langle 1.5\rangle}}+\frac{T_{\langle 2\rangle}}{Z_{\langle 2\rangle}}+\frac{T_{\langle 2.5\rangle}}{Z_{\langle 2.5\rangle}}+\frac{T_{\langle 3\rangle}}{Z_{\langle 3\rangle}}\right)\left(V_{C1b}-V_{dc}\right) \quad (۶)$$

با توجه به تعادل آمپر ثانیه خازن در حالت پایدار، کل شارژ خالص تحویل/جذب شده ΔQ در طول یک سیکل متقارن صفر در نظر گرفته می‌شود. بنابراین، نتیجه‌گیری در حالت پایدار می‌تواند رابطه (۷) را به‌دست آورد. در نتیجه، ولتاژ خازن‌های C_{1b} و C_{1a} به طور طبیعی بدون راه‌کارهای تعادل کمکی در منبع ولتاژ مستقیم V_{dc} باقی می‌ماند. تعادل خودکار فوق و استنباط مربوطه برای هر ضریب توان معتبر است. زیرا نسبت توزیع توان اینورتر مستقل از ضریب توان (یا زاویه امپدانس) است و برای خازن‌های C_{2a}، C_{2b} و C_{2c} می‌توان از همین روش استفاده کرد و ولتاژ آن‌ها در حالت پایدار در نصف V_{dc} حفظ می‌شود.

$$V_{C1a}=2V_{dc}-V_{C1b}=V_{dc} \quad (۷)$$

۳-۱- محاسبات خازن

با توجه به خروجی متقارن، فقط عملکرد خازن‌های C_{1b} و C_{2c} در نیم‌سیکل مثبت مورد تجزیه و تحلیل قرار می‌گیرد. مدارهای معادل کامل مربوط به شکل (۲) در سطوح ولتاژ خروجی مختلف در نیم‌سیکل مثبت به‌صورت شکل (۶) نشان داده شده است. فرض بر این است که خازن‌های $C_{1b}=C_{1a}=C_1$ و $C_{2a}=C_{2b}=C_{2c}=C_2$ برای ریپل ولتاژ یکسان فرض می‌شود. با فرض این که مدار در حالت پایدار کار کرده باشد. تغییر ولتاژ خازن‌ها در دو حالت رخ می‌دهد: در طول مدت پیوسته هر سطح ولتاژ خروجی، یا در طول لحظه کلیدزنی بین سطوح ولتاژ خروجی مجاور. نوسانات ولتاژ خازن‌های C_{2c} و C_{1b} در مدت زمان پیوسته هر سطح خروجی را می‌توان به‌صورت زیر به‌دست آورد. در طول سطح ۰/۵ مدار معادل آن به‌صورت شکل (۶-الف) نشان داده شده است. با توجه به قانون کیرشهف (KCL)، جریان‌های خازن C_{2a} و بار خروجی R_L را می‌توان به‌صورت رابطه‌های (۸) و (۹) بیان کرد.

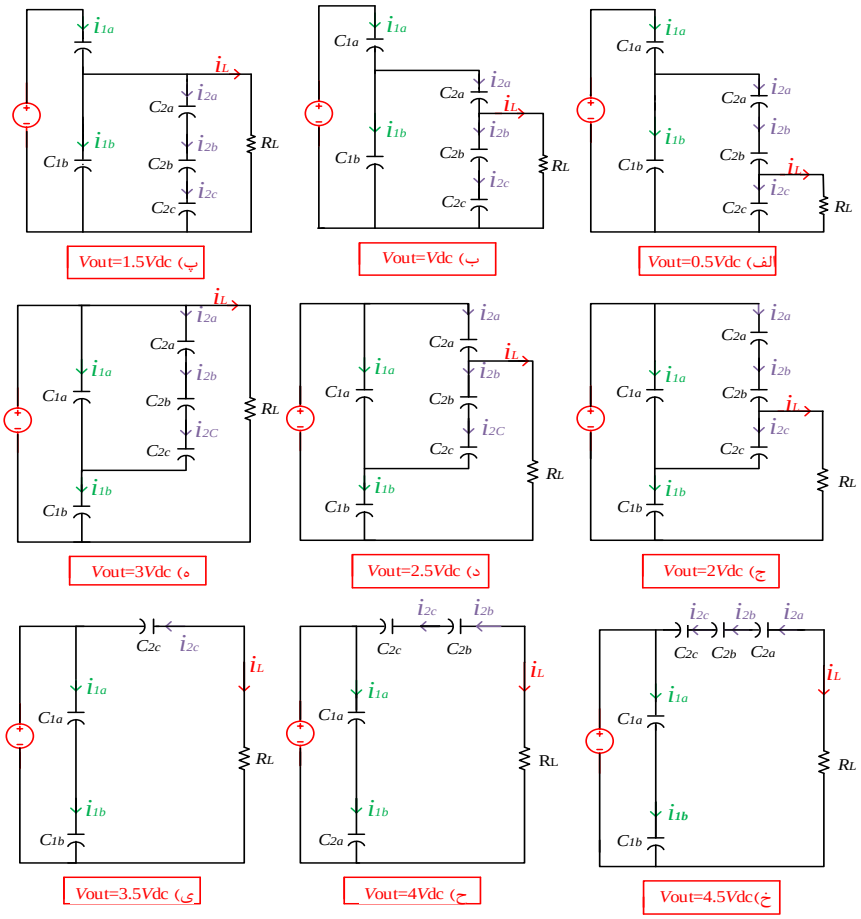
$$\begin{aligned} &i_{2a}=i_{2b}\\ &i_{2a}=C_1\frac{dv_{1a}}{dt}-C_1\frac{dv_{1b}}{dt}=C_1\frac{d\left(2V_{dc}-v_{1b}\right)}{dt}-C_1\frac{dv_{1b}}{dt}=-2C_1\frac{dv_{1b}}{dt}=-2i_{1b} \end{aligned} \quad (۸)$$

$$\begin{aligned} i_L&=C_2\frac{dv_{2a}}{dt}-C_2\frac{dv_{2c}}{dt}=C_2\frac{dv_{2a}}{dt}-C_2\frac{d\left(v_{1b}-v_{2a}-v_{2b}\right)}{dt}\\ &=2C_2\frac{dv_{2a}}{dt}-C_2\frac{dv_{1b}}{dt}+C_2\frac{dv_{2b}}{dt}=2i_{2a}-\frac{C_2}{C_1}i_{1b}+i_{2b} \end{aligned} \quad (۹)$$

با ترکیب رابطه‌های (۸) و (۹)، جریان خازن‌های C_{2c} و C_{1b} را می‌توان با جریان بار در سطح نصف V_{dc} به‌صورت رابطه‌های (۱۰) و (۱۱) بیان کرد:

$$\begin{cases} i_{1b}=-\dfrac{C_1}{4C_1+C_2}i_L=-\dfrac{C_1}{4C_1+C_2}\times\dfrac{V_{dc}}{2R_L}\\ i_{2C}=-\dfrac{2C_1+C_2}{4C_1+C_2}i_L=-\dfrac{2C_1+C_2}{4C_1+C_2}\times\dfrac{V_{dc}}{2R_L} \end{cases} \quad (۱۰)$$

$$\begin{cases} Q_{1b\langle 0.5\rangle}=\dfrac{C_1}{4C_1+C_2}\times\dfrac{V_{dc}T_{\langle 0.5\rangle}}{2R_L}\\ Q_{2b\langle 0.5\rangle}=\dfrac{2C_1+C_2}{4C_1+C_2}\times\dfrac{V_{dc}T_{\langle 0.5\rangle}}{2R_L} \end{cases} \quad (۱۱)$$



شکل(۶): مدارهای معادل برای سطوح ولتاژ خروجی مختلف در نیم سیکل مثبت

Figure (6): Equivalent circuits for different output voltage levels in the positive half cycle

به‌طور مشابه، مقدار دشارژ خازن‌های C_{1b} و C_{2c} در سایر سطوح ولتاژ خروجی را می‌توان به‌ترتیب در رابطه‌های (۱۲) و (۱۳) بر اساس شکل (۶) خلاصه کرد. همچنین نوسان ولتاژ و مقدار شارژ و دشارژ خازن به‌صورت است. با در نظر گرفتن فرکانس خروجی ۵۰ هرتز، مدت (m برابر ۰/۵، ۱، ۱/۵، ۲، ۲/۵، ۳، ۳/۵، ۴، ۴/۵) هر سطح ولتاژ خروجی را می‌توان از رابطه (۲) تعیین کرد و افت ولتاژ خازن‌ها در هر مدت زمان را می‌توان از طریق رابطه‌های (۱۲)، (۱۳)، (۱۴) و (۱۵) محاسبه کرد. تاکنون، افت ولتاژ روی خازن‌های C_{2c} و C_{1b} در هر مدت زمان سطوح مخلتف ولتاژ خروجی به‌دست آمده است. در مرحله دوم، تغییر ولتاژ در طول لحظه کلیدزنی، در ما بین سطوح ولتاژ خروجی مجاور در نظر گرفته می‌شود. لحظه تغییر کلیدزنی از سطح ۲ به ۱/۵ می‌رسد.

$$\begin{cases} \Delta Q_{1b\langle 0.5\rangle} = \dfrac{C_1}{4C_1+C_2}\times\dfrac{V_{dc}T_{\langle 0.5\rangle}}{2R_L} & \Delta Q_{1b\langle 3\rangle}=0 \\ \Delta Q_{1b\langle 1\rangle} = \dfrac{C_1}{4C_1+C_2}\times\dfrac{V_{dc}T_{\langle 1\rangle}}{R_L} & \Delta Q_{1b\langle 3.5\rangle}=0 \\ \Delta Q_{1b\langle 1.5\rangle} = \dfrac{2C_1}{4C_1+C_2}\times\dfrac{1.5V_{dc}T_{\langle 1.5\rangle}}{R_L} & \Delta Q_{1b\langle 4\rangle}=0 \\ \Delta Q_{1b\langle 2\rangle} = \dfrac{2C_1}{4C_1+C_2}\times\dfrac{2V_{dc}T_{\langle 2\rangle}}{R_L} & \Delta Q_{1b\langle 4.5\rangle}=0 \\ \Delta Q_{1b\langle 2.5\rangle} = \dfrac{C_1}{4C_1+C_2}\times\dfrac{2.5V_{dc}T_{\langle 2.5\rangle}}{R_L} & \end{cases} \qquad (۱۲)$$

$$\begin{cases} \Delta Q_{2b\langle 0.5\rangle}=\dfrac{2C_1+C_2}{4C_1+C_2}\times\dfrac{V_{dc}T_{\langle 0.5\rangle}}{2R_L} & \Delta Q_{2c\langle 3\rangle}=0 \\ \Delta Q_{2C\langle 1\rangle}=\dfrac{2C_1+C_2}{4C_1+C_2}\times\dfrac{V_{dc}T_{\langle 1\rangle}}{R_L} & \Delta Q_{2c\langle 3.5\rangle}=\dfrac{3.5V_{dc}T_{\langle 3.5\rangle}}{R_L} \\ \Delta Q_{2c\langle 1.5\rangle}=\dfrac{C_2}{4C_1+C_2}\times\dfrac{1.5V_{dc}T_{\langle 1.5\rangle}}{R_L} & \Delta Q_{2c\langle 4\rangle}=\dfrac{4V_{dc}T_{\langle 4\rangle}}{R_L} \\ \Delta Q_{2c\langle 2\rangle}=\dfrac{C_2}{4C_1+C_2}\times\dfrac{2V_{dc}T_{\langle 2\rangle}}{R_L} & \Delta Q_{2c\langle 4.5\rangle}=\dfrac{4.5V_{dc}T_{\langle 4.5\rangle}}{R_L} \\ \Delta Q_{2c\langle 2.5\rangle}=\dfrac{2C_1}{4C_1+C_2}\times\dfrac{2.5V_{dc}T_{\langle 2.5\rangle}}{R_L} & \end{cases} \quad (۱۳)$$

$$\begin{cases} \Delta U_{1b\langle 0.5\rangle}=\dfrac{1.76\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L}, & \Delta U_{1b\langle 3\rangle}=0 \\ \Delta U_{1b\langle 1\rangle}=\dfrac{3.59\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L}, & \Delta U_{1b\langle 3.5\rangle}=0 \\ \Delta U_{1b\langle 1.5\rangle}=\dfrac{11.25\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L}, & \Delta U_{1b\langle 4\rangle}=0 \\ \Delta U_{1b\langle 2\rangle}=\dfrac{7.95\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L}, & \Delta U_{1b\langle 4.5\rangle}=0 \\ \Delta U_{1b\langle 2.5\rangle}=\dfrac{10.66\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L}, & \end{cases} \quad (۱۴)$$

$$\begin{cases} \Delta U_{2C\langle 0.5\rangle}=\dfrac{\left(3.52\dfrac{C_1}{C_2}+1.76\right)\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L}, & \Delta U_{2C\langle 3\rangle}=0 \\ \Delta U_{2C\langle 1\rangle}=\dfrac{\left(7.18\dfrac{C_1}{C_2}+1.76\right)\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L}, & \Delta U_{2C\langle 3.5\rangle}=\dfrac{19.81\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L} \\ \Delta U_{2C\langle 1.5\rangle}=\dfrac{1.86\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L}, & \Delta U_{2C\langle 4\rangle}=\dfrac{31.8\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L} \\ \Delta U_{2C\langle 2\rangle}=\dfrac{15.88\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L} & \Delta U_{2C\langle 4.5\rangle}=\dfrac{18.67\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L} \\ \Delta U_{2C\langle 2.5\rangle}=\dfrac{21.36\dfrac{C_1}{C_2}\times10^{-4}}{4C_1+C_2}\times\dfrac{V_{dc}}{R_L} & \end{cases} \quad (۱۵)$$

عملکرد اینورتر در نیم-سیکل مثبت دارای دو مرحله است: الف- افزایش ولتاژ خروجی از سطح صفر به سطح ۴/۵، ب- کاهش ولتاژ خروجی از سطح ۴/۵ به صفر. همان‌طور که در شکل (۶-الف) و (۶-ب) نشان داده شده است، خازن C_{1b} با خازن سری C2a، C_{2b} و C_{2c} به‌طور موازی است و ولتاژ آن‌ها به‌طور مداوم از مقدار مرجع منبع ولتاژ V_{dc} در طول سطح ۱/۵، ۱ و ۰/۵ کاهش می‌یابد و پس از آن، خازن سری C_{2c}، C_{2b} و C_{2a} به‌طور موازی با خازن C_{1a} در ابتدای سطح ۱/۵ به شکل (۶-ج) تبدیل می‌شود و بنابراین خازن‌های سری C_{2c}، C_{2b} و C_{2a} هنگام دشارژ، خازن C_{1a} شارژ می‌شوند، بنابراین ولتاژ خازن C_{1b} افزایش می یابد. فرض بر این است که تغییر ولتاژ خازن‌ها بدون وقفه انجام می‌شود و از تاثیر بار خروجی در لحظه کلیدزنی ۱/۵ به ۲ نادیده گرفته می‌شود. بنابراین، از شکل (۶) شارژ خالص خازن‌ها در لحظه کلیدزنی به‌صورت رابطه (۱۶) انجام می‌شود، که در

آن خازن سری $C_{2a}/C_{2b}/C_{2c}$ را نشان می‌دهد و از این‌رو می‌توان تغییرات ولتاژ خازن‌ها را در لحظه کلیدزنی به‌صورت رابطه (۱۷) نوشت:

$$\Delta Q_{2a/2b/2c} = \Delta Q_{1a} + \Delta Q_{1b} = 2\Delta Q_{1a} = 2\Delta Q_{1b} \quad (۱۶)$$

$$\begin{cases} \Delta Q_{1a} = C_1 \Delta U_{1a\langle 1.5\to 2\rangle} = C_1\left(V_{1a\langle +1.5\rangle} - V_{1a\langle -2\rangle}\right) \\ \Delta Q_{1a} = \dfrac{C_2}{2}\Delta U_{2a/2b/2C\langle 1.5\to 2\rangle} = \dfrac{C_2}{2}\left(V_{2a/2b\langle 1.5-\rangle} - V_{2a/2b/2C\langle 2+\rangle}\right) \end{cases} \quad (۱۷)$$

با ترکیب رابطه‌های (۱۵) و (۱۶)، و با در نظر گرفتن ولتاژ خازن $V_{1a<-2>}$ برابر با ولتاژ خازن $V_{2a/2b<1.5-1>}$، ولتاژهای خازن C_{1a} در لحظه اول سطح ولتاژ خروجی دو می‌تواند به‌صورت رابطه (۱۸) ارائه شود و نوسانات ولتاژ آن در طول لحظه کلیدزنی به‌صورت رابطه (۱۹) است.

$$V_{1a\langle 2-\rangle} = V_{2a/2b\langle 2-\rangle} = V_{dc} + \frac{4C_1 V_{1a\langle 1.5+\rangle} + C_2 V_{2a/2b\langle 1.5+\rangle}}{4C_1 + C_2} \quad (۱۸)$$

$$\Delta U_{1a\langle 1.5\to 2\rangle} = \Delta U_{1a\langle 1.5\to 2\rangle} = \frac{C_2}{4C_1 + C_2}\left(V_{1a\langle 1.5+\rangle} - V_{2a/2b/2C\langle 1.5+\rangle}\right) \quad (۱۹)$$

رابطه‌های (۱۸) و (۱۹) نتیجه‌گیری کلی است که می‌تواند در لحظه تغییر سطح ۲/۵ به ۳ و یا سطح ۱/۵ به ۲ در مرحله نزولی اعمال کرد. با جایگزینی این شرط در رابطه (۲۰):

$$\begin{aligned} V_{1a\langle 2-\rangle} = V_{2a/2b/2C\langle -2\rangle} = V_{dc} + \frac{4C_1 - C_2}{4C_1 + C_2}\left(V_{1a\langle 1.5+\rangle} - V_{dc}\right) &\overset{C_2\to 4C_1}{\approx} V_{dc} \\ V_{1b\langle 2-\rangle} = 2V_{dc} - V_{1a\langle 2-\rangle} &\overset{C_2\to 4C_1}{\approx} V_{dc} \end{aligned} \quad (۲۰)$$

به عبارت دیگر ولتاژ خازن C_{1b} یا خازن سری C_{2c} و C_{2b} و C_{2a} در طول سطح ۱/۵، ۱ و ۰/۵ منبع ولتاژ V_{dc} کاهش می‌یابد. اگر ظرفیت خازن C_2 نزدیک چهار برابر C_1 باشد، پس از لحظه تغییر سطح ۲ به ۱/۵ دوباره به منبع V_{dc} تبدیل می‌شود و همین وضعیت را می‌توان در لحظه تغییر سطح ۲ به ۱/۵ مرحله نزولی نیز مشاهده کرد. سرانجام حداکثر ولتاژ روی خازن C_{2c} قابل محاسبه است که بر اساس تجزیه و تحلیل فوق، کم‌ترین ولتاژ خازن C_{1b} پس از مدت زمان سطح ۲ به ۱/۵ رخ می‌دهد و افت ولتاژ مربوطه در مقایسه با مقدار مرجع منبع ولتاژ V_{dc} بر اساس رابطه (۱۴) قابل محاسبه است.

$$\Delta U_{1b(drop)} = \Delta U_{1b\langle 0.5\rangle} + \Delta U_{1b\langle 1\rangle} + \Delta U_{1b\langle 1.5\rangle} = \frac{16.6\times 10^{-4}}{4C_1 + C_2} \times \frac{V_{dc}}{R_L} \quad (۲۱)$$

از طرف دیگر، ولتاژ خازن‌های سری C_{2c} و C_{2b} و C_{2a} در طول سطح ۴/۵، ۴ و ۳/۵ کاهش می‌یابد و سپس در لحظه کلیدزنی سطح ۳/۵ به ۳ در مرحله نزولی با خازن C_{1a} موازی می‌شود و بنابراین خازن‌های C_{2c} و C_{2b} و C_{2a} توسط خازن C_{1b} شارژ می‌شوند و ولتاژ خازن C_{1b} در همین‌حال فراتر از منبع ولتاژ V_{dc} افزایش می‌یابد، به‌طوری که بالاترین سطح ولتاژ می‌تواند در خازن C_{1b} رخ دهد. با استفاده از رابطه (۱۸)، افزایش ولتاژ مربوطه خازن C_{1b} در مقایسه با مقدار مرجع منبع V_{dc} را می‌توان به‌صورت رابطه (۲۲) به‌دست‌آورد.

$$\begin{aligned} \Delta U_{1b\langle rise\rangle} &= \Delta U_{1b\langle 4\to 3.5\rangle} - \Delta U_{1b\langle 2.5\rangle} = \frac{C_2}{4C_1 + C_2}\left(V_{1a\langle 4+\rangle} - V_{2a/2b\langle 4+\rangle}\right) - \Delta U_{1b\langle 1.5\rangle} \\ &= \frac{C_2}{4C_1 + C_2} 2\left(\Delta U_{2b\langle 4\rangle} + 2\Delta U_{2b\langle 4.5\rangle}\right) - \Delta U_{1b\langle 2\rangle} = \frac{122.36\times 10^{-4}}{4C_1 + C_2} \times \frac{V_{dc}}{R_L} \end{aligned} \quad (۲۲)$$

با مقایسه رابطه‌های (۲۱) و (۲۲) مشخص شده است که حداکثر ریپل ولتاژ خازن C_{1b} در نیم سیکل مثبت $\Delta U_{1b(rise)}$ در رابطه (۲۱) است. بنابراین، حداکثر ریپل ولتاژ خازن C_{1a} در سیکل کامل به‌صورت رابطه (۲۳) است.

$$\Delta U_{1b\langle max\rangle} = 2\Delta U_{1b\langle rise\rangle} = \frac{244.72\times 10^{-4}}{4C_1 + C_2} \times \frac{Vdc}{R_L} \quad (۲۳)$$

همان‌طور که خازن C_{2c} شارژ می‌شود و ولتاژ آن در طول لحظه کلیدزنی برای سطح ۱ به ۱/۵ در مرحله صعودی، و هم‌چنین سطح ۱/۵ به ۲ در مرحله نزولی افزایش می‌یابد. بنابراین حداکثر ریپل ولتاژ خازن C_{2c} را می‌توان تقریبا با افت ولتاژ مداوم آن در طول سطح ۴/۵ و ۴، ۳/۵ و ۲ در مرحله صعودی، و سطح ۴ و ۳/۵ را در مرحله نزولی به‌صورت رابطه (۲۴) محاسبه کرد.

$$\Delta U_{2b(\max)} = \Delta U_{2b\langle 2.5\rangle} + 2\Delta U_{2b\langle 3.5\rangle} + 2\Delta U_{2b\langle 4\rangle} + 2\Delta U_{2b\langle 4.5\rangle} = \left(\frac{21.36C_1 / C_2}{4C_1 + C_2} + \frac{140}{C_2}\right) \times 10^{-4} \times \frac{V_{dc}}{R_L} \qquad (۲۴)$$

۳-۲- تعیین ظرفیت خازن

تعیین ظرفیت خازن در توپولوژی‌های خازن سوئیچ‌شونده بسیار مهم است. به‌طور کلی اندازه و ظرفیت هر توپولوژی بر اساس مدت زمان شارژ تغییر می‌کند. فرض کنید نیم سیکل (π) دوره اساسی به یک دوره زمانی برابر تقسیم می‌شود. در شکل (۲) حالت‌های شارژ و دشارژ خازن ارائه شده است. جریان عبوری از خازن در طول شارژ به‌صورت رابطه (۲۵) است.

$$i_C = \frac{V_{in} - V_{FC}}{r_C + 2r_{sw}} . e^{-\frac{T}{RC}} \qquad (۲۵)$$

مدت زمان به‌صورت Δt نشان داده شده و جریان شارژ خازن برای توپولوژی پیشنهادی به‌صورت رابطه (۲۶) است.

$$i_C . 2\Delta t = \frac{V_{in} - V_{FC}}{R} . 2\Delta t \qquad (۲۶)$$

در رابطه (۲۵)، R مجموع مقاومت داخلی خازن و قطعات نیمه‌هادی است. زمان شارژ خازن $2\Delta t$ و زمان دشارژ خازن Δt است که تعادل خودکار جریان و خازن را حفظ می‌کند. حداکثر مقدار دشارژ و ظرفیت بهینه خازن به‌صورت رابطه (۲۷) است و هم‌چنین در جدول (۲) حالت‌های شارژ و دشارژ خازن‌های توپولوژی پیشنهادی ارائه شده است.

Table (2): Charging and discacitors modes of capacitors of the proposed topology

جدول (۲): حالت‌های شارژ و دشارژ خازن‌های توپولوژی پیشنهادی نوزده سطحی

سطح	C_{2a}	C_{2b}	C_{2c}
+۹	دشارژ	دشارژ	دشارژ
+۸	بدون تغییر	دشارژ	دشارژ
+۷	بدون تغییر	بدون تغییر	دشارژ
+۶	شارژ	شارژ	شارژ
+۵	شارژ	شارژ	شارژ
+۴	شارژ	شارژ	شارژ
+۳	دشارژ	دشارژ	دشارژ
+۲	بدون تغییر	دشارژ	دشارژ
+۱	بدون تغییر	بدون تغییر	دشارژ
۰	بدون تغییر	بدون تغییر	بدون تغییر
-۱	شارژ	شارژ	شارژ
-۲	شارژ	شارژ	شارژ
-۳	شارژ	شارژ	شارژ
-۴	شارژ	شارژ	شارژ
-۵	شارژ	شارژ	شارژ
-۶	شارژ	شارژ	شارژ
-۷	دشارژ	بدون تغییر	بدون تغییر
-۸	دشارژ	دشارژ	بدون تغییر
-۹	دشارژ	دشارژ	دشارژ

$$Q_{FC} = 2\int_{0}^{T/4} I_L(t)dt \qquad (۲۷)$$

۳-۳- تحلیل تلفات توان

تلفات توان اینورتر نوزده سطحی پیشنهادی را می‌توان به تلفات ریپل، تلفات هدایتی و تلفات کلیدزنی تقسیم نمود که در ادامه مورد بررسی قرار می‌گیرد.

۳-۳-۱- تلفات ریپل

تلفات ریپل در اثر شارژ پیوسته خازن ایجاد می‌شود، که این تلفات به مقاومت پارازیتی در حلقه شارژ ارتباطی ندارد [۲۴] و می‌توان آن را به‌صورت رابطه (۲۸) محاسبه کرد.

$$E_{rip} = \frac{1}{2}C\Delta U^2 \qquad (۲۸)$$

با چشم‌پوشی از تغییرات جزیی ولتاژ خازن‌ها، حداکثر ریپل ولتاژ در نظر گرفته می‌شود. بنابراین، مجموع تلفات ریپل برای خازن‌های C_{1a}، C_{2a}، C_{2b} و C_{2c} اینورتر نوزده سطحی پیشنهادی به‌صورت رابطه (۲۹) است.

$$P_{t-rip} = f_0[C_1\left(V_{dc}\times 7\%\right)^2 + C_2\left(0.5V_{dc}\times 9\%\right)^2] \qquad (۲۹)$$

۳-۳-۲- تلفات هدایتی

تلفات هدایتی توسط پارامترهای پارازیتی موجود در مسیر جریان بار خروجی ایجاد می‌شود که عمدتا مقاومت داخلی خازن r_c و مقاومت در حالت وصل r_s برای توپولوژی پیشنهادی است. به‌عنوان مثال با نیم‌سیکل مثبت، می‌توان آن را از شکل (۲) مشاهده کرد، که کل جریان خروجی در طول یک سطح از طریق چندین مسیر جریان تامین می‌شود. در این‌جا، مسیر جریان با حداکثر مقاومت پارازیتی کل انتخاب می‌شود و فرض می‌شود که به‌طور کامل در طول یک سطح از آن عبور می‌کند. به این ترتیب، حداکثر کم‌ترین بازده توپولوژی را می‌توان تضمین کرد. بنابراین، حداکثر تلفات هدایتی کل در یک سیکل را می‌توان به‌صورت رابطه (۳۰) محاسبه کرد و هم‌چنین، r_c و r_s به‌ترتیب ۵۰ میلی-اهم و ۱۰۰ میلی-اهم برای سادگی محاسبات انتخاب شده‌اند.

$$\begin{aligned} P_{t_con} &= 4f_0(P_{con\langle 0.5\rangle} + P_{con\langle 1\rangle} + P_{con\langle 1.5\rangle} + P_{con\langle 2\rangle} + P_{con\langle 2.5\rangle} + P_{con\langle 3\rangle} + P_{con\langle 3.5\rangle} + P_{con\langle 4\rangle} + P_{con\langle 4.5\rangle}) \\ &= 4f_0[{i_L}^2{}_{\langle 0.5\rangle}\left(r_C + 5r_S\right)T_{\langle 0.5\rangle} + {i_L}^2{}_{\langle 1\rangle}(2r_C + 5r_S)T_{\langle 1\rangle} + {i_L}^2{}_{\langle 1.5\rangle}(3r_C + 4r_S)T_{\langle 1.5\rangle} + {i_L}^2{}_{\langle 2\rangle}(2r_C + 5r_S)T_{\langle 2\rangle} + \\ &+ {i_L}^2{}_{\langle 2.5\rangle}\left(r_C + 5r_S\right)T_{\langle 2.5\rangle} + {i_L}^2{}_{\langle 3\rangle}(4r_S)T_{\langle 3\rangle} + {i_L}^2{}_{\langle 3.5\rangle}(r_C + 5r_S)T_{\langle 3.5\rangle} + {i_L}^2{}_{\langle 4\rangle}(2r_C + 5r_S)T_{\langle 4\rangle} + + {i_L}^2{}_{\langle 4.5\rangle}(3r_C + 4r_S)T_{\langle 4.5\rangle} \end{aligned} \qquad (۳۰)$$

۳-۳-۳- تلفات کلیدزنی

تلفات کلیدزنی به دلیل تاخیر در روشن یا خاموش شدن یک کلید قدرت اتفاق می‌افتد که می‌توان آن را با در نظرگرفتن خازن موازی پارازیتی کلید محاسبه کرد. تلفات کلیدزنی برای یک فرآیند روشن یا خاموش شدن به‌صورت رابطه (۳۱) است.

$$E_{SW} = \frac{1}{2}C_P{V_b}^2 \qquad (۳۱)$$

در رابطه بالا C_p نشان دهنده خازن موازی پارازیتی کلید قدرت است و V_b نشان دهنده ولتاژ مقاومت کلید قدرت قبل از روشن شدن (یا بعد از خاموش شدن کامل) است. با فرض این‌که C_p هر کلید برابر ۵۰۰ پیکو-فاراد باشد، تلفات کلیدزنی در لحظه‌های ما بین سطوح ولتاژ خروجی مجاور را می‌توان به‌صورت رابطه (۳۲) خلاصه کرد. بر اساس رابطه (۳۲)، تلفات کل کلیدزنی به‌صورت رابطه (۳۳) است. در نتیجه، بازده تئوری اینورتر پیشنهادی در نوزده سطح به‌صورت رابطه (۳۴) است. بازده تئوری ۹۸/۲۵ درصد در شرایط ولتاژ ورودی ۲۶۰ ولت و با بار ۴۰ اهم به‌دست آمده است. همان‌طور که در شکل (۷) مشاهده می‌شود مقدار بازده ساختار پیشنهادی در مقایسه با ساختارهای اخیرا ارائه شده بهتر است که به مفهوم تلفات کم‌تر ساختار

پیشنهادی به ازای توان مشخص در مقایسه با ساختارهای مورد مقایسه است. هم‌چنین در شکل (۸) نمودار تلفات کلیدزنی توپولوژی پیشنهادی ارائه شده است.

$$\begin{cases} P_{SW(-0\to+0)} = 2C_p(3V_{dc})^2 + 3C_P(2V_{dc}) \\ P_{SW(0\to+0.5)} = C_P(0.5V_{dc})^2 \\ P_{SW(0.5\to1)} = C_P(0.5V_{dc})^2 \\ P_{SW(1\to1.5)} = C_P(0.5V_{dc})^2 \\ P_{SW(1.5\to2)} = C_P(3V_{dc})^2 + 2C_P(2V_{dc})^2 + C_P(0.5V_{dc})^2 \\ P_{SW(2\to2.5)} = C_P(0.5V_{dc})^2 \\ P_{SW(2.5\to3)} = C_P(0.5V_{dc})^2 \\ P_{SW(3\to3.5)} = \frac{1}{2}C_P(3V_{dc})^2 + C_P(V_{dc})^2 + C_P(0.5V_{dc})^2 \\ P_{SW(3.5\to4)} = C_P(0.5V_{dc})^2 \\ P_{SW(4\to4.5)} = C_P(0.5V_{dc})^2 \end{cases} \quad (۳۲)$$

$$P_{t_SW} = 4f_0(P_{SW\langle-0\to+0\rangle} + P_{SW\langle0\to+0.5\rangle} + P_{SW\langle0.5\to+1\rangle} + P_{SW\langle1\to+1.5\rangle} + P_{SW\langle1.5\to+2\rangle} + P_{SW\langle2\to+2.5\rangle} + P_{SW\langle2.5\to3\rangle} + P_{SW\langle3\to3.5\rangle} + P_{SW\langle3.5\to4\rangle} + P_{SW\langle4\to4.5\rangle}) \quad (۳۳)$$

$$\eta = \frac{P_{out}}{P_{t_rip} + P_{t_con} + P_{t_SW} + P_{out}} \times 100\% \quad (۳۴)$$

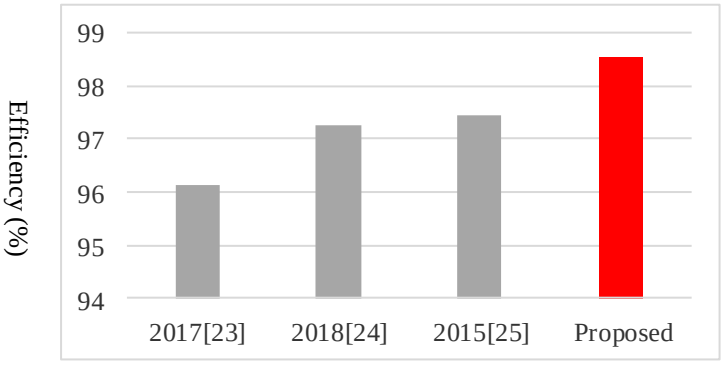
۴- ساختار تعمیم یافته پیشنهادی

اینورتر نوزده سطحی پیشنهادی با دو KTU دارای مشخصه تعادل خودکار ولتاژ و ضریب بوست ولتاژ ۱/۵برابر در جزئیات بالا تحلیل شده که برای توسعه بیش‌تر، ساختار تعمیم یافته آن با n عدد KTU در شکل (۹) نشان داده شده است. سطح ولتاژ خروجی و ضریب بوست با منبع ولتاژ تک DC افزایش می‌یابند که ولتاژ خازن‌های C_{1b} یا C_{1a} به‌طور طبیعی در مقدار $3^{-(n-1)}V_{dc}$ در یک سیکل حفظ می‌شوند که تعداد سطوح ولتاژ خروجی $14N_{level}$ و ضریب بوست M تحت شرایط N_{KTUs} را می‌توان به‌صورت رابطه‌های (۳۵) و (۳۶) بیان کرد.

$$N_{Level} = 3^{n+2} - 3 \quad (۳۵)$$

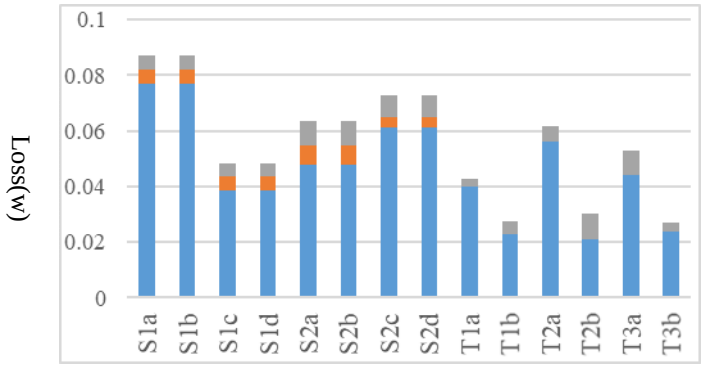
$$M = 3 - \frac{1}{2^{n-1}} \quad (۳۶)$$

بدیهی است که تعداد سطوح ولتاژ خروجی با یک KTU اضافی تقریبا دو برابر می‌شود.



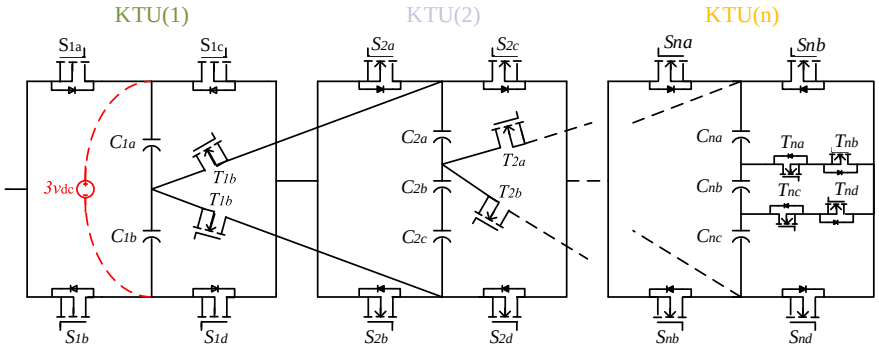
شکل (۷): نتایج راندمان توپولوژی پیشنهادی با سایر ساختارها

Figure (7): Perforamnce results of the proposed topology with other structures



شکل (۸): نتایج تلفات سوئیچینگ توپولوژی پیشنهادی

Figure (8): Results of switching losses of the proposed topology



شکل (۹): ساختار تعمیم یافته پیشنهادی با KTU_S

Figure (9): Proposed generalized structure with KTU_S

تنش ولتاژ ترانزیستورها در $KTU_{(i)}$ از ولتاژ کل خازن‌های C_{ia} و C_{ib} فراتر نخواهد رفت و با گسترش KTU_S توپولوژی را می‌توان دو برابر افزایش داد.

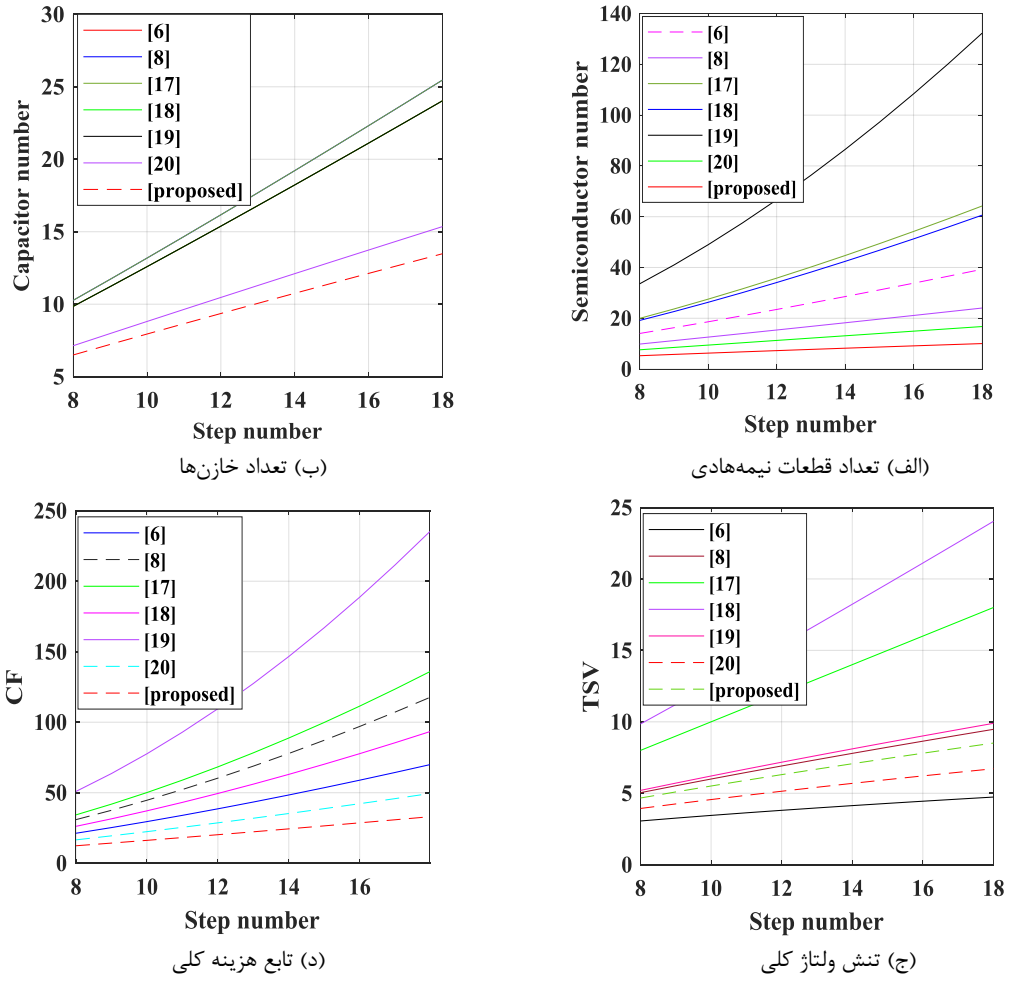
۴-۱- مطالعه مقایسه‌ای با سایر ساختارها

در این بخش، ساختارهای خازن سوئیچ‌شونده با توانایی افزایش سطوح ولتاژ خروجی با توپولوژی پیشنهادی مقایسه شده تا موارد مثبت و منفی آن را برجسته کند. انتظار می‌رود که توپولوژی‌ها در مطالعه مقایسه‌ای از منبع ولتاژ ورودی DC جداگانه V_{dc} استفاده کنند. موارد مقایسه‌ای شامل تعداد خازن[۱۵] ($N_{capacitor}$)، تعداد قطعات نیمه‌هادی شامل تعداد کلید و دیود[۱۶] (N_{Sem}) و تنش ولتاژ کلی مبدل[۱۷] (TSV) برای همه قطعات کلیدزنی است. توجه باید کرد که توپولوژی موجود در مرجع [۸] قابلیت بوست ندارد، بنابراین تنش ولتاژ کلی مبدل TSV بر اساس نسبت تنش ولتاژ در تمام قطعات کلیدزنی به ولتاژ پیک خروجی برای یک توپولوژی محاسبه می‌شود. مقادیر عددی مقایسه شده در جدول (۳) ارائه شده است. به‌طور دقیق، توپولوژی مرجع [۸] در شرایط عملکرد با مدولاسیون خاص، تعادل خودکار ولتاژ را حفظ می‌کنند و چندین سنسور و کنترل حلقه بسته برای تعادل خودکار ولتاژ نیاز دارد. این روش‌های تعادل کمکی منجر به افزایش پیچیدگی سیستم می‌شوند. نمودارهای مقایسه‌ای شامل تعداد قطعات نیمه‌هادی در شکل (۱۰-الف) و تعداد خازن‌ها در شکل (۱۰-ب) برحسب تعداد سطوح ولتاژ خروجی نمایش داده شده است. مطابق شکل (۱۰) توپولوژی پیشنهادی از کم‌ترین تعداد کلید و خازن در مقایسه با سایر ساختارها به ازای سطوح ولتاژ مشابه استفاده می‌کند. مطابق شکل (۱۰-پ)، تنش ولتاژ کلی مبدل TSV ساختار پیشنهادی جایگاه مناسبی از نظر میزان ولتاژ مسدودکنندگی مابین اینورترهای چندسطحی بوست‌کننده را دارا است. ساختار ارئه شده در مرجع [۲۱] با وجود مقدار TSV پایین، تعداد کلیدهای زیادی دارا است که هزینه کلید و داریور آن بالا خواهد بود. همچنین برای ارزیابی توپولوژی پیشنهادی با موارد مقایسه‌ای مختلف به روش جامع، تابع هزینه[۱۸] (CF) معرفی شده در مرجع [۲۴] برای تخمین هزینه کل اینورتر چند-سطحی مورد ارزیابی قرار می‌گیرد.

Table (3): Comparative results of the proposed topology with other multilevel inverters

جدول (۳): نتایج مقایسه‌ای توپولوژی پیشنهادی با سایر اینورترهای چندسطحی مختلف

توپولوژی	تعداد کلید	تعداد خازن	تعادل ولتاژ خازن	افزایندگی ولتاژ	وزنی تنش ولتاژ ($\times V_m$)	تابع هزینه
[۸]	۱۴	۷	مدولاسیون	-	۳	۲۲
[۱۰]	۵	۸	سنسور	-	۵	۳۰
[۱۹]	۲۰	۸	تعادل خودکار	-	۹	۳۴
[۲۰]	۱۹	۸	تعادل خودکار	+	۸	۲۷
[۲۱]	۳۴	۷	تعادل خودکار	+	۵	۵۰
[۲۲]	۱۲	۶	تعادل خودکار	+	۶	۱۷
پیشنهادی	۱۴	۵	تعادل خودکار	+	۷	۱۴



(ب) تعداد خازن‌ها (الف) تعداد قطعات نیمه‌هادی

(د) تابع هزینه کلی (ج) تنش ولتاژ کلی

شکل(۱۰) : نمودارهای مقایسه‌ای بر حسب تعداد سطوح ولتاژ خروجی

Figure (10): Comparison charts according to the number of output voltage levels, a) Number of semiconductor devices, b) Number of capacitors, c) TSV, and d) Total cost function

$$CF = \frac{\left(N_{Switch} + N_{diode} + N_{cap} + \alpha TSV\right) \times N_{Source}}{N_{Level}} \qquad (۳۷)$$

که در آن α یک ضریب برای اندازه‌گیری وزنی تنش ولتاژ کلی (TSV) برای توپولوژی پیشنهادی است و در مقدار یک تنظیم شده است. تعداد منابع ولتاژ DC و تعداد سطوح ولتاژ خروجی در این مطالعه مقایسه‌ای برای توپولوژی‌های مختلف تعیین شده است که برای ساده‌سازی در نظر گرفته نمی‌شوند. مشخصات مقادیرتابع هزینه (CF) توپولوژی پیشنهادی در پایین‌ترین سطح

با افزایش تعداد سطوح ولتاژ خروجی پیشنهادی نشان داده شده است. چندین ویژگی برای ارزیابی قابلیت اطمینان توپولوژی پیشنهادی در کاربردهای اصلی در نظر گرفته می‌شود. پیچیدگی بالای سیستم کنترل به‌طور حتم منجر به پایین بودن قابلیت اطمینان توپولوژی پیشنهادی می‌شود. توپولوژی‌های معمولی نقطه خنثی مهار شده (NPC)، خازن شناور (FC) و نقطه خنثی مهار شده فعال (ANPC) و هم‌چنین مبدل‌های مرجع‌های [۸] و [۱۰] در مقایسه با سنسورهای متعدد ولتاژ و جریان و مدارهای پردازش سیگنال پیچیدگی زیادی را به همراه دارند و قابلیت اطمینان سیستم را کاهش می‌دهد. بر عکس، توپولوژی پیشنهادی دارای ویژگی تعادل خودکار بدون هیچ سنسور یا سیستم کنترل پیچیده‌ای است که باعث کاهش عوامل منفی برای قابلیت اطمینان مبدل می‌شود. عملکرد مناسب پاسخ گذرا توپولوژی پیشنهادی در بخش پنجم، نشان دهنده قابلیت اطمینان بالای آن برای تعادل خودکار ولتاژ در کاربردهای اصلی است. پس از آن توپولوژی پیشنهادی به بیش از نوزده سطح ولتاژ خروجی در مقایسه با اینورترهای چندسطحی معمولی نیاز دارد که به معنای احتمال خرابی کم‌تر و جبران سریع‌تر عملیات است در این بخش، رابطه‌های تعداد کلیدهای مورد نیاز (N_{Sem})، تعداد خازن‌ها (N_{Cap})، تنش ولتاژ کلی (TSV) و تابع هزینه (CF) توپولوژی پیشنهادی به‌صورت رابطه‌های (۳۸)، (۳۹)، (۴۰)، (۴۱) ارائه شده است.

$$N_{Sem} = 4\log_2^{n+2} - 6 \quad (۳۸)$$

$$N_{Cap} = 2\log_2^{n+2} - 2 \quad (۳۹)$$

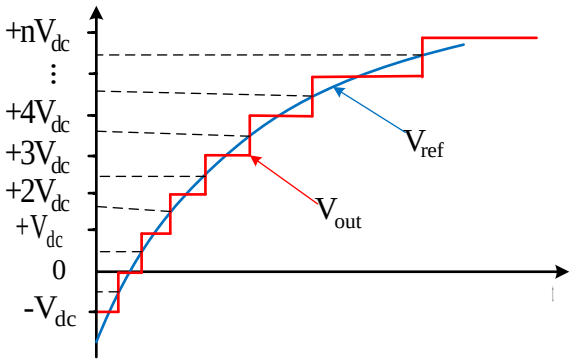
$$TSV = 7 \quad (۴۰)$$

$$CF = 4\log_2^{n+2} - 2 \quad (۴۱)$$

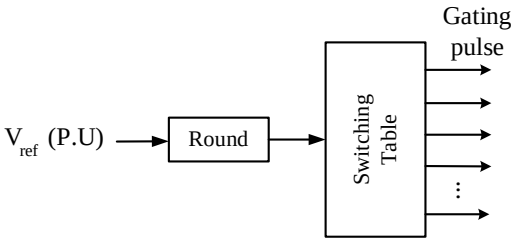
۵- نتایج شبیه‌سازی و آزمایشگاهی

در این بخش نتایج شبیه‌سازی و آزمایشگاهی ساختار پیشنهادی ارائه می‌شود. روش‌های مختلفی برای مدولاسیون اینورترهای چندسطحی وجود دارد که به دو دسته تقسیم بندی می‌شوند: ۱) روش کلیدزنی فرکانس پایین و ۲) روش کلیدزنی فرکانس بالا. از روش‌های مدولاسیون فرکانس بالا می‌توان به PWM چند حامله و راه‌کارهای مدولاسیون بردار فضایی نام برد و از روش‌های مدولاسیون فرکانس پایین می‌توان به روش حذف هارمونیک‌های فعال اشاره کرد. ساختار پیشنهادی با روش کلیدزنی فرکانس پایه (FFM) در محیط سیمولینک متلب شبیه‌سازی شده است. همان‌طور که در شکل (۱۱-الف) مفهوم مدولاسیون فرکانس پایه (FFM) نشان داده شده است، مقدار مرجع یک عدد صحیح در نظر گرفته می‌شود که به نزدیکترین سطح ولتاژ نزدیک است. به‌عنوان مثال، اگر مقدار لحظه‌ای ولتاژ مرجع در محدوده ۱/۵ تا ۲/۵ باشد، سطح ولتاژ دو برابر V_{dc} تولید می‌شود و هم‌چنین در شکل (۱۱-ب) بلوک دیاگرام مدار کنترلی برای کلیدزنی توپولوژی پیشنهادی نشان داده شده است.

برای تایید درستی عملکرد توپولوژی پیشنهادی، نتایج شبیه‌سازی و آزمایشگاهی در کنار هم ارائه شده‌اند. در نمونه آزمایشگاهی از ماسفت‌های IRFD450 و دیود MUR1560 استفاده شده و مدار راه‌انداز گیت از اپتوکوپلر TLP250 اجرا شده است. هم‌چنین برای تولید پالس‌های کلیدزنی از میکروکنترلر Arduino Mega 2560 استفاده شده است. جدول (۴) اطلاعات مربوط به پارامترهای استفاده شده برای شبیه‌سازی و آزمایشگاهی را ارائه کرده است. شکل (۱۲) مدار نمونه آزمایشگاهی را نشان می‌دهد. شکل (۱۳) نشان دهنده ولتاژ و جریان خروجی و نیز ولتاژ خازن‌های C_2 و C_1 با کلیدزنی فرکانس پایه برای بار اهمی خالص است. ولتاژ خازن‌های C_2 و C_1 به‌ترتیب ۱۲۰ و ۶۰ ولت است. شکل (۱۳-الف) نتایج شبیه‌سازی و در شکل (۱۳-ب) نتایج آزمایشگاهی برای ولتاژ و جریان خروجی با ولتاژ خازن‌های C_2 و C_1 ارائه شده است. در شکل (۱۳-ج) اعوجاج کل هارمونیک ولتاژ ارائه شده که مقدار THD ولتاژ نوزده سطحی تولیدی برابر با ۴/۵۶ درصد است. تطابق نتایج شبیه‌سازی و آزمایشگاهی در شکل (۱۳) قابل مشاهده است. با تغییر اندیس مدولاسیون (ma) از ۰/۷ به ۰/۴ در لحظه ۰/۰۷ ثانیه، ولتاژ خروجی از سیزده به هفت سطح کاهش پیدا کرده است. شکل (۱۴) نشان دهنده ولتاژ و جریان خروجی با کلیدزنی فرکانس پایه برای بار اهمی سلفی است. پیک ولتاژ خروجی از ۱۱۰ به ۵۰ ولت و پیک جریان خروجی از ۱ به ۰/۵ آمپر کاهش یافته است. در شکل (۱۴-الف) نتایج شبیه‌سازی و در شکل (۱۴-ب) نتایج آزمایشگاهی برای ولتاژ و جریان خروجی ارائه شده است.



(الف) مفهوم مدولاسیون فرکانس پایه



(ب): بلوک دیاگرام مدار کنترلی توپولوژی پیشنهادی

شکل (۱۱): مدولاسیون فرکانس پایه

Figure (11): Fundamental frequency modulation, a) The concept of fundamental frequency modulation (FFM) and b) Block diagram of the control circuit of the proposed topology

Table (4): Parameters used for simulation and practical testing

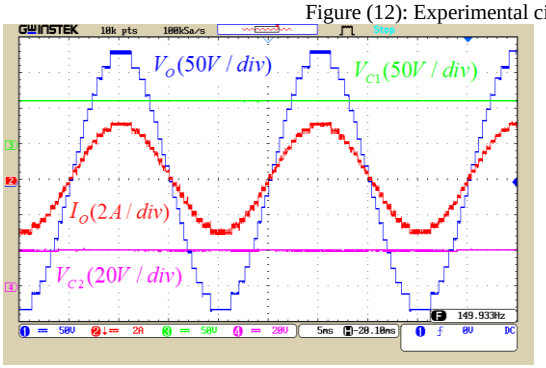
جدول (۴): پارامترهای استفاده شده برای شبیه‌سازی و آزمایشگاهی

پارامترها	مقادیر
ولتاژ ورودی	۱۲۰ ولت
پیک ولتاژ خروجی	۱۷۰ ولت
پیک جریان خروجی	۲ آمپر
فرکانس خروجی	۵۰ هرتز
مقاومت بار	۴۰ اهم
اندوکتانس بار	۶۰ میلی‌هانری
خازن C_1	۴۷۰۰ میکروفاراد
خازن C_2	۳۳۰۰ میکروفاراد
کلیدهای MOSFET	IRFP 450
درایور کلید	TLP 250
دیودها	MUR 1560
میکروکنترلر	Arduino Mega 2560

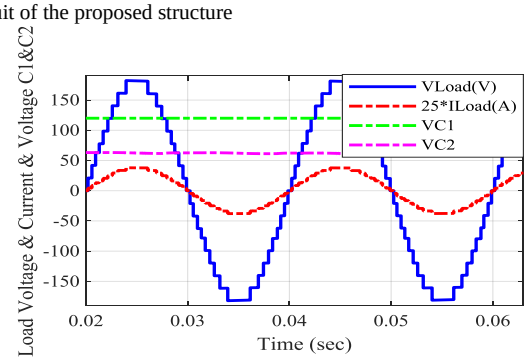
با تغییر اندیس مدولاسیون (m_a) از ۰/۴ به ۰/۷ در لحظه ۰/۰۷ ثانیه، ولتاژ خروجی از هفت به سیزده سطح افزایش پیدا کرده است. شکل (۱۵) نشان دهنده ولتاژ و جریان خروجی و نیز ولتاژ خازن‌های C_{2a}، C_{2b}، C_{2c} و C_{1a} و C_{1b} با کلیدزنی فرکانس پایه برای بار اهمی سلفی است. پیک ولتاژ خروجی از ۵۵ به ۱۱۰ ولت و پیک جریان خروجی از ۰/۵ به ۱ آمپر افزایش یافته است. در شکل (۱۵-الف) نتایج شبیه‌سازی و در شکل (۱۵-ب) نتایج آزمایشگاهی برای ولتاژ و جریان خروجی در شکل (۱۵-ج) نتایج شبیه‌سازی ولتاژ خازن‌های C_{1a} و C_{1b} و هم‌چنین در شکل (۱۵-د) نتایج شبیه‌سازی ولتاژ خازن‌های C_{2a}، C_{2b}، C_{2c} ارائه شده است. با توجه به تغییر اندیس مدولاسیون، ولتاژ خازن‌ها تغییر جزئی کرده و به شرایط پایدار جدید می‌رسد. با افزایش اندیس مدولاسیون از ۰/۷ به ۱ در لحظه ۰/۰۸ ثانیه، ولتاژ خروجی از سیزده به نوزده سطح افزایش پیدا کرده است.

شکل (۱۲): شمای کلی از مدار عملی ساختار پیشنهادی

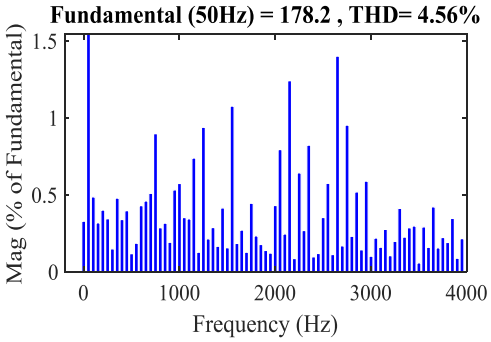
Figure (12): Experimental circuit of the proposed structure



(ب) پیاده‌سازی



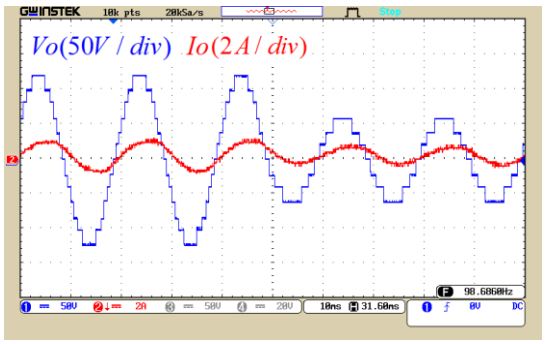
(الف) شبیه‌سازی



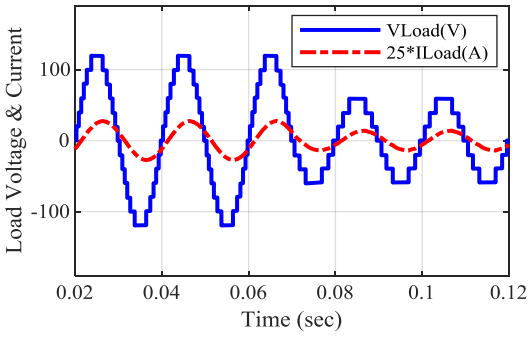
(ج) اعوجاج کل هارمونیکی ولتاژ خروجی

شکل (۱۳): نتایج ولتاژ خازن‌های C_2 و C_1 و ولتاژ و جریان خروجی نوزده سطحی برای بار اهمی خالص در کلیدزنی فرکانس پایه

Figure (13): The voltage of capacitors C_1 and C_2 and the output voltage and current for a pure ohmic load at the fundamental frequency switching, a) Simulation, b) Experimantal, c) Tolal harmonic distribution of output voltage



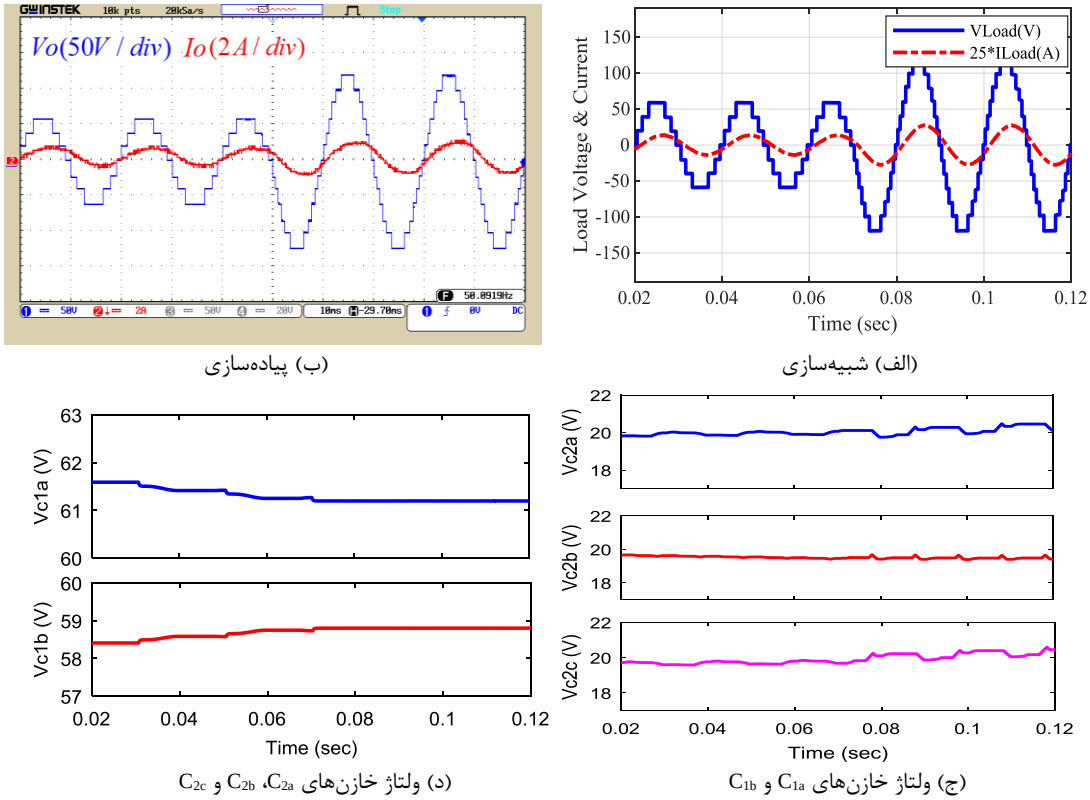
(ب) پیاده‌سازی



(الف) شبیه‌سازی

شکل (۱۴): تغییر ولتاژ خروجی ۱۳ به ۷ سطحی با تغییر اندیس مدولاسیون و جریان خروجی برای بار اهمی سلفی با کلیدزنی فرکانس پایه

Figure (14): Changing the voltage levels from 13 to 7 by changing the modulation index and the output current for R-L load with fundamental frequency switching, a) Simulation, b) Experimantal



(ب) پیاده‌سازی (الف) شبیه‌سازی

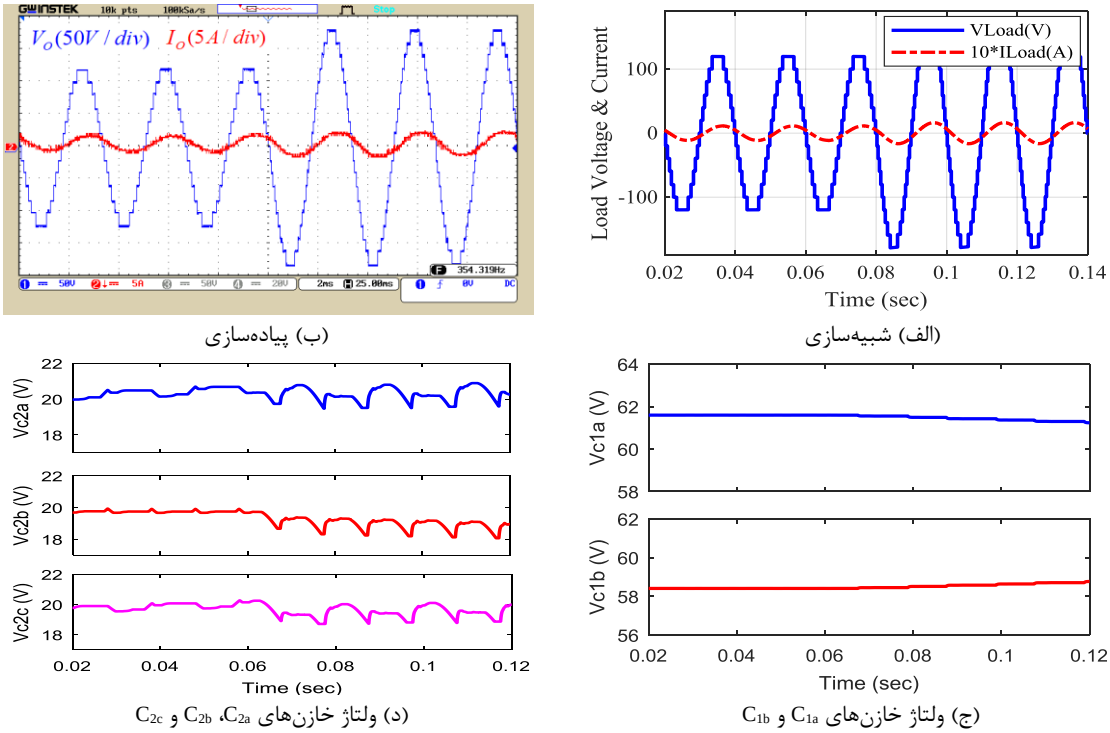
(د) ولتاژ خازن‌های C_{2a}، C_{2b} و C_{2c} (ج) ولتاژ خازن‌های C_{1a} و C_{1b}

شکل (۱۵): نتایج تغییر ولتاژ خروجی هفت به سیزده سطحی با تغییر اندیس مدولاسیون

Figure (15): Changing the voltage levels from 7 to 13 by Changing the modulation index, a) Simulation. b) Experimantal, c) Voltage of capacitors C_{1a} and C_{1b}, d) Voltage of capacitors C_{2a} ,C2b, C2c

شکل (۱۶) نشان دهنده ولتاژ و جریان خروجی و نیز ولتاژ خازن‌های C_{2a}، C_{2b}، C_{2c} و C_{1a}و C_{1b} با کلیدزنی فرکانس پایه برای بار اهمی سلفی است پیک ولتاژ خروجی از ۱۱۰ به ۱۷۰ ولت و پیک جریان خروجی از ۱ به ۱/۵ آمپر افزایش یافته است. در شکل (۱۶-الف) نتایج شبیه‌سازی و در شکل (۱۶-ب) نتایج آزمایشگاهی برای ولتاژ و جریان خروجی ارائه شده است. در شکل (۱۶-ج) نتایج شبیه‌سازی ولتاژ خازن‌های C_{1a} و C_{1b} و در شکل (۱۶-د) نتایج شبیه‌سازی ولتاژ خازن‌های C_{2a}، C_{2b}، C_{2c} نشان داده شده است. با توجه به تغییر اندیس مدولاسیون، ولتاژ خازن‌ها دچار تغییر جزئی شده و سپس به شرایط پایدار جدید خواهند رسید. برای بررسی توانایی ساختار پیشنهادی در شرایط دینامیکی، تغییر دینامیکی بار اعمال شده است. شکل (۱۷) نشان دهنده ولتاژ و جریان خروجی و نیز ولتاژ خازن‌های C_{2a}، C_{2b}، C_{2c} و C_{1a}و C_{1b} با کلیدزنی فرکانس پایه برای تغییر بار اهمی به بار اهمی سلفی است. پیک ولتاژ خروجی ۱۷۰ ولت است. شکل (۱۷-الف) نتایج شبیه‌سازی و در شکل (۱۷-ب) نتایج آزمایشگاهی برای ولتاژ و تغییر جریان و در شکل (۱۷-ج) نتایج شبیه‌سازی ولتاژ خازن‌های C_{1a} و C_{1b} و همچنین در شکل (۱۷-د) نتایج شبیه‌سازی ولتاژ خازن‌های C_{2a}، C_{2b} و C_{2c} ارائه شده است. با توجه به تغییر دینامیکی بار، ولتاژ خازن‌ها دچار تغییر جزئی شده و سپس ولتاژ آن‌ها در شرایط پایدار جدید تثبیت خواهد شد. شکل (۱۸) نشان دهنده ولتاژ کلیدهای S_{1b} و S_{1a}است. این شکل نشان می‌دهد که سیگنال آبی رنگ مربوط به کلید S_{1b} و سیگنال قرمز رنگ مربوط به کلید S_{1a} است. پیک ولتاژ خروجی این کلیدها برابر با ۱۲۰ ولت حاصل خواهد شد. در شکل (۱۸-الف) ولتاژ کلیدها در محیط شبیه‌سازی، در شکل (۱۸-ب) جریان کلیدها در محیط شبیه‌سازی و در شکل (۱۸-ج) نتایج آزمایشگاهی برای ولتاژ کلیدهای S_{1b} و S_{1a} ارائه شده است. شکل (۱۹) نشان دهنده ولتاژ و جریان کلیدهای S_{2a}، S_{2b}، S_{1c} و S_{1d} است. همان‌طور که در شکل قابل مشاهده است؛ سیگنال آبی رنگ مربوط به کلید S_{1c}، سیگنال قرمز رنگ مربوط به کلید S_{1d}، سیگنال سبز رنگ مربوط به کلید S_{2a} و سیگنال بنفش رنگ مربوط به کلید S_{2a} است. پیک ولتاژ خروجی کلیدهای S_{1c} و S_{1d} برابر با ۱۲۰ولت و پیک ولتاژ خروجی کلیدهای S_{2a} و S_{2b} برابر با ۶۰ ولت حاصل خواهد شد. در شکل (۱۹-الف) ولتاژ دو سر کلیدها در محیط شبیه‌سازی، در

شکل (۱۹-ب) جریان کلیدها در محیط شبیه‌سازی و در شکل (۱۹-ج) نتایج آزمایشگاهی برای ولتاژ دو سر کلیدهای S_{2a}، S_{2b}، S_{1d} و S_{1c} ارائه شده است.

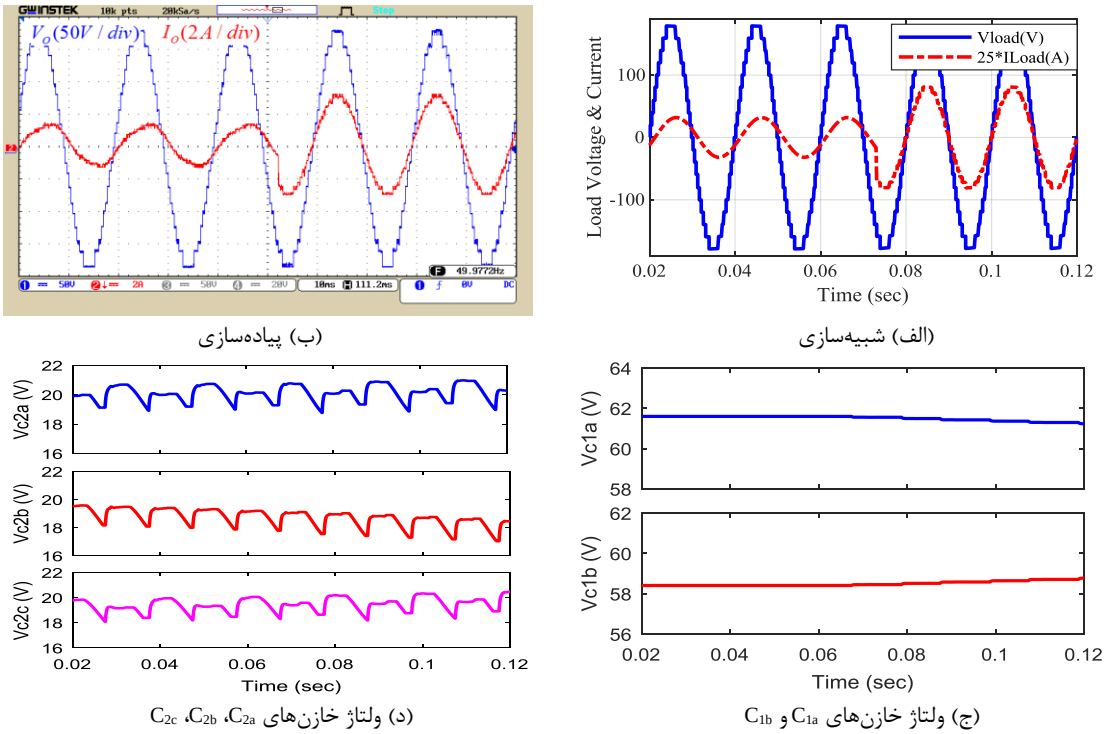


(ب) پیاده‌سازی (الف) شبیه‌سازی

(د) ولتاژ خازن‌های C_{2a}، C_{2b} و C_{2c} (ج) ولتاژ خازن‌های C_{1a} و C_{1b}

شکل (۱۶): ولتاژ خروجی ۱۳ به ۱۹ سطحی با تغییر اندیس مدولاسیون و جریان خروجی برای بار اهمی سلفی در کلیدزنی فرکانس پایه

Figure (16): Changing the voltage levels from 13 to 19 by Changing the modulation index for R-L load at th fundamental frequency switching, a) Simulation، b) Experimental, c): Voltage of capacitors C_{1a} and C_{1b}, d): Voltage of capacitors C_{2a} ،C_{2b}, C_{2c}

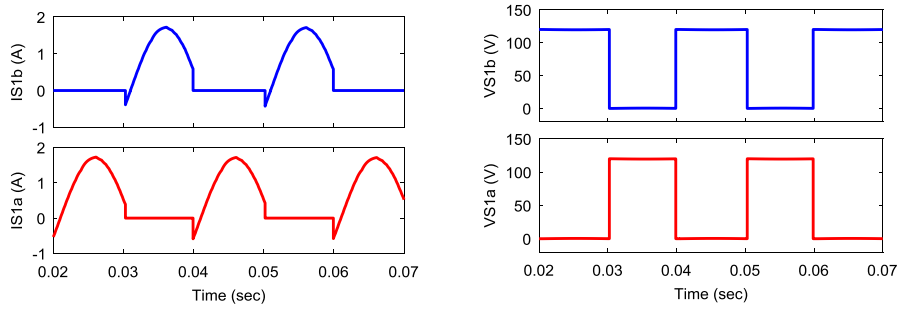


(ب) پیاده‌سازی (الف) شبیه‌سازی

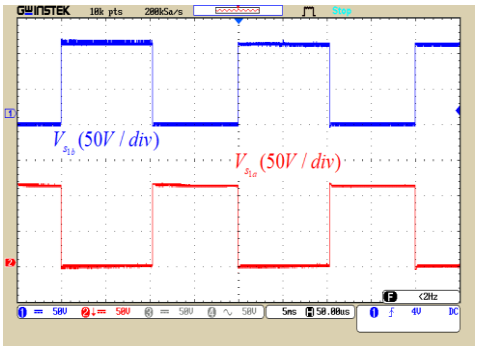
(د) ولتاژ خازن‌های C_{2a}، C_{2b}، C_{2c} (ج) ولتاژ خازن‌های C_{1a} و C_{1b}

شکل (۱۷): ولتاژ و جریان خروجی نوزده سطحی برای تغییر بار اهمی به سلفی در کلیدزنی فرکانس پایه

Figure (17): 19-levels output voltage and current at the variation of resistive load to R-L load at the fundamental frequency switching, a) Simulation. b) Experimental, c) Voltage of capacitors C_{1a} and C_{1b}, d) Voltage of capacitors C_{2a} ،C2b, C2c



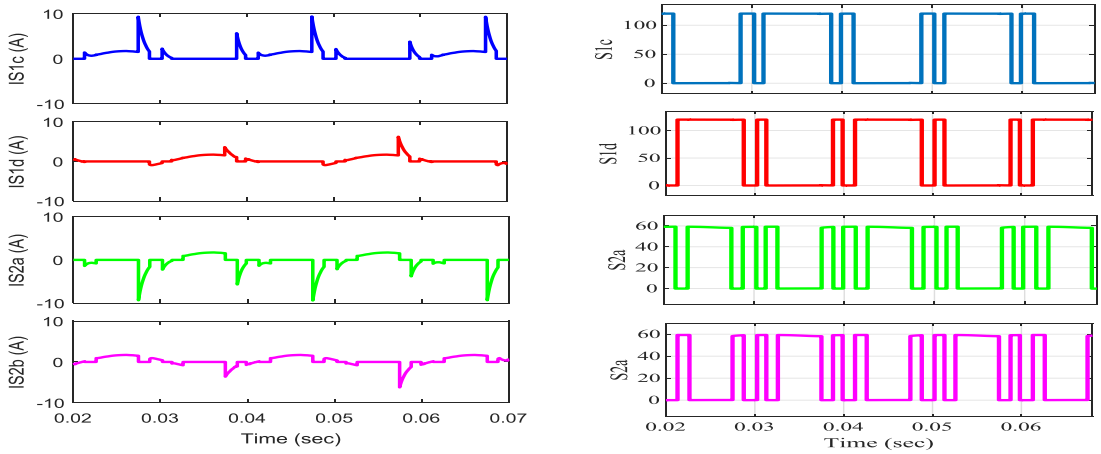
(ب) جریان شبیه‌سازی (الف) ولتاژ شبیه‌سازی



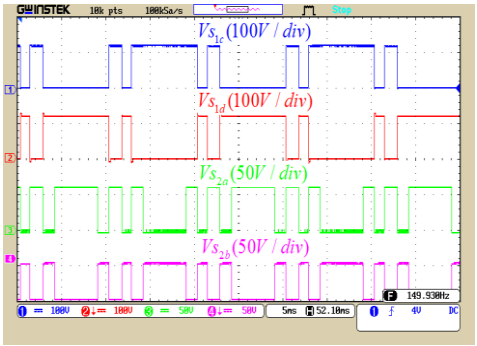
(ج) ولتاژ آزمایشگاهی

شکل (۱۸): ولتاژ و جریان سوئیچ‌های S_{1c} و S_{1b}

Figure (18): Voltage and current of switches S_{1a} and $S_{1b,}$ a) Voltage in simulation. (b): current in simulatiom. (c): voltage in experimental



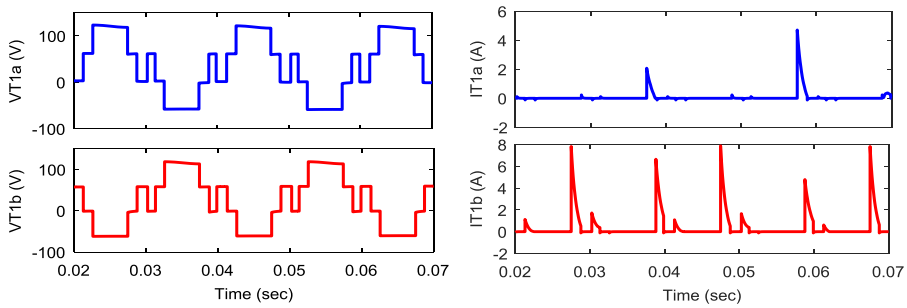
(ب) جریان شبیه‌سازی (الف) ولتاژ شبیه‌سازی



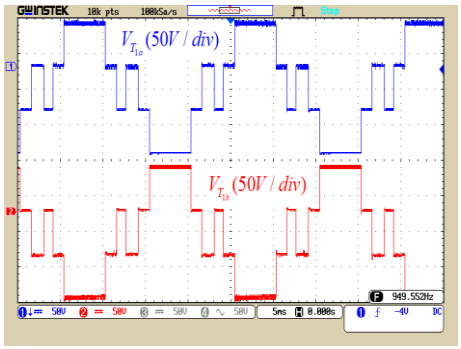
(ج) ولتاژ آزمایشگاهی

شکل (۱۹): ولتاژ و جریان کلیدهای S_{2a}، $S_{1d,}$ ، S_{1c} و S_{2b}

Figure (19): Voltage and current of switches S_{1c}، S_{1d}، S_{2a}، $S_{2b,}$ a) Voltage in simulation، b) Current in simulatiom، c) voltage in experimental



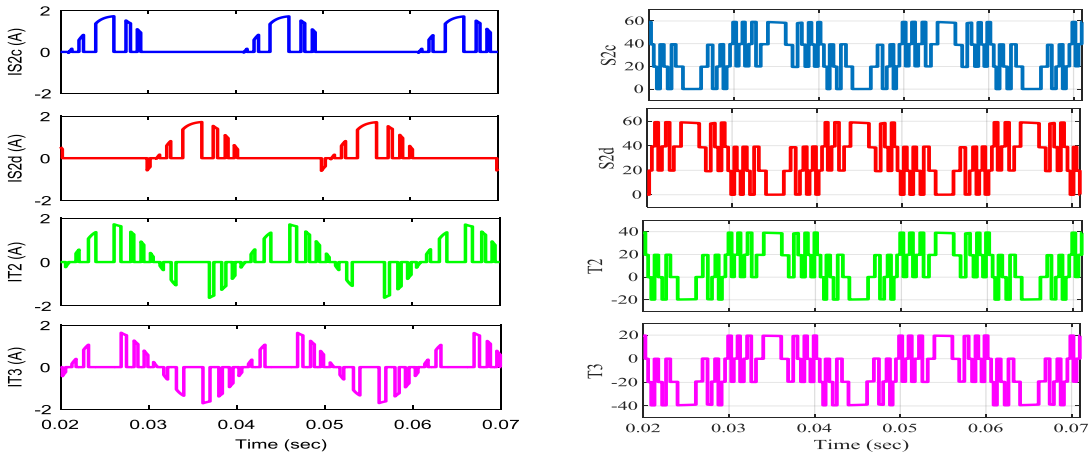
(ب) جریان شبیه‌سازی (الف) ولتاژ شبیه‌سازی



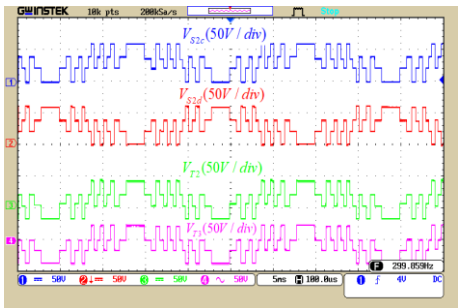
(ج) ولتاژ آزمایشگاهی

شکل (۲۰): ولتاژ و جریان کلیدهای T_{1a} و T_{1b}

Figure (20): Voltage and current of switches T_{1a} and T_{1b}, a) Voltage in simulation. b) Current in simulatiom. d) Voltage in experimental



(ب) جریان شبیه‌سازی (الف) ولتاژ شبیه‌سازی



(ج) ولتاژ آزمایشگاهی

شکل (۲۱): ولتاژ و جریان کلیدهای S_{2c}، S_{2d}، T_2 و T_3

Figure (21): Voltage and current of switches S_{2c} ،S_{2d}، T_2، T_3, a) Voltage in simulation. b): Current in simulatiom. c) Voltage in experimental

شکل (۲۰) نشان دهنده ولتاژ کلیدهای T_{1a} و T_{1b} است. همان‌طور که قابل مشاهده است؛ سیگنال آبی رنگ مربوط به کلید T_{1a} و سیگنال قرمز رنگ مربوط به کلید T_{1b} است. پیک ولتاژ خروجی این کلیدها برابر با ۱۲۰ولت حاصل شده است. در شکل (۲۰-الف) ولتاژ دو سر این کلیدها در محیط شبیه‌سازی، در شکل (۲۰-ب) جریان این کلیدها در محیط شبیه‌سازی و در شکل (۲۰-ج) نتایج آزمایشگاهی برای ولتاژ دو سر کلیدهای T_{1a} و T_{1b} ارائه شده است. شکل (۲۱) نشان دهنده ولتاژ کلیدهای T_2، T_3، S_{2d} و S_{2c} است. همان‌طور که در شکل قابل مشاهده است؛ سیگنال آبی رنگ مربوط به ولتاژ کلید S_{2c}، سیگنال قرمز رنگ مربوط به ولتاژ کلید S_{2d}، سیگنال سبز رنگ مربوط به ولتاژ کلید T_2 و سیگنال بنفش رنگ مربوط به کلید T_3 است. پیک ولتاژ دو سر کلیدهای S_{2c} و S_{2d} برابر با ۶۰ ولت و پیک ولتاژ دو سر کلیدهای T_2 و T_3 به‌ترتیب برابر با ۴۰ و ۲۰ ولت است. در شکل (۲۰-الف) ولتاژ دو سر کلیدها در محیط شبیه‌سازی، شکل (۲۰-ب) جریان عبوری از کلیدها و در شکل (۲۰-ج) نتایج آزمایشگاهی برای کلیدهای T_2، T_3، S_{2d} و S_{2c} ارائه شده است.

۶- نتیجه‌گیری

در ابتدای این مقاله اینورتر نوزده سطحی مبتنی بر سلول‌های پایه پل H با تعادل خودکار ولتاژ خازن و ضریب بوست ولتاژ ۱/۵ ارائه شده است. ساختار پیشنهادی از نظر تعداد کلیدزنی، تعداد خازن‌ها و ولتاژ مسدودکنندگی کل و تعادل‌خودکار با ساختارهای کلاسیک و نیز ساختارهای اینورتر چندسطحی مقایسه شده است. حالت‌های عملکردی با جزئیات ارائه شده است. دو خازن در سمت چپ و سه خازن در سمت راست مبدل به دلیل عملکرد متقارن آن‌ها در یک سیکل، تعادل خودکار ولتاژ را به‌دست آورده و باعث کاهش پیچیدگی کنترل در مقایسه با اینورترهای چندسطحی معمولی می‌شوند. توپولوژی پیشنهادی دارای مزیت‌های کاهش مولفه‌ها، تعادل خودکار، تنش ولتاژ و هزینه کلی است. سرانجام، تعادل خودکار خازن‌ها، عملکرد سیستم در شرایط گذرا، قابلیت بوست ولتاژ خروجی و قابلیت تغذیه بار القایی از طریق شبیه‌سازی نشاده داده شده است.

Refrences

مراجع

[1] J. Pereda, J. Dixon, "23-Level inverter for electric vehicles using a single battery pack and series active filters", IEEE Trans. on Vehicular Technology, vol. 61, no. 3, pp. 1043-1051, March 2012 (doi: 10.1109/TVT.2012.2186599).

[2] S. Souri, H. Mohammadnezhad-Shourkaei, S. Soleymani, B. Mozafari, "Reactive power management in low voltage distribution networks using capability and oversizing of PV smart inverters", Journal of Intelligent Procedures in Electrical Technology, vol. 14, no. 56, pp. 21-42, March 2024 (in Persian).

[3] K.K. Gupta, A. Ranjan, P. Bhatnagar, L.K. Sahu, S. Jain, "Multilevel inverter topologies with reduced device count: A review", IEEE Trans. on Power Electronics, vol. 31, no. 1, pp. 135-151, Jan. 2016 (doi: 10.1109-/TPEL.2015.2405012).

[4] B.H. Montazer, J. Olamaei, M. Hosseinpour, B. Mozafari, "A generalized diode containing bidirectional topology for multilevel inverter with reduced switches and power loss", International Journal of Circuit Theory and Applications, vol. 49, no. 9, pp. 2959-2978, Sept. 2021 (doi: 10.1002/cta.3077).

[5] A. Seifi, M. Hosseinpour, A. Dejamkhooy, "A switch-source cell-based cascaded multilevel inverter topology with minimum number of power electronics components", Transactions of the Institute of Measurement and Control, vol. 43, no. 5, pp. 1212-1225, March 2021 (doi: 10.1177/0142331220974137).

[6] A. Seifi, M. Hosseinpour, A. Dejamkhooy, F. Sedaghati, "Novel reduced switch-count structure for symmetric/asymmetric cascaded multilevel inverter", Arabian Journal for Sciee and Engineering, vol. 45, no. 8, pp. 6687-6700, June 2020 (doi: 10.1007/s13369-020-04659-4).

[7] M. Mohammadzamani, M. Moazzami, I. Sadeghkhani, "Voltage THD minimization in multilevel cascade inverters using repetitive quadratic programming", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 48, pp. 31-42, March 2022 (in Persian) (doi: 20.1001.1.23223871.1400.12.48.1.1).

[8] A. K. Sadigh, S.H. Hosseini, M. Sabahi, G. B. Gharehpetian, "Double flying capacitor multicell converter based on modified phase-shifted pulsewidth modulation", IEEE Trans. on Power Electronics, vol. 25, no. 6, pp. 1517-1526, June 2010 (doi: 10.1109/TPEL.2009.2039147).

[9] A. Poolad, M. Shahparasti, M. Hosseinpour, "Supplying three phase, four wire, unbalanced and non-linear, asymmetric ohmic-inductive load by NPC inverter based on method predictive control", Signal Processing and Renewable Energy, vol. 3, no. 4, pp. 1-21, Dec. 2019 (doi: 20.1001.1.25887327.2019.3.4.1.2).

[10] M. Abarzadeh, K. Al-Haddad, "An improved active-neutral-point-clamped converter with new modulation method for ground power unit application", IEEE Trans. on Industrial Electronics, vol. 66, no. 1, pp. 203-214, April 2018 (doi: 10.1109/TIE.2018.2826484).
[11] Z. Du, L. M. Tolbert, B. Ozpineci, J.N. Chiasson, "Fundamental frequency switching strategies of a seven-level hybrid cascaded H-bridge multilevel inverter", IEEE Trans. on power electronics, vol. 24, no. 1, pp. 25-33, June 2009 (doi: 10.1109/TPEL.2008.2006678).
[12] J.S. Choi, F.S. Kang, "Seven-level PWM inverter employing series-connected capacitors paralleled to a single DC voltage source", IEEE Trans. on Industrial Electronics, vol. 62, no. 6, pp. 3448-3459, June 2015 (doi: 10.1109/TIE.2014.2370948).
[13] S. K. Chattopadhyay, C. Chakraborty, "A new multilevel inverter topology with self-balancing level doubling network", IEEE Trans. on Industrial Electronics, vol. 61, no. 9, pp. 4622-4631, Nov. 2013 (doi: 10.1109/TIE.2013.2290751).
[14] E. Samadaei, A. Sheikholeslami, S.A. Gholamian, J. Adabi, "A square T-type (ST-type) module for asymmetrical multilevel inverters", IEEE Trans. on power Electronics, vol. 33, no. 2, pp. 987-996, Mar. 2017 (doi: 10.1109/TPEL.2017.2675381).
[15] M.F.M. Elias, N.A. Rahim, H.W. Ping, M.N. Uddin, "Asymmetrical cascaded multilevel inverter based on transistor-clamped H-bridge power cell", IEEE Trans. on Industry Applications, vol. 50, no. 6, pp. 4281-4288, Aug. 2014 (doi: 10.1109/TIA.2014.2346711).
[16] M. Saeedian, S.M. Hosseini, J. Adabi, "A five-level step-up module for multilevel inverters: topology, modulation strategy, and implementation", IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 6, no. 4, pp. 2215-2226, Mar. 2018 (doi: 10.1109/JESTPE.2018.2819498).
[17] J. Zeng, J. Wu, J. Liu, H. Guo, "A quasi-resonant switched-capacitor multilevel inverter with self-voltage balancing for single-phase high-frequency AC microgrids", IEEE Trans. on Industrial Informatics, vol. 13, no. 5, pp. 2669-2679, Feb. 2017 (doi: 10.1109/TII.2017.2672733).
[18] H.K. Jahan, M. Abapour, K. Zare, "Switched-capacitor-based single-source cascaded H-bridge multilevel inverter featuring boosting ability", IEEE Trans. on Power Electronics, vol. 34, no. 2, pp. 1113-1124, April 2018 (doi: 10.1109/TPEL.2018.2830401).
[19] A. Taghvaie, J. Adabi, M. Rezanejad, "A self-balanced step-up multilevel inverter based on switched-capacitor structure", IEEE Trans. on Power Electronics, vol. 33, no. 1, pp. 199-209, Jan. 2018 (doi: 10.11-09/TPEL.2017.2669377).
[20] M.D. Siddique, M.F. Karim, S. Mekhilef, M. Rawa, M. Seyedmahmoudian, B. Horan, A. Stojcevski, M. Ahmed, "Single-phase boost switched-capacitor based multilevel inverter topology with reduced switching devices", IEEE Journal of Emerging and Selected Topics in Power Electronics, Early Access, Nov. 2021 (doi: 10.1109/JESTPE.2021.3129063).
[21] J. Zeng, W. Lin, D. Cen, J. Liu, "Novel K-type multilevel inverter with reduced components and self-balance", IEEE Journal of Emerging and Selected Topics in Power Electronics, vol. 8, no. 4, pp. 4343-4354, Dec. 2020 (doi: 10.1109/JESTPE.2019.2939562).
[22] R. Barzegarkhoo, M. Moradzadeh, E. Zamiri, H.M. Kojabadi, F. Blaabjerg, "A new boost switched-capacitor multilevel converter with reduced circuit devices", IEEE Trans. on Power Electronics, vol. 33, no. 8, pp. 6738-6754, Aug. 2018 (doi: 10.1109/TPEL.2017.2751419).
[23] M. Hosseinpour, A. Seifi, A. Dejamkhooy, F. Sedaghati, "Switch count reduced structure for symmetric bi-directional multilevel inverter based on switch-diode-source cells", IET Power Electronics, vol. 13, no. 8, pp.1675-1686, June 2020 (doi: 10.1049/iet-pel.2019.1310).
[24] S.S. Lee, C.S. Lim, K.B. Lee, "Novel active-neutral-point-clamped inverters with improved voltage-boosting capability", IEEE Trans. on Power Electronics, vol. 35, no. 6, pp. 5978-5986, June 2019 (doi: 10.-1109/TPEL.2019.2951382).

زیرنویس‌ها

1. Multi-level inverter
2. Renewable energy generation
3. Electric vehicle
4. Electromagnetic interference
5. Neutral point clamped
6. Flying capacitor
7. Cascaded H-bridge
8. Direct current
9. Active neutral point clamped
10. Total harmonic distortion
11. Square t-type
12. Fundamental frequency modulation
13. Switched capacitor multilevel inverter
14. High frequency alternative current
15. Number of capacitor
16. Number of semiconductor
17. Total stress voltage
18. Cost function