JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 12/ No. 45/ Spring 2021
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

20.1001.1.23223871.1400.12.1.5.1
Research Article

Design and Simulation of a Bulk Driven Operational Trans-Conductance Amplifier Based on CNTFET Technology

Sayed Mohammad Ali Zanjani[1,2], *Assistant Professor,* Mostafa Parvizi[1,2], *M.SC*

[1] Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran
[2] Smart Microgrid Research Center, Najafabad Branch, Islamic Azad University, Najafabad, Iran
sma_zanjani@pel.iaun.ac.ir, mostafa_parvizi@sel.iaun.ac.ir

Abstract:
In this paper, a new two-stage OTA is proposed which meeting the needs of high gain, low power and low noise, and designed based on the gm/ID technique with bulk driven method. It is noteworthy that due to the limitations of CMOS technology, CNTFET technology used for the circuit designs. Moreover, to improve the linearity of the circuit, triode transistors used in both stages of amplifiers. The simulation results of the proposed OTA are performed under 1V of supply voltage and 1pF of load capacitors in the HSPICE tool. According to the simulation results, the proposed circuit consumes less than 27 µW of power and offers a high gain of 98 dB. The CMRR and PSRR values of the proposed circuit are 121 dB and 152 dB, respectively. The input referred noise is 0.92 nV/√Hz and the slew rate of the proposed circuit is 111 V/µs, which shown the better figure of merit (FOM) in compression with the previous works.

Keywords: carbon nanotube field effect transistor, gm/ID technique, high gain, low power, operational trans-conductance amplifier

Received: 8 October 2020
Revised: 20 November 2020
Accepted: 6 December 2020

Corresponding Author: Sayed Mohammad Ali Zanjani

Citation: S.M.A. Zanjani, M. Parvizi, "Design and simulation of a bulk driven operational trans-conductance amplifier based on CNTFET technology", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 45, pp. 63-74, June 2021 (in Persian).

20.1001.1.23223871.1400.12.1.5.1
مقاله پژوهشی

طراحی و شبیه‌سازی یک تقویت‌کننده ترارسانای عملیاتی راه‌اندازی شده از طریق بدنه مبتنی بر فناوری ترانزیستور اثر میدان نانولوله‌کربنی

سید محمد علی زنجانی[۱،۲]، استادیار، مصطفی پرویزی[۱،۲]، دانش‌آموخته کارشناسی‌ارشد
۱- دانشکده مهندسی برق- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
۲- مرکز تحقیقات ریزشبکه‌های هوشمند- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
sma_zanjani@pel.iaun.ac.ir, mostafa_parvizi@sel.iaun.ac.ir

چکیده: در این مقاله، یک مدار تقویت‌کننده ترارسانایی عملیاتی جدید دو طبقه پیشنهاد می‌شود که نیازهای بهره بالا، توان مصرفی پایین و نویز کم را برآورده می‌کند و بر اساس روش gm/ID و راه‌اندازی از طریق بدنه طراحی شده است. قابل ذکر است که طراحی‌های صورت گرفته مداری با توجه به محدودیت‌های فناوری CMOS، در فناوری CNTFET انجام شده است. همچنین به‌منظور بهبود خطینگی مدار، ترانزیستورهای تریودی در هر دوطبقه به‌کار برده شده است. شبیه‌سازی‌های مدار تقویت‌کننده ترارسانایی عملیاتی پیشنهادی در نرم‌افزار HSPICE و با ولتاژ تغذیه یک ولت و خازن‌های بار یک پیکوفاراد انجام پذیرفته است. بر اساس نتایج به‌دست آمده، مدار پیشنهادی کمتر از ۲۷ میکروات توان مصرف می‌کند و بهره بالای ۹۸ دسی‌بل را ارائه می‌دهد. مقدار CMRR و PSRR مدار پیشنهاد شده به‌ترتیب برابر با ۱۲۱ دسی‌بل و ۱۵۲ دسی‌بل است. نویز ارجاع شده به ورودی مدار برابر با ۰/۹۲ نانو ولت بر رادیکال هرتز بوده و سرعت چرخش مدار برابر با ۱۱۱ ولت بر میکروثانیه است که نشان از بهتربودن مقدار ضریب شایستگی مدار پیشنهادی در مقایسه با کارهای قبلی است.

کلمات کلیدی: بهره بالا، ترانزیستور اثر میان نانولوله‌کربنی، تقویت‌کننده ترارسانای عملیاتی، تکنیک gm/ID، توان پایین

تاریخ ارسال مقاله: ۱۳۹۹/۷/۱۷
تاریخ بازنگری مقاله: ۱۳۹۹/۸/۳۰
تاریخ پذیرش مقاله: ۱۳۹۹/۹/۱۶

نام نویسنده‌ی مسئول: سید محمد علی زنجانی
نشانی نویسنده‌ی مسئول: نجف‌آباد- بلوار دانشگاه- دانشگاه آزاد اسلامی واحد نجف‌آباد- دانشکده مهندسی برق

۱- مقدمه

تقویت‌کننده‌های ترارسانایی عملیاتی از طبقات اساسی در بسیاری از سامانه‌های آنالوگ و ترکیبی آنالوگ و دیجیتال هستند. این تقویت‌کننده‌ها با درجه‌های متفاوتی از پیچیدگی برای تحقق اهداف مختلف مانند تولید بایاس، تقویت با سرعت بالا، مدارهای کلید خازنی و فیلترها استفاده می‌شوند [۱-۴]. علی‌رغم پیشرفت فن‌آوری و ارتقاء روش‌های ساخت ترانزیستورهای ماسفت که منجربه کوچک‌تر شدن طول کانال و کاهش ولتاژ تغذیه شده است، متاسفانه ولتاژ آستانه ترانزیستورها تا مقدار زیادی ثابت باقی مانده است و طراحی را با چالش روبه‌رو کرده است. از طرفی با کاهش ولتاژ تغذیه، توان مصرفی، فرکانس کاری و بهره تقویت‌کننده کاهش یافته و اعوجاج هارمونیکی کل و نویز افزایش یافته است. همچنین کاهش ولتاژ تغذیه و طول کانال سبب شده تقویت-کننده‌های تک‌طبقه، به‌علت مقاومت خروجی کم و دامنه نوسانات پایین در خروجی با مشکل مواجه شوند [۱,۲,۶,۵] . به‌منظور کاهش توان مصرفی از روش‌هایی مانند راه‌اندازی در ناحیه زیرآستانه و گیت شناور استفاده می‌گردد. اما این روش‌ها، نویزپذیری مدار را افزایش و بهره را کاهش داده است. به‌عنوان یک پیشنهاد، تقویت‌کننده‌های چندطبقه به‌طور گسترده جهت طراحی مدارهای OTA با بهره بالا استفاده شده‌اند اما با افزایش تعداد طبقات، تعداد قطب‌های تقویت‌کننده افزایش یافته و پهنای باند فرکانسی GBW کاهش می‌یابد. از این‌رو جهت افزایش فرکانس کاری و برقراری پایداری، این تقویت‌کننده‌ها به روش‌هایی جهت جبران‌سازی نیازمندند [۱,۲]. طراحی تقویت‌کننده‌های ترارسانایی عملیاتی چندطبقه و جبران‌سازی فرکانسی آن‌ها یکی از چالش‌های اساسی طراحان است. متاسفانه، به‌منظور رسیدن به درجه‌ای از پایداری، عملکرد خوب دیگر پارامترها دچار مشکل می‌شود، لذا باید مصالحه‌ای بین این پارامترها برقرار کرد. درنتیجه، طراحی تقویت‌کننده‌ای که تمامی مشخصات را به‌اندازه مناسب داشته باشد، نیازمند طراحی خوب و روش جبران‌سازی بهینه است [۶] .

از طرفی قابلیت اطمینان مدارهای نانومتری CMOS به‌دلایل متعددی کاهش یافته است. این دلایل عبارتند از: ۱- افزایش دمای ترانزیستور ۲- کاهش عملکرد کنترلی گیت ۳- افزایش جریان‌های مخرب زمان خاموشی یا جریان نشتی که منجربه افزایش توان ایستا می‌شود. ۴- تونل‌زنی الکترون‌ها ۵- کاهش نسبت جریان روشن به خاموش ترانزیستور. علاوه بر مشکلات ذکرشده، فرایند ساخت این ترانزیستورها به‌خصوص در هنگام عملیات لیتوگرافی، مراحل پیچیده‌تری دارد که باعث افزایش هزینه می‌گردد. از این‌رو، فناوری‌های جایگزین همچون ترانزیستورهای تک‌الکترونی و آتاماتای سلول‌های کوانتومی معرفی شده‌اند. هرچند تحقیقات وسیعی در حوزه الکترونیک دیجیتال توسط این فناوری‌ها ارائه شده است، اما متاسفانه این فناوری‌ها علاوه‌بر آن‌که محدودیت عملکرد دمایی دارند، هنوز در طراحی مدارهای آنالوگ جایگاهی ندارند[۱,۲]. با این‌حال، ترانزیستورهای اثرمیدان نانولوله‌کربنی، به‌عنوان یکی از فناوری‌های جایگزین ترانزیستورهای MOSFET معرفی شده‌اند که مشخصه ولتاژ-جریان آن مشابه MOSFET است [۷،۸]. از این‌رو بسیاری از تحقیقات حوزه دیجیتال توسط این فن‌آوری شبیه‌سازی شده است که می‌توان به حافظه‌های دست‌یابی ایستا به‌صورت تصادفی، واحدهای منطق و ریاضی از قبیل مدارهای جمع‌کننده، تفریق‌کننده، مالتی‌پلکسرها، مدارهای با منطق چند سطحی (سه سطحی و چهار سطحی)، مدارهای کمینه- بیشینه اشاره نمود [۱۲-۹]. با این حال، تعداد محدودی از مدارهای آنالوگ و سیگنال ترکیبی توسط این ترانزیستورها طراحی شده‌اند. مثلا در سال ۲۰۱۹ یک نقاله جریان نسل دوم (CCII) مبتنی‌بر CNTFET طراحی شده است [۱۳]. در سال ۲۰۱۸ یک مدار تقویت‌کننده ابزار دقیق [۱۴] و یک مدار فیلتر چند منظوره [۱۵] و در سال ۲۰۲۰ یک مدار نمونه‌بردار و نگهدارنده [۱۶] مبتنی‌بر ترانزیستورهای CNTFET ارائه شده است. در مرجع [۱۷] یک مدار تقویت‌کننده دوطبقه متداول توسط ترانزیستورهای CNTFET مورد طراحی و شبیه‌سازی قرار گرفته است. این تقویت‌کننده با تغذیه ۰/۹± ولت، خازن بار ۱۰ پیکوفاراد و خازن جبران ۳ پیکوفاراد شبیه‌سازی شده است و دارای بهره ۴۹/۱۲ دسی‌بل، پهنای باند ۱۹۸ مگاهرتز و حاشیه فاز ۴۸ درجه است. همچنین در مراجع [۱۸] و [۱۹] دو تقویت‌کننده ترارسانای عملیاتی با این ترانزیستورها طراحی و شبیه‌سازی شده است.

در این مقاله یک تقویت‌کننده دوطبقه ترارسانای عملیاتی راه‌اندازی شده از طریق بدنه پیشنهاد، طراحی و شبیه‌سازی شده است. ساختار مقاله به این شرح است: در بخش دوم، چند مدار OTA (بالاخص با راه‌اندازی از بدنه) و روش‌های جبران فرکانسی آنها بررسی شده است. در بخش سوم مدار پیشنهادی معرفی می‌شود. نتایج شبیه‌سازی و مقایسه با تحقیقات قبلی در بخش چهارم و نتیجه‌گیری در بخش پنجم بیان شده است.

۲- مروری بر طراحی بهینه‌شده تقویت‌کننده ترارسانای عملیاتی

کاربرد وسیع تقویت‌کننده‌های ترارسانایی عملیاتی در مدارهای مجتمع باعث شده است تا بخش زیادی از تحقیقات بر ارائه مدارها و روش‌هایی جهت بهبود پارامترها و عملکرد این تقویت‌کننده‌ها متمرکز گردد. به‌عنوان مثال، جهت افزایش بهره مدار از روش‌های فیدبک مثبت و افزایش بهره و یا مدارهای کسکود از قبیل کسکود تلسکوپی، کسکود تاشده و خودکسکود استفاده شده است [۲۲-۲۰]. روش فیدبک مثبت نیاز به دقت بالا در طراحی دارد و وابستگی زیادی به تغییرات ساخت و نیز تغییرات ولتاژ، دما و فرایند دارد. روش افزایش بهره سبب پیچیده‌شدن طراحی و اعمال صفر و قطب‌های ناخواسته به مدار می‌شود. مدارهای کسکود نیاز به ولتاژ تغذیه بیشتری دارند و با هدف طراحی در ولتاژ پایین و توان مصرفی کم مغایرت دارند؛ ضمن آن که دامنه نوسانات خروجی را نیز محدود می‌کنند[۱,۲].

تقویت‌کننده‌های دوطبقه و سه‌طبقه به‌منظور افزایش بهره و طراحی تقویت‌کننده‌های ابزار دقیق، از لحاظ ولتاژ تغذیه، قابلیت راه‌اندازی در ولتاژ پایین‌تری را نسبت به مدارهای کسکود دارند ولی نیازمند جبران‌سازی فرکانسی هستند. در جبران مدارهای دوطبقه، استفاده از خازن میلر، روش جبران پایه نامیده می‌شود [۲۵-۲۳]. استفاده از طبقه درین مشترک یا دنبال‌کننده سورس به‌عنوان بافر ولتاژ [۲۶] و استفاده از طبقه گیت مشترک به‌عنوان بافر جریان [۲۷] از دیگر روش‌های جبران فرکانسی تقویت-کننده‌ها با دو قطب غالب هستند.

ازطرفی طراحی در ناحیه زیرآستانه و از طریق بدنه نیز باعث می‌شود تا بتوان این مدارها را در ولتاژ تغذیه کمتری راه‌اندازی نمود و درنهایت توان مصرفی را خصوصا در سامانه‌های قابل حمل که با باتری کار می‌کنند، کاهش داد. این در حالی است که مدار از لحاظ بهره، نویزپذیری و خطینگی دچار محدودیت می‌شود؛ ولی با استفاده از روش مداری تخصصی gm/ID، می‌توان این محدودیت‌ها را تا مقدار قابل قبولی کاهش داد [۲۸,۲۹]. اعمال سیگنال ورودی به گیت و اتصال بدنه به سورس در ساختار زوج تفاضلی، باعث محدودیت محدوده ولتاژ حالت مشترک ورودی می‌شود. یک راه متداول برای رفع مشکل فوق، موازی‌کردن یک ترانزیستور NMOS با ترانزیستور PMOS ورودی است تا در هر لحظه حداقل یکی از ترانزیستورها روشن باشد. با این وجود، ساختار ترانزیستورهای موازی در ولتاژهای تغذیه بسیار پائین دچار مشکل می‌شود و هنگامی‌که محدوده‌ی ولتاژ حالت مشترک ورودی به نصف ولتاژ تغذیه می‌رسد، ترانزیستورهای ورودی وارد ناحیه خاموش می‌شوند. از این‌رو چندین راهکار برای طراحی مدارهای آنالوگ با ولتاژ و توان مصرفی پائین مورد استفاده قرار گرفته است؛ از جمله: عملکرد در ناحیه‌ی زیر آستانه، فن‌آوری گیت شناور، ساختار خودکسکود و راه‌اندازی از طریق بدنه [۳۰،۳۱].

لذا در این مقاله، طراحی و شبیه‌سازی یک تقویت‌کننده ترارسانای عملیاتی در فناوری CNFET و با استفاده از روش راه‌اندازی از طریق بدنه بررسی می‌شود به‌طوری‌که بهره‌ی بالا در توان مصرفی کم داشته باشد. همچنین مقادیر نویز ارجاع شده به ورودی مدار و سرعت چرخش مدار قابل توجیه باشد.

۳- طراحی تقویت‌کننده پیشنهادی

شکل (۱) مدار تقویت‌کننده دوطبقه پیشنهاد شده بالک درایو با جبران‌سازی فرکانس از نوع بافر ولتاژ را نشان می‌دهد. طراحی مدار در چهار بخش زیر تشریح می‌شود.

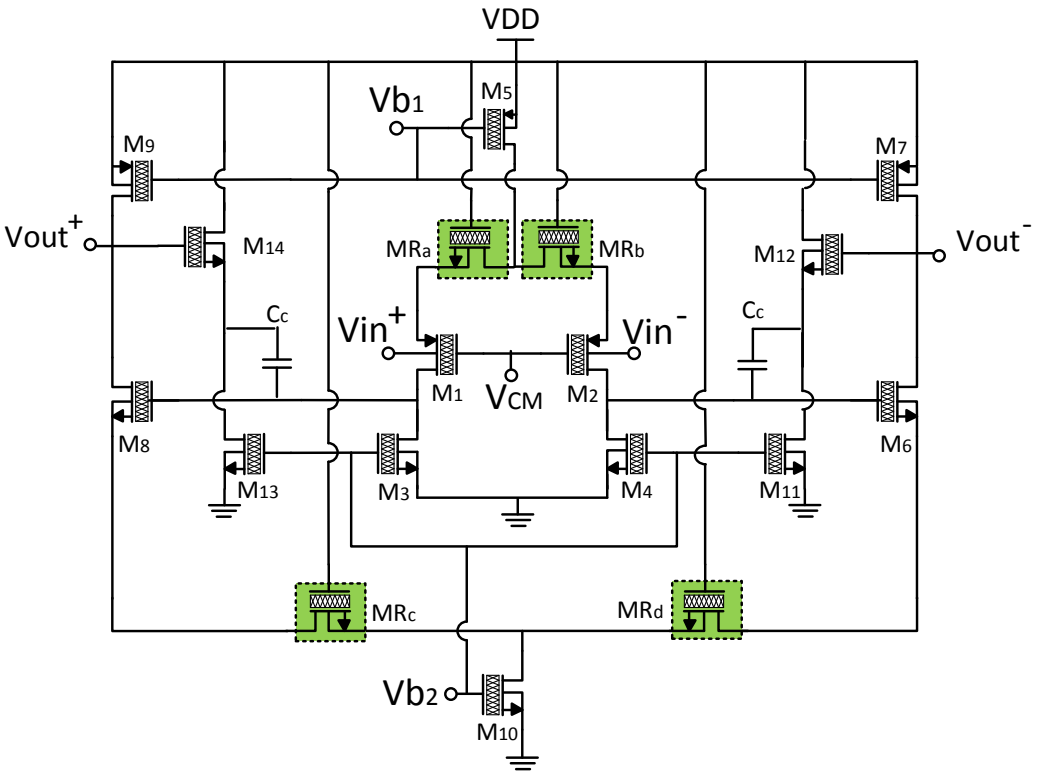
۳-۱- تعیین ولتاژ بایاس و جریان ترانزیستورهای طبقه اول

مدار اولیه شامل دو ترانزیستور ورودی M_1 و M_2 است که گیت آن‌ها به ولتاژ حالت مشترک V_{CM} متصل شده است. سیگنال ورودی به بدنه ترانزیستورها اعمال شده تا به‌صورت بالک درایو عمل نمایند. M_5 در نقش منبع جریان I_{bias} با مقدار ۸/۵ میکروآمپر است. V_{DD} برابر ۱ ولت درنظر گرفته شده است. بنابراین طبقه ورودی ۸/۵ میکروووات توان مصرف می‌کند و جریان M_1 و M_2 نیز برابر با ۴/۲۵ میکروآمپر می‌باشد. سطح ولتاژ DC اعمالی به گیت M_1 و M_2 برابر $0.5V_{DD}$ یا ۰/۵ ولت است. بردار کایرال M_1 و M_2 برابر با (۰و۱۹) انتخاب شده تا قطر نانولوله‌ها طبق رابطه (۱) برابر با ۱/۵ نانومتر و ولتاژ آستانه آن‌ها براساس رابطه (۲) برابر با ۲۹۳ میلی‌ولت باشد.

$$D_{CNT} \approx 0.0783\sqrt{m^2 + n^2 + mn} \quad (۱)$$

$$V_{TH} \approx \frac{0.436}{D_{CNT}(nm)} \quad (۲)$$

در حالی که m و n اعداد بردار کایرالیتی هستند. بنابراین سطح ولتاژ DC پایانه سورس M_1 و M_2 نباید کمتر از ۷۹۳ میلی‌ولت شود. اعداد کایرال برای M_5 برابر با (۰و۲۰) انتخاب شده است تا دارای ولتاژ آستانه ۲۸۰ میلی‌ولت می‌باشد. بنابراین ولتاژ بایاس Vb_1 برابر با ۰/۷ولت می‌باشد. ضمنا ولتاژ درین M_5 نباید کمتر از ۷۹۳ میلی‌ولت و بیشتر از ۹۸۰ میلی‌ولت شود، درغیر این‌صورت M_1 و M_2 وارد ناحیه زیرآستانه و خاموشی می‌شوند یا M_5 وارد ناحیه خطی می‌شود. لذا تعداد نانولوله‌های M_5 برابر ۹ و فاصله بین آن‌ها ۲۵ نانومتر انتخاب شده است. اعداد کایرال M_3 و M_4 برابر با (۰و۱۹) انتخاب شده است؛ پس Vb_2 برابر ۰/۳۵ ولت درنظر گرفته شده است تا این ترانزیستورها روشن باشند.



شکل (۱): مدار تقویت‌کننده دوطبقه پیشنهادی با جبران بافر ولتاژ

Figure 1: Proposed two-stage amplifier circuit with voltage buffer compensation

با توجه به توضیحات بالا، تعداد نانولوله‌های M_1 و M_2 برابر ۵ و برای M_3 و M_4 برابر ۳ انتخاب شده است. همچنین فاصله نانولوله‌ها به‌ترتیب ۲۰ و ۱۰/۵ نانومتر در نظر گرفته شده است. بنابراین هر پنج ترانزیستور در ناحیه فعال هستند و جریان عبوری مدار ۸/۵ میکروآمپر و مصرف توان ۸/۵ میکرووات می‌شود. به‌منظور خطی‌سازی مدار، ترانزیستورهای MR_a و MR_b در ناحیه خطی و درنقش مقاومت، در سورس ترانزیستورهای ورودی قرارگرفته است.

۳-۲- تعیین ولتاژ بایاس و جریان ترانزیستورهای طبقه دوم

برای تعیین نقطه کار طبقه دوم همانند M_5، می‌توان از ولتاژ بایاس Vb_1 برابر ۰/۷ ولت برای بایاس M_7 و M_9 استفاده نمود؛ بنابراین باید ولتاژ آستانه این ترانزیستورها در بیشترین مقدار خود کمتر از ۳۰۰ میلی‌ولت باشد. لذا بردار کایرال این ترانزیستورها برابر (۰و۲۰) انتخاب شده تا ولتاژ آستانه آن‌ها ۲۸۰ میلی‌ولت باشد. چون گیت M_6 و M_8 توسط خروجی طبقه اول راه‌اندازی شده است و این گره‌ها بر روی سطح ۴۷۵ میلی‌ولت طراحی شدند، اعداد بردار کایرال این ترانزیستورها (۰و۱۳) انتخاب شده است تا ولتاژ آستانه آن‌ها حدود ۴۳۶ میلی‌ولت به‌دست آید و این ترانزیستورها نیز روشن باشند.

ترانزیستورهای MR_c و MR_d با ولتاژ بزرگ در گیت و ولتاژ آستانه کم به‌راحتی وارد ناحیه خطی می‌شوند. انتخاب بردار (۰و۲۸) برای آن‌ها سبب می‌شود تا ولتاژ آستانه آن‌ها کمتر از 200 mV باشد و با ولتاژ گیت-سورس بیشتر از ۳۰۰ میلی‌ولت وارد ناحیه خطی شوند. ترانزیستور M_{10} را می‌توان همانند ترانزیستورهای M_3 و M_4 به Vb_2 برابر ۳۵۰ میلی‌ولت متصل نمود. پس لازم است ولتاژ آستانه این ترانزیستور کمتر از ۳۵۰ میلی‌ولت باشد.

برای تعیین نقطه کار طبقه دوم و دستیابی به بیشینه دامنه نوسانات خروجی و خط‌تاخط عمل‌کردن تقویت‌کننده، سطح ولتاژ مشترک خروجی $0.5V_{DD}$ فرض می‌شود. در این قسمت جریان دو شاخه سمت چپ و راست مدار نیز طوری انتخاب شده است که هر شاخه ۷ میکروآمپر از منبع تغذیه، جریان کشیده و بدین ترتیب توان مصرفی طبقه دوم ۲۲/۵ میکروووات گردد.

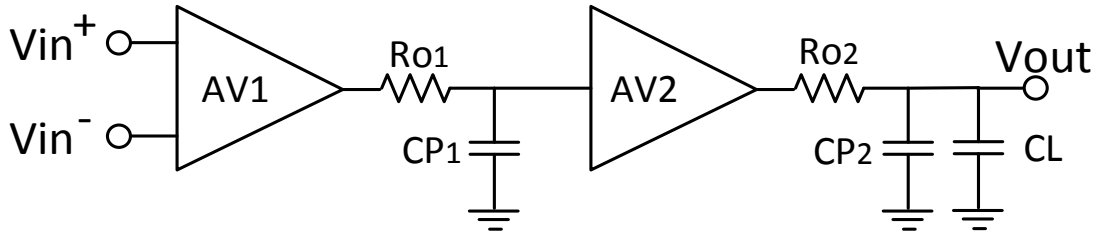
۳-۳- تعیین بهره، قطب‌ها و تابع تبدیل مدار

مقدار بهره ولتاژ برابر است با [۱]:

$$AV = AV_1 * AV_2 = \frac{gm_{1,2}}{1+gm_{1,2}R_{a,b}} \frac{1}{go_{3,4}} \frac{gm_{6,8}}{1+gm_{6,8}R_{c,d}} \frac{1}{gm_{7,9}} \approx \frac{ro_{2,4}ro_{7,8}}{R_{a,b}R_{c,d}} \quad (۳)$$

منظور از $gm_{1,2}$ ترارسانایی بدنه است. از آنجایی که مقاومت‌های خروجی ترانزیستورهای CNTFET در محدوده چند صد مگا اهم تا چند گیگا اهم هستند، این ترانزیستورها دارای بهره‌ذاتی بالایی هستند و می‌توان گفت رابطه (۳) بهره بزرگی ارائه می‌دهد به‌خصوص اینکه مقاومت‌های خطی‌سازی در محدوده چند کیلواهم هستند.

شکل (۲) مدار طراحی شده را به‌صورت طبقاتی نشان می‌دهد که در آن Ro_1 و Ro_2 مقاومت خروجی طبقه اول و دوم است. خازن‌های پارازیتی گره خروجی طبقه اول و دوم با CP_1 و CP_2 نشان داده شده‌اند. با فرض این‌که خازن بار از خازن پارازیتی طبقه دوم بزرگتر است، در گره خروجی می‌توان تنها خازن C_L را در نظر گرفت.



شکل (۲): مدل طبقاتی تقویت‌کننده دوطبقه طراحی شده با درنظر گرفتن مقاومت خروجی و خازن‌های پارازیتی

Figure 2: Block diagram of two-stage amplifier designed considering the output resistance and parasitic capacitors

بنابراین قطب‌ها و تابع تبدیل مدار را می‌توان به‌صورت روابط (۴) تا (۶) بیان کرد:

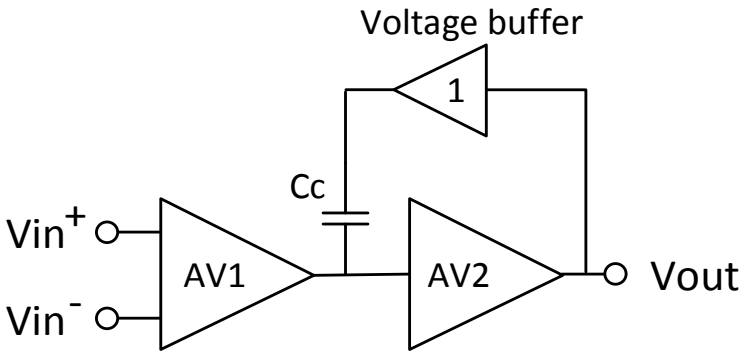
$$\omega p_1 \approx \frac{1}{Ro1 \times CP1} \approx \frac{go_{1,2}+go_{2,4}}{CP1} \approx \frac{go_{1,2}+go_{3,4}}{cgs_{6,8}} \quad (۴)$$

$$\omega p_2 \approx \frac{1}{Ro2 \times (CP2+CL)} \approx \frac{1}{Ro2 \times CL} \approx \frac{go_{6,8}+go_{7,9}}{CL} \quad (۵)$$

$$H(s) \approx \frac{AV_1.AV_2}{(1+\frac{S}{\omega p_1})(1+\frac{S}{\omega p_2})} \quad (۶)$$

۳-۴- طراحی مدار جبران فرکانسی از نوع بافر ولتاژ

در صورتی‌که مدار تقویت‌کننده دوطبقه طراحی شده به‌صورت یک تقویت‌کننده حلقه بسته با فیدبک منفی اجرا شود، در معرض ناپایداری قرارگرفته و نیاز به جبران‌سازی فرکانسی دارد. شکل (۳) نحوه جبران‌سازی فرکانسی با بافر ولتاژ را نشان می‌دهد.



شکل (۳): مدل طبقاتی تقویت‌کننده دوطبقه طراحی‌شده با جبران‌سازی بافر ولتاژ

Figure 3: Block diagram of two-stage amplifier designed by voltage buffer compensation

در مدار شکل (۱) ترانزیستور M_{12} (M_{14}) در نقش یک دنبال‌کننده سورس یا بافر ولتاژ عمل می‌کند. ترانزیستورهای M_{11} و M_{13} در نقش منبع جریان عمل می‌کنند و مقاومت خروجی بزرگی دارند. مقاومت خروجی یک دنبال‌کننده سورس برابر است با:

$$\mathrm{Rout_{SF}} \approx \frac{1}{\mathrm{gm_{12,14}}} || \mathrm{ro_{11,13}} \approx \frac{1}{\mathrm{gm_{12,14}}} \quad (۷)$$

تابع تبدیل مدار برابر است با :

$$\frac{\mathrm{V_{out}}}{\mathrm{V_{in}}} = \frac{-\mathrm{gm_{11,13}}(\mathrm{ro_{6,8}}||\mathrm{ro_{7,9}})(\mathrm{ro_{1,2}}||\mathrm{ro_{3,4}})(\mathrm{gm_{12,14}} + \mathrm{SC_C})}{\mathrm{aS^2 + bS + c}} \quad (۸)$$

در حالی‌که ضرایب a، b و c برابرند با:

$$\mathrm{a} = \mathrm{C_L C_C}(\mathrm{ro_{6,8}}||\mathrm{ro_{7,9}})\big(1 + \mathrm{gm_{12,14}}(\mathrm{ro_{1,2}}||\mathrm{ro_{3,4}})\big) \quad (۹)$$

$$\mathrm{b} = \big(1 + \mathrm{gm_{11,13}gm_{12,14}}(\mathrm{ro_{6,8}}||\mathrm{ro_{7,9}})(\mathrm{ro_{1,2}}||\mathrm{ro_{3,4}})\big)\mathrm{C_C} + \mathrm{gm_2}(\mathrm{ro_{6,8}}||\mathrm{ro_{7,9}})\mathrm{C_L} \quad (۱۰)$$

$$\mathrm{c} = \mathrm{gm_{12,14}} \quad (۱۱)$$

مکان هندسی تقریبی دو قطب مدار برابر است با :

$$\omega_{\mathrm{p1}} \approx \frac{1}{\mathrm{gm_{11,13}}(\mathrm{ro_{6,8}}||\mathrm{ro_{7,9}})(\mathrm{ro_{1,2}}||\mathrm{ro_{3,4}})\mathrm{C_C}} \quad (۱۲)$$

$$\omega_{\mathrm{p2}} \approx \frac{\mathrm{gm_{11,13}}}{\mathrm{C_L}} \quad (۱۳)$$

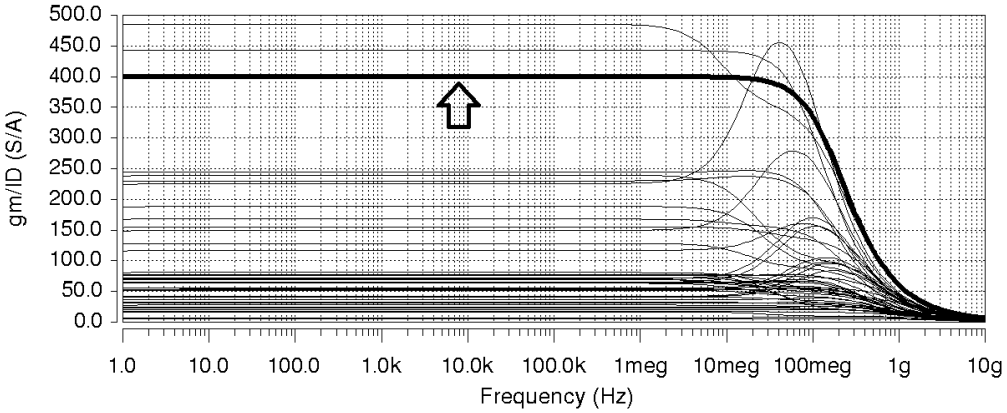
برای تعیین نقطه کار بافر می‌توان از گره خروجی شروع نمود. برای دست‌یابی به بیشینه دامنه نوسانات خروجی و خط تا خط عمل کردن تقویت‌کننده، سطح ولتاژ مشترک خروجی روی ۴۹۶ میلی‌ولت تنظیم شده است که به گیت ترانزیستورهای M_{12} و M_{14} اعمال می‌شود. در این قسمت، جریان مدار بافر در دو سمت چپ و راست مدار نیز طوری انتخاب شده است که هر شاخه ۱/۵ میکروآمپر جریان از منبع تغذیه کشیده و بدین ترتیب توان مدار بافر در دو سمت تقویت‌کننده ۳ میکروووات خواهد شد. پس توان مصرفی کل مدار تقویت‌کننده حدود ۲۲/۵ میکروووات می‌شود.

اگر ولتاژ سورس ترانزیستورهای دنبال‌کننده سورس (ترانزیستورهای M_{12} وM_{14}) را حدود ۱۰۰ میلی‌ولت در نظر بگیریم، لازم است ولتاژ آستانه این ترانزیستورها کمتر از ۳۹۶ میلی‌ولت باشد. لذا مقدار اعداد بردار کایرال ترانزیستورهای M_{12} و M_{14} برابر (۰و۱۴) انتخاب شده است تا قطر نانولوله‌ها برابر با ۱/۳۳ نانومتر و سطح ولتاژ آستانه آن‌ها برابر ۳۲۷ میلی‌ولت باشد.

اعداد بردار کایرال ترانزیستورهای M_{11} و M_{13} برابر با (۰و۱۷) انتخاب شده است تا قطر نانولوله‌ها برابر با ۱/۳۳ نانومتر و سطح ولتاژ آستانه برابر ۳۲۷ میلی‌ولت باشد. لذا باید حداقل ولتاژ گیت این ترانزیستورها ۳۲۷ میلی‌ولت باشند تا در مرز روشن/ خاموش‌شدن قرار گیرند. لذا ولتاژ بایاس Vb_2 برابر ۰/۳۵ ولت، باعث می‌شود که این ترانزیستورها روشن باشند. تعداد نانولوله‌های M_{11} (M_{13}) و M_{12} (M_{14}) به‌ترتیب ۳ و ۶ عدد انتخاب شده است. همچنین فاصله بین نانولوله‌های این ترانزیستورها ۲۰ نانومتر درنظر گرفته شده است. با انتخاب این اعداد مدار بافر طراحی‌شده، جریانی به‌اندازه ۱/۶۵ میکروآمپر از منبع تغذیه می‌کشد.

۴- شبیه‌سازی مدار پیشنهادی

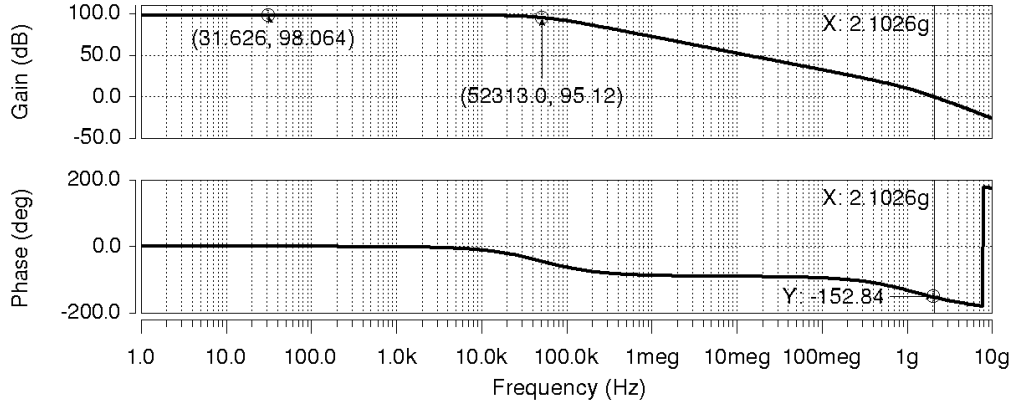
مقادیر درنظر گرفته شده برای فاصله بین نانولوله‌ها در نرم‌فزار تغییر یافت تا مقدار بهینه gm/ID یافت شود. شکل (۴) نتیجه ۵۰ بار اجرای همزمان تحلیل مونت-کارلو و تغییرات گوسی ۵۰ درصدی برای فاصله بین نانولوله‌ها را نشان می‌دهد. با توجه به نتایج، مقدار gm/ID انتخابی در طراحی ۴۰۰ زیمنس بر آمپر انتخاب شده و شبیه‌سازی‌های انجام شده با دقت بالایی به مقادیر طراحی شده نزدیک است. مثلا مقدار توان مصرفی مدار پس از شبیه‌سازی برابر با ۲۶/۷ میکروواوت است درحالی‌که در زمان طراحی، توان مصرفی مدار ۲۵/۸ میکروواوت بدست آمده بود. به‌عبارتی، شبیه‌سازی ۳/۴ درصد با مقادیر هدف در طراحی، متفاوت است.



شکل (۴): نتایج شبیه‌سازی مونت-کارلو روش gm/ID

Figure 4: Monte Carlo simulation results of gm/ID method

شکل (۵) شبیه‌سازی مدار را بدون شبکه جبران‌ساز نشان می‌دهد. واضح است که مدار دارای ۹۸ دسی‌بل بهره فرکانس پایین است. پهنای باند مدار و فرکانس قطع مدار به‌ترتیب برابر با ۵۲ کیلوهرتز و ۲/۱ گیگاهرتز است و مدار با داشتن حاشیه فاز ۲۷ درجه، پایداری مناسبی ندارد و شیفت فاز دارد. شکل (۶)، نتیجه شبیه‌سازی پس از افزودن بافر ولتاژ است. همان‌گونه که در شکل نشان مشاهده می‌شود، حاشیه فاز مدار به‌حدود ۹۰ درجه افزایش یافته و مقدار فرکانس قطع مدار ۶۶ مگاهرتز است.

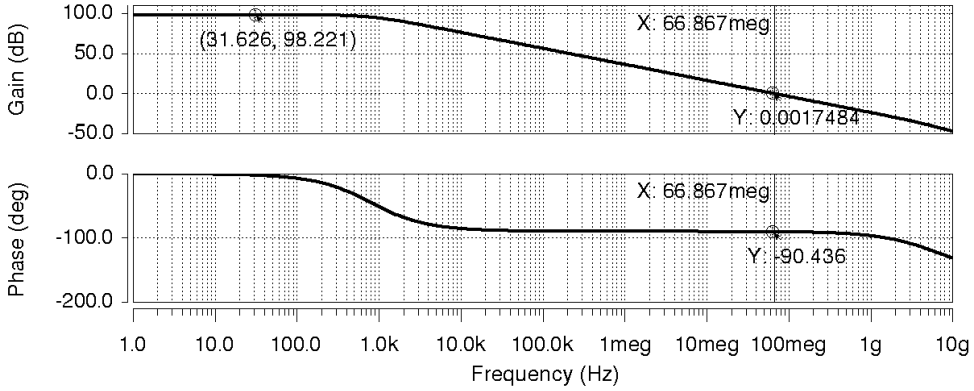


شکل (۵): نتیجه شبیه‌سازی بهره و فاز مدار تقویت‌کننده بالک-درایو پیشنهادی بدون جبران‌سازی فرکانس

Figure 5: The simulation result of the gain and phase of the proposed bulk driven amplifier circuit without frequency compensation

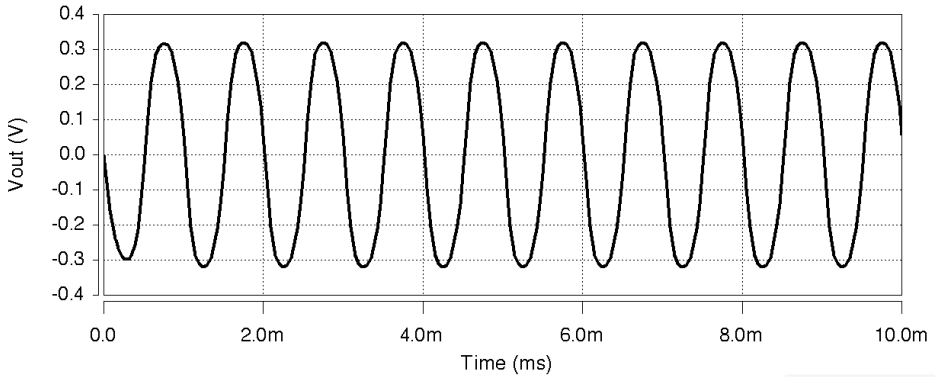
با توجه به این‌که بهره فرکانس پایین مدار ۹۸ دسی‌بل یا حدود۸۵۰۰۰ است، اثر اعمال یک سیگنال سینوسی با دامنه ۸ میکروولت (قله تا قله) به ورودی مدار، منجر به سیگنال خروجی تفاضلی طبق شکل (۷) می‌شود. این درحالی است که نتیجه شبیه‌سازی تحلیل فوریه برای خروجی مدار نشان می‌دهد که مقدار اعوجاج هارمونیک کل برابر با THD برابر با ۲/۷ درصد است. خروجی تحلیل FFT در شکل (۸) نشان داده شده است. بر اساس نتایج به‌دست آمده هارمونیک‌های زوج در خروجی‌های تفاضلی

مدار کاملاً تضعیف شده و بزرگترین هارمونیک، مربوط به هارمونیک سوم HD_3 با دامنه ۳۲- دسی‌بل است. مقدار سیگنال به نویز SNR برابر ۴۷ دسی‌بل و سیگنال به نویز و اعوجاج SNDR برابر ۳۲ دسی‌بل است.



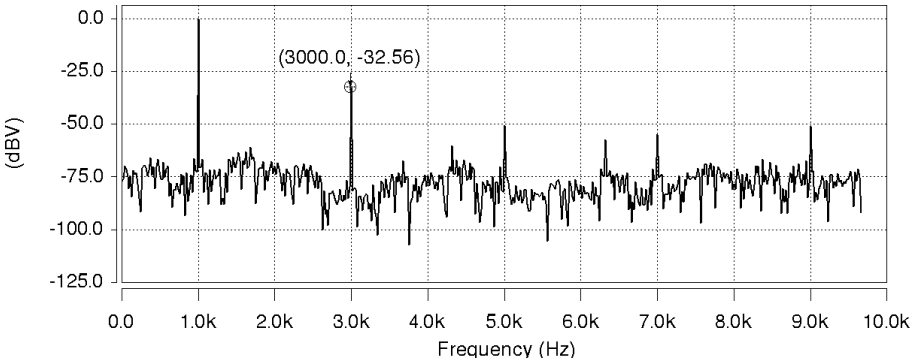
شکل (۶): نتیجه شبیه‌سازی بهره و فاز تقویت‌کننده پس از جبران‌سازی

Figure 6: Simulation result of gain and phase of amplifier after compensation



شکل (۷): سیگنال سینوسی خروجی با دامنه ۰/۶۴ ولت خط تاخط

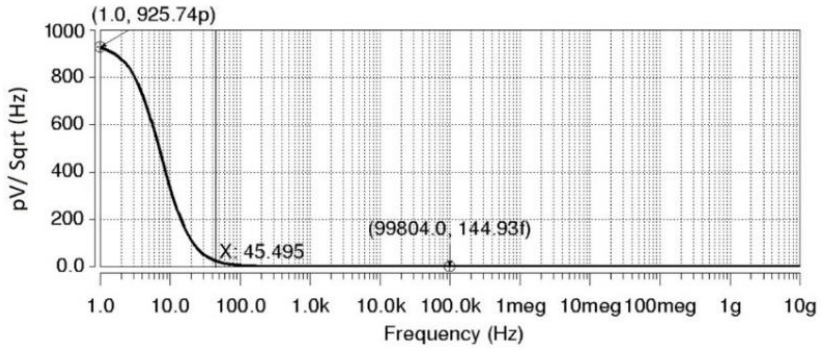
Figure 7: Output sine signal with an amplitude of 0.64 V_{p-p}



شکل (۸): نتیجه تحلیل فوریه و هارمونیک‌های خروجی

Figure 8: The result of Fourier analysis and output harmonics

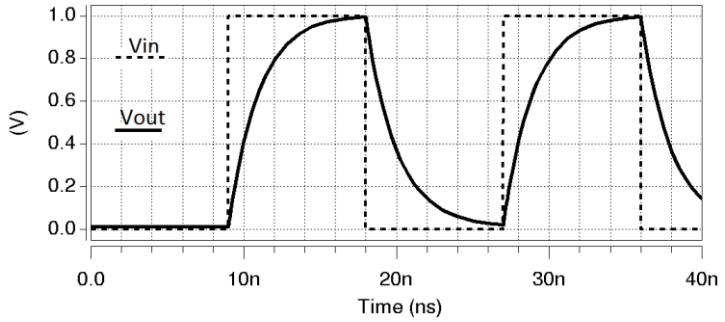
انتخاب gm/ID بزرگ یکی از راه‌های کاهش نویز در تقویت‌کننده‌ها است که در این طراحی استفاده شده است. طبق شکل (۹)، در فرکانس‌های پایین، نویز فلیکر کمتر از $nV/\sqrt{Hz}$ ۱ شده است. می‌دانیم نویز فلیکر با فرکانس، رابطه عکس دارد، اما در فرکانس‌های بالا، نویز حرارتی، نویز غالب است که مقدار این نویز هم ناچیز است. مجموع نویز حرارتی و فلیکر مدار در فرکانس ۱ هرتز برابر با $nV/\sqrt{Hz}$ ۰/۹۲۵ و در فرکانس ۱۰۰ کیلوهرتز، نویز حرارتی برابر با $fV/\sqrt{Hz}$ ۱۴۴ است.



شکل (۹): نتیجه شبیه‌سازی نویز مدار پیشنهادی

Figure 9: Result of noise simulation of the proposed circuit

نتیجه شبیه‌سازی نسبت رد حالت مشترک CMRR برابر ۱۲۱ دسی‌بل و نسبت رد منبع تغذیه PSRR بیشتر از ۱۵۰ دسی‌بل است. برای تعیین سرعت چرخش مدار طبق شکل (۱۰) یک سیگنال مربعی به ورودی تقویت‌کننده بهره واحد اعمال شده است و سیگنال ولتاژ خروجی اندازه‌گیری شده است. براساس نتیجه به‌دست آمده، در طی ۹ نانوثانیه، سیگنال خروجی به سیگنال ورودی رسیده است. بنابراین، این مدار دارای سرعت چرخش SR برابر ۱۱ ولت بر میکروثانیه است.



شکل (۱۰): نتیجه شبیه‌سازی مقدار سرعت چرخش

Figure 10: Simulation result of slew rate value

۵- مقایسه با تحقیقات قبل و نتیجه‌گیری

در این بخش، نتایج بدست آمده از طراحی و شبیه‌سازی مدار پیشنهادی با کارهای قبلی مقایسه شده است. به‌منظور مقایسه، ضریب شایستگی مدار به‌صورت زیر تعریف شده است [۱۳]:

$$\mathrm{FOM} \approx \frac{\mathrm{AV} \times \mathrm{F_T}}{\mathrm{Power} \times \mathrm{Noise}} \qquad (۱۴)$$

با توجه به جدول (۱) به دلیل مقدار بزرگ gm/ID در مدار پیشنهادی، نویز ورودی کاهش یافته و فرکانس بهره واحد مدار افزایش یافته است. همچنین بهره مدار طراحی‌شده تنها از بهره مدار مرجع [۳۲] کمتر است و از لحاظ فرکانس قطع، نسبت به مراجع [۱۸]، [۳۲] و [۳۳] مقدار بیشتری دارد. همچنین مدار پیشنهادی از لحاظ نویز، کمترین مقدار را دارد و از لحاظ سرعت چرخش، نسبت به سایر مراجع مقدار بهتری ارائه می‌دهد. با توجه به FOM تعریف شده، بهبود عملکرد مدار طراحی شده مشاهده می‌شود.

نتایج به‌دست آمده از طراحی و شبیه‌سازی مدار بالا به‌صورت خلاصه عبارتند از:

۱- استفاده از ترانزیستورهای نانولوله‌کربنی به‌دلایل مختلف مانند: دارابودن کانال بالستیک، تحرک‌پذیری یکسان هر دو نوع ترانزیستور ($\mu_n=\mu_p$)، داشتن مشخصه جریان-ولتاژ مشابه ترانزیستورهای MOSFET، ولتاژ آستانه قابل تنظیم بالاخص در طراحی-های ولتاژ پایین، قابلیت جریان‌دهی بهتر به‌ازای ابعاد کوچکتر و ولتاژ تغذیه کمتر نسبت به ترانزیستورهایMOSFET باعث ارجحیت و بهبود مشخصات فنی مدار طرح پیشنهادی می‌شوند.

جدول (۱): مقایسه بین کارهای قبلی و مدار پیشنهاد شده

پارامتر	مدار پیشنهادی	[۱۴]	[۱۶]	[۱۸]	[۳۰]	[۳۳]
Technology	CNFET 32 nm	CNFET 32 nm	CNFET 32 nm	CNFET 32 nm	CMOS 180 nm	CMOS 65 nm
VDD	1 V	± 0.5 V	1 V	0.9 V	0.5 V	0.5 V
Power	26.7 µW	45.1 µW	1000 µW	125 µW	70 nW	3 µW
Gain	98 dB	42.5 dB	75 dB	73 dB	111.5 dB	72 dB
F_T	66 MHz	491 MHz	22 GHz	5.12 MHz	9.5 KHz	680 KHz
P.M.	90 º	90 º	90 º	90 º	66 º	74 º
CMRR	121 dB	86 dB	-	70.9 dB	127.5 dB	121 dB
PSRR	152 dB	59 dB	-	93.8 dB	71 dB	145 dB
S.R.	111 V/µs	64 V/µs	-	4 V/µs	0.95 V/ms	0.159 V/µs
Input referred Noise	0.92 $nV/\sqrt{Hz}$	22.5 $nV/\sqrt{Hz}$	8.1 $nV/\sqrt{Hz}$	13 $nV/\sqrt{Hz}$	2.35 $\mu V/\sqrt{Hz}$	0.72 $\mu V/\sqrt{Hz}$
THD	2.7 %	3.14 %	< 3 %	0.14 %	-	-
FOM	263	21	203	0.23	6.43	0.08

۲- مقاومت خروجی ترانزیستورهای CNTFET خیلی بیشتر از مقاومت خروجی ترانزیستورهای MOSFET است. پس علاوه بر این که تاثیر پارامتر λ در جریان ترانزیستور ناچیز است، بهره ذاتی بالاتری دارند. همچنین ترانزیستورهای CNTFET مقدار gm/ID بالاتری دارند. به بیان دیگر، در نقطه‌کار یکسان و با جریان یکسان، ترانزیستورهای CNTFET دارای بهره ترارسانایی بیشتری هستند. این در حالی است که برای رسیدن به جریان یکسان، ابعاد ترانزیستور CNTFET کوچک‌تر است و در آخر منجر به کاهش سطح اشغالی و هزینه کمتر می‌شود. ضمنا جریان‌های مخرب در ترانزیستور CNTFET کمتر است و قابلیت اطمینان بیشتری دارند. به بیان دیگر، نسبت جریان حالت روشن به جریان حالت خاموش (I_{on}/I_{off}) در ترانزیستورهای CNTFET بسیار بیشتر از ترانزیستورهای MOSFET است.

۳- در این مقاله یک تقویت‌کننده دوطبقه با بهره بالا و از طریق راه‌اندازی از طریق بدنه پیشنهاد شد و در جبران ناپایداری دیده شد که روش میلر، یک صفر ناخواسته در سمت راست صفحه ایجاد می‌کند که می‌تواند حاشیه‌فاز مدار را کمتر نماید. به همین دلیل نیاز به یک مقاومت حذف صفر (ترانزیستور خطی با دقت بالا) است. این در حالی‌است که با استفاده از روش‌های بافر ولتاژ و بافر جریان، توان مصرفی بیشتری به مدار تحمیل می‌گردد ولی می‌تواند منجر به بهبود پهنای باند شود.

۴- در این مقاله، روش طراحی gm/ID مطالعه شد؛ یعنی به کمک تحلیل مونت-کارلو و روش سعی و خطا، نسبت gm/ID مدار بهبود داده شد تا بهره مدار افزایش و نویز ارجاع شده به ورودی کاهش یابد. مقدار gm/ID مدار ۴۰۰ زیمنس بر آمپر انتخاب گردید و نتایج شبیه‌سازی مدار نشان می‌دهد که مدار در تغذیه ۱ ولت، بهره DC بیش از ۹۸ دسی‌بل ارائه می‌دهد و تنها ۲۶/۷ میکروووات توان مصرف می‌کند. به‌منظور جبران‌سازی فرکانسی از روش بافر ولتاژ یا دنبال‌کننده سورس استفاده شده است و نتایج شبیه‌سازی قبل از جبران‌سازی نشان می‌دهد که مدار پایداری بالایی ندارد. این در حالی است که پس از جبران‌سازی، مدار همچون تقویت‌کننده یک‌طبقه عمل می‌کند و درنتیجه حاشیه فاز تا ۹۰ درجه افزایش می‌یابد. فرکانس قطع، نویز ارجاع شده به ورودی و سرعت مدار به ترتیب برابر با ۶۶ مگاهرتز، ۰/۹۲ $nV/\sqrt{Hz}$ و ۱۱۱V/µs به‌دست آمده است. روش خطی‌سازی با مقاومت سورس سبب افزایش خطینگی مدار شده است و مقدار THD مدار در فرکانس یک کیلوهرتز و ولتاژ سینوسی خروجی با دامنه خط‌تاخط بیش از ۶۰۰ میلی‌ولت برابر با ۲/۷ درصد است. نتایج به‌دست آمده فوق به‌علاوه مقدار CMRR برابر ۱۲۱ دسی‌بل و PSRR برابر ۱۵۲ دسی‌بل، کارایی این تقویت‌کننده را به‌طور کامل مشخص می‌کند؛ ضمن آن‌که مدارپیشنهادی به‌خوبی هارمونیک‌های زوج را حذف می‌نماید.

مراجع

References

[1] B. Razavi, "Design of analog CMOS integrated circuits", Second Edition, New York, NY: McGraw-Hill, 2017.

[2] D. A. Johns, K. Martin, "Analog integrated circuit design", First Edition, New York, John Wiley & Sons, 2008.
[3] N. Dehabadi, R. Faghih Mirzaee, "Ternary DCVS half adder with built-in boosters", Journal of Intelligent Procedures in Electrical Technology, vol. 11, no. 42, pp. 41-56, Summer 2020 (in Persian).
[4] S. Tabakhi, F. Razaghian, "Wide tuning range gm-c low-pass filter optimization with 10 MHz cut-off frequency for wireless applications", Signal Processing and Renewable Energy, vol. 2, no. 3, pp. 15-20, Summer 2018.
[5] S. Rezaei Borjlu, H. Alibagheri, "Design and simulation of a 20-watt doherty power amplifier at a frequency of 2.14 GHz for wireless communication systems", Journal of Intelligent Procedures in Electrical Technology, vol. 10, no. 37, pp. 23-30, Spring 2019 (in Persian).
[6] P. R. Gray, P. Hurst, R. G. Meyer, S. Lewis, "Analysis and design of analog integrated circuits", First Edition, New York, John Wiley & Sons, 2001.
[7] F. Sharifi, A. Panahi, M. H. Moaiyeri, H. Sharifi, K. Navi, "High performance CNFET-based ternary full adders", IETE Journal of Research, vol. 64 no.1, pp. 108–115. Jan 2018 (doi: 0.1080/03772063.2017.1338-973).
[8] P. Keshavarzian, R. Sarifkhani, "A novel CNTFET-based ternary full adder", Circuits, Systems, and Signal Processing, vol. 33, no. 3, pp.665–679, 2014 (doi: 10.1007/s00034-013-9672-6).
[9] I. M. Salehabad, K. Navi, M. Hosseinzadeh, "Two novel inverter-based ternary full adder cells using CNFETs for energy-efficient applications", International Journal of Electronics, vol. 105, no. 10, pp.82–98, 2019 (doi: 10.1080/00207217.2019.1636306).
[10] M. H. Bagheri, M. Bagherizadeh,; M. Moradi, M. H. Moaiyeri, "Design of CNTFET-based current-mode multi-input m: 3 (4≤m≤7) Counters". IETE Journal of Research, pp.1-11, 2018 (doi: 10.1080/03772063.2-018.1553640).
[11] S. Tabrizchi, A. Panahi, F. Sharifi, K. Navi, N. Bagherzadeh, "Method for designing ternary adder cells based on CNFETs", IET Circuits, Devices & Systems, vol. 11, no.5, pp. 465–470, 2017 (doi: 10.1049/iet-cds.201-6.0443).
[12] A. T. Mahani, P. Keshavarzian, "A novel energy-efficient and high-speed full adder using CNTFET", Microelectronics Journal, vol. 61, no. 1, pp. 79–88, 2017 (doi: 10.1016/j.mejo.2017.01.009).
[13] M. Yasir, N. Alam, "Design of CNTFET-Based CCII Using gm/ID Technique for Low-Voltage and Low-Power Applications", Journal of Circuits, Systems and Computers, 29, no. 09, pp. 2050143, 2019 (doi: 10.1142/s0218126620501431).
[14] S. M. A. Zanjani, M. Dousti, M. Dolatshahi, "High-precision, resistor less gas pressure sensor and instrumentation amplifier in CNT technology", AEU-International Journal of Electronics and Communications, vol. 93, pp. 325-336, 2018 (doi: 10.1016/j.aeue.2018.06.018).
[15] S. M. A. Zanjani, M. Dousti, M. Dolatshahi, "Inverter-based, low-power and low-voltage, new mixed-mode Gm-C filter in subthreshold CNTFET technology". IET Circuits, Devices & Systems, vol. 12, no. 6, pp. 681-688, 2018 (doi: 10.1049/iet-cds.2018.5158).
[16] H. Mahmoodian, M. Dolatshahi, "An energy-efficient sample-and-hold circuit in CNTFET technology for high-speed applications", Analog Integrated Circuits and Signal Processing, pp. 1-13, vol. 103, March 2020 (doi: 10.1007/s10470-020-01607-y).
[17] P. A. Gowri sanNara, K. UdhayaNumarb, "A novel carbon nanotube field effect transistor based arithmetic computing circuit for low-power analog signal processing application", Procedia Technology, no.12, pp. 154-162, 2014 (doi: 10.1016/j.protcy.2013.12.469).
[18] M. Yasir, N. Alam, "Systematic design of CNTFET based OTA and Op amp using g m/I D technique". Analog Integrated Circuits and Signal Processing, vol. 102, issue 2, pp. 293-307, 2020 (doi: 10.1007/s10470-019-01492-0).
[19] M. Cen, S. Song, C. Cai, "A high performance CNFET-based operational transconductance amplifier and its applications", Analog Integrated Circuits and Signal Processing, vol. 91, issue 3, pp. 463-472, 2017 (doi: 10.1007/s10470-017-0951-1).
[20] J. Mahattanakul, J. Chutichatuporn, "Design procedure for two-stage CMOS op amp with flexible noise-ower balancing scheme", IEEE Trans. on Circuits and Systems I: Regular Papers, vol. 52, no. 8, pp. 1508-1514, 2005 (doi: 10.1109/tcsi.2005.851395).
[21] B. Wen, Q. Zhang, X. Zhao, "A two-stage CMOS OTA with enhanced transconductance and DC-gain", Analog Integrated Circuits and Signal Processing, vol. 98, no. 2, pp. 257-264, 2019 (doi: 10.1007/s10470-018-1281-7).
[22] Z. Yan, P. I. Mak, R. P Martins, "Two stage operational amplifiers: Power and area efficient frequency compensation for driving a wide range of capacitive load", IEEE Circuits and Systems Magazine, vol 11, no. 1, pp. 26-42, 2011 (doi: 0.1109/mcas.2010.939783).
[23] M. Yavari, "Hybrid cascode compensation for two-stage CMOS opamps", IEICE Trans. on Electronics, vol. 88, no. 6, pp. 1161-1165, 2005 (doi: 0.1109/date.2006.244037).

[24] L. H.Ferreira, T. C. Pimenta, R. L. Moreno, "An ultra-low-voltage ultra-low-power CMOS Miller OTA with rail-to-rail input/output swing", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 54, no. 10, pp. 843-847, 2007 (doi: 10.1109/tcsii.2007.902216).

[25] D. Marano, A. D. Grasso, G. Palumbo, S. Pennisi, "Optimized active single-miller capacitor compensation with inner half-feedforward stage for very high-load three-stage OTAs", IEEE Trans. on Circuits and Systems I: Regular Papers, vol. 63, no. 9, pp.1349-1359, 2016 (doi: 10.1109/tcsi.2016.2573920).

[26] H. Veldandi, R. A. Shaik, "An ultra-low-voltage bulk-driven analog voltage buffer with rail-to-rail input/output range", Circuits, Systems, and Signal Processing, vol. 36, no. 12, pp. 4886-4907, 2017 (doi: 10.1007/s00034-017-0663-x).

[27] J. Mahattanakul, "Design procedure for two-stage CMOS operational amplifiers employing current buffer", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 52, no. 11, pp.766-770, 2005 (doi: 10.1109/tcsii.2005.852530).

[28] S. K. Rajput, B. K. Hemant, "Two-stage high gain low power opamp with current buffer compensation", Proceeding of the IEEE/GHTCE, pp. 121-124, Shenzhen, China, Nov. 2013 (doi: 0.1109/ghtce.2013.67672-55).

[29] J. Luo, L. Wei, C. S. Lee, A. D. Franklin, X. Guan, E. Pop, D. A. Antoniadis, H. S. P. Wong, "Compact model for carbon nanotube field-effect transistors including nonidealities and calibrated with experimental data down to 9-nm gate length", IEEE Trans. Electron Devices, vol. 60, no. 6, pp.1834-1843, 2013 (doi: 10.1109/ted.2-013.2258023).

[30] L. Zuo, S. K. Islam, "Low-voltage bulk-driven operational amplifier with improved transconductance", IEEE Trans. on Circuits and Systems I: Regular Papers, vol. 60, no. 8, pp. 2084-2091, 2013 (doi: 10.1109/tcsi.20-13.2239161).

[31] J. M. Carrillo, G. Torelli, M. A. Domínguez, J. F. Duque-Carrillo, "On the input common-mode voltage range of CMOS bulk-driven input stages", International Journal of Circuit Theory and Applications, vol. 39, no 6, pp. 649-664, 2011 (doi: 10.1109/ecctd.2009.5274938).

[32] B. Wen, Q. Zhang, X. Zhao, "A two-stage CMOS OTA with enhanced transconductance and DC-gain", Analog Integrated Circuits and Signal Processing, vol. 98, no. 2, pp. 257-264, 2019 (doi: 10.1007/s10470-018-1281-7).

[33] H. Veldandi, R. A. Shaik, "Low-voltage PVT-insensitive bulk-driven OTA with enhanced DC gain in 65-nm CMOS process", AEU-International Journal of Electronics and Communications, vol. 90, pp.88-96, 2018 (doi: 10.1016/j.aeue.2018.03.033).