شبیه سازی و بررسی پارامترهای موثر بر کاهش توان مصرفی در مدارهای ضرب کننده با استفاده از فناوری ترانزیستورهای CNT

عبدالرسول مقاتلی [۱]، دکتر حسین مومن زاده [۲*]، مهندس محمد نادر کاکایی [۳]

۱: گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران، Moghateli.abdolrasoul@gmail.com
۲*: گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران، Momenzadeh.hosssein@gmail.com
۳: گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران، kakaie2000@yahoo.com

چکیده

در این مقاله، به ارائه یک ضرب‌کننده آنالوگ چهار ربعی مد جریان جدید برپایه ترانزیستورهای نانو لوله کربنی می‌پردازیم. مدارهای مجذورکننده جریان که اخیرا طراحی شده است و آینه جریان، که در ولتاژ تغذیه پایین (1V) کار می‌کنند، اجزای اساسی در تحقق معادلات ریاضی هستند. در این پژوهش مدار ضرب‌کننده، با استفاده از فناوری CNTFET، 32 نانو متر طراحی می‌شود و برای معتبر ساختن عملکرد مدار، ضرب‌کننده ارائه‌شده در شبیه‌ساز HSPICE شبیه‌سازی شده است. نتایج حاصل از شبیه‌سازی نشان می‌دهد که مدار قابلیت عملکرد مطلوب را تا فرکانس 2 گیگا هرتز ، مصرف توان ماکزیمم 3.7464µw و همچنین دارای 0.226043% THD می‌باشد.

واژه‌های کلیدی: ترانزیستور نانو لوله کربنی، ضرب کننده آنالوگ چهار ربعی، مد جریان، مدار مجذور کننده جریان.

۱- مقدمه

ضرب کننده‌های آنالوگ بلوک‌های مفیدی هستند که در پیاده سازی توابعی نظیر کنترل اتوماتیک، مدولاسیون، آشکار سازها، فیلترهای تطبیقی و شبکه‌های عصبی کاربرد دارند. ضرب کننده‌ها به دو دسته کلی ولتاژی و جریانی تقسیم می‌شوند که هر کدام نیز به سوئیچ شونده و پیوسته در زمان تقسیم می‌شوند. تاکنون طراحی ضرب کننده ها مورد توجه زیادی قرار گرفته اند. طراحی این مدارات توسط طراحان مدار، از ترانزیستورهای زمان پیوسته تا تکنیک‌های سوئیچ خازنی متفاوت می‌باشد. طراحی ضرب کننده ها در سطح ترانزیستوری از فرایندهای پیچیده ی طراحی و صرف زمان طولانی رنج می‌برد. تکنیک‌های سوئیچ خازنی نیازمند طرح‌هایی با کلاک‌های زیاد، سطح زیاد چیپ، محدودیت فرکانس بالا، دقت، مصرف توان هستند. همچنین فیلترهای ضد تداخل و صاف زمان پیوسته در ورودی و خروجی نیاز است. تقسیم کننده ها در طرف دیگر نیازمند مدارهای پیچیده تر و در یک مورد ساده آنها یک ضرب کننده در مسیر بازخورد آنها به عنوان یک تقویت کننده ی معکوس استفاده می‌شود. در مدارهای الکترونیکی دنبال این هستیم که ولتاژ کاری را کاهش داده و در نتیجه تلفات توان را پایین بیاوریم [۱-۷].

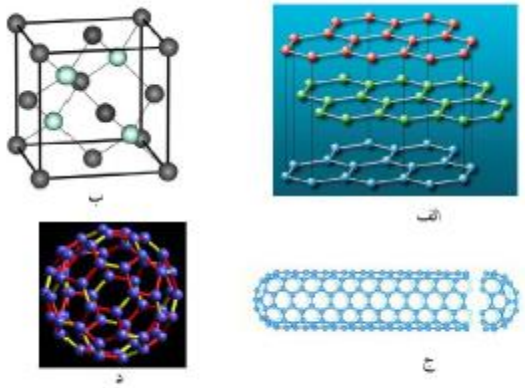
به دلیل توان مصرفی کم مدارهای طراحی شده به وسیله منطق مد جریان MOS (MCML)، استفاده از این روش در مدارات معمولی CMOS فرکانس‌های بالا، رو به افزایش است. [۸]. بعلاوه روش طراحی اتوماتیک مدارها توجهات بیشتری را توسط طراحان برای تولید دوره‌ای کوتاه و سریعتر طرح به این سمت سوق می‌دهد. با افزایش قابل توجه سرعت سیستم‌های مخابراتی، درخواست برای مدارات VLSI سرعت بالا و کم توان افزایش یافته است[۹].

مقیاس بندی تکنولوژی CMOS ظرفیت متراکم سازی بالایی در طراحی‌های VLSI فراهم می‌کند. در طی سال‌های اخیر ادوات 32 نانومتری نیز ساخته شده اند و انتظار می‌رود در رنج زیر میکرون عمیق به 10 نانومتر نیز برسند. در تکنولوژی 32 نانو متری، سطح و جریان نشتی نیز افزایش یافته است[۱،۱۰].

دراین مقاله ابتدا به بررسی ساختار ترانزیستورهای CNT پرداخته و در ادامه مدار مجذورکننده جریان و مدار ضرب کننده مورد تحلیل ریاضی قرار گرفته سپس با پیشنهاد طرح جدید مدار مجذور کننده، و با استفاده از تکنولوژی ترانزیستورهای CNT به جای تکنولوژی CMOS به بررسی نتایج شبیه سازی مدار پیشنهادی پرداخته شده است.

۲- ترانزیستور نانو لوله کربنی CNTFET

نانولوله‌ها بنا بر پیکربندی هندسی خود می‌توانند خواص رسانایی و یا نیمه رسانایی از خود نشان دهند و همین موضوع این مواد را از سایر مواد مشابه متمایز می‌کند. نانولوله‌ها علاوه بر سبک بودن استحکامی‌چند برابر فولاد نیز دارند[۱۲]. شکل ۱ انواع گوناگون کربن را نشان می‌دهد.



شکل۱: الف) صفحات گرافیت، (ب) ساختار بلوری الماس، (ج) نمونه ای از یک نانولوله ای آرمیچر، (د) مولکول C_{60} که یک فلورین است [۱۲].

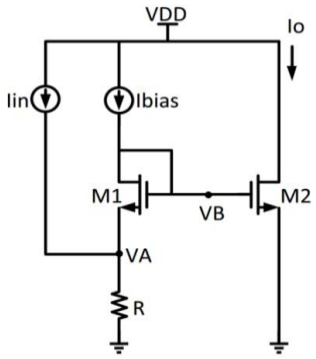
ترانزیستورهای اثر میدانی با استفاده از نانو لوله های تک بعدی نیمه رسانا ساخته می‌شوند. برای ساخت یک نانو لوله کربنی تک بعدی فقط احتیاج به یک سلیندر داریم، که این آسان بودن روند ساخت نانو لوله های تک بعدی باعث می‌شود تا به عنوان جایگزینی امید بخش برای ترانزیستورهای موجود محسوب شوند[۱۳]. یک نانو لوله کربنی می‌تواند خاصیت رسانایی یا نیمه رسانایی داشته باشد، که این خاصیت با توجه به چینش اتم های کربن در کنار یکدیگر و همچنین زوایه آنها نسبت به هم در طول نانو لوله معین می‌شود. این مشخصه بنام بردار کایرالیتی معروف می‌باشد و یکی از مشخصه های مهم در طراحی نانو لوله ها به حساب می‌آید و با استفاده از یک زوج عدد صحیح (n1,n2) نشان داده می‌شود. اعداد n1 و n2 می‌توانند عملکرد نانو لوله را از لحاظ رسانایی یا نیمه رسانایی مشخص کنند، به این صورت که اگر مقدار دو عدد با هم برابر باشد و یا تفاضل آنها ضریبی از عدد ۳ باشد نانو لوله خاصیت رسانایی دارد و در غیر اینصورت نیمه رسانا می‌باشد. یکی دیگر از پارامترهای مهم در نانو لوله ها قطر نانو لوله می‌باشد که رابطه مستقیمی‌با اعداد n1 و n2 دارد، با افزایش این اعداد قطر نانو لوله افزایش می‌یابد و با استفاده از رابطه ۱ بدست می‌آید[۱۴، ۱۵]:

$$D_{CNT} = \frac{\sqrt{3a_o}}{\pi}\sqrt{n_1^2 + n_2^2 + n_1 n_2} \qquad (۱)$$

۳- مجذور کننده مد جریان

یکی از موثرترین روش‌ها برای کاهش تغییرات توان، پایین آوردن سطح ولتاژ تغذیه است، اما طراحی در این وضعیت بسیار دشوار است. پایین آوردن سطح ولتاژ به معنای محدود نمودن (گستره) نوسان خروجی است که در نتیجه، منجر به یک گستره ورودی محدود می‌شود[۲۰،۱۶] . بنابراین، مجذورکننده مورد استفاده باید قابلیت عملکرد مناسب در سطح ولتاژ تعیین‌شده را دارا باشد. بدلیل عملکرد بهتر مدارات پیشنهادی در مد جریان، ابتدا به مرور برخی مدارهای مجذورکننده با این ساختار می‌پردازیم که در گذشته ارائه شده است. مدار استفاده شده در مقالات [۱۶،۴،۳]؛ با وجود فعالیت در یک ولتاژ سطح پایین ($\pm 0.7V$ and $0.9V$)، در ناحیه زیرآستانه کار کرده و گستره‌های ورودی و خروجی محدود و دقیقی دارد، اما ولتاژهای تغذیه آنها بترتیب عبارتست از 5V، 3.3V و $\pm 1.5V$. مدار استفاده توسط آقای بیرقی و همکاران و آقای دانش و همکاران، نه از گستره‌های ورودی و خروجی کوچک و نه از سطح

ولتاژ تغذیه بالا رنج می‌برد، اما از ۱۰ ترانزیستور تشکیل می‌شود که به ناحیه‌ای بزرگتر منجر شده و می‌تواند به هنگام استفاده در ساختار ضرب‌کننده، پهنای باند را محدود سازد[۲۲،۲۱]. شکل ۲، مدار مجذورکننده ای را نشان می‌دهد که منبع توان آن برابر VDD = 2V است. این مدار از دو ترانزیستور تشکیل می‌شود که هر دوی آنها در ناحیه اشباع قرار دارند.



شکل ۲ : مدار مجذورکننده جریان ارائه‌شده[۲۹]

یک جریان ثابت مناسب از M1 (I_{bias}) به گونه‌ای عبور می‌کند که هر تغییری در ولتاژ گره A در ولتاژ گره B نیز رخ خواهد داد. جریان M2 را می‌توان بصورت زیر بیان کرد:

$$V_B = R(I_{in} + I_{bias}) + V_{t1} + \sqrt{\frac{2I_{bias}}{K_1}} \quad (۴)$$

$$V_o = RI_{bias} + V_{t1} + \sqrt{\frac{2I_{bias}}{K_1}} \quad (۵)$$

$$V_E = V_o - V_{t2} \quad (۶)$$

بر اساس روابط۳، ۴ ، ۵ و ۶، معادله ۲ به معادله ۷ تبدیل خواهد شد.

$$I_o = K(RI_{in} + V_o - V_{t2})^2 = K(RI_{in} + V_E)^2 \quad (۷)$$

۴- مدار ضرب‌کننده

در پیاده‌سازی ساختار ضرب‌کننده، به چهار سلول مجذورکننده نیاز داریم. بر اساس فرمول ۷ اگر $I_X + I_Y$، $-(I_X + I_Y)$ ، $I_X - I_Y$ و $-(I_X - I_Y)$ - بعنوان جریان‌های ورودی آنها اعمال شود، آنگاه جریان‌های خروجی این مدارها بصورت زیر خواهد بود:

$$I_{o1} = K(R(I_X + I_Y) + V_E)^2 \quad (۸)$$

$$I_{o2} = K(-R(I_X + I_Y) + V_E \quad (۹)$$

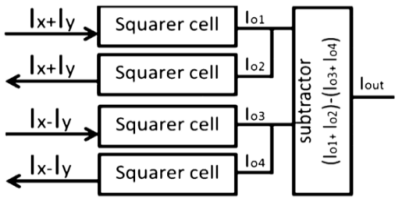
$$I_{o3} = K(R(I_X - I_Y) + V_E)^2 \quad (۱۰)$$

$$I_{o3} = K(-R(I_X - I_Y) + V_E)^2 \quad (۱۱)$$

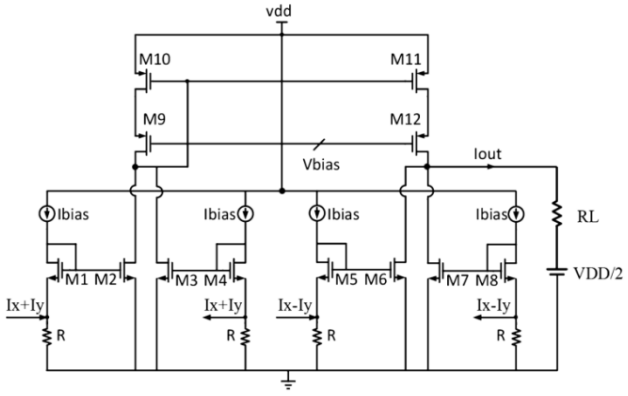
جریان خروجی ضرب‌کننده، با کم‌کردن حاصل‌جمع I_{O1} و I_{O2} از حاصل‌جمع I_{O3} و I_{O4} بصورت زیر بدست می‌آید:

$$I_{out} = (I_{o1} + I_{o2}) - (I_{o3} + I_{o4}) = 8KR^2 I_X . I_Y \quad (۱۲)$$

این مفهوم به طور شماتیک به شکل نمودار بلوکی و ساختار سطح ترانزیستور موجود در شکل ۳ نشان داده شده است.



(الف)

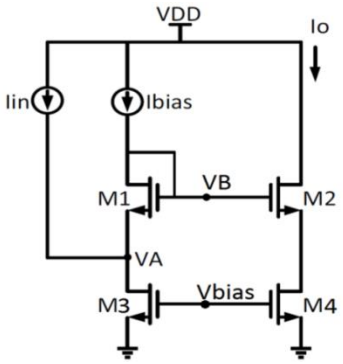


(ب)

شکل۳ : الف) نمودار بلوکی و (ب) سطح مدار ساختار سطح ترانزیستور ضرب‌کننده ارائه‌شده[۲۹]

۵- مدار ضرب‌کننده پیشنهادی

در ساختار پیشنهادی به دلیل مزیت‌های گفته شده به جای تکنولوژی CMOS از تکنولوژی CNTFET برای طراحی ترانزیستور استفاده شده و به جای مدار مجذور کننده از مدار پیشنهادی شکل ۴ استفاده شده است. به دلیل اینکه ترانزیستور CNTFET دارای طول کانال کمتری می‌باشد، در ولتاژهای کم و فرکانس‌های بالا کاربرد دارد . مدار شکل ۲ به دلیل استفاده از مقاومت مدار دارای حجم زیادی است و نیز ممکن است دارای نویز حرارتی و تلفات حرارتی باشد به این دلیل با استفاده از کسکود کردن مدار را به شکل ۴ تغییر می‌دهیم.



شکل ۴: مدار ضرب کننده پیشنهادی

در ادامه با توجه به جریان‌های ورودی اعمال شده به مدار ضرب کننده پیشنهادی ، جریان خروجی با کمک روابط ۲۳، ۲۴، ۲۵ و ۲۶ محاسبه می‌گردد.

$$I_o = k_2(V_{GS2} - V_{t2})^2 \quad (۱۳)$$

$$K = 0.5\mu COX\frac{W}{L} \quad (۱۴)$$

$$V_{GS2} = VB - RonIo \quad (۱۵)$$

$$VA = Ron(Ibias + Iin) \quad (۱۶)$$

$$VB = Ron(Ibias + Iin) + V_{GS1} \quad (۱۷)$$

$$VB = Ron(Ibias + Iin) + \sqrt{\frac{Ibias}{k_1}} + V_{t1} \quad (۱۸)$$

$$I_o = k_2(Ron(Ibias + Iin) + \sqrt{\frac{Ibias}{k_1}} - RonIo)^2 \quad (۱۹)$$

$$I_o = k_2(Ron \times Iin + (Ron \times Ibias + \sqrt{\frac{Ibias}{k_1}} - RonIo))^2 \quad (۲۰)$$

$$x = \left(Ron \times Ibias + \sqrt{\frac{Ibias}{k_1}} - RonIo\right) \quad (۲۱)$$

$$I_o = k(Ron \times Iin + x)^2 \quad (۲۲)$$

$$I_o1 = k(Ron(I_X + I_y) + x)^2 \quad (۲۳)$$

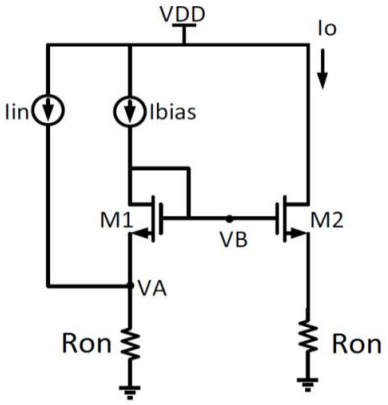
$$I_o2 = k(-Ron(I_X + I_y) + x)^2 \quad (۲۴)$$

$$I_o3 = k(Ron(I_X - I_y) + x)^2 \quad (۲۵)$$

$$I_o4 = (-Ron(I_X - I_y) + x)^2 \quad (۲۶)$$

$$Iout = (Io1 + Io2) - (Io3 + Io4) = 8kRonI_XI_y \quad (۲۷)$$

ترانزیستورهای M3وM4 در مدار شکل۴ در ناحیه ی خطی بایاس شده اند که میتوان به صورت شکل شماره ۵ آن را نشان داد .

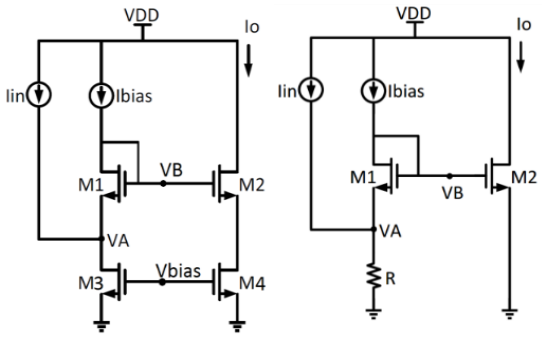


شکل۵: مدل ترانزیستورهای M3و M4

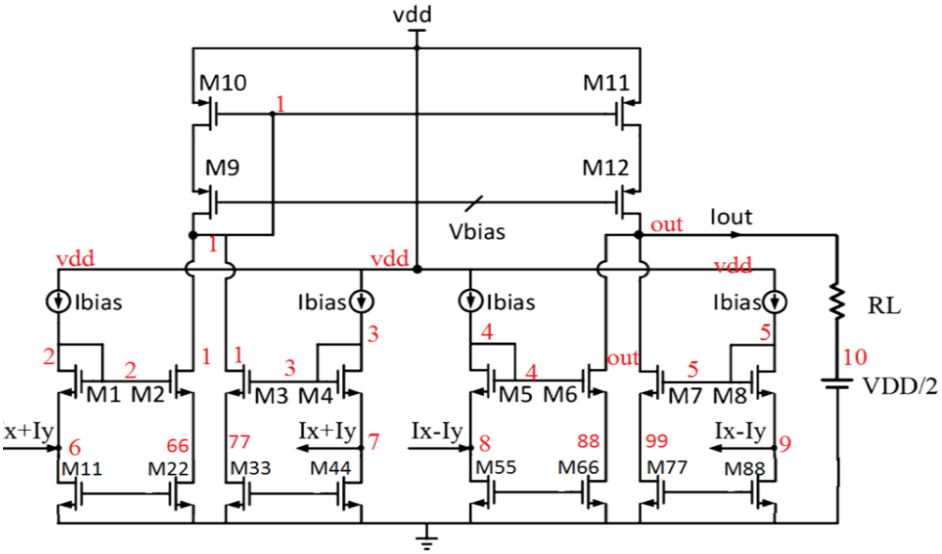
در شکل ۶ مدل ترانزیستوری مدار مجذور کننده و مدار پیشنهادی نشان داده شده است.

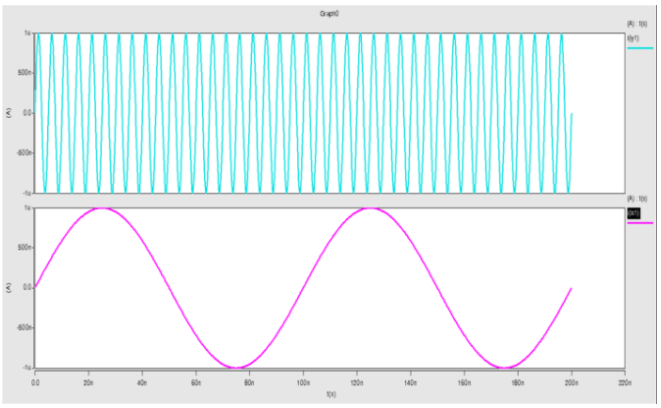
۶- شبیه سازی و نتایج

مدار در تکنولوژی CNTFET، 32 نانو متر تحت شرایط تغذیه 1ولت و جریان‌های ورودی با دامنه 1 میکرو آمپر و همچنین جریان‌های بایاس 0.46 میکرو آمپر شبیه سازی شده است در ادامه می‌توان ساختار مداری ضرب کننده پیشنهادی (شکل۷)، مدولاسیون خروجی (شکل۸)، موج‌های ضرب کننده (شکل۹)، پاسخ پله (شکل۱۰) ،تبدیل فوریه خروجی(شکل۱۱) و همچنین جدول۱ نتایج را مشاهده کرد. شکل ۷ سطح مداری ساختار ضرب کننده پیشنهادی ارائه شده را نشان می‌دهد.

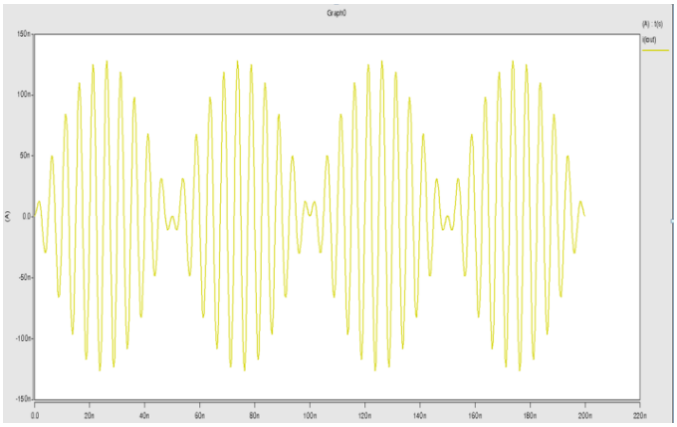


شکل ۶ الف: مدارمجذور کننده پیشنهادی و ب) مدارمجذورکننده

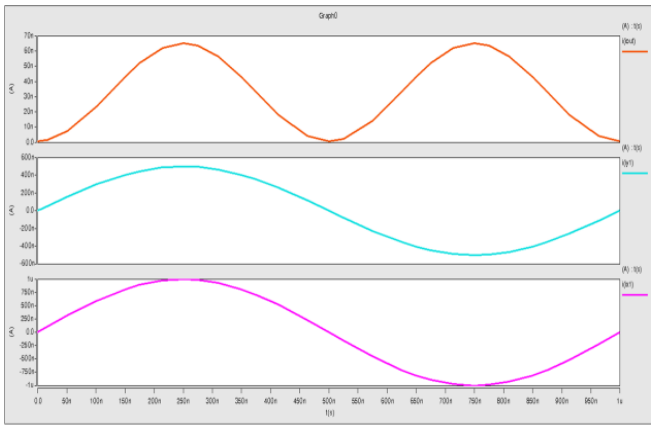




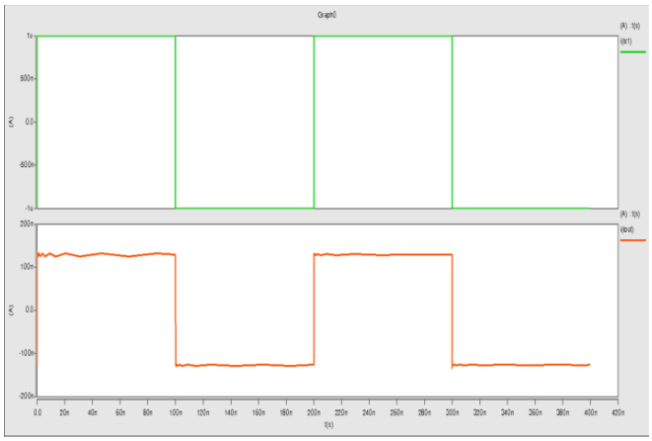
شکل۷: سطح مدار ساختار ضرب‌کننده پیشهادی



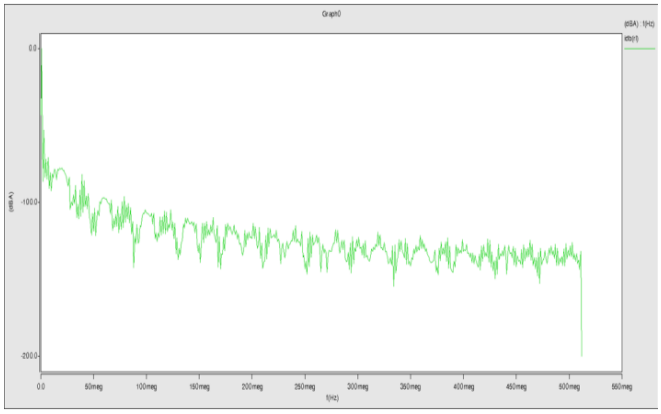
شکل ۸ : مدولاسیون خروجی



شکل۹: ضرب‌کننده بعنوان یک دوبرابر کننده فرکانس.



شکل ۱۰: پاسخ پالسی ضرب کننده



شکل۱۱: طیف خروجی ضرب کننده

۶-۱- نتایج شبیه سازی

شکل ۸، استفاده از ضرب‌کننده بعنوان یک مدوله‌کننده دامنه آنالوگ را نشان می‌دهد که I_X سیگنال مدوله‌کننده سینوسی با بزرگی $\pm 1\ \mu A$ و فرکانس (Fx = 10GHz) است درحالی که I_Y حامل سینوسی با دامنه $\pm 1\ \mu A$ و فرکانس (Fy = 200MHz) است. شکل ۹، استفاده از ضرب‌کننده بعنوان یک دو برابر کننده فرکانس را نشان می‌دهد که I_X و I_Y هردو سیگنال‌های سینوسی با بزرگی $\pm 1\ \mu A$ و فرکانس (F = 1MHz) هستند. شکل ۱۰، پاسخ پالسی ضرب‌کننده را نشان می‌دهد که در آن I_Y برابر با $1\ \mu A$ تنظیم می‌شود و Ix پالسی با دامنه $\pm 1\ \mu A$ و فرکانس (Fx = 5MHz) است. متناسب با تغییر Ix، زمان‌های تعیین‌شده برای لبه‌ها افزایش و کاهش می‌یابد. شکل ۱۱، طیف جریان خروجی را نشان می‌دهد وقتی I_Y برابر با $1\ \mu A$ و Ix یک نمودار سینوسی $1MHz$

با دامنه قله به قله $\pm 1\ \mu A$ است معمولا از تحلیل مونت کارلو برای مدلسازی عدم‌تطابق‌های رندوم بین مولفه‌های مختلف ناشی از تغییر فرآیند استفاده می‌شود. اعوجاج هارمونیک کل (THD) در مقابل دامنه قله به قله سیگنال ورودی (Ix) در 10kHz، 100kHz، 1MHz، 10MHz، 100 MHz، 1G، 1G در جدول ۱ نشان داده شده است وقتی که I_Y برابر با $1\ \mu A$ است. جدول ۱ این نکته را روشن می‌کند که THD در این کار بسیار بهتر از کارهای قبلی است. این بهبود THD از ساختار تقارنی ضرب‌کننده ارائه‌شده، ناشی می‌شود. همچنین توان مصرفی بدست آمده نشان از کاهش توان مصرفی در هر دو حالت شبیه سازی شده با CMOSو CNT نسبت به حالت قبل می‌باشد. مقایسه جامعی بین عملکرد ضرب‌کننده‌های گزارش‌شده در کارهای قبلی و ضرب‌کننده ارائه‌شده، در جدول ۲ آمده است. بر اساس این مقایسه، بویژه با کارهای طراحی‌شده در فرآیند مشابه $(0.35\mu m)$، ویژگی‌هایی از قبیل خطای خطی‌بودن کوچک، اعوجاج هارمونیک پایین، پهنای باند گسترده، سرعت بالا و مصرف توان پایین را می‌توان از مزایای ضرب‌کننده ارائه‌شده بشمار آورد.

جدول ۱: جدول نتایج

Power			THD(%)			F(Hz)		
CNT (µw)	CMOS(N) (µw)	CMOS(1) (mw)	CNT	CMOS(N)	CMOS(1)	CNT	CMOS(N)	CMOS (1)
3.7464	25.3099	0.232	6.45db	14.07db	58.9db	10K	10K	10K
3.7464	25.3099	0.232	6.46db	14.07db	56.9db	100K	100K	100K
3.7464	25.3099	0.232	6.46db	13.97db	55.8db	1M	1M	1M
3.7464	25.3099	0.232	6.46db	18.75db	43.7db	10M	10M	10M
3.7464	25.3099	0.232	6.41db	16.94db		100M	100M	100M
3.7464	25.3099	0.232	4.55db	11.49db		1G	1G	1G
3.7464	25.3099	0.232	2.40db	8.49db		2G	2G	2G

جدول۲: مقایسه کارایی مدار پیشنهادی با کارهای دیگران

Reference	**technology** (µm)	**sµpply ±Voltage**(V)	**In put rang**	**out put rang**	**THD** 1MHZ	**Power**
[3]	2	5	±20	±5	1.54	930
[4]	0.35	3.3	±10	±10	0.97	340
[5]	2.4	5	100	100	1(10khz)	700
[14]	0.35	3.3	10	20	0.14	-
[16]	0.5	±1.5	±60	±7	4.485	720
[17]	0.25	3.3	±10	±10	0.96	214.5
[22]	0.5	±1.5	±20	±10	3.7	460
[23]	0.8	1.5	±15	±10	0.9	-
[24]	0.18	1.2	10	40	-	50
[25]	0.5	±1.5	±50	±25	0.44(20khz)	500
[26]	0.25	1.5	±200	±40	0.25	-
[27]	0.35	±0.75	±20	±20	0.83(10mhz)	-
[28]	0.35	2	±10	±10	0.16	232
This work CMOS	0.35	2	±10	±10	13.97	25.3092
This work CNT	0.32	1	±1	±1	6.46	3.7464

۷- نتیجه گیری

در این مقاله اقدام به طراحی یک ضرب‌کننده آنالوگ چهار ربعی مد جریان جدید برپایه ترانزیستور های نانو لوله کربنی پرداختیم. مدارهای مجذورکننده جریان و یک آینه جریان، که همگی در ولتاژ تغذیه پایین (1V) کار می‌کنند، اجزای اساسی در تحقق معادلات ریاضی بودند. مدار ضرب‌کننده، با استفاده از فناوری CNTFET، 32 نانو متر طراحی گردید و برای معتبر ساختن عملکرد مدار، ضرب‌کننده ارائه شده در شبیه‌ساز HSPICE شبیه‌سازی شده است. نتایج شبیه‌سازی نشان داد که مدار قابلیت عملکرد مطلوب تا فرکانس 2 گیگا هرتز را دارا می باشد و مصرف توان ماکزیمم 3.7464µw و همچنین دارای 0.226043% THD می باشد.

مراجع

[1] YK. Seng, SS. Rofail, “Design and analysis ofa ±1 V CMOS foμr-qμadrant analogμe mμltiplier,” *in Proc. IEEE Circμits Dev Syst*, 1998.

[2] T. Suzuki, T. Oura, T. Yoneyama, H. Asai, “A new CMOS 4Q-multiplier using linear and saturation regions complementally,”*InProc. of solid-state circuits conference (ESSCIRC)*, 2002.

[3] K Tanno, O. Ishizuka, Z. Tang, “Four-quadrant CMOS current-mode multiplier independent ofdevice parameters, ” *IEEE Trans Circuit Syst II*, vol. 47,no 5, pp. 473–7, 2000.

[4] A. Naderi, A. Khoei, K. Hadidi, H.Ghasemzadeh, “A new high speed and low power four-quadrant CMOS analog multiplier in current-mode,” *AEu – Int J Electron Commun* , vol. 63, no. 9, pp. 769–75, 2009.

[5] A. J. Lopez-Martin, A. Carlosena, “Current-modemultiplier/divider circuits based on the MOS translinear principle,” *Analog Integr Circuits Signal Process*, 2001.

[6] A. J. Lopez-Martin, C.A. De La Cruz Bias, J. Ramirez-Angulo, R.G. Carvajal, “Compact low-voltage CMOS current-mode multiplier/divider, ” *In Proc. IEEE international symposium on circuits and systems (ISCAS)*, 2010. pp. 1583–6.

[7] J.Antonio Lopez-Marti, C. A. De La Cruz Blas, J. Ramirez-Angulo, R.G .Carvajal, “Current-Mode CMOS Multiplier/Divider Circuit Operating in Linear/Saturation Regions,” *Analog Integr Circ Sig Process*,” vol. 66 , no 10, pp. 299-302, 2010.

[8] F. Pr´egaldiny, J. Baptiste Kammerer , C. Lallement,” Compact Modeling and Applications of CNTFETs for Analog and Digital Circuit Design”, *in proc. 13th IEEE International Conference on Electronics, Circuits and Systems*, 2006, pp. 4244-0395.

[9] L. mao peng , Z. zhang ,s. wang, “Carbon Nanotube Electronics Recent Advances,” *in J Materials today*, vol.17, no. 9, pp.433-442, November 2014 .

[10] I. Makwana, V. Sheth, “A Low Power High Bandwidth Four Quadrant Analog Multiplier in 32 Nnmcnfet Technology,” *International Journal of VLSI design &Communication Systems (VLSICS)*, vol. 3, no. 2, pp. 73-83, April 2012.

[11] Y.Bin. Kim, “Integrated Circuit Design Based on Carbon Nanotube Field Effect Transistor,” *Iransactions on Electrical and Electronic Materials*, vol. 12, no. 5, pp. 175-188 , October 2011.

[12] Rodney S.Ruoff, DongQian, WingKam Liu, C.R.Physique, 4, 2003, 993

[13] H. Raffi-Tabar, Physics Reports, 390, 2004, 235.

[14] R.Satio, M. S. Dresselhaus, G. Dresselhaus, “Physical Properties Of Carbon Nanotubes,” *Imperial College Press ISBN 1-86094-093-5*, 1998.

[15] J. Peder Dahl, “Introduction to the Quantum World of Atoms and Molecules, ” *World Scientific Publishing Company, 9810245653*, 2001.

[16] M.H. Hashiesh, S.A. Mahmoud, A.M.Soliman, “New four-quadrant CMOS currentmode and voltage-mode multipliers, *Analog Integr Circuits Signal Process*, vol. 45, no 3, pp. 295–307, 2005.

[17] S. Minaei, E.Yuce, “New squarer circuits and a current-mode full-wave rectifier topology suitable for integration,” *in J Radio Eng*, vol. 19,no. 4 pp. 657–61, 2010.

[18] R.Hidayat, K.Dejhan, P.Moungnoul, Y.Miyanaga, "A GHz simple CMOS squarercircuit, " *in proc. IEEE International Symposium on Communications and Information Technologies (ISCIT)*, 2008, pp. 539–42.
[19] K.M. Al-Tamimi, M. A.Al-Absi, "An ultra-low power high accuracy current-mode CMOS squaring circuit," *In proc. International Conference ofElectrical and Electronics Engineering*, 2012. pp. 872–4.
[20] S. Wisetphanichkij, N.Singkrajom, M.Kumngern, K.Dejhan, "A low-voltage CMOS current squarer circuit. " *in proc. IEEE International Symposium on Communications and Information Technology (ISCIT)*, 2005, pp. 271–4.
[21] M.H. Danesh, E. Mahmoudian, A.Emami Fard " A new current-mode squarer circuit for RMS-to-DC converter," *Int J Eng Innovative Technol* (IJEIT) , vol.3, no. 2, 2013
[22] M. Kumngern, K. Dejhan, "Versatile dual-mode class-AB four-quadrant analog multiplier," *Int J Signal Process*, vol. 2, no. 4, 2005.
[23] C.A.De La Cruz-Blas, A.J.Lopez-Martin, A.Carlosena, "1.5 V four-quadrant CMOS current multiplier/divider," *Electron Lett*, vol. 39, no. 5, pp. 434–6, 2003.
[24] C. Popa, "Improved accuracy current-mode multiplier circuits with applications in analog signal processing," *IEEE Trans Very Large Scale Integr (VLSI) Syst*, vol.22, no. 2, pp. 443–7, 2014.
[25] A.Ravindran, K.Ramarao, E.Vidal, M.Ismail, "Compact low voltage four quadrant CMOS current multiplier," *Electron Lett*, vol. 37, no. 24, pp. 1428–9, 2001.
[26] P.Prommee, M. Somdunyakanok, M. Kumngern, K. Dejhan, "Single low-supply current-mode CMOS analog multiplier circuit," *in proc.IEEE International Sym-posium on Communications and Information Technologies, ISCIT*. 2006. pp. 1101–4.
[27] V. Oliveira, N.Oki, "Low voltage four-quadrant current multiplier: an improved topology for n-well CMOS process, " *In proc International Conference on Design & Technology of Integrated Systems in Nanoscale Era*, 2007. pp. 52–5.
[28] N. Beyraghi, A. Khoei, "CMOS design of a low power and high precision four-quadrant analog multiplier," *AEU - International Journal of Electronics and Communications*, vol. 63, no. 1, pp.400-7, 2015.

Simulation and Investigation of Parameters Affecting the Reduction of Power Consumption in Multiplication Circuits Using CNT Transistor Technology

AbdolRasool Moghateli[1], Hosein Moemenzadeh[2*], Mohammad Nader Kakaii[3]

Islamic Azad University, Bushehr Branch, Bushehr, Iran

1: Moghateli.abdolrasoul@gmail.com
2*: Momenzadeh.hosssein@gmail.com
3: kakaie2000@yahoo.com

ABSTRACT:

Analog multipliers are useful blocks used in implementing functions such as automatic control, modulation, detectors, adaptive filters, and neural networks. In this paper, we present a new four-quadratic analog multiplier based on carbon nanotube transistors. Newly designed current square circuits and a current mirror, all operating at low voltage (1V), are essential components in realizing mathematical equations. The multiplier circuit is designed using CNTFET technology, 32 nm, and the multiplier provided in the HSPICE simulator is simulated to validate the circuit performance. The simulation results showed that the circuit has the desired performance up to a frequency of 2 GHz and shows a maximum power consumption of 3.7464uw and also has a THD of 0.226043%.

KEYWORDS: Carbon nanotube transistor, quadruple analog multiplier, current mode, current square circuit.