عملکرد خطینگی بهبود یافته با تغییرات ولتاژ حالت مشترک کم برای مبدل آنالوگ به دیجیتال تقریب متوالی غیردودویی با روش سوییچ‌زنی یکنوا

نسرین شایسته نژاد[۱]، عبدالرسول قاسمی [۲*]

۱: گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران ، N.Shayestehnezhad@Gmail.com
۲*: استادیار گروه برق، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران ، rasul_ghasemi@yahoo.com
تاریخ دریافت: ۱۳۹۸/۱۱/۱۵ تاریخ پذیرش: ۱۳۹۹/۳/۲۹

چکیده

در این مقاله، یک مبدل آنالوگ به دیجیتال تقریب متوالی تمام تفاضلی یکنوا با استفاده از الگوریتم جستجوی غیردودویی تعمیم‌یافته با دقت ۱۰ بیت و ۱۱ گام مقایسه و نرخ نمونه‌برداری *4.17MS/s* ارائه شده است. که این مبدل را برای کاربردهای توان پایین مناسب می‌سازد چرا که این الگوریتم جستجو دیگر نیازی به کالیبراسیون ندارد. در این کار به منظور بهبود رفتار خطی ساختار پیشنهادی، یک زیر مبدل دیجیتال به آنالوگ آرایه خازنی با وزن غیردودویی پیاده‌سازی شده است و نیز با انتخاب مناسب خازن‌های غیردودویی آرایه‌ی خازنی سبب افزایش فرکانس نمونه برداری نسبت به مبدل تقریب متوالی متعارف شده‌ایم. ساختار پیشنهادی بر اساس منطق سوییچ‌زنی یکنوا عمل می‌نماید این روش سوییچ‌زنی، توان مصرفی مبدل دیجیتال به آنالوگ را به نسبت روش سوییچ زنی متعارف تا حد قابل توجهی کاهش می‌دهد. ساختار پیشنهادی در فن آوری *180nmCMOS* طراحی شده است و ازای ولتاژ تغذیه‌ی *1.8V* نسبت سیگنال به نویز و اعوجاج *(SNDR) 61.35 dB* و توان مصرفی *78.14µW* و رقم شایستگی *(fj/Conver.step)* 19.57 بدست آمد.

واژه های کلیدی: مبدل آنالوگ به دیجیتال، مبدل آنالوگ به دیجیتال تقریب متوالی تمام تفاضلی، الگوریتم جستجوی غیردودویی، سوییچ زنی یکنوا، مبدل آنالوگ به دیجیتال تقریب متوالی توان پایین

۱- مقدمه

مبدل‌های آنالوگ به دیجیتال تقریب متوالی به علت تعداد کم عناصر فعال آنالوگ بکار رفته در آنها مصرف توان پایینی دارند و همین امر سبب شده که شهرت زیادی بین طراحان مبدل‌های داده پیدا کنند. این مبدل قادر است که زمان تبدیل نسبتاً سریعی را برای کاربردها با دقت متوسط فراهم سازد. طراحی‌های اخیر این مبدل پهنای باند خوب (در حد صدها MS/s تا GS/s) و بازده انرژی بالا(با رقم شایستگی کمتر از 100fJ/Conv.step) را نشان می‌دهد[۱].

مبدل آنالوگ به دیجیتال تقریب متوالی به منظور تعیین کلمه‌ی دیجیتال خروجی از الگوریتم جستجوی دودویی بهره می‌گیرد. در الگوریتم جستجوی دودویی استاندارد یک خروجی N بیتی پس از N گام مقایسه تولید می‌شود. بدین منظور برای رسیدن به دقت N بیت نیاز به N بار نشست DAC در 1/2LSB دارد. اگرچه این مبدل می‌تواند بسیار دقیق باشد اما در صورتیکه خطایی در تصمیم‌گیری مقایسه‌گر و یا خطایی ناشی از نشست ناقص DAC در 1/2LSB رخ دهد، این خطا به دلیل نبودن همپوشانی بین محدوده‌های جستجو هرگز جبران نمی‌شود و دقت مبدل نیز محدود خواهد شد. در مبدل‌های آنالوگ به دیجیتال تقریب متوالی که از الگوریتم جستجوی دودویی استفاده می‌نمایند هنگامی که فرکانس نمونه‌برداری افزایش یابد، DAC زمان کافی برای نشست کامل در 1/2LSB را نخواهد داشت [۳] و[۲].

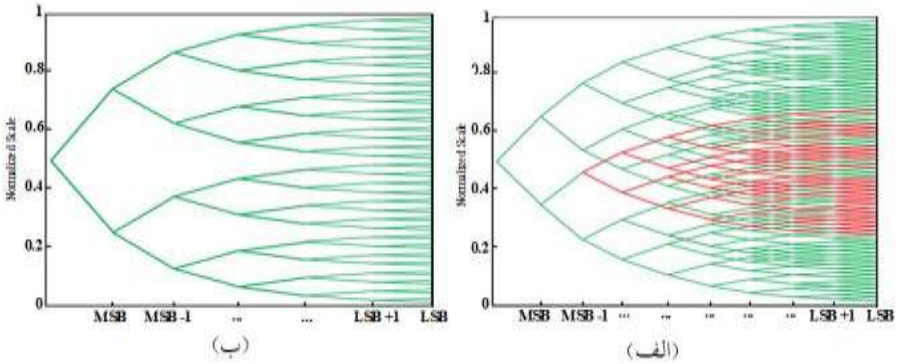
استفاده از الگوریتم جستجوی غیردودویی بجای الگوریتم جستجوی دودویی در مبدل تقریب متوالی می‌تواند مشکلاتی که پیش‌تر عنوان شد را برطرف سازد. در [۴] الگوریتم جستجوی غیردودویی ارائه شده است که این الگوریتم جستجو محدود به پایه‌ی $2^{N/M}$ است. بعلاوه در این الگوریتم جستجو به منظور اینکه مبدل تقریب متوالی غیردودویی بتواند پنجره‌های تلرانس خطای متقارن ایجاد

نماید نیاز به نوعی کالیبراسیون دارد تا بتواند سطوح تصمیم‌گیری را به وسط محدوده‌ی افزونی جابجا نماید [۵] و[۶]. در راهکار دیگر این تقارن را از طریق یک طرح سوییچ‌زنی جدید ایجاد می‌نماید[۱]. این راهکارها برای ایجاد افزونی بر پیچیدگی طرح می‌افزاید. این در حالیست که در [۲] و [۷] الگوریتم جستجویی ارائه شده است که نه تنها محدودیت پایه را از بین می‌برد بلکه پیاده‌سازی این الگوریتم جستجوی غیردودویی پیچیدگی راهکارهای دیگر را نخواهد داشت.

در این مقاله، یک ساختار تقریب متوالی تمام تفاضلی یکنوا با استفاده از الگوریتم جستجوی غیردودویی پیشنهاد شده است. در این کار از الگوریتم جستجوی غیردودویی تعمیم یافته ارائه شده در [۷] استفاده نموده‌ایم. اگرچه این الگوریتم جستجو، نیاز به گام‌های تبدیل بیشتری نسبت به الگوریتم جستجوی متعارف دارد، اما می‌توانیم فرکانس کلاک را افزایش دهیم تا زمان تبدیل کل کاهش یابد چرا که الگوریتم جستجوی غیردودویی الزام نشست کامل DAC را برطرف می‌سازد. در این کار با انتخاب بهینه‌ی خازن‌های غیردودویی آرایه خازنی توانسته‌ایم فرکانس نمونه برداری را نسبت به مبدل تقریب متوالی متعارف با دقت ۱۰ بیت حدود ۱۷ برابر و نسبت به مبدل تقریب متوالی یکنوا با دقت ۱۰ بیت حدود ۸ برابر افزایش دهیم. استفاده از روش سوییچ‌زنی یکنوا در این کار توان مصرفی و ظرفیت کل خازن‌های DAC را به نسبت روش سوییچ‌زنی متعارف تا حد قابل توجهی کاهش می‌دهد، که منجر به بازده‌ی انرژی بالایی می‌شود و همین امر این مبدل را برای کاربردها با سرعت نسبتاً بالا و توان پایین مناسب می‌سازد.

۲- الگوریتم جستجوی غیردودویی

در الگوریتم جستجو غیردودویی همپوشانی‌هایی بین محدوده‌های جستجو وجود دارد که قادر است تصمیمات اشتباه مقایسه‌گر در گام‌های قبل و همچنین خطای ناشی از نشست ناقص DAC در 1/2LSB را در گام‌های بعدی تا جایی که از بازه‌ی مشخصی تجاوز نکند، جبران کند[۲]. برای ایجاد همپوشانی بین محدوده‌های جستجو در مبدل تقریب متوالی می‌توان از پایه‌ای کمتر از ۲ استفاده نمود. شکل۱- الف درخت تصمیم‌گیری ساختار غیردودویی و شکل۱- ب درخت تصمیم‌گیری ساختار دودویی را نشان می‌دهد.



شکل۱: (الف) درخت تصمیم‌گیری ساختار غیردودویی و (ب) درخت تصمیم‌گیری ساختار دودویی

برای پیاده‌سازی الگوریتم جستجوی غیردودویی از یک شبکه امپدانس مانند شبکه‌ای از خازن‌ها که دارای وزنی کمتر از ۲ هستند، در طراحی‌ها بهره می‌گیرند. زیر مبدل دیجیتال به آنالوگ آرایه‌ی خازنی با وزن غیردودویی به دلیل ایجاد همپوشانی بین محدوده‌های جستجو انعطاف پذیری بیشتری نسبت به خطا دارد.

لازم به ذکر است که در مبدل تقریب متوالی که از الگوریتم جستجوی متعارف استفاده می‌نماید، در هر فاز تبدیل باید منتظر نشست کامل DAC در 1/2LSB بماند و این در حالیست که در الگوریتم جستجوی غیردودیی دیگر نیازی به نشست کامل DAC در 1/2LSB نیست [۷]. می‌توان اینگونه نتیجه گرفت که این الگوریتم جستجو علاوه بر اینکه مقاوم در برابر خطاست می‌تواند زمان تبدیل سریع‌تری نسبت به مبدل‌های تقریب متوالی داشته باشد که از الگوریتم جستجوی متعارف بهره می‌گیرند. با بهره‌گیری از این الگوریتم جستجو برای تولید کد دودویی N بیتی متناظر با ورودی آنالوگ به M گام مقایسه نیاز است(M>N).

۲-۱- الگوریتم جستجوی غیردودویی تعمیم یافته

با بهره‌گیری از الگوریتم جستجوی غیردودویی تعمیم یافته، یک مبدل تقریب متوالی با دقت N بیت با M گام مقایسه محقق می‌شود. این الگوریتم جستجو محدودیت پایه را از بین می‌برد و دیگر محدود به پایه‌ی $2^{N/M}$ نیست[۷]. الگوریتم جستجوی غیردودویی نیز همانند الگوریتم جستجوی دودویی بر اساس مقایسه ولتاژ نمونه‌برداری شده ورودی آنالوگ با ولتاژ مرجع در هر گام عمل می‌نماید. مقایسه‌گر، ورودی آنالوگ (V_{in}) و ولتاژ مرجع(V_{ref})که خروجی آن S(k) است را در گام k ام مقایسه می‌کند در نتیجه طبق[۷] داریم:

$$S(k)=\begin{cases}1 & Vin > Vref \\ -1 & \textbf{در غیر اینصورت}\end{cases}$$

پس ولتاژ مرجع در گام k ام را می‌توان از رابطه‌ی ۱ محاسبه نمود:

$$V_{ref(k)} = 2^{N-1} + \sum_{i=2}^{K} S(i-1) \times j_{(i)} \qquad (۱)$$

که در رابطه‌ی ۱، k = 1,2,…,M و j(i) یک عدد صحیح و مثبت است که ولتاژ پرش DAC در هر گام را نشان می‌دهد. می‌توان این ولتاژهای پرش را طبق[۷] از رابطه‌ی زیر بدست آورد:

$$\begin{cases} j(1) = 1 + \sum_{i=2}^{M} j(i) = 2^{N-1} \\ 0 \le e_{(i)} = 1 + j(i+1) + \sum_{k=i+2}^{M} j(k) \qquad 1 \le i \le M-1 \end{cases} \qquad (۲)$$

که e(i) حداکثر خطای تصمیم‌گیری در گام i ام مقایسه را تعیین می‌کند که این خطا توسط الگوریتم جستجوی غیردودویی قابل جبران است. همانطور که از رابطه‌ی ۲ مشخص است هیچ الزامی برای دودویی بودن بردار j وجود ندارد و برای یک N و M مشخص انتخابهای متعددی برای بردار j وجود دارد و می‌توان با توجه به فرکانس نمونه‌برداری مبدل طرح بهینه را از میان مجموعه جواب‌های بدست آمده انتخاب نمود.

در انتهای جستجو کد دودویی خروجی از رابطه‌ی ۳ بدست می آید[۷]:

$$D_{out} = \sum_{i=1}^{M} D_{(i)} \times W_{(i)} \qquad (۳)$$

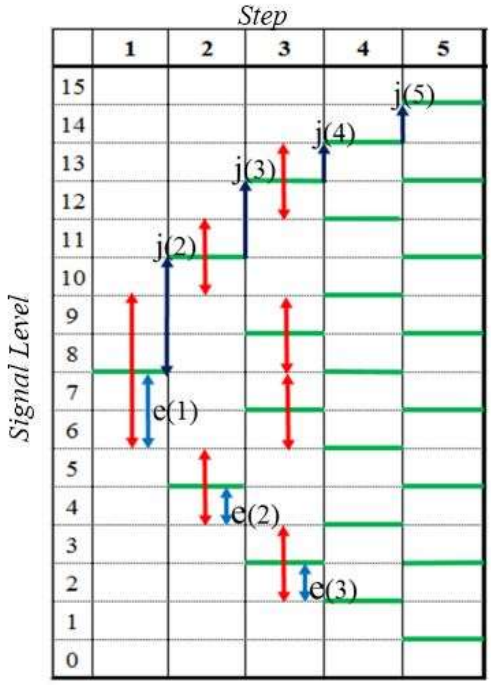
که در این رابطه مقدار W(i) بیانگر ارزش بیت i ام در جستجوی غیردودویی می‌باشد و از رابطه ی ۴ محاسبه می‌شود[۷]:

$$W_{(i)} = \begin{cases} 2j(i+1) & 1 \le i \le M-1 \\ 1 & i = M \end{cases} \qquad (۴)$$

به منظور تعیین ظرفیت هر یک از خازن‌های زیر آرایه خازنی در گام i ام داریم[۲]، که در رابطه‌ی ۵، C_i خازن i ام از زیر آرایه خازنی و C_u خازن واحد است:

$$Ci = C_{1,i} = j(i) \times Cu \quad , \quad 2 \le i \le M \qquad (۵)$$

شکل ۲ ولتاژهای مرجع مبدل تقریب متوالی غیردودویی با دقت ۴ بیت و ۵ گام مقایسه را نشان می‌دهد.



شکل ۲: سطوح مرجع مقایسه جستجوی غیردودویی با دقت ۴ بیت و ۵ گام مقایسه با بردار$j(8,3,2,1,1)$ و $e(2,1,1,0,0)$

۳- ساختار مبدل تقریب متوالی

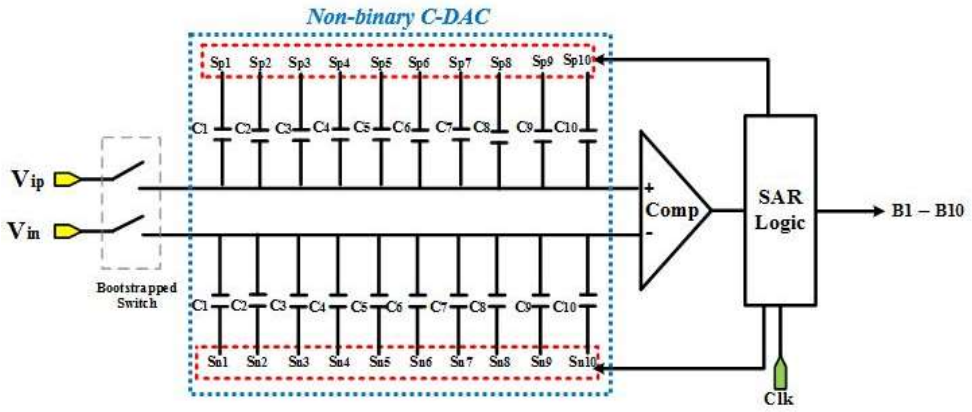
بلوک‌های پایه‌ای مبدل آنالوگ به دیجیتال تقریب متوالی پیشنهادی شامل یک مقایسه‌گر، دو کلید بوت استرپ به دلیل تفاضلی بودن ساختار، زیر مبدل دیجیتال به آنالوگ با وزن غیردودویی و مدار کنترل دیجیتالی است.

۳-۱- زیر مبدل دیجیتال به آنالوگ

یکی از مهمترین بلوک‌های مبدل تقریب متوالی که سرعت و دقت تبدیل را نشان می‌دهد، زیر مبدل دیجیتال به آنالوگ است. ساختارهای مختلفی برای پیاده‌سازی این بلوک وجود دارد. از جمله‌ی این ساختارها می‌توان به نوع جریانی، نردبان خازنی و آرایه خازنی اشاره کرد که آرایه خازنی نسبت به ساختارهای دیگر به دلیل تطبیق بهتر و تغییرات کمتر نسبت به مقاومت‌ها بیشتر در طراحی‌ها مورد استفاده قرار می‌گیرد. نوع آرایه خازنی هم به صورت تک سر و هم تفاضلی قابل پیاده‌سازی می‌باشد. ساختار تفاضلی در مقایسه با ساختار تک سر، سیگنال نویز زیر لایه را بهتر حذف می‌نماید و بعلاوه برای رفع محدودیت نویز حالت مشترک مناسب می‌باشد[۹] و [۸].

زیر مبدل دیجیتال به آنالوگ به دلیل ساختاری که دارد توان بیشتری نسبت به بلوک‌های دیگر مبدل تقریب متوالی، تلف می‌کند. مصرف توان زیر مبدل دیجیتال به آنالوگ وابستگی شدیدی به نوع سوییچ‌زنی و ظرفیت کل خازن‌های آن دارد. در نتیجه با انتخاب صحیح این بلوک می‌توان سهم بسزایی در کاهش توان مبدل داشته باشیم. ساختارهای متعددی برای کاهش توان این بلوک معرفی شده است مانند روش تفکیک خازنی که ۳۷ ٪ [۱۰] و روش ذخیره انرژی ۵۶ ٪ [۱۱] انرژی سوییچ‌زنی را کاهش می‌دهند. اگرچه این روش‌ها انرژی سوییچ زنی را کاهش می‌دهند اما تعداد سوییچ‌ها و خازن‌های بکار گرفته شده در این روش‌ها بیشتر از روش سوییچ‌زنی متعارف است. در این میان روش سوییچ‌زنی یکنوا [۱۲] به دلیل کاهش توان ۸۱ ٪ و بازده انرژی بالا می‌تواند انتخاب بهتری در مقایسه با همتایان خود باشد. از دیگر مزایای این روش سوییچ‌زنی می‌توان به بهبود سرعت نشست و نیز نصف شدن ظرفیت کل خازن‌های زیر

مبدل دیجیتال به آنالوگ اشاره نمود. بنابراین به دلایلی که در بالا به آن اشاره شد این روش سوییچ زنی را به عنوان طرح مرجع در این کار انتخاب نمودیم. در [۱۲] DAC آرایه خازنی با وزن دودویی پیاده‌سازی شده است، ولتاژ حالت مشترک در روش سوییچ زنی یکنوا به تدریج از نصف ولتاژ مرجع به زمین کاهش می‌یابد که می‌تواند عملکرد خطی بودن مبدل را تضعیف نماید. در حالیکه در این کار ما سعی نمودیم با جایگزین نمودن DAC آرایه خازنی با وزن غیردودویی اثر آفست متغیر حاصل از متغیر بودن ولتاژ حالت مشترک را در خروجی کاهش دهیم(در بخش ۴ به تفصیل به آن پرداخته شده است). ساختار مبدل تقریب متوالی تمام تفاضلی یکنوا با دقت ۱۰ بیت با DAC آرایه خازنی با وزن غیردودویی در شکل ۳ نشان داده شده است.



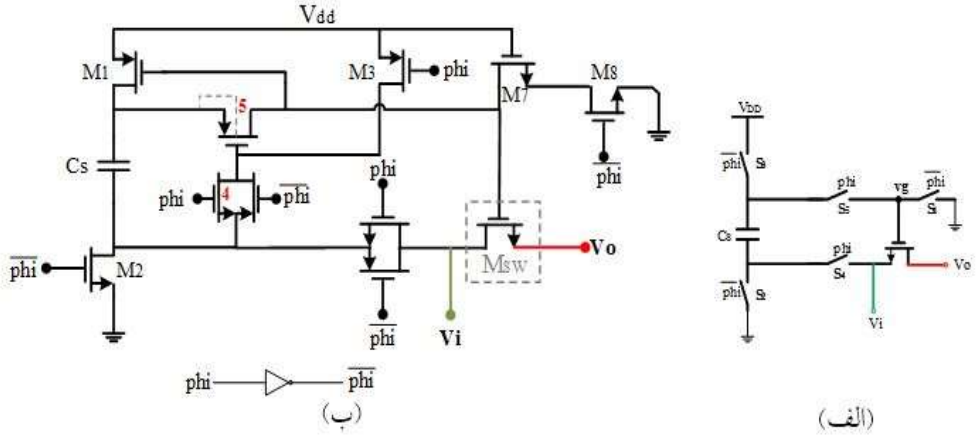
شکل۳: مبدل تقریب متوالی تمام تفاضلی یکنوا با DAC آرایه خازنی غیردودویی

در روش سوییچ‌زنی یکنوا، در فاز نمونه برداری ولتاژ آنالوگ ورودی روی صفحات بالایی خازن‌ها توسط سوییچ بوت استرپ نمونه‌برداری شده و صفحات پایین خازن‌ها به ولتاژ مرجع متصل می‌شود. پس از خاموش شدن سوییچ بوت استرپ، مقایسه‌گر اولین مقایسه را مستقیماً بدون متصل شدن به هیچ خازنی انجام می‌دهد. بر اساس نتیجه‌ی مقایسه، بزرگترین خازن C_1 در سمتی که ولتاژ بیشتری داراست به زمین متصل شده و بقیه‌ی خازن‌ها بدون تغییر(متصل به V_{ref}) باقی می‌مانند. مبدل این روند را تا تعیین کم ارزش‌ترین بیت(LSB) تکرار می‌نماید. در این روش سوییچ‌زنی در هر فاز تبدیل تنها یک خازن سوییچ می‌شود که این امر سبب کاهش انتقال بار در شبکه آرایه خازنی می‌شود که در نهایت سبب کاهش توان مصرفی خواهد شد [۱۲].

۳-۲- سوییچ بوت استرپ

استفاده از سوییچ بوت استرپ در ورودی سبب افزایش سرعت نشست وپهنای باند ورودی می‌شود. عملکرد سوییچ به این صورت است که در فاز $\overline{phi}$ پایه‌ی گیت سوییچ نمونه بردار M_{SW} از طریق ترانزیستور M_8 به زمین وصل و سوییچ خاموش می‌شود. در همین فاز خازن C_S بوسیله‌ی ترانزیستورهای M_2 و M_1 تا V_{dd} شارژ می‌شود. در فاز phi و هنگامی که phi در بالاترین مقدار خود قرار می‌گیرد ولتاژ گیت - سورس برای روشن شدن سوییچ M_{SW} از طریق دو ترانزیستور M_5 و M_4 تأمین و سوییچ روشن می‌شود.

همزمان با تغییر سیگنال ورودی، ولتاژ گیت بگونه‌ای تغییر می‌کند که ولتاژ گیت- سورس ثابت و مساوی با حداکثر مقدار خود شود در نتیجه مقاومتی که بین درین- سورس سوییچ M_{SW} ایجاد می‌شود بسیار کوچک خواهد شد و خطینگی سوییچ را افزایش می‌دهد. از ترانزیستور M_3 ، برای خاموش کردن ترانزیستور M_5 استفاده شده است. این ساختار مشکل تزریق بار متناسب با سیگنال که منجر به عوجاج می‌شود را نیز مرتفع خواهد نمود. شکل ۴- الف ساختار ساده و ایده‌آل سوییچ بوت استرپ و شکل ۴- ب پیاده‌سازی مداری سوییچ بوت استرپ را نشان می‌دهد[۱۳].

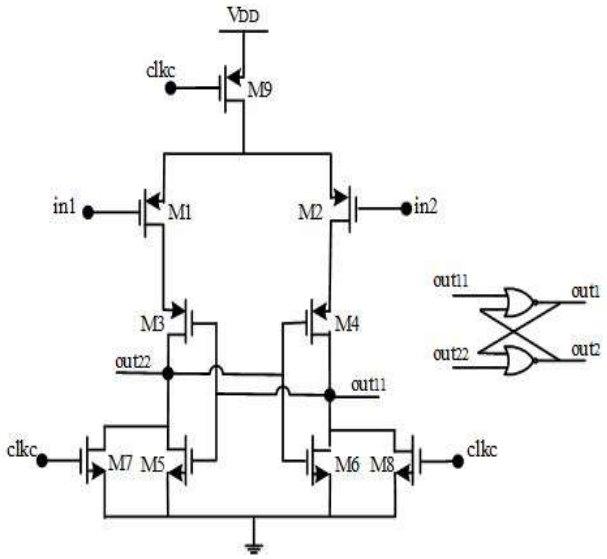


شکل۴: (الف) ساختار ساده و ایده‌آل سوییچ بوت استرپ و (ب)پیاده سازی مداری سوییچ بوت استرپ[۱۳]

۳-۳- مقایسه‌گر دینامیکی

استفاده از مقایسه‌گرهای دینامیکی به دلیل عملکرد سرعت بالا با توجه به فیدبک مثبت طبقه‌ی خروجی و همچنین توان مصرفی کم سبب افزایش سرعت مقایسه می‌شود و با توجه به عملکرد دینامیکی آن، هیچ توان استاتیکی مصرف نمی‌کند. شکل ۵ مقایسه‌گر دینامیکی با استفاده از لچ S-R را نشان می‌دهد[۱۴]. هنگامی که سیگنال کلاک در وضعیت بالا قرار می‌گیرد، مقایسه‌گر در فاز بازنشانی قرار گرفته، دو ترانزیستور M_8 و M_7 روشن شده و دو گره‌ی خروجی را تا V_{dd} شارژ می‌نماید.

در این فاز منبع جریان M_{tail} خاموش بوده و هیچ جریانی از آن عبور نمی‌کند. هنگامی که کلاک در پایین‌ترین مقدار قرار می‌گیرد، M_{tail} روشن شده و مقایسه‌گر، وارد فاز مقایسه شده در این حالت مقایسه‌ای بین دو ورودی in_1 و in_2 صورت می‌گیرد و فیدبک مثبت توسط دو ترانزیستور M_3 - M_4 و M_5 - M_6 ایجاد شده، در این زمان با توجه به نتیجه‌ی مقایسه یکی از خروجی‌ها توسط لچ به کمترین مقدار دشارژ و دیگر خروجی به بالاترین مقدار شارژ می‌شود.



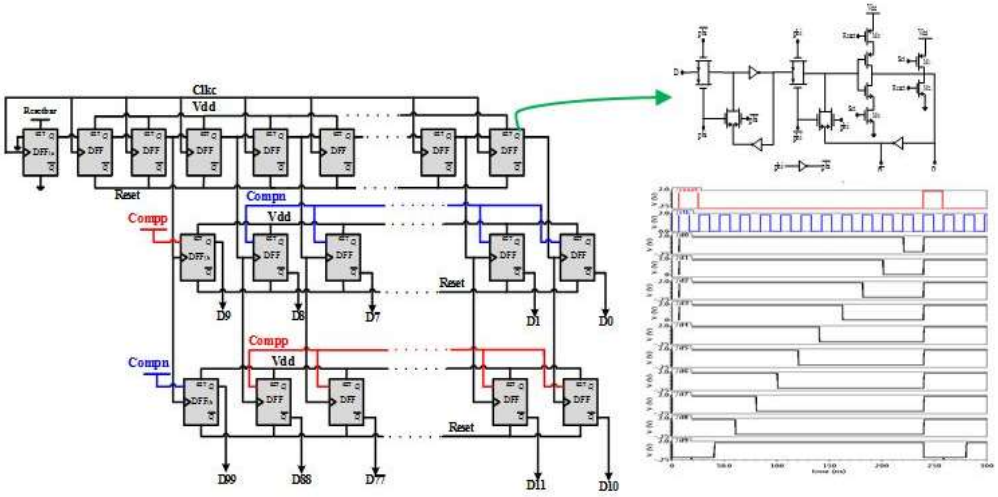
M	W/L
$M_{1,2}$	1.5u/180nm
$M_{3,4}$	500n/180nm
$M_{5,6}$	500n/180nm
$M_{7,8}$	5u/180nm
M_9	1u/180nm

شکل۵ : مقایسه‌گر دینامیکی با استفاده از لچ S-R و اندازه ترانزیستورها[۱۴]

۳-۴- مدار کنترل دیجیتالی

مدار کنترل دیجیتالی مورد استفاده در مبدل‌های آنالوگ به دیجیتال تقریب متوالی به دلیل نوع عملکرد آن به رجیستر تقریب متوالی نیز معروف اند، که اغلب از چند فلیپ فلاپ نوع D که بصورت سری بهم متصل می‌شوند، تشکیل شده است. عملکرد این بلوک به این صورت است که در فاز نمونه‌برداری، همه‌ی فلیپ فلاپ ها به غیر از اولین فلیپ فلاپ که یک است، به صفر بازنشانی می‌شوند.

این عمل با اعمال کلاک به پایه‌ی Set و Reset فلیپ فلاپ‌ها انجام‌می‌شود. در فاز تبدیل، با اولین لبه‌ی بالا رونده‌ی کلاک، خروجی دومین فلیپ فلاپ که سیگنال ورودی آن در کلاک قبلی "1" بوده، "1" شده و خروجی فلیپ فلاپ اول صفر می‌شود. در لبه‌ی بالا رونده‌های بعدی، این عمل برای فلیپ فلاپ‌های بعدی نیز تکرار خواهد شد. به عبارتی در هر لحظه فقط خروجی یکی از فلیپ فلاپ‌ها "1" و با هر لبه بالا رونده کلاک، یکی به جلو حرکت می‌کند.



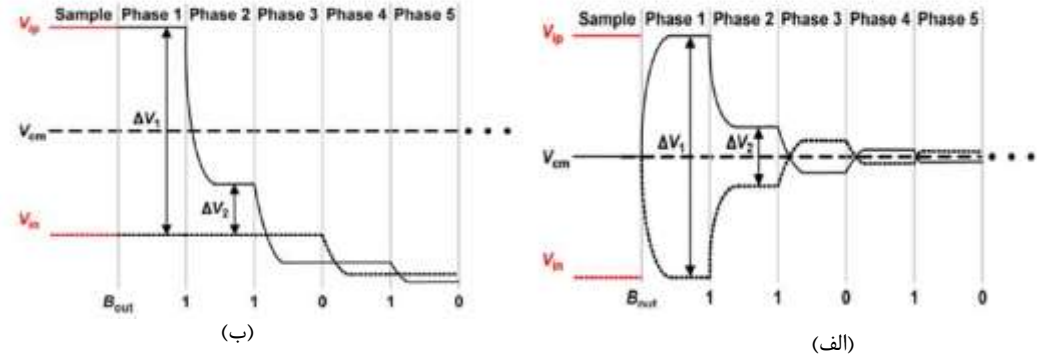
شکل ۶: مدار کنترل دیجیتالی پیشنهادی بهمراه کلاک‌های تولید شده

فلیپ فلاپ‌های پایینی نیز برای ذخیره کردن نتیجه‌ی مقایسه و نگهداری بیت‌های دیجیتال خروجی مورد استفاده قرار می‌گیرند. در طراحی مدار کنترل دیجیتالی در [۱۲] جهت ذخیره‌ی نتیجه‌ی مقایسه در هر گام تبدیل از بافرهای تأخیر و همچنین گیت‌های AND و NOT استفاده شده است . این در حالیست که در مدار کنترل دیجیتالی پیشنهاد شده در این کار همانطور که در شکل ۶ مشاهده می‌شود تنها با جابجا نمودن ورودی‌های دومین فلیپ فلاپ به بعد در دو ردیف پایین توانستیم به این مهم دست یابیم. در نتیجه مدار کنترل دیجیتالی پیشنهادی نسبت به [۱۲] از پیچیدگی کمتری برخوردار است. شکل ۶ مدار کنترل دیجیتالی پیشنهاد شده در این مبدل را به همراه کلاک‌های تولید شده نشان می‌دهد.

۴- انتخاب بهینه‌ی خازن‌ها

وجود نویز و آفست از جمله عواملی هستند که سبب ایجاد خطای تصمیم‌گیری مقایسه‌گر می‌شوند. وجود عدم تطبیق بین ترانزیستورهای مقایسه‌گر باعث بوجود آمدن آفست متغیر می‌شود که این آفست سبب تغییرات ولتاژ حالت مشترک شده و همین امر عملکرد خطی بودن مبدل را محدود خواهد نمود. لازم به ذکر است که ایراد روش سوییچ‌زنی یکنوا نسبت به روش سوییچ‌زنی متعارف همانطور که در شکل ۷- ب مشاهده می‌شود اینست که ولتاژ حالت مشترک در روش سوییچ‌زنی یکنوا به تدریج از نصف ولتاژ مرجع (V_{ref}) به زمین کاهش می‌یابد[۱۲]، بنابراین ولتاژ حالت مشترک وابسته به سیگنال ورودی می‌شود و می‌تواند رفتار خطی مبدل را بیشتر تحت تاثیر قرار دهد. جدول ۱ خلاصه‌ی عملکرد مبدل تقریب متوالی یکنوا با الگوریتم جستجوی متعارف با دقت ۱۰ بیت و ۱۰ گام مقایسه را به ازای عدم تطبیق‌های مختلف نشان می‌دهد.

همانطور که پیش‌تر نیز عنوان شد در مبدل‌های آنالوگ به دیجیتال تقریب متوالی که از الگوریتم جستجوی دودویی استفاده می‌نمایند، هنگامی که فرکانس نمونه‌برداری افزایش یابد DAC زمان کافی برای نشست کامل در 1/2LSB را نخواهد داشت که همین امر عملکرد مبدل را در سرعت‌های بالا محدود خواهد نمود. در این مبدل‌ها فرکانس نمونه‌برداری را می‌توان نهایتاً تا 250KS/s افزایش داد که البته با استفاده از روش سوییچ‌زنی یکنوا افزایش فرکانس نمونه‌برداری تا 500KS/s امکان پذیر است.



(ب) (الف)

شکل۷: (الف) خروجی روش سوییچ زنی متعارف و (ب) خروجی روش سوییچ زنی یکنوا[۱۲]

بهره‌گیری از الگوریتم جستجوی غیردودویی در این کار به ما کمک می‌کند که مشکلاتی که در بالا به آنها اشاره شد را برطرف سازیم. با توجه به رابطه‌ی ۲ برای یک M و N مشخص، الگوهای عددی متعددی خواهیم داشت که این امکان را فراهم می‌سازد که از بین آنها طرح بهینه را انتخاب نماییم. مجموعه جواب‌های متعددی را شبیه‌سازی نمودیم که بهترین نتیجه در فرکانس نمونه برداری 4.17MS/s مربوط به بردار J4 است که همراه با نتایج شبیه سازی دیگر بردارها در جدول ۲ آورده شده است. در این کار با بهره گیری از الگوریتم جستجوی غیردودویی و روش سوییچ‌زنی یکنوا و خازن واحد 20fF، توانستیم فرکانس نمونه‌برداری را تا 4.17MS/s افزایش دهیم. جدول ۲ خلاصه‌ی عملکرد ساختار پیشنهادی را به ازای عدم تطبیق‌های مختلف نشان می‌دهد.

جدول۱: نتایج شبیه‌سازی مبدل تقریب متوالی یکنوا با استفاده از الگوریتم جستجوی متعارف

Sampling Frequency	Without Mismatch	THD (dB)	Power (µW)	ENOB (Bit)
417KS/s	Without Mismatch	57.61	5.56	9.2
	%5	45.35	5.52	7.24
	-%5	44.81	5.44	7.15
	%10	36.13	5.5	5.71
4.17MS/s	Without Mismatch	34.34	57.4	5.41
	%5	34.1	57.33	5.37
	-%5	33.69	57.14	5.3
	%10	32.64	57	5.12

گرچه استفاده از الگوریتم جستجوی غیردودویی سبب افزایش توان مصرفی خواهد شد، اما در مقابل نتایج شبیه‌سازی نشان می‌دهد(جدول ۲) تعداد بیت‌های موثر(ENOB) در تمامی حالت‌های بررسی شده تقریباً ثابت می‌ماند. در نتیجه در این کار با انتخاب بهینه‌ی خازن‌های غیردودویی سبب بهبود دقت در سرعت‌های بالا شده‌ایم. این در حالیست که نتایج شبیه‌سازی ساختار یکنوا با الگوریتم جستجوی متعارف و فرکانس نمونه برداری 417KS/s که در جدول ۱ آورده شده است، نشان می‌دهد که ENOB با اعمال عدم تطبیق‌های مختلف از 9.2 به 5.65 بیت کاهش می‌یابد و دقت ساختار یکنوا با الگوریتم جستجوی دودویی با افزایش فرکانس

نمونه برداری بیشتر تضعیف خواهد شد. با توجه به اینکه فرکانس نمونه برداری ساختار پیشنهادی، بالاتر از ساختار یکنوا با الگوریتم جستجوی دودویی است در نتیجه مصرف بیشتر توان مسلم است.

جدول۲: نتایج شبیه‌سازی برخی از مجموعه جواب‌های انتخابی ساختار غیردودویی پیشنهادی

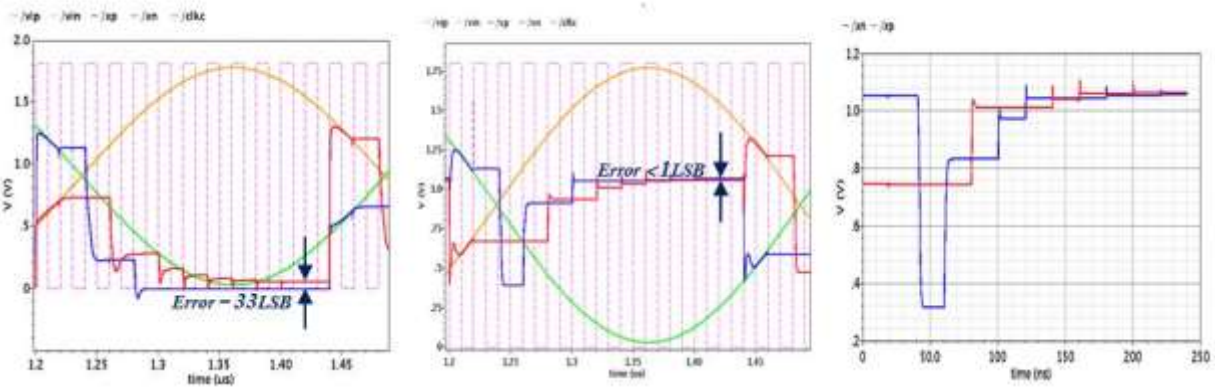
Sampling Frequency	J	Without Mismatch	THD (dB)	Power (µW)	ENOB (Bit)
4.17MS/s	J1(252 ,126 ,65 ,33 ,17 ,9 ,5 ,3 ,1 ,1) E1(9 , 9 , 5 , 4 , 3 , 2 , 1 , 0 , 1 , 0)	Without Mismatch	58.92	77.93	9.49
		%5	58.98	77.5	9.5
		- %5	60.32	77.25	9.7
		- %10	60.81	77.02	9.8
	J2(250 ,123 ,67 ,35 ,19 ,8 ,5 ,3 ,1 ,1) E2(13 , 17 , 6 , 3 , 0 , 3 , 1 , 0 , 1 , 0)	Without Mismatch	59.03	77.4	9.5
		%5	59.79	77.7	9.6
		- %5	60.03	77.74	9.67
		– %10	59.5	77.12	9.59
	J3(230,129,70 ,36 ,24 ,12 ,6 ,3 ,1,1) E3(53 , 25, 14, 12 ,0 ,0 ,0 , 0 , 1 , 0)	Without Mismatch	59.44	77.93	9.58
		%5	61.07	78.08	9.84
		- %5	60.23	78.21	9.7
		– %10	59.01	78	9.5
	J4(210 ,147 ,76 ,40 ,20 ,8 ,6 ,3 ,1 ,1) E4(93 , 9 , 4 , 0 , 0 , 4 , 0 , 0 , 1 , 0)	Without Mismatch	61.91	78.14	9.9
		%5	60.6	78.1	9.68
		- %5	59.91	77.86	9.65
		- %10	60.21	77.59	9.71

۵- نتایج شبیه‌سازی

ساختار کلی مبدل تقریب متوالی غیردودویی پیشنهادی در شکل ۳ نشان شده است. استفاده از روش سوییچ زنی یکنوا سبب کاهش توان مصرفی و همچنین نصف شدن ظرفیت کل خازن‌های زیر مبدل دیجیتال به آنالوگ نسبت به روش سوییچ زنی متعارف می‌شود. استفاده از سوییچ بوت استرپ در ورودی ساختار پیشنهادی سبب بهبود بیشتر خطینگی و افزایش سرعت نشست و پهنای باند ورودی شده است. به منظور انجام عملیات مقایسه از مقایسه‌گر دینامیکی در ساختار استفاده شده، این مقایسه‌گر هیچ توان استاتیکی مصرف نکرده و سبب افزایش سرعت مقایسه می‌شود. همچنین با طراحی بهینه‌ی مدار کنترل دیجیتالی سبب کاهش توان بیشتر در مبدل شده‌ایم. در طراحی مدار کنترل دیجیتالی از فلیپ فلاپ نوع D استفاده شده و همچنین به دلیل تعدد فلیپ فلاپ نوع D در ساختار این بلوک مبدل، از سوییچ TG استفاده شده است تا کمترین تلفات توان را داشته باشیم.در این کار اندازه‌ی خازن‌ها بگونه‌ای تعیین شده اند که بیشترین بازده‌ی جبران خطا را در گام‌های ابتدایی فاز تبدیل داشته باشد چرا که احتمال بروز خطا در گام‌های ابتدایی تبدیل بیشتر است در نتیجه با انتخاب بهینه‌ی خازن‌ها سبب بهبود خطینگی ساختار پیشنهادی شده‌ایم.

ساختار پیشنهادی در فن آوری 0.18µm CMOS طراحی و شبیه‌سازی شده و به صورت تمام تفاضلی با دقت ۱۰ بیت و ۱۱ گام مقایسه با فرکانس نمونه برداری 4.17MS/s پیاده سازی شده و همچنین مقدار خازن واحد 20fF در نظر گرفته شده است. جهت تست عملکرد مبدل، دو ورودی سینوسی و دو ورودی DC به مبدل اعمال شد. شکل ۸- الف خروجی DAC به ازای ورودی DC، شکل ۸- ب و ج، ولتاژ خروجی DAC را در فاز تبدیل برای هر دو ساختار غیردودویی پیشنهادی و ساختار یکنوا با الگوریتم جستجوی دودویی با فرکانس نمونه برداری یکسان (4.17MS/s)، نشان می دهد.

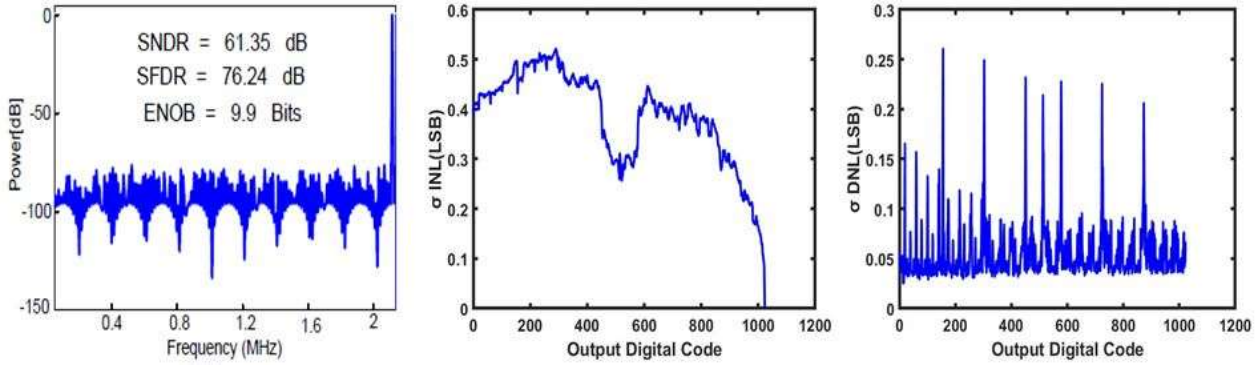
همانطور که در شکل ۸- ج دیده می‌شود در حالیکه باید در انتهای فاز تبدیل اختلاف ولتاژ هر دو DAC بالا و پایین کمتر از 1LSB باشد، در ساختار یکنوا با الگوریتم جستجوی دودویی، با افزایش فرکانس نمونه برداری تا 4.17MS/s ، DAC بالا نتوانسته DAC پایین را دنبال کند (خطای ناشی از نشست DAC) در نتیجه دقت مبدل را از دست داده است.



(ج) (ب) (الف)

شکل۸: (الف) خروجی DAC به ازای ورودی ثابت، (ب) خروجیDAC ساختار پیشنهادی به ازای ورودی سینوسی و (ج) خروجیDAC ساختار یکنوا به ازای ورودی سینوسی با فرکانس نمونه‌برداری 4.17MS/s

برای اندازه‌گیری عملکرد دینامیکی مبدل، یک ورودی سینوسی با فرکانس 2.02MHz به مبدل اعمال شد که نسبت سیگنال به نویز و اعوجاج(SNDR) 61.35 dB، محدوده‌ی دینامیکی صحیح (SFDR) 76.24dB و تعداد بیت‌های مؤثر (ENOB) 9.9 Bit بدست می‌آید. شکل ۹- الف و ب نتایج 300 اجرای شبیه‌سازی مونت کارلو را نشان می‌دهد که انحراف معیار DNL و INL را برحسب کد دیجیتال خروجی ساختار پیشنهادی به تصویر کشیده و نشان می‌دهد حداکثر σDNL، 0.28LSB و حداکثر σINL، 0.52LSB است و نیز در شکل ۹- ج عملکرد دینامیکی اندازه‌گیری شده ساختار پیشنهادی بر مبنای FFT، 1024 نقطه‌ای نشان داده شده است. نتایج شبیه سازی ساختار غیردودویی پیشنهادی در جدول ۳ و همچنین مقایسه نتایج بدست آمده در این کار با کارهایی که در این زمینه انجام شده در جدول ۴ آورده شده است.



(ج) (ب) (الف)

شکل۹: (الف و ب) نمودار انحراف معیار DNL و INL برحسب کد دیجیتال خروجی ساختار پیشنهادی، انحراف معیار خازن واحد 1% در نظر گرفته شده است و (ج) FFT، 1024 نقطه‌ای و اندازه‌گیری پارامترهای دینامیکی مبدل پیشنهادی با فرکانس4.17MS/s

جدول۳ : نتایج شبیه‌سازی ساختار پیشنهادی

Specification(unit)	**Experimental Result**
Supply Voltage (V)	1.8
Common mode Voltage (V)	0.9
Sampling Frequency(MHz)	4.17
SFDR(dB)	76.24
SNDR(dB)	61.35
ENOB(Bit)	9.9
σDNL(LSB)	0.28
σINL(LSB)	0.52
Power(μW)	78.14
FOM(fj/Conver.step)	19.57

جدول٤ : مقایسه نتایج شبیه‌سازی ساختار پیشنهادی با کارهای دیگر

Specification(unit)	[2]	[10]	[12]	[16]	[17]	[18]	**This Work**	
Architecture	SAR	SAR	SAR	SAR	SAR	SAR	SAR	NB SAR
Technology(nm)	180	65	130	180	65	180	180	180
Supply Voltage(V)	1.2	1.2	1.2	0.6	1	1.8	1.8	1.8
Sampling Frequency(MHz)	50	500	50	1	1	10	0.417	4.17
Resolution(Bit)	10	5	10	10	10	12	10	10
ENOB(Bit)	9.6	4.04	9.18	9.18	8.75	-	9.2	9.9
Power(μW)	1300	5900	826	5.253	1.9	820	5.56	78.14
FOM(fj/Conver.step)	33	750	29	9.4	4.42	44.2	11.34	19.57

۶- نتیجه‌گیری

در این کار، یک مبدل آنالوگ به دیجیتال تقریب متوالی تمام تفاضلی یکنوا با استفاده از الگوریتم جستجوی غیردودویی به منظور بهبود عملکرد خطینگی مبدل پیشنهاد شده است. در الگوریتم جستجوی غیردودویی بر خلاف جستجوی دودویی همپوشانی بین محدوده‌های جستجو وجود دارد که سبب تصحیح خطای مقایسه‌گر در گام‌های قبل می‌شود. این الگوریتم جستجو الزام نشست کامل DAC را برطرف می‌سازد. استفاده از DAC آرایه‌ی خازنی با وزن غیردودویی به همراه انتخاب بهینه‌ی خازن‌های غیردودویی در این کار، سبب بهبود خطینگی و سرعت ساختار پیشنهادی شده است. بدلیل بهره‌گیری از روش سوییچ‌زنی یکنوا در این کار، توانستیم توان مصرفی مبدل را تا حد قابل توجهی کاهش دهیم. با شبیه‌سازی مبدل آنالوگ به دیجیتال تقریب متوالی تمام تفاضلی غیردودویی با دقت ۱۰ بیت و ۱۱ گام مقایسه و فرکانس نمونه‌برداری 4.17MS/s و به ازای ولتاژ تغذیه‌ی1.8V در فن‌آوری 180nm CMOS، نسبت سیگنال به نویز و اعوجاج (SNDR) 61.35 dB، توان مصرفی78.14 μW، محدوده‌ی دینامیکی صحیح (SFDR) 76.24dB و رقم شایستگی (fj/Conver.step) 19.57 بدست می‌آید .

مراجع

[1] A. H. Chang, H. S. Lee, and D. Boning, "A 12b 50MS/s 2.1mW SAR ADC with Redundancy and Digital Background Calibration," *in proc. IEEE ESSCIRC*, Sept. 2013, pp. 109-112.

[2]A. Arian, M. Saberi , S. Hosseini-Khayat, R. Lotfi, Y. Leblebici, "A 10-bit 50-MS/s Redundant SAR ADC with Split Capacitive-array DAC," *in Springer . Analog Integr CircSig Process*, vol.71, pp. 586-589, June.2012.

[3] S. Haenzsche, S. Höppner, G. Ellguth, and R. Schüffny, "A 12-b 4 MS/s SAR ADC With Configurable Redundancy in 28-nm CMOS Technology," *IEEE Trans. Circuits Syst. II*, vol. 61, no.11, pp. 835-839, Nov.2014.

[4] F. Kuttner, "A 1.2V 10b 20MSample/s Non-Binary Successive Approximation ADC in 0.13μm CMOS," *in proc.IEEE ISSCC Dig. Tech. Papers*, Feb. 2002, pp. 176-177.

[5] D.Zhang, and A. Alvandpour,"Analysis and Calibration of Non-binary-Weighted Capacitive DAC for High-Resolution SAR ADCs," *IEEE Trans. Circuits &Syst. II* ,vol.60, no. 9, pp. 666-670, Sep. 2014.

[6] D.Zhang, and A. Alvandpour, "A 12.5-ENOB 10-kS/s Redundant SAR ADC in 65-nm CMOS," *IEEE Trans. Circuits & Syst. II* ,vol.63 , no. 3, pp. 244-248, Mar. 2016.

[7] T. Ogawa, T. Matsuura , H. Kobayashi, N. Takai, M. Hotta, Hao San .et al, " SAR ADC Algorithm with Redundancy and Digital Error Correction," *IEICE Trans. Fundamentals*, vol.E93-A, no.2, pp.415- 423, Feb.2010.

[8]C. C. Liu, S. J. Chang, G. Y. Huang, Y. Z. Lin, C. M. Huang, C. H. Huang, L. Bu, and C.C Tsai, "A 10b 100MS/s 1.13 mW SAR ADC with binary-scaled error compensation," *in proc IEEE International Solid-State Circuits Conference Digest of Technical Papers (ISSCC)*, 2010, pp. 386–387.

[9]S. Jiang, M. A. Do, K. S. Yeo, and W. M. Lim, "An 8-bit 200-MSample/s pipelined ADC with mixed-mode frontend S/H circuit," *IEEE Trans Circuits Syst* I, vol. 55, no. 6, pp. 1430–1440, 2008.

[10] B.P. Ginsburg, and A.P. Chandrakasan ,"500-MS/s 5-bit ADC in 65-nm CMOS With Split Capacitor Array DAC," *IEEE J. Solid-State Circuits*, vol.42, no. 4, pp. 739-747, Apr. 2007.

[11]Y. K. Chang, C. S. Wang, and C. K. Wang, "A 8-bit 500 KS/s low power SAR ADC for bio-medical application," *in proc IEEE ASSCC Dig. Tech*, Nov. 2007, pp. 228–231.

[12] C.Cheng Liu, SJyh Chang ,G.Ying Huang ,Y.Zu Lin "A 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure," *IEEE J. Solid-State Circuits*, vol. 45, NO. 4, pp.731-740, APRIL 2010.

[13]A. M. Abo and Paul R. Gray, "A 1.5-V, 10-bit, 14.3-MS/s CMOS Pipeline Analog-to-Digital Converter," *IEEE J. Solid-State Circuits*, vol. 34, no. 5,pp.599-606, May. 1999.

[14]A.R.Ghasemi ,M.Saberi , R.Lotfi , "A low-power capacitor switching scheme with low common-mode voltage variation for successive approximation ADC," *in Microelectronics Journal*, vol.61,pp.15-20, Mar. 2017.

[15]D. Draxelmayr, "A 6 b 600 MHz 10 mW ADC array in digital 90 nm CMOS," *in proc.IEEE ISSCC Dig. Tech. Papers*, 2004, pp. 264–265.

[16] G. Y. Huang, S. J. Chang, C. C. Liu, and Y. Z. Lin, "A 1μW 10bit 200kS/s SAR ADC with a bypass window for biomedical applications," *IEEE J. Solid-State Circuits*, vol. 47, no. 11, pp. 2783– 2794, Nov. 2012.

[17] M. van Elzakker, E. van Tuijl, P. Geraedts, D. Schinkel, E. A. M. Klumperink and B. Nauta, "A 10-bit Charge-Redistribution ADC Consuming 1.9uW at 1 MS/s," *IEEE Journal of Solid-State Circuits*, vol. 45, no. 5, pp. 1007-1015,May.2010.

[18] S. Liu, Y. Shen, and Zh. Zhu, "A 12-Bit 10 MS/s SAR ADC With High Linearity and Energy-Efficient Switching, " *IEEE Trans. Circuits & Syst.I*, vol. 63, no.10, pp. 1616-1627, Oct.2016.

Improved of Linearity Performance with Low Commom-Mode Voltage Variation for Non-Binary Successive Approximation ADC with a Monotonic Switching method

Nasrin Shayestehnezhad [1], Abdolrasul Ghasemi[2*]

Elrectrical Engineering, Islamic Azad University, Bushehr Branch, Bushehr, Iran

1: N.Shayestehnezhad@Gmail.com
2*: rasul_ghasemi@yahoo.com

ABSTRACT:

In this paper, a fully differential SAR ADC is presented using the extended non-binary search algorithm with an accuracy of 10-bits, 11 comparison steps and sampling rate of 4.17MS/s which is suitable for low-power applications. In the non-binary search algorithm, there are overlaps between the search rang, that allow comparison decision errors to be digitally corrected. To improve linear behavior of the proposed structure, a capacitive array DAC with non-binary weight is implemented and sampling frequency is increased compared to the conventional successive approximation converter through proper selection of non-binary capacitances of the capacitive array. The proposed structure operates based on monotonic switching logic. This switching method reduces power consumption of DAC compared to conventional switching. The proposed structure is designed using 180nm CMOS technology and the simulation results show that for a supply voltage of 1.8V, SNDR is 61.35dB, power consumption is 78.14µW and figure of merit is 19.57(fj/Conv.step).

KEYWORDS: A/D converter, fully differential successive approximation ADC, non-binary search algorithm, monotonic switching, low power successive approximation ADC.