JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH

E-ISSN: 2980-9231
https://jce.bushehr.iau.ir

https://doi.org/10.30495/jce.2023.1983365.1198

Vol. 13/ No. 49/Autumn 2023

Research Article

Design and Simulation of Fourth Order Sigma-Delta Modulator Using Parametric Amplifier with Dynamic Threshold for Digital Hearing Aid Application

Shima Alizadeh Zanjani, PhD Student [1] | Abumoslem Jannesari, Assistant Professor [2*] | Pooya Torkzadeh, Assistant Professor [3]

[1]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran
shi.alizadeh@srbiau.ac.ir

[2]Department of Electrical and Computer Engineering, Tarbiat Modares University, Tehran, Iran
jannesari@modares.ac.ir

[3]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran
p-torkzadeh@srbiau.ac.ir

Correspondence
Abumoslem Jannesari, Assistant Professor of Electrical and Computer Engineering, Tarbiat Modares University, Tehran, Iran
jannesari@modares.ac.ir

Received: 5 April 2023
Revised: 2 May 2023
Accepted: 26 May 2023

Abstract

In this paper, a fourth-order, OTA-free, single-bit, low-consumption discrete-time (DT) delta-sigma (ΔΣ) modulator with CIFF structure is proposed for hearing aid applications. In portable medical devices such as hearing aids that are used permanently, the battery life and energy dissipation are very important. In a typical delta sigma modulator, the power-hungry parts are the OTA. Therefore, the elimination of OTAs is a challenge, and the proposed modulator uses new differential parametric amplifiers, with dynamic thresholde in even stages and inverter-based amplifiers in odd delta sigma stages instead of the OTAs. The dynamic threshold PMOS technique has been used for the first time in differential MPA, and the theoretical analyzes and simulations performed show better performance than the traditional method. Also, a chopper circuit is used on the first fstage to reduce the harmonics and flicker noise. The proposed differential modulator is simulated using standard 180 nm CMOS technology, which achieves 90.5 dB SFDR and 64 dB SNDR with an input bandwidth frequency of 10 kHz and an oversampling ratio of 128. The power supply is 1V and the FOMW were obtained as 3.43 pj/step.

Keywords: Parametric amplifier, Discrete time modulator, Hearing aid, Delta sigma modulator, Inverter based amplifier, Dynamic threshold.

Highlights

- Providing a parametric amplifier with a larger voltage gain than previous, using dynamic threshold method.
- Providing an amplifier with very low consumption for hearing aid application.
- Using a simple structure instead of the conventional amplifiers.

Citation: S. Alizadeh Zanjani, A. Jannesari, and P. Torkzadeh, "Design and simulation of fourth order sigma-delta modulator using parametric amplifier with dynamic threshold for digital hearing aid application," Journal of Southern Communication Engineering, vol. 13, no. 49, pp. 1–22, 2023, doi: 10.30495/jce.2023.1983365.1198, (in Persian).

مقاله پژوهشی

طراحی و شبیه‌سازی مدولاتور دلتاسیگمای مرتبه چهارم با استفاده از تقویت‌کننده پارامتری با آستانه دینامیکی برای کاربرد سمعک دیجیتال

شیما علی‌زاده زنجانی[1] | ابومسلم جان‌نثاری *[2] | پویا ترکزاده[3]

[1] دانشکده مهندسی برق و کامپیوتر- واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
shi.alizadeh@srbiau.ac.ir

[2] دانشکده مهندسی برق و کامپیوتر- دانشگاه تربیت مدرس، تهران، ایران،
jannesari@modares.ac.ir

[3] دانشکده مهندسی برق و کامپیوتر- واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
p-torkzadeh@srbiau.ac.i

نویسنده مسئول
* ابومسلم جان‌نثاری، دانشیار، گروه مهندسی برق و کامپیوتر- دانشگاه تربیت مدرس، تهران، ایران،
jannesari@modares.ac.ir

چکیده:

در این مقاله، یک مدولاتور مرتبه چهارم، بدون OTA، تک‌بیتی و کم‌مصرف زمان گسسته (DT) دلتاسیگما (ΔΣ) با ساختار CIFF برای کاربردهای سمعک پیشنهادشده است. در دستگاه‌های پزشکی قابل‌حمل مانند سمعک که به‌طور دائم استفاده می‌شود، طول عمر باتری و اتلاف انرژی بسیار مهم است. در یک مدولاتور دلتاسیگما، پرمصرف‌ترین بخش OTAها هستند؛ بنابراین، حذف OTAها یک چالش است و مدولاتور پیشنهادی از تقویت-کننده‌های پارامتری تفاضلی، با استفاده از آستانه دینامیکی در طبقات زوج و تقویت‌کننده‌های مبتنی بر اینورتر در طبقات فرد دلتاسیگما به‌جای OTAها استفاده می‌کند. تکنیک PMOS آستانه دینامیکی برای اولین بار در MPA تفاضلی استفاده‌شده است و بهره ولتاژ افزایش‌یافته است. آنالیزهای تئوری و شبیه‌سازی‌های انجام‌شده، عملکرد بهتری را نسبت به روش سنتی نشان می‌دهد. همچنین، یک مدار چاپر در طبقه اول مدولاتور برای کاهش هارمونیک و نویز فلیکر استفاده‌شده است. مدولاتور تفاضلی پیشنهادی با استفاده از فناوری استاندارد 180CMOS نانومتری شبیه‌سازی شده و 90/5 دسی‌بل SFDR، 64 دسی‌بل SNDR با فرکانس پهنای باند ورودی 10 کیلوهرتز و نسبت بیش‌نمونه‌برداری 128 به دست آمد. ولتاژ تغذیه 1 ولت و FOM_W برابر با 3/43 PJ/step است.

کلید واژه‌ها: تقویت‌کننده پارامتری، مدولاتور زمان گسسته، سمعک، مدولاتور دلتاسیگما، تقویت‌کننده مبتنی بر اینورتر، آستانه دینامیکی.

تاریخ دریافت: 16 فروردین 1402
تاریخ بازنگری: 12 اردیبهشت 1402
تاریخ پذیرش: 5 خرداد 1402

https://doi.org/10.30495/jce.2023.1983365.1198

1- مقدمه

امروزه، مصرف توان کم و عملکرد با بازدهی بالا، دو پارامتر حیاتی در سیستم‌های زیست پزشکی هستند. طراحی سیستم‌های زیست‌پزشکی، به‌ویژه آن‌هایی که قابل‌حمل هستند و دائماً استفاده می‌شوند، مانند سمعک‌ها و ضربان‌ساز، به دلیل عمر باتری در آن‌ها، بسیار مهم است. بسیاری از مردم در سراسر جهان از سمعک استفاده می‌کنند، چون آسیب شنوایی یک ناتوانی شدید است که فعالیت‌های اجتماعی و ارتباطات افراد را محدود می‌کند [1، 2]. سمعک‌ها شامل دو نوع از آنالوگ و دیجیتال است. به دلیل امکان پردازش سیگنال دیجیتال، تولید صدای باکیفیت بالاتر و حذف بهتر نویز، سمعک‌های دیجیتال بیشتر مورد استفاده قرار می‌گیرند. ازآنجایی‌که صدا یک سیگنال آنالوگ در دنیای واقعی است، ADC[1] یک بخش ضروری در سمعک‌های دیجیتال

[1] Analog to Digital Converter

است و با ساختارهای مختلفی مانند دلتاسیگما، خط لوله و SAR[1] اجرا می‌شود. مبدل دلتاسیگما به دلیل طراحی ساده، شکل‌دهی نویز، تولید نویز کمتر، انتقال نویز به خارج از باند و مصرف انرژی کمتر، محبوبیت بیشتری دارد. لازم به ذکر است که تقویت بهره و نیز تمایز گفتار از نویز (بهبود SNR[2]) در طراحی سمعک باید در نظر گرفته شود. اتلاف انرژی کم، یک پارامتر حیاتی در وسایلی مانند سمعک است که به‌طور مرتب استفاده می‌شود. به دلیل آن‌که اگر عمر باتری افزایش یابد، هزینه کاهش می‌یابد.
افزایش مرتبه مدولاتور، OSR[3] و بیت‌های کمی‌ساز وضوح ADC را بهبود می‌بخشد اما مدار را پیچیده می‌کند و توان بیشتری مصرف می‌کند و مدار غیرخطی می‌شود؛ بنابراین، یک بده بستان بین وضوح‌بالا، هزینه‌ها و اتلاف توان در نظر گرفته می‌شود. مبدل دلتاسیگما سنتی دارای OTA است و توان اصلی در سمعک‌های دیجیتال را مصرف می‌کند؛ بنابراین، روش‌های مختلفی مانند اشتراک آپ‌امپ [3]، نمونه‌برداری مضاعف [4]، آپ‌امپ سوئیچ شده[5] و سایر روش‌های قبلی برای کاهش اتلاف توان مدارهای دلتاسیگما استفاده‌شده‌اند. از طرفی پیشنهادهای زیادی برای جایگزینی OTA با مدارهای کم‌توان و پیچیدگی کم وجود دارد، به‌عنوان‌مثال، مدارهای غیرفعال[6]، مبتنی بر اینورتر[7]، مبتنی بر زمان[8] و تقویت‌کننده‌های مبتنی بر مقایسه کننده[9]. رویکرد دیگر، MPI[5] است که در[10] معرفی‌شده و در یک مدولاتور دلتاسیگما زمان گسسته تک و چند حلقه اعمال‌شده است. MPI مانند یک انتگرال‌گیر غیرفعال است، با این تفاوت که خازن نمونه‌برداری آن، یک MOSCAP است که ظرفیت آن، بسته به ابعاد ترانزیستور مشخص می‌شود. یک تقویت‌کننده DP-DT-MPA[4] (پارامتری گسسته در زمان با آستانه دینامیکی PMOS) در این مقاله پیشنهادشده و به‌جای استفاده از OTAهای دلتاسیگما استفاده شده است. تقویت‌کننده پارامتری MOS گسسته در زمان (DT-MPA[5])، ابتدا توسط Ranganathan و Tsividis [10] در سال 2003 معرفی شد، و سپس MPA مکمل، معکوس، دوگانه و مکمل معکوس معرفی شد که به ترتیب CMPA[6] [11]، RPA[7] و DCMPA[8] [12]، نامیده شدند. MPAهای ارائه شده قبلی، جایگزین مقایسه‌کننده و تقویت‌کننده با بهره کم [13] شده‌اند و برای جایگزینی OTA در دلتاسیگما نامناسب بودند.

در این مقاله، یک مدولاتور دلتاسیگما بدون OTA با مشخصات مناسب برای سمعک پیشنهاد شده است. یک تقویت‌کننده پارامتری زمان گسسته دیفرانسیل (MPA) با تکنیک PMOS آستانه دینامیکی (DT_PMOS) که برای سادگی آن را DP-DT-MPA نامیدیم، برای طبقات دوم و چهارم مدولاتور دلتاسیگما پیشنهاد شده است و یک تقویت‌کننده مبتنی بر اینورتر تفاضلی کامل کم‌مصرف با ولتاژ تغذیه 1 ولت برای طبقات اول و سوم مدولاتور [14] با مصرف توان 1/465 میکرو وات طراحی شده است.

آنالیز تئوری و شبیه‌سازی نشان می‌دهد که استفاده از روش DT-PMOS باعث بهبود مشخصات MPA در مقایسه با روش سنتی می‌شود. بهره ولتاژ این تقویت‌کننده حدود 35 دسی‌بل با پایداری قابل‌قبول، پیچیدگی بسیار کم، خطینگی ذاتی است که در فناوری 180 نانومتر با ولتاژ تغذیه 1 ولت طراحی شده و تنها 2/3 میکرو وات مصرف می‌کند. همچنین، اعوجاج هارمونیک و بهره ولتاژ تقویت‌کننده پارامتری MOS معمولی در مقایسه با تکنیک DT-PMOS به‌صورت تئوری به‌دست‌آمده و رسم شده است. به‌علاوه، از آنجا که مدولاتور پیشنهادی بیشتر از مرتبه دوم است و یک DAC[9] تک‌بیتی دارد، پایداری NTF[10] مورد بررسی قرار گرفته است.

با توجه به مشخصات موردنیاز برای سمعک، مدولاتور پیشنهادی ساختار CIFF تک‌بیتی، تک‌حلقه‌ای دارد که فرکانس نمونه-برداری آن 2/56 مگاهرتز و پهنای باند سیگنال ورودی 10 کیلوهرتز است. همچنین مقدار SFDR برابر 90 دسی‌بل و SNDR 64 دسی‌بل به‌دست آمد و مصرف توان، حدود 91/21 میکرو وات است. ادامه بخش‌های مقاله به این شرح است:

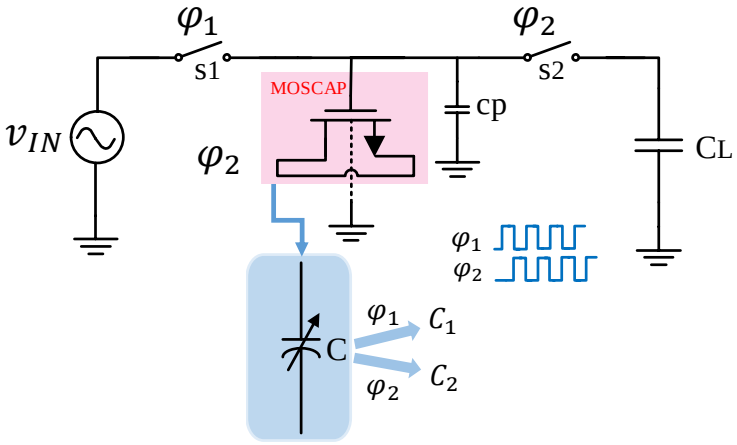
[1] Successive Approximation Register
[2] Signal to Noise Ratio
[3] Over Sampling Ratio
[4] Dynamic PMOS Threshold Discrete Time MOS Parametric Amplifier
[5] Discrete Time MOS Parametric Amplifier
[6] Complementary MOS Parametric Amplifier
[7] Reverse MOS Parametric Amplifier
[8] Dual Complement MOS Parametric Amplifier
[9] Digital to Analog Converter
[10] Noise Transfer Function

مفهوم MPA، تکنیک DT-MOS و استفاده از تکنیک DT-PMOS در MPA در بخش دوم مورد بحث قرار می‌گیرد. بخش سوم، شامل DP-DT-MPA پیشنهادی و تقویت‌کننده‌های مبتنی بر اینورتر است. بخش چهارم طراحی سیستمی و مداری مدولاتور دلتاسیگما کم‌مصرف مرتبه چهارم را توضیح می‌دهد. نتایج شبیه‌سازی در بخش پنجم نشان داده شده است و در پایان، در بخش ششم، نتیجه‌گیری ارائه خواهد شد.

2-مفهوم MPA، DT-MOS روش آستانه دینامیکی و DT-MPA

2-1-مفهوم تقویت‌کننده پارامتری MOS (MPA)

مقدار بهره در تقویت‌کننده‌های معمولی و پارامتری به ترتیب به مقاومت و راکتانس بستگی دارد. مقاومت‌ها نویز تولید می‌کنند و تقویت‌کننده‌های پارامتری ذاتاً مدارهای بدون نویز هستند. تقویت‌کننده‌های پارامتری شامل دو نوع هستند: زمان‌پیوسته و زمان‌گسسته. در این مقاله، تقویت‌کننده پارامتری زمان‌گسسته (DT_MPA) بیان‌شده و در شکل 1 نشان داده شده است [13].



شکل 1: مفهوم MPA [13]

Figure 1. Concept of MPA[13]

طبق قانون بقای بار، مراحل تقویت MPA شامل دو فاز اصلی (نمونه‌برداری و تقویت) است و مقدار افزایش ولتاژ با نسبت شارژ خازن در فاز نمونه‌برداری به نسبت شارژ خازن در فاز تقویت برابر است. در مرحله اول یا مرحله نمونه‌برداری، خازن‌های MOSCAP (C) و C_P زمانی که s_1 بسته و s_2 باز می‌شود، شارژ می‌شود و ولتاژ ورودی خازن را شارژ می‌کند و مقدار بار خازن شارژ شده با استفاده از رابطه 1 به دست می‌آید [13]:

$$Q_1 = Q_{C,1} + Q_{cp,1} = C_1 * v_{IN} + c_p * v_{IN} \quad (1)$$

که در آن C_1 نشان‌دهنده بار MOSCAP در مرحله نمونه‌برداری است و C_P یک خازن پارازیتی است. در ابتدای فاز بعدی هر دو کلید باز می‌شوند و مقدار خازن MOSCAP به C_2 تغییر می‌کند. در فاز دوم و پس از بسته شدن s_2، کل شارژ ذخیره‌شده در فاز قبلی بین سه خازن C_P، C_2 و C_L توزیع می‌شود. با نادیده گرفتن C_P و در نظر گرفتن قانون حفظ بار، عبارات زیر نتیجه می‌شود [13]،

$$\begin{aligned} &Q_1 = Q_2 \\ &C_{total\,1} * v_{IN} = C_{total\,2} * v_{out} \\ &C_{total\,1} = C_p + C_1 \\ &C_{total\,2} = C_p + C_2 + C_L \\ &(C_p + C_1) * v_{IN} = (C_p + C_2 + C_L) * v_{out} \end{aligned} \quad (2)$$

در اینجا C_2 بار MOSCAP را در مرحله نمونه‌برداری نشان می‌دهد و C_L نشان‌دهنده خازن بار است. د نهایت مقدار تقویت به‌صورت زیر به دست می‌آید،

$$\frac{v_{out}}{v_{IN}} = \frac{C_p + C_1}{C_p + C_2 + C_L} \quad (3)$$

با نادیده گرفتن C_P، تقویت‌کنندگی به C_1، C_2 و C_L بستگی دارد.

2-2-تجزیه‌وتحلیل بهره تقویت‌کننده پارامتری MOS

افزایش تقویت در MPA به‌صورت عبارات زیر حاصل می‌شود [13]،

$$v_{GB} = \Psi_{ox} + \Psi_s + \Phi_{MS} \quad (4)$$

پارامتر ψ_{ox} یک افت پتانسیل اکسید، ψ_s پتانسیل سطحی و φ_{MS} پتانسیل کل است و به‌صورت زیر نوشته می‌شود [13]،

$$\Phi_{MS} = -\Phi_F - 0.56 \quad (5)$$

با نادیده گرفتن بار و خازن پارازیتی برای سادگی، ولتاژ ورودی در φ_1 (فاز نمونه‌برداری) به‌صورت زیر به‌دست می‌آید،

$$v_{IN} = \Psi_{ox,\Phi_1} + \Psi_{s,\Phi_1} + \Phi_{MS} \quad (6)$$

و در φ_2 (فاز تقویت)، ولتاژ خروجی توسط رابطه زیر به‌دست می‌آید،

$$v_{out} = \Psi_{ox,\Phi_2} + \Psi_{s,\Phi_2} + \Phi_{MS} \quad (7)$$

ازآنجایی‌که در فاز φ_2، Q_G (بار کل گیت) ثابت می‌ماند،

$$Q_G = C_{ox} * \Psi_{ox} \quad (8)$$

و v_{out} را می‌توان مانند رابطه (9) بازنویسی کرد زیرا ψ_{ox} ثابت مانده است،

$$v_{out} = v_{IN} + \Psi_{s,\Phi_2} - \Psi_{s,\Phi_1} \quad (9)$$

پتانسیل سطح در طول φ_2 (درحالی‌که MOSCAP در ناحیه تخلیه) توسط رابطه (10) به‌دست می‌آید،

$$\Psi_{s,\Phi_2} \approx \left(-\frac{r}{2} + \sqrt{\frac{r^2}{4} + v_{out} - V_{FB}}\right)^2 \quad (10)$$

که در آن، V_{FB} یک ولتاژ باند مسطح[1] است،

$$\Psi_{s,\Phi_1} \approx \Phi_0 + V_{SB} \quad (11)$$

$$\Phi_0 = 2\Phi_F + n\Phi_t \quad (12)$$

پارامتر φ_t ولتاژ حرارتی است و n به فرآیند ساخت بستگی دارد و بین 0 تا 6 تغییر می‌کند. قابل‌توجه است که در تقویت‌کننده‌های پارامتری سنتی، با فرض $V_{SB}=0$ و در نظر گرفتن $\psi_s(\varphi_1) \approx \varphi_0$، معادله v_{out} به‌صورت زیر به‌دست می‌آید [13]،

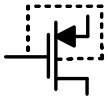
$$v_{out} = \frac{v_{IN}^2}{\gamma^2} + v_{IN}\left(1 - \frac{2}{\gamma^2}(V_{FB} + \Phi_0)\right) + \frac{(V_{FB} + \Phi_0)^2}{\gamma^2} - \Phi_0 \quad (13)$$

در زیر بخش 2-4، MPA را با استفاده از تکنیک DT-PMOS تجزیه‌وتحلیل کرده و رابطه (13) را بازنویسی می‌کنیم.

2-3- تکنیک MOS آستانه دینامیکی (DT-MOS)

در مدارهای سنتی CMOS، پایانه‌های بدنه NMOS و PMOS به ترتیب، به کمترین و بالاترین ولتاژ متصل می‌شوند و اگر $|V_{GS}|$ از ولتاژ آستانه بزرگ‌تر باشد، MOS در ناحیه ترایود یا اشباع، کار می‌کند. استفاده از تکنیک DT-MOS ولتاژ آستانه را کاهش می‌دهد [15] و برای طراحی مدار ولتاژ پایین و توان پایین مفید است. همان‌طور که در شکل 2 نشان داده شده است، پایانه‌های بدنه و گیت PMOS به یکدیگر متصل شده و تکنیک آستانه دینامیکی(DT-PMOS) PMOS در فناوری استاندارد CMOS را نشان می‌دهد. پیاده‌سازی آستانه پویا NMOS (DT-NMOS) با استفاده از فرآیند چاه سه گانه امکان‌پذیر است.

[1] Flat Band



شکل 2: تکنیک PMOS آستانه دینامیکی (DT-PMOS) [16]
Figure 2. Dynamic threshold PMOS (DT-PMOS) technique [16]

ولتاژ آستانه MOS با رابطه زیر به‌دست می‌آید [15،16]،

$$\left|v_{th,p}\right| = \left|v_{th0,p}\right| + \gamma_p\sqrt{\left|2\Phi_F\right| + V_{BS}} - \sqrt{\left|2\Phi_F\right|} \quad (14)$$

در اینجا γ_p فاکتور بدنه و φ_F، پتانسیل سطح وارونگی قوی است [15]. با استفاده از تکنیک DT-PMOS، $|vth_p|$ با توجه به ولتاژ گیت به‌صورت دینامیکی تغییر می‌کند،

$$V_{BS} = V_{GS} \quad (15)$$

بنابراین، با VGS ثابت، با استفاده از تکنیک DT-PMOS، ولتاژ آستانه و ترارسانایی به ترتیب کمتر و بیشتر می‌شوند[14،16].

2-4- DT-MPA با تکنیک DT-PMOS

همان‌طور که قبلاً بحث شد، در تکنیک DT-PMOS، بدنه PMOS به ترمینال گیت متصل است و V_{SB} صفر نیست (به‌جز زمانی که V_{SG} برابر با صفر باشد). در این بخش، ابتدا رابطه بین Vin و Vout با در نظر گرفتن $V_{SB}\neq 0$ بازنویسی شد. سپس بهره ولتاژ، هارمونیک دوم و سوم و اعوجاج هارمونیک کل (THD) یک DT-MPA ساده با تکنیک DT-PMOS به‌دست آمد. با فرض $V_{SB}\neq 0$، رابطه 13 به‌صورت زیر بازنویسی شده است [13].

$$v_{out} = \frac{v_{IN}^{\,2}}{\gamma^2} + v_{IN}\left(1 - \frac{2}{\gamma^2}(V_{FB} + \Phi_0 + V_{SB})\right) + \frac{(V_{FB} + \Phi_0 + V_{SB})^2}{\gamma^2} - (\Phi_0 + V_{SB}) \quad (16)$$

که در آن مقدار v_{IN} برابر است با،

$$v_{IN} = v_{in}(ac) + V_{IN}(DC) \quad (17)$$

v_{in} یک موج سینوسی (سیگنال کوچک) است، V_{IN} یک ولتاژ DC است و v_{IN} ولتاژ ورودی کل مدار است. HD_2 و HD_3 به‌صورت زیر محاسبه شده است [13]،

$$HD_2 = \frac{\alpha_2\alpha_3^{\,2}(Amp(v_{in}))}{8*(\alpha_3 V_{IN}(DC) + \alpha_4)(2*\alpha_0\sqrt{\alpha_3 V_{IN}(DC) + \alpha_4} - \alpha_2\alpha_3)} \quad (18)$$

$$HD_3 = \frac{\alpha_2\alpha_3^{\,2}(Amp(v_{in})^2)}{32*(\alpha_3 V_{IN}(DC) + \alpha_4)^2(2*\alpha_0\sqrt{\alpha_3 V_{IN}(DC) + \alpha_4} - \alpha_2\alpha_3)} \quad (19)$$

$$\alpha_0 = \frac{C_{ox}}{C_p} + 1 \quad (20)$$

$$\alpha_1 = (\alpha_0 - 1)\frac{\gamma^2}{2}\alpha_0 - (\alpha_0 - 1)(V_{FB} - (\Phi_0 + V_{SB})) \quad (21)$$

$$\alpha_2 = \frac{\gamma}{2}\frac{(\alpha_0 - 1)}{C_p} \quad (22)$$

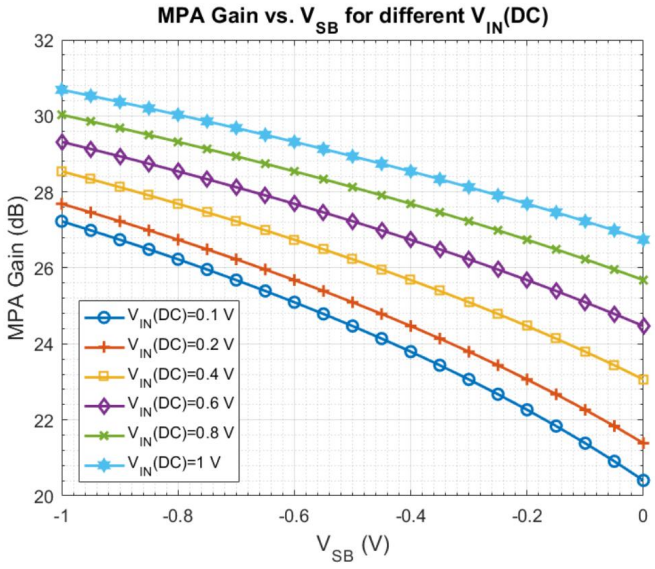
$$\alpha_3 = 4C_p^{\,2}\alpha_0 \quad (23)$$

$$\alpha_4 = \gamma^2 * (\alpha_0 C_p)^2 - 4V_{FB}(C_p^{\,2}\alpha_0) - 4C_p C_{ox}(\Phi_0 + V_{SB}) \quad (24)$$

و اعوجاج کل یا THD به‌صورت رابطه زیر به دست می‌آید،

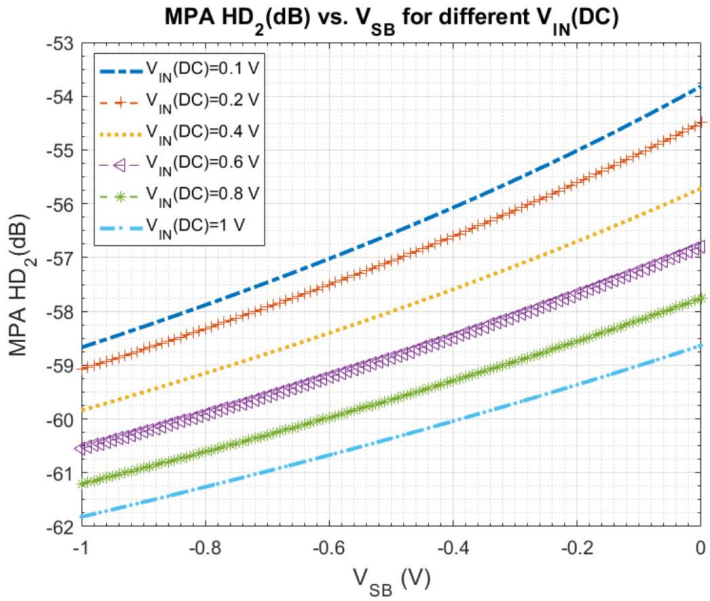
$$THD = 10\log(HD_2^{\,2} + HD_3^{\,2}) \quad (25)$$

شکل‌های 3 تا 6، MPA را با پارامترهای تکنیک DT-PMOS مانند Gain، HD_2، HD_3 و THD نسبت به V_{SB} (تغییرات از 1- تا 0 ولت) به ترتیب با استفاده از روابط 16، 18، 19 و 25 ترسیم‌شده است. V_{FB}، φ_0، γ از فناوری 180 نانومتر به دست آمد، بایاس V_{IN} یا DC از 0/1 تا 1 ولت متغیر است، در حالی‌که دامنه سیگنال کوچک Amp(v_in) 0/5 ولت و نسبت خازن پارازیتی (C_p) به خازن اکسید (C_{ox}) نیز 0/1 در نظر گرفته می‌شود. آنالیز تقویت‌کننده پارامتری PMOS با تکنیک DT-PMOS انجام شد و نشان داد که اگر $|V_{SB}>0|$ و V_{IN} (DC)>0 باشد، بهره MPA افزایش می‌یابد، درحالی‌که HD_2، HD_3 و THD کاهش می‌یابد. شبیه‌سازی‌های شکل‌های 3 تا 9 در نرم‌افزار متلب انجام‌شده است.



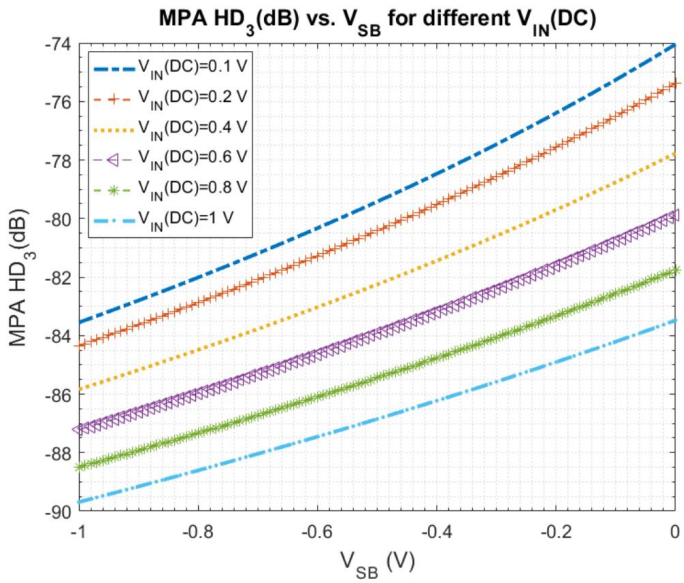
شکل 3: بهره MPA (dB) نسبت به VSB(V) برای ولتاژ ورودی‌های DC مختلف و Vin(AC) برابر با 0/5 ولت.

Figure 3. MPA gain (dB) compared to VSB(V) for different DC input voltages and Vin(AC)=0.5 V.



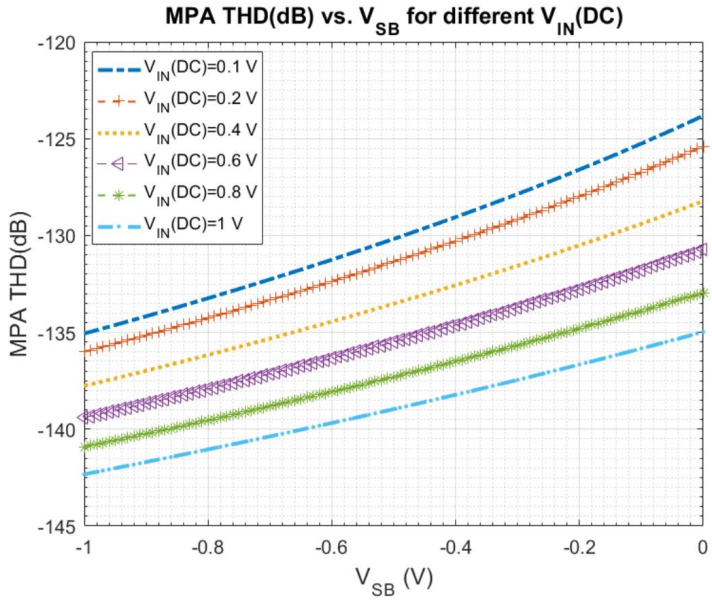
شکل 4: MPA HD_2(dB) نسبت به VSB(V) برای ولتاژ ورودی‌های DC مختلف، c_p/C_ox برابر با 0/1 و Vin(AC) برابر با 0/5 ولت.

Figure 4. MPA HD_2(dB) compared to VSB(V) for different DC input voltages, c_p/C_ox=0.1 and Vin(AC)=0.5 V.



شکل 5: MPA HD_3(dB) نسبت به VSB(V) برای ولتاژ ورودی‌های DC مختلف، c_p/C_ox برابر با 0/1 و Vin(ac) برابر با 0/5 ولت .

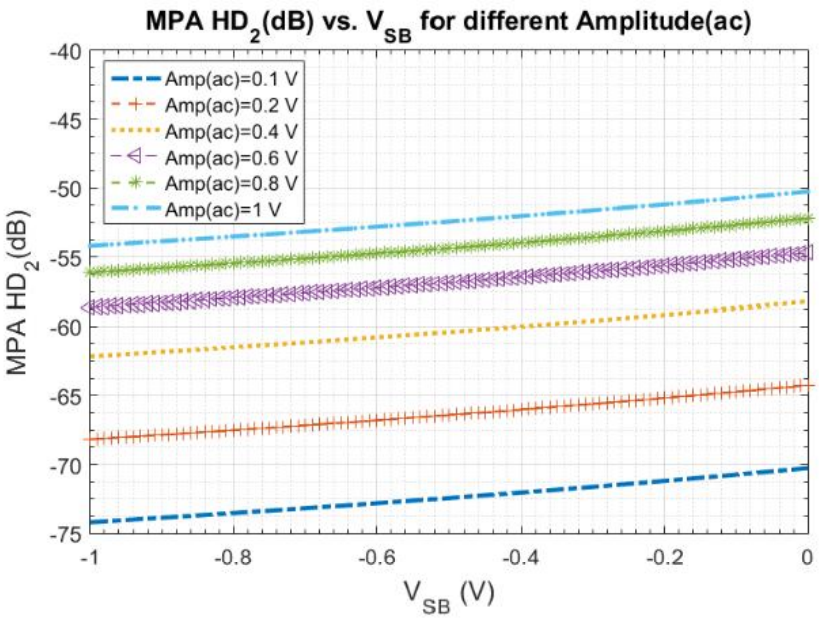
Figure 5. MPA HD_3(dB) compared to VSB(V) for different DC input voltages, c_p/C_ox=0.1 and Vin(ac)=0.5 V.



شکل 6: MPA THD (dB) نسبت به VSB(V) برای ولتاژ ورودی‌های DC مختلف، c_p/C_ox برابر 0/1 و Vin(ac) برابر با 0/5 ولت.

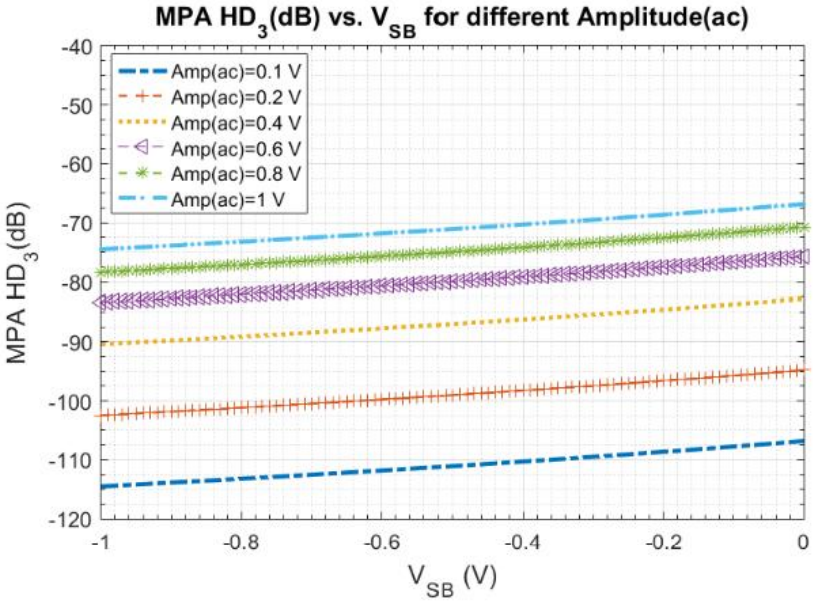
Figure 6. MPA THD (dB) versus VSB(V) for different DC input voltages, c_p/C_ox = 0.1 and Vin(ac) = 0.5 V.

در شکل‌های 7 تا 9، HD_2، HD_3 و THD تقویت‌کننده‌های پارامتری PMOS با تکنیک DT-PMOS با در نظر گرفتن VIN(DC)=0/5 به‌صورت پیوسته و تغییرات ولتاژ سیگنال کوچک از 0/1 به 1 ولت رسم شده‌اند. آنالیزها نشان می‌دهند، هر چه، مقدار V_{SB} از صفر دورتر می‌شود، بهره MPA افزایش می‌یابد، درحالی‌که HD_2، HD_3 و THD کاهش می‌یابد. بنابراین بهبود در مشخصات MPA ایجادشده است.



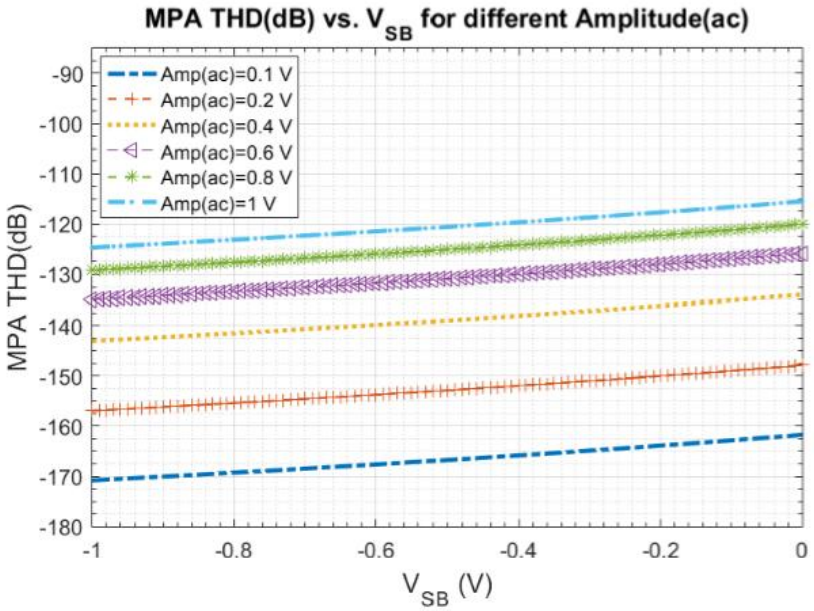
شکل 7: HD_2 (dB) نسبت به VSB(V) برای ولتاژ ورودی‌های AC مختلف، c_p/C_ox برابر با 0/1 و V(DC) برابر با 0/5 ولت.

Figure 7. HD_2 (dB) versus VSB(V) for different ac input voltages, c_p/C_ox = 0.1 and V(DC) = 0.5 V.



شکل 8: MPA HD_3 (dB) نسبت به VSB(V) برای ولتاژ ورودی‌های AC مختلف، c_p/C_ox برابر با 0/1و V(DC) برابر با 0/5 ولت.

Figure 8. HD3 MPA (dB) versus V_{SB}(V) for different AC input voltages, c_p/C_ox = 0.1 and V(DC) = 0.5 V.



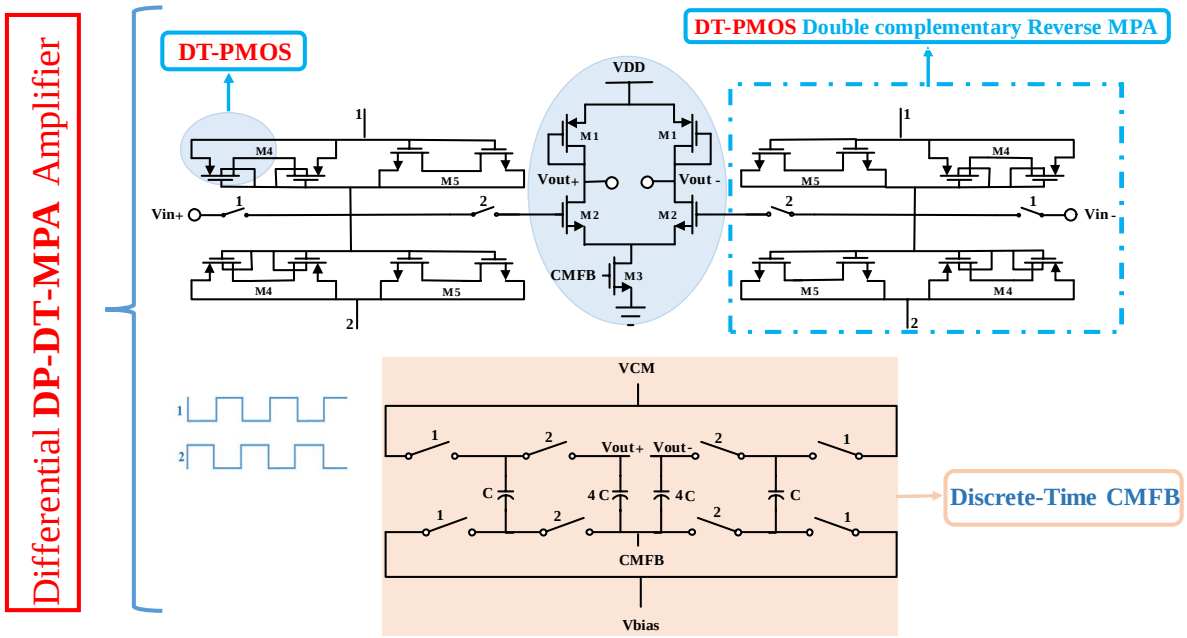
شکل 9: MPA THD (dB) نسبت به VSB(V) برای ولتاژ ورودی‌های AC مختلف، c_p/C_ox برابر با 0/1و V(DC) برابر با 0/5 ولت.

Figure 9. MPA THD (dB) versus VSB(V) for different AC input voltages, c_p/C_ox = 0.1 and V(DC) = 0.5 V.

3-تقویت‌کننده‌های مدولاتور پیشنهادی

3-1-تقویت‌کننده پارامتری دیفرانسیل DT-PMOS پیشنهادی (DP-DT-MPA)

همان‌طور که قبلاً توضیح داده شد، تقویت‌کننده پارامتری زمان‌گسسته (DT-MPA) در سال 2003 پیشنهاد شد [10] و سپس با ارائه مدل‌های مکمل، معکوس و دوگانه مکمل که به‌ترتیب CDTPA [11]، RDTPA و DCDTPA نام‌گذاری شدند [12] بهینه‌سازی شد. در تقویت‌کننده‌های پارامتری سنتی، مانند CMOS مدار عمومی، ترمینال بدنه در PMOS به VDD و در NMOS به زمین متصل می‌شود.



شکل 10: تقویت‌کننده تفاضلی پیشنهادی معکوس و مکمل دوگانه DP-DT-MPA با خازن سوئیچ CMFB.

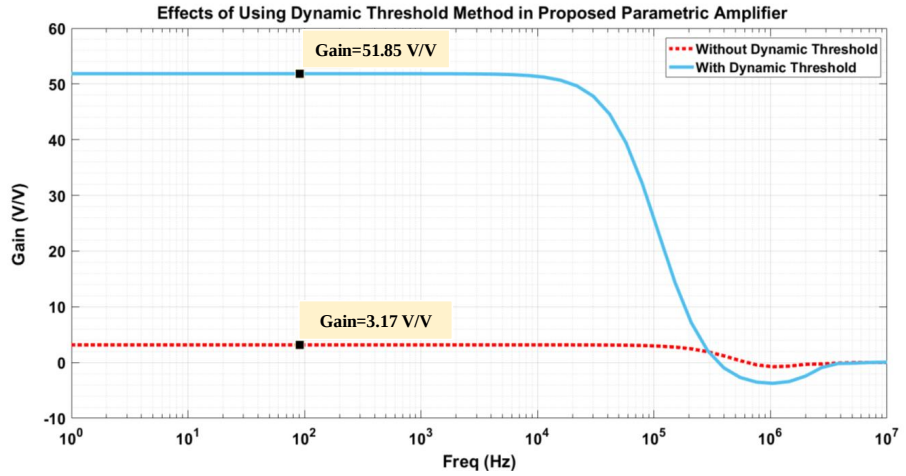
Figure 10. DP-DT-MPA dual-complementary inverse-feedback differential amplifier with CMFB switch capacitor.

جدول 1: استفاده از تکنیک DT-PMOS در DP-DT-MPA پیشنهادی

Table 1. Application of DT-PMOS technique in the proposed DP-DT-MPA.

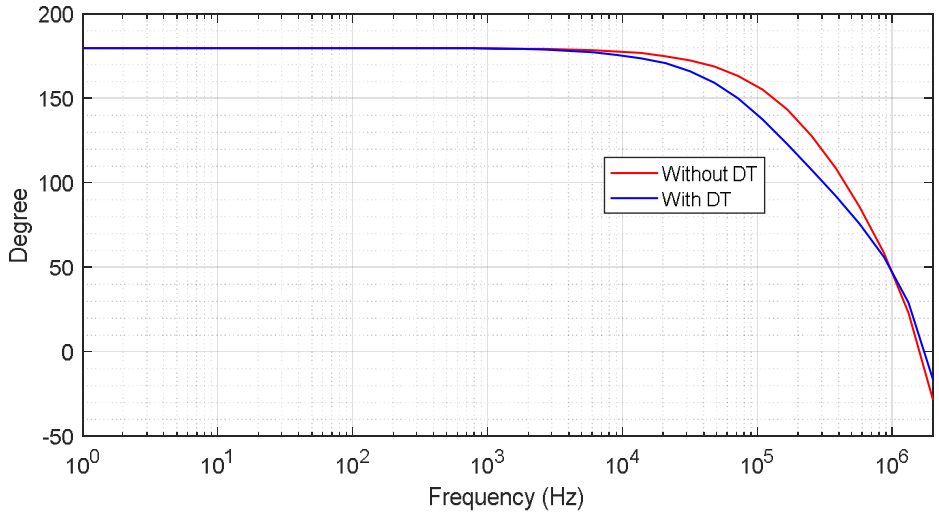
Phase Margin(deg)	Gain (dB)	DT-PMOS
59	34/3	Used
27	10/02	Not Used

در این مقاله، یک ساختار جدید دیفرانسیلی DP-DT-MPA با حدود 34 دسی‌بل با ولتاژ تغذیه 1 ولت با استفاده از فناوری 180 نانومتری پیشنهاد می‌شود. همان‌طور که در شکل 10 مشاهده می‌شود، تقویت‌کننده پیشنهادی شامل دو DP-DT-MPA مکمل دوتایی معکوس است که به یک بافر متصل هستند و مدار CMFB[1] خازن سوئیچ شده برای پایداری استفاده شده است. اثر استفاده و عدم استفاده از تکنیک DT-PMOS در بهره ولتاژ تقویت‌کننده تفاضلی پیشنهادی DP-DT-MPA در شکل 11 نشان داده‌شده است و مقایسه بین مشخصات آن‌ها در جدول 1، برای بار خازن 300 فمتو فاراد ارائه شده است. این شبیه‌سازی با استفاده از نرم‌افزار کیدنس انجام شده است.



شکل 11: استفاده از اثر تکنیک DT-PMOS در افزایش بهره ولتاژ DP-DT-MPA پیشنهادی.

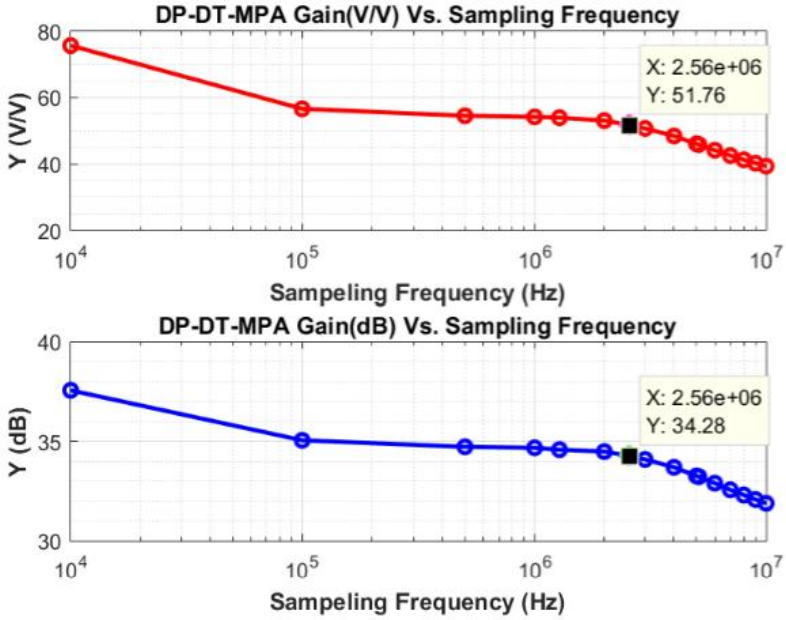
Figure 11. Using the effect of DT-PMOS technique in increasing the voltage gain of the proposed DP-DT-MPA.



شکل 12: استفاده از اثر تکنیک DT-PMOS در فاز DP-DT-MPA پیشنهادی.

Figure 12. Using the effect of DT-PMOS technique in the proposed DP-DT-MPA phase.

[1] Common Mode Feedback

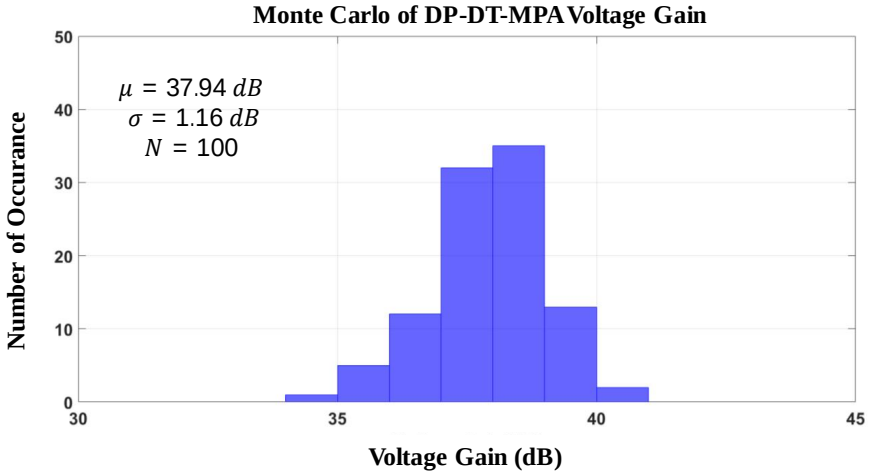


شکل 13: بهره ولتاژ نسبت به فرکانس DP-DT-MPA .

Figure 13. Voltage gain versus frequency of DP-DT-MPA.

بهره ولتاژ در مدار MPA به‌سرعت سوئیچ‌زنی بستگی دارد، زیرا عملکرد آن‌ها بر اساس شارژ و دشارژ خازن توسط سوئیچ‌ها است. به این معنی که با افزایش فرکانس سوئیچ‌زنی، مقدار بهره ولتاژ کاهش می‌یابد. شکل 13 رابطه بین خروجی DP-DT-MPA و محدوده فرکانس سوئیچ‌زنی بین 10 کیلوهرتز تا 10 مگاهرتز را نشان می‌دهد. از آنجایی‌که فرکانس نمونه‌گیری مدولاتور پیشنهادی 2/56 مگاهرتز در نظر گرفته شده، بهره ولتاژ 51/76 V/V یا 34/328 دسی‌بل است (شکل 13).

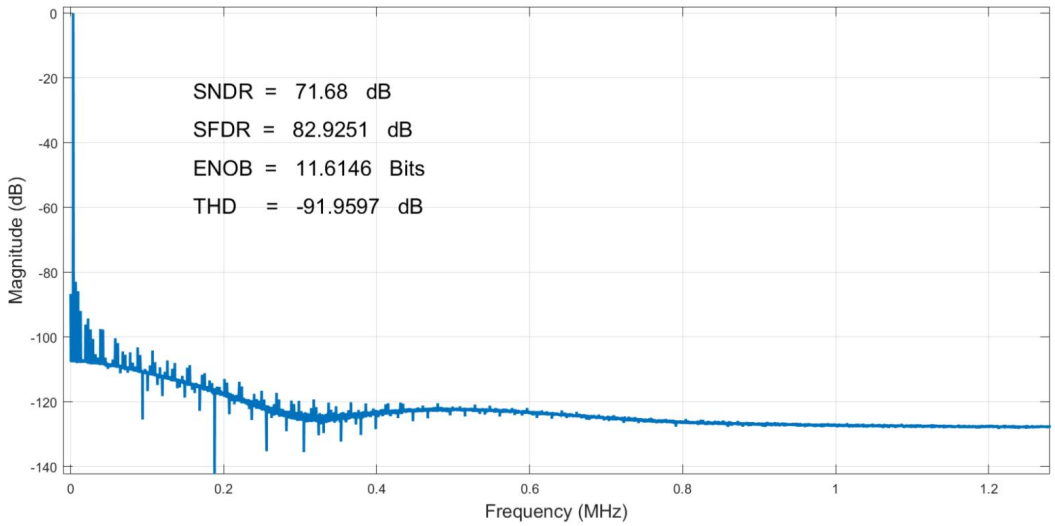
تحلیل مونت‌کارلو با 100 تکرار برای ارزیابی پایداری بهره ولتاژ DP-DT-MPA در برابر تغییرات فرآیند و عدم تطابق در نرم‌افزار کیدنس انجام شده است. همان‌طور که در شکل 14 مشاهده می‌شود، بهره ولتاژ از 34 دسی‌بل تا 41 دسی‌بل تغییر می‌کند. بهره متوسط ولتاژ 37/94 دسی‌بل و واریانس 1/16 دسی‌بل است.



شکل 14: مونت‌کارلوی بهره ولتاژ تقویت‌کننده دیفرانسیلی DP-DT-MPA برای تغییرات فرآیند و عدم تطابق.

Figure 14. Monte Carlo of DP-DT-MPA differential amplifier voltage gain for process variation and mismatch.

آنالیز طیف تقویت‌کننده پیشنهادی DP-DT-MPA در نرم‌افزار کیدنس انجام‌شده و در شکل 15 نشان داده شده است. سیگنال ورودی AC[1] و ولتاژ ورودیDC [2] به ترتیب 1 میکرو و 0/5 ولت هستند. آنالیز طیف DP-DT-MPA مطلوب و نویز کم را نشان می‌دهد.



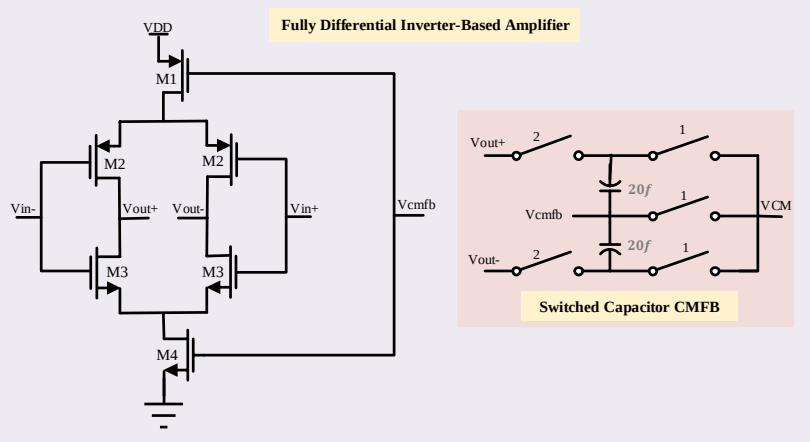
شکل 15: طیف خروجی گذرای DP-DT-MPA پیشنهادی.

Figure 15. Transient output spectrum of the proposed DP-DT-MPA.

تقویت‌کننده DP-DT-MPA پیشنهادی در طبقات زوج مدولاتور ΔΣ زمان گسسته مرتبه چهارم به کار رفته و در طبقات فرد از تقویت‌کننده مبتنی بر اینورتر کاملاً دیفرانسیلی به‌جای OTA معمولی استفاده شده است. تقویت‌کننده مبتنی بر اینورتر در ولتاژ 1 ولت طراحی‌شده و تنها 1/15 میکروات مصرف می‌کند و در زیر بخش بعدی توضیح داده شده است.

2-3-تقویت‌کننده مبتنی بر اینورتر کاملاً دیفرانسیلی

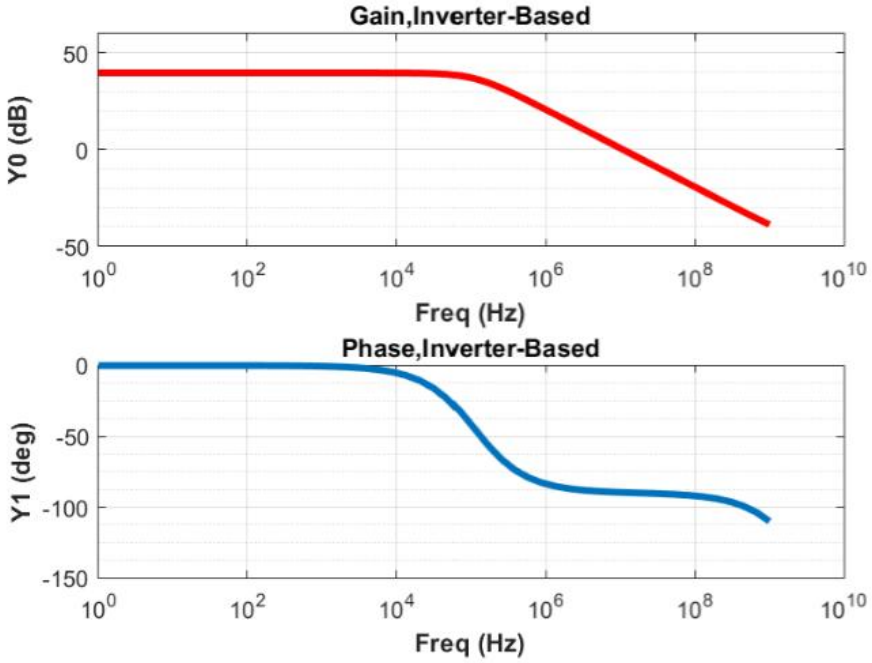
در این مقاله مدارهای کم‌مصرف و با ساختار ساده، جایگزین OTAها در مدولاتور دلتاسیگما شده است. همان‌طور که قبلاً بیان شد، DP-DT-MPA پیشنهادی در طبقات زوج و تقویت‌کننده مبتنی بر اینورتر در طبقات فرد مدولاتور استفاده شده است.



شکل 16: تقویت‌کننده مبتنی بر اینورتر کاملاً دیفرانسیل خود بایاس[14].

Figure 16. Self-bias fully differential inverter-based amplifier [14].

[1] Alternative Current
[2] Direct Current



شکل 17: نمودارهای بهره و فاز AC تقویت‌کننده مبتنی بر اینورتر[14].

Figure 17. AC gain and phase diagrams of the inverter-based amplifier[14].

در این زیر بخش تقویت‌کننده مبتنی بر اینورتر طراحی‌شده[14] که در طبقات مدولاتور فرد اعمال می‌شود، توضیح داده شده است. تقویت‌کننده مبتنی بر اینورتر کاملاً دیفرانسیلی خود بایاس در برخی از مطالعات پیشنهاد شده است[17]، [18]. در این تقویت‌کننده، M_2 و M_3 در منطقه زیرآستانه قرار دارند[14]. بنابراین، تقویت‌کننده و CMFB خازن سوئیچ‌شده تنها 1/15 میکروواط در ولتاژ 1 ولت مصرف می‌شود. ساختار تقویت‌کننده مبتنی بر اینورتر کاملاً دیفرانسیلی خودبایاس در شکل 16 نشان داده شده است[14].

جدول 2: مشخصات مبتنی بر اینورتر مشخصات مبتنی بر اینورتر

Table 2. Inverter-based specifications Inverter-based specifications

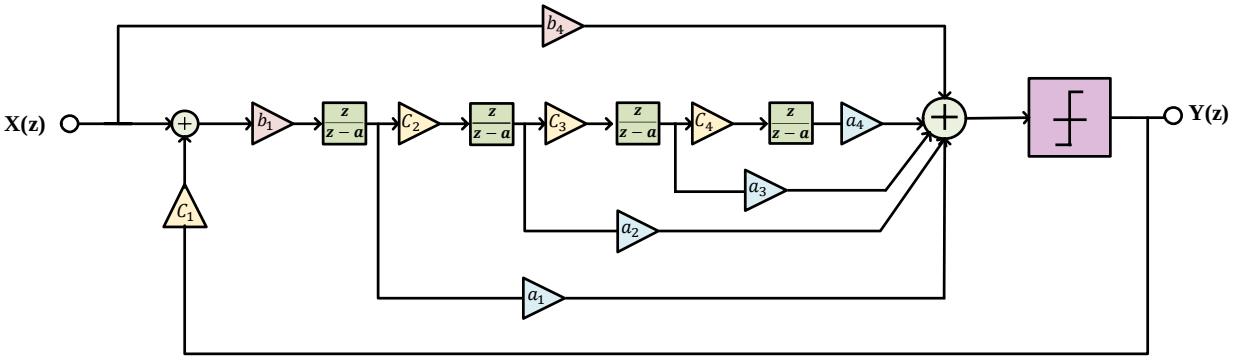
Parameters	Value
GBW(MHz)	4/5
Phase Margin(degree)	90
DC Gain (dB)	39/68
Power Supply (V)	1
Load Capacitor (fF)	300
Static Power dissipation (µW)	1/15

4-طراحی مدولاتور دلتا سیگما پیشنهادی

4-1-طراحی سیستمی

ملاحظات زیادی برای انتخاب یک مدولاتور دلتاسیگما برای سمعک وجود دارد، مانند: OSR، مرتبه، توپولوژی، نوع فیلتر، تک یا چندحلقه‌ای بودن مدولاتور و بیت‌های کمی‌ساز. همان‌طور که قبلاً بحث شد، در طراحی مدولاتور سمعک، مصرف انرژی کم و بازدهی بالا مطلوب است. اگر مرتبه و OSR مدولاتور دلتاسیگما افزایش یابد، وضوح ADC بهبود می‌یابد، اما مدارها را پیچیده می‌کند و در نتیجه علاوه بر مصرف توان بیشتر، مساحت اشغالی تراشه نیز افزایش می‌یابد. به‌منظور اعوجاج و پیچیدگی کم، اندازه تراشه کوچک ساختار CIFF انتخاب شد. از سوی دیگر، کمی‌ساز تک‌بیتی، به دلیل خطی‌بودن ذاتی و عدم نیاز به مدارهای

خطی‌کننده اضافی در نظر گرفته‌شده است [19]. معمولاً برای شکل‌دهی نویز در دلتاسیگما از فیلترهای باتروورث و چبی‌شف استفاده می‌کنند. در این‌جا، برای پایداری و NTF مسطح، یک فیلتر باتروورث بالا گذر انتخاب شده است [1]، [20]. بنابراین، یک ساختار CIFF تک‌حلقه‌ای مرتبه چهارم، تک‌بیتی با OSR برابر با 128 انتخاب شد که در شکل 18 نشان داده شده است.



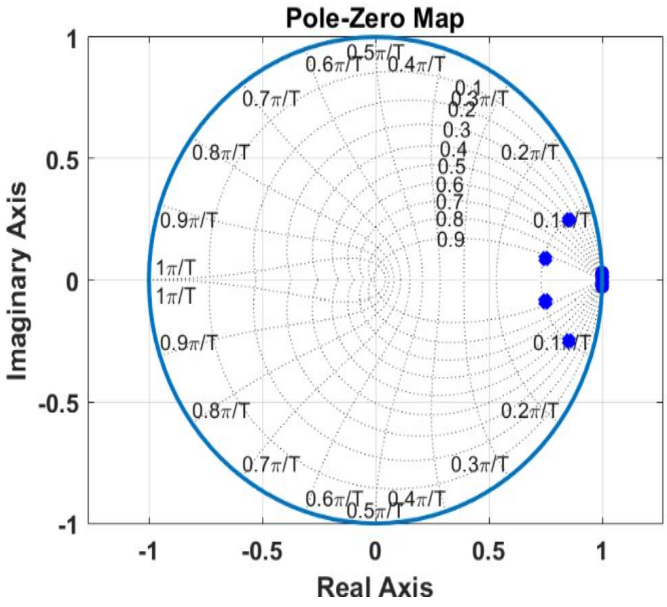
شکل 18: ساختار مرتبه چهارم مدولاتور CIFF در سطح سیستمی.

Figure 18. Fourth-order structure of the CIFF modulator at the system level.

با استفاده از تابع انتقال فیدبک و حلقه‌باز (به ترتیب L0 و L1)، STF[1] و NTF به‌صورت زیر به دست می‌آید[20]:

$$L_0 = 1 + \frac{b_1 a_1}{1-z^{-1}} + \frac{b_1 a_2 c_2}{(1-z^{-1})^2} + \frac{b_1 a_3 c_2 c_3}{(1-z^{-1})^3} + \frac{b_1 c_2 c_3 a_4 c_4}{(1-z^{-1})^4} \quad (26)$$

$$L_1 = -\left(\frac{b_1 a_1}{1-z^{-1}} + \frac{b_1 a_2 c_2}{(1-z^{-1})^2} + \frac{b_1 a_3 c_2 c_3}{(1-z^{-1})^3} + \frac{b_1 c_2 c_3 a_4 c_4}{(1-z^{-1})^4}\right) \quad (27)$$



شکل 19: نمودار قطب-صفر مدولاتور طراحی‌شده.

Figure 19. Pole-zero diagram of the designed modulator.

$$NTF = \frac{1}{1-L_1} \quad (28)$$

$$STF = \frac{L_0}{1-L_1} \quad (29)$$

[1] Signal Transfer Function

NTF با مشخصات ذکرشده و ملاحظات پایداری به‌صورت زیر به‌دست آمده است:

$$NTF = \frac{z^4 - 4z^3 + 6z^2 - 4z + 1}{z^4 - 3.207z^3 + 3.921z^2 - 2.158z + 0.4503} \quad (30)$$

شکل 19، نمودار صفر و قطب مدولاتور را نشان می‌دهد و با استفاده از نرم‌افزار Matlab رسم شده است. طبق [21]، با یک کمی ساز تک‌بیتی در یک مدولاتور مرتبه بالاتر از دو، برای اطمینان از پایداری، بهره NTF خارج از باند باید کمتر از 1/5 برای مرتبه 3 یا 4 و 1/4 برای مرتبه بسیار بالا (7 یا بیشتر) باشد. در واقع، مدولاتورهای دلتاسیگمای مرتبه بالا عملکرد بهتری دارند، اما همیشه پایدار نیستند. NTF(-1) بهره خارج از باند را نشان می‌دهد و به‌صورت زیر محاسبه می‌شود:

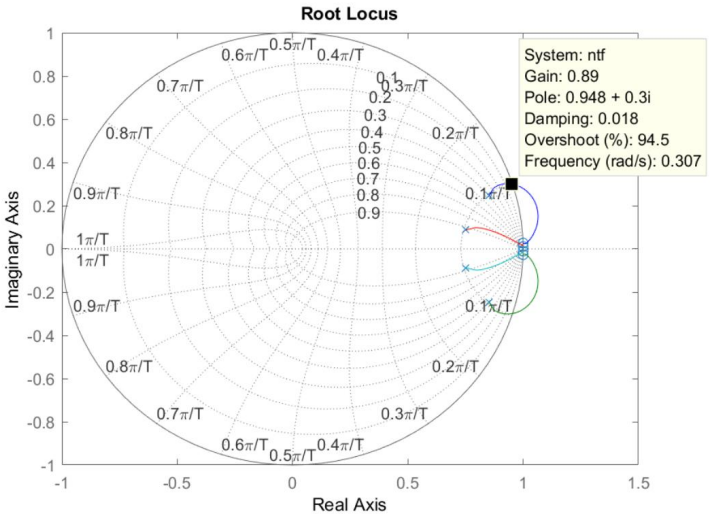
$$NTF(-1) = \frac{(-1)^4 - 4(-1)^3 + 6(-1)^2 - 4(-1) + 1}{(-1)^4 - 3.207(-1)^3 + 3.921(-1)^2 - 2.158(-1) + 0.4503} \quad (31)$$

$$|\boldsymbol{NTF(-1)}| \simeq \mathbf{1.4903 < 1.5} \quad (32)$$

بنابراین، NTF پایدار است زیرا نُرمِ بی‌نهایت NTF یا NTF(-1) کمتر از 1/5 است. البته، مدولاتورهای با کمی‌ساز تک‌بیتی به‌طور مشروط پایدار هستند. عامل ناپایداری، بهره کمی‌ساز است که با سیگنال ورودی مدولاتور تغییر می‌کند. برای تأیید پایداری مدولاتور، بهره کمی‌ساز روی K_q تنظیم شده و معادله NTF به‌صورت زیر بازنویسی می‌شود:

$$NTF = \frac{1}{1 - k_q * L_1} \quad (33)$$

مدولاتور مرتبه چهارم به‌طور مشروط پایدار است و حدود پایداری با آنالیز مکان‌ریشه تعریف می‌شوند. ناحیه پایداری تابعی از Kq است که با استفاده از رسم مکان ریشه به دست می‌آید و در شکل 20 نشان داده شده است.



شکل 20: مکان ریشه مدولاتور پیشنهادی.

Figure 20. Root location of the proposed modulator.

جدول 3: ضرایب مدولاتور دلتا سیگما طراحی‌شده سیستماتیک

Table 3. Coefficients of systematically designed delta-sigma modulator.

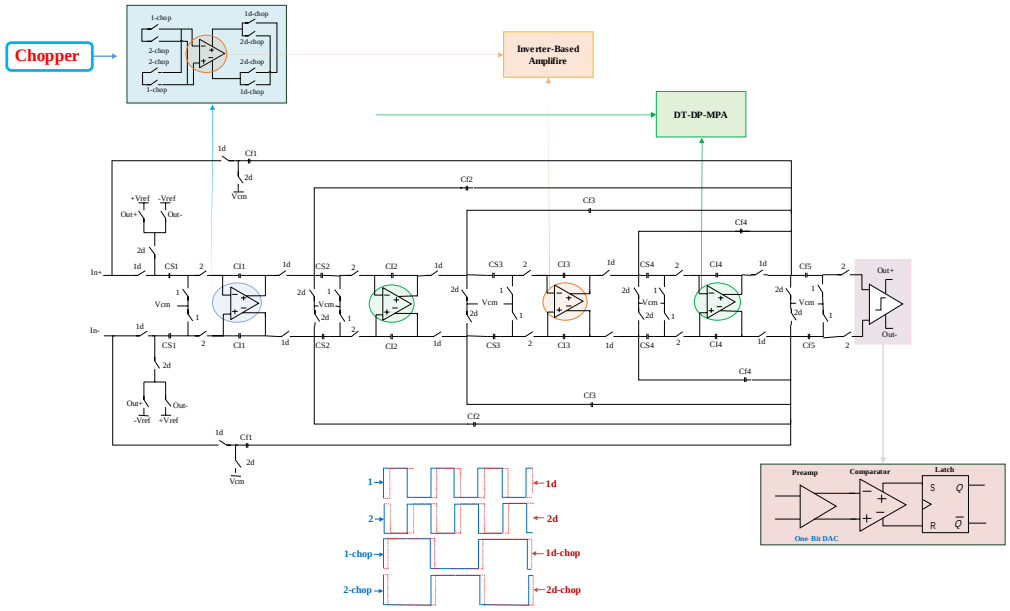
i	a_i	b_i	c_i
1	2/93	0/27	0/27
2	3/82	0	0/28
3	2/39	0	0/33
4	2/27	0	0/096
5	-	1	-

نمودار روت-لوکوس با استفاده از نرم‌افزار متلب رسم شده و نشان می‌دهد، زمانی که بهره کمی‌ساز کمتر از 0/89 باشد، مدولاتور پایدار است [22]. ضرایب پیش‌خور NTF و ضرایب انتگرال‌گیر در جدول 3 فهرست شده‌اند.

2-4- پیاده‌سازی مدار

یک مدولاتور دلتاسیگما با خازن سوئیچ شده معمولی شامل OTA ها، مدار تولید کلاک، کمی‌ساز، خازن‌ها و سوئیچ‌ها است. در این‌جا، به دلیل اتلاف توان بسیار بالای OTA و اشغال فضای زیاد، یک مدولاتور بدون OTA طراحی‌شده است.

همان‌طور که در شکل 21 مشاهده می‌شود، طبقات زوج و فرد مدولاتور پیشنهادی به ترتیب شامل تقویت‌کننده‌های مبتنی بر اینورتر دیفرانسیلی کامل و DP-DT-MPAهای پیشنهادی است. مدار چاپر [23] نویز فلیکر و اعوجاج هارمونیک را در طبقه اول مدولاتور کاهش می‌دهد. فرکانس چاپر، نصف فرکانس نمونه‌برداری است. همان‌طور که در شکل 21 مشاهده می‌شود، بخش دیگری از مدولاتور ΔΣ یک کمی‌ساز تک‌بیتی است که از پیش‌تقویت‌کننده، لچ و مقایسه‌کننده تشکیل‌شده است. شکل 22 (الف) مدار کلاک و بخش‌های دیگر مدولاتور را برای تولید سه شاخه سیگنال کلاک اعمال‌شده به مدولاتور دلتاسیگما را نشان می‌دهد. مدار کلاک [21] در شکل 22 (ب) اینورتر و گیت‌های منطقی NAND را تشکیل می‌دهد و کلاک دو فاز غیرهمپوشانی را با تأخیرهای آن‌ها (1و 2 و 1dو 2d) تولید می‌کند.

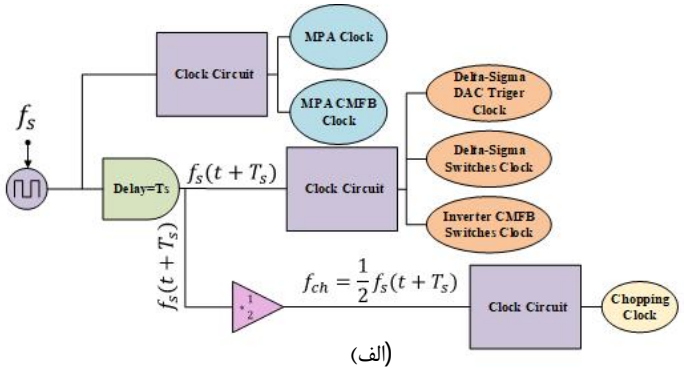


شکل 21: بخش‌های مدولاتور سمعک پیشنهادی.

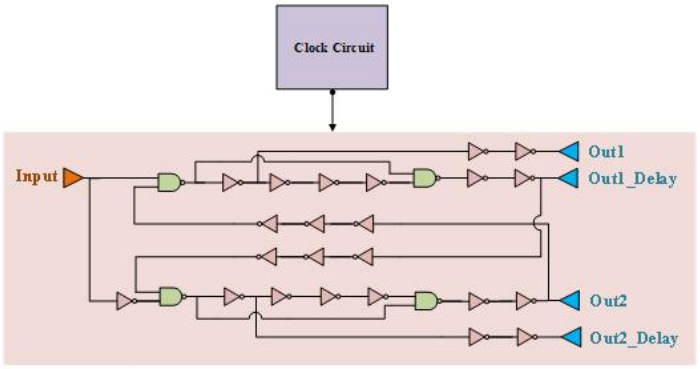
Figure 21. Parts of the proposed hearing aid modulator

سوئیچ‌ها به‌صورت دروازه‌های انتقال [1] در نظر گرفته می‌شوند تا اثرات تزریق بار و کلاک را حذف کنند. خازن‌های نمونه‌برداری و انتگرال‌گیر مربوط به ضرایب مدولاتور (طبق جدول 5) در جدول 4 آورده شده است. مدولاتور مرتبه چهارم، CIFF، تک‌بیتی، تک حلقه برای کاربرد سمعک است. فرکانس پهنای‌باند 10 کیلوهرتز است و فرکانس نمونه‌برداری 2/56 مگاهرتز است و +Vref و -Vref به ترتیب 0/8 ولت و 0/2 ولت تعریف‌شده‌اند. نتایج شبیه‌سازی در بخش بعدی توضیح و ارائه می‌شود.

[1] Transmission Gate



(الف)



(ب)

شکل 22: (الف) بلوک دیاگرام سه شاخه سیگنال کلاک اعمال‌شده به مدولاتور دلتاسیگما. (ب) مدار مولد کلاک[24] غیر همپوشانی.

Figure 22. a) Block diagram of three branches of the clock signal applied to the ΔΣ modulator. b) non-overlapping clock generator circuit [24].

جدول 4: نمونه‌برداری و خازن‌های یکپارچه ساز مدولاتور ΔΣ پیشنهادی برحسب پیکوفاراد.

Table 4. Sampling and integrator capacitors of the proposed ΔΣ modulator in pf.

Cs_1	Cs_2	Cs_3	Cs_4	CI_1	CI_2	CI_3	CI_4	Cf_1	Cf_2	Cf_3	Cf_4	Cf_5
3/2	0/88	0/38	0/15	11/8	3	1/2	1/6	0/8	2/3	3	1/9	1/8

5- نتایج شبیه‌سازی

مدولاتور مرتبه چهارم پیشنهادی دلتاسیگما در فناوری استاندارد 180CMOS نانومتری شبیه‌سازی شده است. شبیه‌سازی برای 8192 نقطه در محیط تحلیل گذرای کیدنس انجام‌شده است. دامنه و فرکانس سیگنال ورودی به ترتیب حدود 5- dBFS و 3/44 کیلوهرتز است. فرکانس نمونه‌برداری 2/56 مگاهرتز و پهنای‌باند فرکانس 10 کیلوهرتز است، نسبت OSR مدولاتور 128 است. چگالی طیفی توان[1] و اثر استفاده از مدار چاپر برای کاهش اعوجاج هارمونیک در شکل 23 نشان داده شده است. به‌این‌ترتیب، مدولاتور با SNDR برابر با 64/12 دسی‌بل، با دقت 10/36 بیت و SFDR برابر با 90/53 دسی‌بل به دست آمد. مدولاتور دیفرانسیل حدود 91/21 µW مصرف می‌کند که برای کاربردهای سمعک مناسب است. FOM_W و FOM_S برای مدولاتور پیشنهادی با استفاده از روابط 34 و 35 محاسبه شد. FOM_W برای رزولوشن پایین و FOM برای ارزیابی DR بالا اعمال می‌شود [24]:

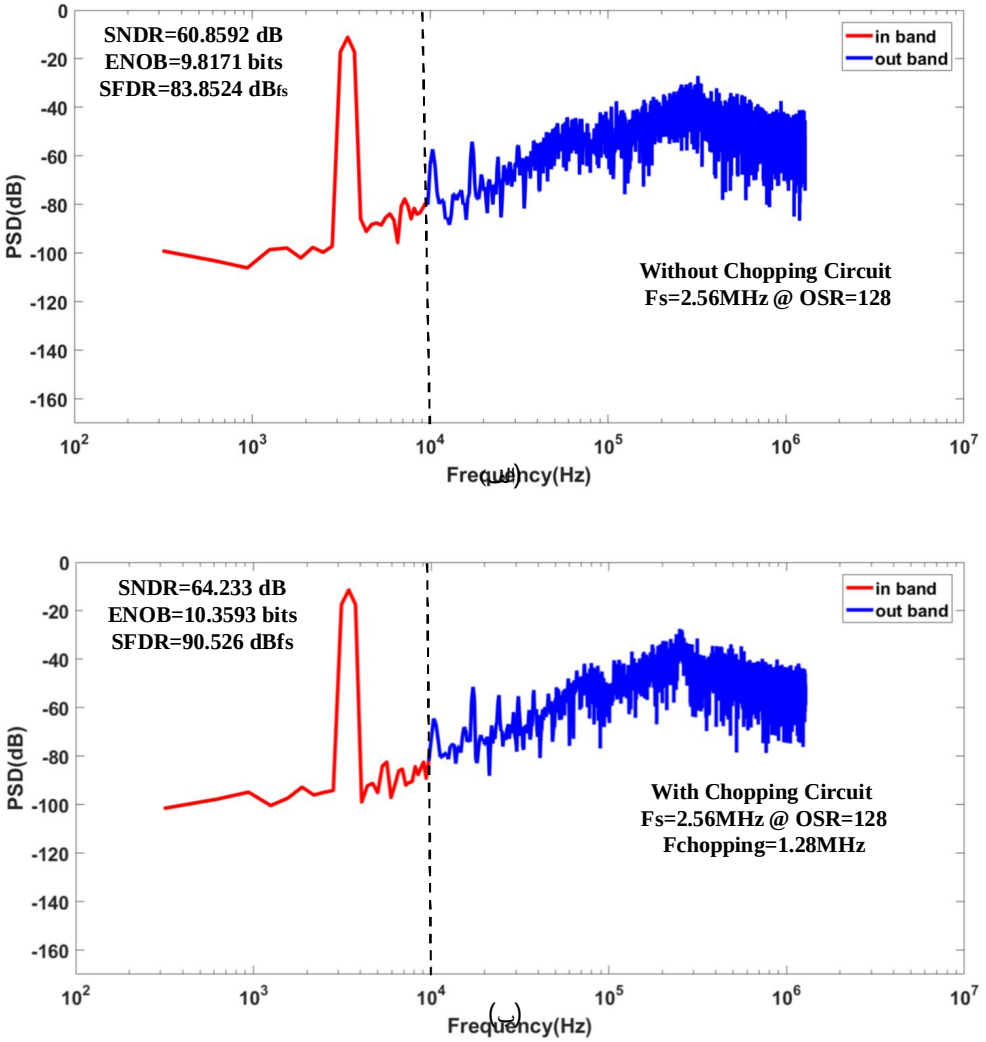
$$FOM_W = \frac{Power_Consumption}{BW * 2 * 2^{\frac{SNDR-1.76}{6.02}}} \quad (34)$$

$$FOM_s = 10 * \log(\frac{BW}{Power}) + DR(dB) \quad (35)$$

[1] Power Spectral Density (PSD)

در اینجا، BW پهنای‌باند سیگنال ورودی است، SNDR نسبت سیگنال به نویز و اعوجاج است و DR[1] محدوده دینامیکی مدولاتور را نشان می‌دهد. مقدار FOMw 3/43 pJ/step به دست آمد. در شکل 24، طرح‌بندی[2] مدولاتور که با استفاده از نرم‌افزار کیدنس طراحی‌شده، با مساحت مؤثر 959/66 میکرومتر * 273/55 میکرومتر را نشان می‌دهد. همچنین، در شکل 25، بخش‌های اصلی مصرف توان مدولاتور را به‌طور جداگانه نشان می‌دهد و مشخص می‌کند که دو تقویت‌کننده پیشنهادی DP-DT-MPA و اینورتر به ترتیب 4/6 µw و 2/93 µw در فرکانس نمونه‌برداری 2/56 مگاهرتز مصرف می‌کنند.

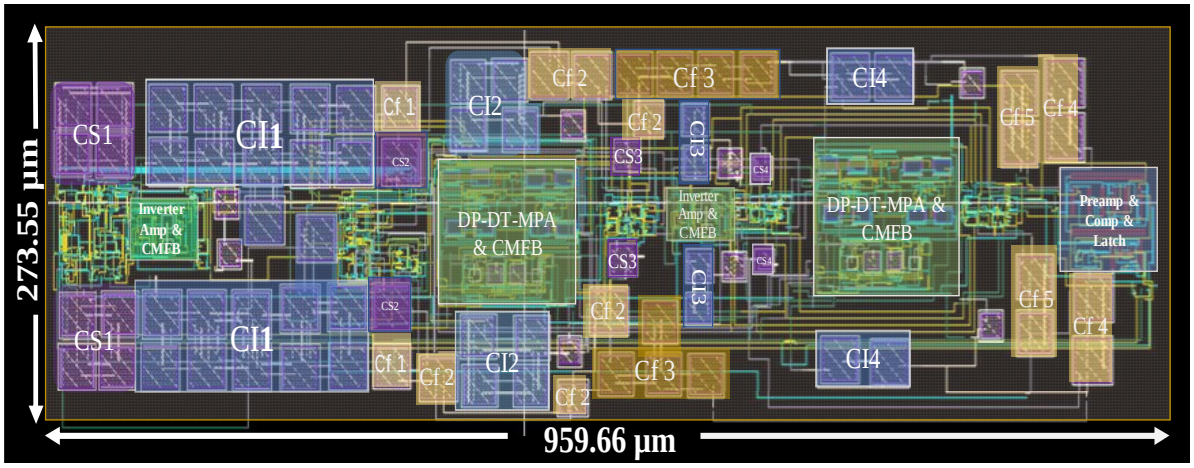
عملکرد این طرح و سایر مدولاتورهای مشابه که در محدوده پهنای‌باند صوتی کار می‌کنند در جدول 5 خلاصه‌شده است. مدولاتور پیشنهادی انرژی کم‌مصرف می‌کند که برای دستگاه‌های پزشکی قابل‌حمل مانند سمعک بسیار مهم است.



شکل 23: نتایج چگالی طیف توان شبیه‌سازی‌شده توسط مدولاتور ΔΣ: (الف) بدون مدار چاپر (ب) با مدار چاپر.

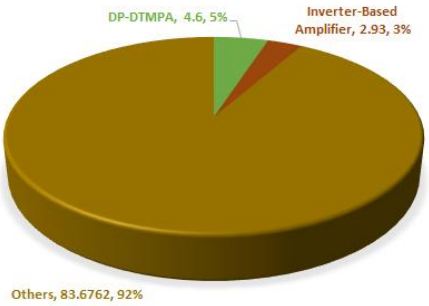
Figure 23. PSD results simulated by ΔΣ modulator: a) without chopper circuit b) with chopper circuit.

[1] Dynamic Range
[2] Layout



شکل 24: لی‌اوت مدولاتور ΔΣ پیشنهادی.

Figure 24. Layout of the proposed ΔΣ modulator.



شکل 25: مصرف توان مدولاتور پیشنهادی.

Figure 25. Power consumption of the proposed modulator.

جدول 5: مقایسه عملکرد مدولاتورهای دلتا سیگما.

Table 5. Performance comparison of delta sigma modulators.

Ref.	**This work**	[35]	[34]	[33]	[32]	[31]	[30]	[29]	[28]	[27]	[26]	[25]
Tech (nm)	180	180	180	180	180	65	130	180	130	180	65	130
Vdd (V)	1	1	1/2	1/8	1/2	1/2	1/2	1/8	1	1/8	0/5	0/25
BW (kHz)	10	20	0/2	0/2	0/2	20	20	10	8	10	20	10
OSR	128	60	64	2048	2048	256	32	64	62/5	16	51/2	70
Fs [MHz]	2/56	2/4	0/03	0/13	0/82	10/2	1/28	1/28	1	0/32	2	1/4
SNDR (dB)	64/2	71/3	54/5	68/1	81/3	100/8	72/5	84/4	87	74/24	60/8	61
Power (µW)	91/2	451	2/25	146	3/9	550	165	155	230	36	43/4	7/5
FOM_w (PJ/Step)	3/4	3/76	12/96	176	1/03	0/15	1/2	0/6	0/8	0/4	1/2	0/4

6-نتیجه‌گیری

در این مقاله، تقویت‌کننده پارامتری جدید (DP-DT-MPA) برای حذف OTAهای مدولاتور دلتاسیگما در دو طبقه با کاربرد سمعک ارائه‌شده است. در این ساختار از تکنیک DT-PMOS برای افزایش بازدهی استفاده شده است. همچنین، یک تقویت‌کننده مبتنی بر اینورتر کاملاً دیفرانسیل که تنها 1/47 µW توان استاتیکی مصرف می‌کند در دو طبقه دیگر مدولاتور اعمال‌شده است. مدولاتور به SFDR حدود 90 دسی‌بل، SNDR حدود 64 دسی‌بل در فرکانس نمونه‌برداری 2/56 مگاهرتز و فرکانس باند برابر با

10 کیلوهرتز رسیده است. این مدولاتور 91/21 µW مصرف می‌کند که برای کاربردهای سمعک مناسب است. در این مقاله تقویت‌کننده ارائه شده مجموعاً مصرف توانی حدود 4/6 میکروواوات دارند و مقدار SNDR نیز برای کاربرد سمعک مناسب است. با طراحی پیش‌تقویت‌کننده کم‌مصرف در بخش کمی‌ساز، می‌توان FOM_W را بهبود داد.

مراجع

[1] H. Helgi, "A 0.9-V 37-µW 98-dB DR Inverter-Based ΔΣ Modulator for Hearing Aids," Master Thesis, Department of Electrical and Information Technology, Faculty of Engineering, LTH, Lund University, Lund University, Sweden E-huset, Lund, 2014.

[2] L. Pisha, J. Warchall, T. Zubatiy, S. Hamilton, C. H. Lee, G. Chockalingam, et al., "A Wearable, Extensible, Open-Source Platform for Hearing Healthcare Research," *IEEE Access*, vol. 7, pp. 162083-162101, 2019, doi:10.1109/ACCESS.2019.2951145.

[3] D. Kanemoto, T. Ido and K. Taniguchi, "A 7.5 mW 101dB SNR low-power high-performance audio delta-sigma modulator utilizing opamp sharing technique," in *International SoC Design Conference*, 2011, pp. 66-69. doi: 10.1109/JSSC.2008.920329.

[4] M. G. Kim, G.-C. Ahn, P. K. Hanumolu, S.-H. Lee, S.-H. Kim, S.-B. You, et al., "A 0.9 V 92 dB double-sampled switched-RC delta-sigma audio ADC," *IEEE Journal of Solid-State Circuits*, vol. 43, no. 5, pp. 1195-1206, 2008. doi: 10.1109/JSSC.2008.920329.

[5] J. Sauerbrey, T. Tille, D. Schmitt-Landsiedel and R. Thewes, "A 0.7-V MOSFET-only switched-opamp Sigma Delta modulator in standard digital CMOS technology," *IEEE Journal of solid-state circuits*, vol. 37, no. 12, pp. 1662-1669, 2002. doi: 10.1109/JSSC.2002.804330.

[6] F. Chen and B. Leung, "A 0.25-mW low-pass passive sigma-delta modulator with built-in mixer for a 10-MHz IF input," *IEEE Journal of Solid-State Circuits*, vol. 32, no. 6, pp. 774-782, 1997. doi: 10.1109/4.585244.

[7] H. Luo, Y. Han, R. C. Cheung, X. Liu and T. Cao, "A 0.8-V 230-µW 98-dB DR Inverter-Based Sigma Delta Modulator for Audio Applications," *IEEE Journal of Solid-State Circuits*, vol. 48, no. 10, pp. 2430-2441, 2013, doi: 10.1109/JSSC.2013.2275659.

[8] Y. Lin and M. Ismail, "Time-based all-digital sigma–delta modulators for nanometer low voltage CMOS data converters," *Analog Integrated Circuits and Signal Processing*, vol. 73, pp. 801-808, 2012, doi: 10.1007/s10470-012-9901-0.

[9] J. K. Fiorenza, T. Sepke, P. Holloway, C. G. Sodini, and H.-S. Lee, "Comparator-based switched-capacitor circuits for scaled CMOS technologies," *IEEE Journal of Solid-State Circuits*, vol. 41, no. 12, pp. 2658-2668, 2006, doi: 10.1109/JSSC.2006.884330.

[10] S. Ranganathan and Y. Tsividis, "Discrete-time parametric amplification based on a three-terminal MOS varactor: Analysis and experimental results," *IEEE Journal of Solid-State Circuits*, vol. 38, no. 12, pp. 2087-2093, 2003, doi: 10.1109/JSSC.2003.819162.

[11] P. M. Figueiredo and J. C. Vital, "The MOS capacitor amplifier," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 51, no. 3, pp. 111-115, 2004, doi: 10.1109/TCSII.2003.822427.

[12] A. Yoshizawa and S. Iida, "A gain-boosted discrete-time charge-domain FIR LPF with double-complementary MOS parametric amplifiers," in *IEEE International Solid-State Circuits Conference-Digest of Technical Papers*, 2008, pp. 68-596, doi: 10.1109/ISSCC.2008.4523060.

[13] J. P. Oliveira and J. Goes, "Parametric analog signal amplification applied to nanoscale CMOS technologie," Springer Science & Business Media, 2012.

[14] A. J. S. Alizadeh Zanjani and P. Torkzadeh, "Design and simulation of ultra-low-power sigma-delta converter using the fully differential inverter-based amplifier for digital hearing aids application," *Journal of Intelligent Procedures in Electrical Technology*, vol. 13, pp. 75-90, 2022.

[15] A. P. R. S. Sonam, "Dynamic Threshold MOS (DTMOS) And its Application," *International Journal of Science, Engineering and Technology Research (IJSETR)*, vol. 5, 2016.

[16] N. C. Shirazi, A. Jannesari and P. Torkzadeh, "Self-start-up fully integrated DC-DC step-up converter using body biasing technique for energy harvesting applications," *AEU-International Journal of Electronics and Communications*, vol. 95, pp. 24-35, 2018, doi: 10.1016/j.aeue.2018.07.033.

[17] J. R. Custódio, M. Figueiredo, E. Santin and J. Goes, "A CMOS Inverter-Based Self-biased Fully Differential Amplifier," in *Emerging Trends in Technological Innovation: First IFIP WG 5.5/SOCOLNET Doctoral Conference on Computing, Electrical and Industrial Systems*, DoCEIS 2010, Costa de Caparica, Portugal, February 22-24, 2010. Proceedings 1, 2010, pp. 541-548, doi: 10.1007/978-3-642-11628-5_60.

[18] J. S. Cho, C. Rhee, S. Kim, Y. Yang, J. Jun, S. Kim, et al., "A 1.2-V 108.9-dB A-Weighted DR 101.4-dB SNDR Audio $\Sigma\Delta $ ADC Using a Multi-Rate Noise-Shaping Quantizer," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 65, no. 10, pp. 1315-1319, 2018, doi: 10.1109/TCSII.2018.2853189.

[19] P. Li, W. Xi, X. Zeng, X. Li, and D. Zheng, "A Small-Area, Low-Power Delta-Sigma DAC Applied to a Power-Specific Chip," *Journal of Sensors*, vol. 2021, p. 6630100, 2021, doi: 10.1155/2021/6630100.

[20] X. Honglin, F. Qiang, L. Hongna, Y. Liang, W. Pengfei, and L. Xiaowei, "A 16-bit sigma–delta modulator applied in micro-machined inertial sensors," *Journal of Semiconductors*, vol. 35, no. 4, p. 045007, 2014, doi: 10.1088/1674-4926/35/4/045007.

[21] R. Schreier and G. C. Temes, Understanding delta-sigma data converters vol. 74: IEEE press Piscataway, NJ, 2005.

[22] R. Wei, W. Wang, X. Xiao, and Q. Chen, "A low-power delta-sigma Capacitance-to-Digital converter for capacitive sensors," *IEEE Access*, vol. 7, pp. 78281-78288, 2019, doi: 10.1109/ACCESS.2019.2922840.

[23] X.-P. Di, W.-P. Chen, L. Yin, and X.-W. Liu, "A 99.7-dB DR fourth-order sigma–delta modulator for digital gyroscope sensor," *Modern Physics Letters B*, vol. 31, no. 09, p. 1750097, 2017, doi:10.1142/S021798491750097X.

[24] A. F. Yeknami, "Low-Power Delta-Sigma Modulators for Medical Applications," 2014.

[25] F. Michel and M. S. Steyaert, "A 250 mV 7.5 μW 61 dB SNDR SC ΔΣ modulator using near-threshold-voltage-biased inverter amplifiers in 130 nm CMOS," *IEEE Journal of solid-state circuits*, vol. 47, no. 3, pp. 709-721, 2012, doi: 10.1109/JSSC.2011.2179732.

[26] J.-E. Park, Y.-H. Hwang, and D.-K. Jeong, "A 0.4-to-1 V Voltage Scalable Delta Sigma ADC With Two-Step Hybrid Integrator for IoT Sensor Applications in 65-nm LP CMOS," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 64, no. 12, pp. 1417-1421, 2017, doi: 10.1109/TCSII.2017.2753841.

[27] V. Sharma, N. Kumar YB, and V. MH, "36 μW fourth order sigma-delta modulator using single operational amplifier," *International Journal of Electronics Letters*, vol. 9, no. 2, pp. 1-16, 2020, doi: 10.1080/21681724.2020.1717003.

[28] L.-M. Chen, Z.-H. Yu, C.-Y. Chen, X.-Y. Hu, J. Fan, J. Yang, et al., "A 1-V, 1.2-mA fully integrated SoC for digital hearing aids," *Microelectronics Journal*, vol. 46, no. 1, pp. 12-19, 2015, doi:10.1016/j.mejo.2014.09.013.

[29] S. Porrazzo, A. Morgado, D. S. S. Bello, F. Cannillo, C. Van Hoof, R. F. Yazicioglu, et al., "A 155 μW 88-dB DR Discrete-Time Delta Sigma Modulator for Digital Hearing Aids Exploiting a Summing SAR ADC Quantizer," *IEEE transactions on biomedical circuits and systems*, vol. 7, no. 5, pp. 573-582, 2013, doi: 10.1109/TBCAS.2013.2280694.

[30] J. R. Custódio, J. Goes, N. Paulino, J. P. Oliveira, and E. Bruun, "A 1.2-V 165-μW 0.29-mm² Multibit Sigma-Delta ADC for Hearing Aids Using Nonlinear DACs and With Over 91 dB Dynamic-Range," *IEEE Transactions on Biomedical Circuits and Systems*, vol. 7, no. 3, pp. 376-385, 2013, doi:10.1109/TBCAS.2012.2203819.

[31] Wang B, Sin SW, Seng-Pan U, Maloberti F, Martins RP. "A 550µW 20-kHz BW 100.8-dB SNDR Linear-Exponential Multi-Bit Incremental Sigma Delta ADC With 256 Clock Cycles in 65-nm CMOS", *IEEE Journal of Solid-State Circuits*, 2019 Jan 8; vol. 54, no. 4, pp. 1161-1172, doi: 10.1109/JSSC.2018.2888872.

[32] H. Jeon, J. -S. Bang, Y. Jung, I. Choi and M. Je, "A High DR, DC-Coupled, Time-Based Neural-Recording IC With Degeneration R-DAC for Bidirectional Neural Interface," in *IEEE Journal of Solid-State Circuits*, vol. 54, no. 10, pp. 2658-2670, Oct. 2019, doi: 10.1109/JSSC.2019.2930903.

[33] S. Rout and W. Serdijn, "High-pass Δ converter design using a state space approach and its application to cardiac signal acquisition," *IEEE Trans. Biomed. Circuits Syst*., vol. 12, no. 3, pp. 483–494, Jun. 2018, doi: 10.1109/TBCAS.2018.2817926.

[34] S. -Y. Lee, P. -H. Su, K. -L. Huang, Y. -W. Hung and J. -Y. Chen, "High-Pass Sigma–Delta Modulator With Techniques of Operational Amplifier Sharing and Programmable Feedforward Coefficients for ECG Signal Acquisition," in *IEEE Transactions on Biomedical Circuits and Systems*, vol. 15, no. 3, pp. 443-453, June 2021, doi: 10.1109/TBCAS.2021.3082545.

[35] M. Shahriary,A. Ghasemi and N. C. Shirazi, "Improvement of SNDR using Optimization of Feedback Path Coefficients for Second Order CRFB Modulators in Sigma-Delta Analog to Digital Converters," *Journal of Southern Communication Engineering*, vol. 11, no. 41, pp. 15-28, 2021.

COPYRIGHTS
©2023 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0