Islamic Azad University , Shiraz Branch
نشریه تحلیل مدارها، داده ها و سامانه ها
Journal of Circuits, Data and Systems Analysis
sanad.iau.ir/journal/jcdsa

استفاده از مدل کراس کوپل شده به‌منظور طراحی خازن منفی در فناوری CMOS

محسن کاتبی جهرمی [*۱]، محسن صفوی[۱]

۱- گروه مهندسی برق، واحد صفاشهر، دانشگاه آزاد اسلامی، صفاشهر، ایران
moh_katebi_jah@yahoo.com

چکیده: در این مقاله از مدل کراس کوپل شده به‌منظور طراحی خازن منفی در فناوری CMOS استفاده شده و در ادامه به بررسی و مطالعه خازن منفی و کاربرد آن در مدارات گوناگون پرداخته شده است. مدار پیشنهادی در نرم‌افزار کیدنس با استفاده از فناوری ۱۸۰ نانومتری به‌وسیله یک خازن ۵ پیکو فاراد ترسیم گردیده است که اندازه تراشه با در نظر گرفتن خازن ۵ پیکو فاراد برابر ۱۵۲/۸۰ میکرومتر در ۶۱/۴۰ میکرومتر می‌باشد. اندازه تراشه بدون خازن ۳۲ میکرومتر در ۶۱/۴۰ میکرومتر است. در مرحله دوم، مدار پیشنهادی در نرم‌افزار ADS شبیه‌سازی شده و پاسخ فرکانسی و توان مصرفی آن بررسی شده است. نتایج شبیه‌سازی نشان می‌دهد که با خازن بار ۵ پیکوفاراد تا فرکانس ۵۰۰ مگاهرتز، خازن منفی در بازه ۱/۵- تا ۲۰- پیکوفاراد ایجاد شده که توان مصرفی آن با منبع تغذیه ۱/۸ ولت در حدود ۳/۵ mW است. محدوده فرکانسی خازن منفی وسیع و مصرف توان نسبتاً پایین و ضریب کیفیت مناسب از مزیت‌های مدل پیشنهادی است.

واژه های کلیدی: خازن منفی، کراس کوپل شده ، فناوری CMOS، توان مصرفی

Using Cross-Coupled model to design negative capacitor in CMOS technology

Mohsen Katebi Jahromi[1*], Mohsen Safavi[1]

[1] Department of Electrical Engineering, Safashahr Branch, Islamic Azad University, Safashahr, Iran
moh_katebi_jah@yahoo.com

Abstract:
In this paper, the Cross-Coupled model is used to design the negative capacitor in CMOS technology, and then the negative capacitor and its application in various circuits are investigated and studied. The investigation and study of the negative capacitor and its application in various circuits have been discussed In the following article, the proposed circuit was drawn in the Cadence software using 180 nm technology with a capacitor of 5pF, the dimension of the chip, considering the capacitor of 5 pF, is equal to 152/80 ×40/61 µm. The dimension of the non-capacitor chip is 32 ×61.40 µm. In the second step, the proposed circuit was simulated in ADS software and its frequency response and power consumption were checked. The simulation results show that with a load capacitor of 5 pF in the range frequency of 500 MHz, the negative capacitor is produced in the range of -1.5 to -20 pF, that is the power consumption is about 3.5 mW with a 1.8 V power supply. The wide frequency range of the negative capacitor, relatively low power consumption and good quality factor are the advantages of this design.
Keywords: Negative capacitor, Cross-Coupled, CMOS technology, Power consumption

DOI: 00.00000/0000

نوع مقاله: پژوهشی
تاریخ ارسال مقاله: ۱۴۰۲/۳/۱۱ تاریخ پذیرش مقاله: ۱۴۰۲/۰۵/۲۱ تاریخ چاپ مقاله: ۱۴۰۲/۶/۲۳

[*] نویسنده‌ی مسئول

۱- مقدمه

خازن‌های پارازیتی یکی از عوامل اصلی محدودیت‌های فرکانسی در مدارهای آنالوگ هستند. درنتیجه خازن‌های بزرگ، سرعت مدارهای آنالوگ را باوجود کوچک بودن مقاومت در گره‌های مربوطه محدود می‌کنند [۱]. اگرچه اخیراً با پیشرفت در فرآیندهای ساخت، مقدار این خازن‌های پارازیتی در حال کوچک شدن است؛ اما باوجوداین هنوز هم این خازن‌ها عملکرد مدارات با سرعت بالا را محدود می‌سازند. با استفاده از خازن‌های منفی، اثر خازن‌های پارازیتی را تا حد فراوانی می‌توان کاهش داد. به همین دلیل ایجاد خازن‌های منفی با استفاده از عناصر فعال یکی از راهکارهای مورد توجه برای طراحان فیلترهای ماکروویو [۲]، اسیلاتورها [۳-۵]، تقویت‌کننده‌های تفاضلی [۶]، تقویت‌کننده‌های توزیع‌شده [۷] هستند. با اضافه کردن مدار خازن منفی به گره موردنظر، اندازه خازن دیده‌شده از گره کوچک‌تر شده و درنتیجه پهنای باند و سرعت عملکرد مدار بالاتر می‌رود. در این مقاله هدف طراحی یک سلول خازن منفی جدید با استفاده از ساختار کراس کوپل شده[1] است. همچنین رابطه بین پهنای باند با ظرفیت خازن منفی بررسی خواهد شد. توپولوژی کراس کوپل شده متشکل از یک جفت ترانزیستور CMOS با مدارهای بایاس تغذیه است. مدار اصلی از یک مبدل امپدانس منفی که امپدانس راکتانس را تبدیل می‌کند تشکیل‌شده است. از مدارهای Non-Faster (منظور مدارهای دارای سلف یا خازن منفی) می‌توان برای همسان‌سازی امپدانس پهن باند برای آنتن‌ها و مواد فرا ماده استفاده کرد. مدارهای خازنی منفی بلوک‌های ساختمانی آنالوگ بسیار جالب‌توجهی هستند که در کاربردهایی مانند جبران خازن پارازیتی ناخواسته، بهبود پهنای‌باند در تقویت‌کننده‌ها، طراحی فیلترهای غیرفعال بدون سلف و غیره مورد استفاده قرار می‌گیرند.

پیشرفت‌های اخیر در فناوری برای کاربردهای دیگری مانند فرا ماده پهن‌باند و مدارهای مجتمع فرکانس رادیویی باعث ایجاد علاقه در طراحی مدارهای خازنی منفی CMOS گردیده است. در [۱] سلول خازن منفی، بهره تقویت‌کننده توزیع‌شده را بدون هیچ اثر منفی بر پهنای باند تقویت می‌کند. در خط انتقال آن از سلول خازن منفی و مقاومت منفی استفاده شده است که مقاومت منفی باعث کاهش تلفات خط انتقال گیت و منجر به افزایش پهنای باند و استفاده از خازن منفی باعث افزایش بهره تقویت‌کننده می‌شود. در [۶] طراحی مدار با استفاده از یک خازن منفی شناور[2] در فناوری CMOS با استفاده از توپولوژی NIC[3] با ساختار کراس کوپل شده انجام گرفته است که این مدار در محدوده فرکانسی موردنظر از خود یک مقاومت منفی نشان می‌دهد که ممکن است در همه‌ی کاربردها مفید نباشد. لذا اثر این مقاومت منفی با سری کردن یک مقاومت دیگر کاهش می‌یابد. در [۸] به بررسی رابطه ظرفیت خازنی و پهنای باند می‌پردازد که خازن منفی متشکل از یک جفت ترانزیستور CMOS با مدارهای بایاس تغذیه است. این مدار به‌عنوان یک مبدل امپدانس منفی عمل می‌کند که وظیفه‌ی آن تبدیل امپدانس راکتانس بار است. در این مدار، باید اضافه‌بار دیفرانسیلی به ظرفیت خازنی منفی تبدیل شود. در [۴] طراحی ناقل‌های جریان[4] ذکر شده که بلوک‌های اصلی از مدارهای Non-Faster از قبیل خازن‌ها و سلف‌های منفی که به‌منظور گسترش پهنای باند در فرا ماده‌ها مفید است به کار می‌روند. در این مقاله بر روی طراحی ناقل‌های جریان نسل دوم (CCII)[5] تمرکز شده که به‌عنوان مدارات آنالوگ با راندمان بالا نوظهور به روش مولد جریان[6] تعلق دارد.

در نتایج به‌دست‌آمده در [۹] برای کاهش مقاومت منفی پارازیتی در مدار از دیود سری متصل به ترانزیستورها استفاده می‌شود. همچنین خازن بکار گرفته‌شده تقریباً منفی ظرفیت بار است. تجزیه و تحلیل‌ها نشان می‌دهد که مقاومت منفی پارازیتی ناخواسته با رسانایی ترانزیستورهای کراس کوپل شده متناسب است. با طرح پیشنهادی میزان مقاومت منفی مشاهده‌شده در مقدار ناچیزی ثابت نگه‌داشته می‌شود. علاوه بر این، در نتایج ارائه‌شده با افزایش اندازه ظرفیت خازن منفی پهنای باند مدار کراس کوپل شده در حال تغییر است. مرجع [۵] یک تقویت‌کننده در شش طبقه پیشنهاد داده است که ساختار جدیدی با بهره‌ی بالا برای تقویت‌کننده توزیع‌شده ارائه می‌کند. سلول‌های خازنی منفی برای بهبود اثر بار خازن پارازیتی و برای کاهش بهره تقویت‌کننده توزیع‌شده درحالی‌که پهنای باند مورد نظر را حفظ می‌کنند، مورد استفاده قرار می‌گیرند. علاوه بر این، برای افزایش پهنای‌باند تقویت‌کننده نیز از مدار خازن منفی استفاده شود. در این مقاله یک ساختار تقویت‌کننده توزیع‌شده باند پهن جدید ارائه شده است که در آن سلول‌های خازنی منفی به گره‌های خط انتقال ورودی متصل شدند تا اثر بار خازنی، خازن‌های منبع گیت ترانزیستورها را جبران کنند؛ بنابراین با توجه به کارهای انجام‌شده این مقاله به دنبال پاسخگویی فرضیات زیر می‌باشد:

۱-ظرفیت خازن منفی پیاده‌سازی شده بر اساس ساختار کراس کوپل شده جوابگوی نیاز کاربردی هست.

۲-توان مصرفی سلول خازن منفی اثر فراوانی بر توان مصرفی کل مدار نخواهد گذاشت.

در این مقاله یک مدار خازن منفی با ساختار کراس کوپل شده با فناوری CMOS شبیه‌سازی شده است که برای کاهش اثر مقاومت منفی در امپدانس خروجی راهکاری مبتنی بر استفاده از مقاومت سری ارائه می‌شود و آنالیز مدار طراحی‌شده و شبیه‌سازی‌ها به‌منظور اعتبارسنجی آنالیز با استفاده از نرم‌افزار ADS انجام شده است.

[1] Cross-Coupled
[2] Floating
[3] Negative Impedance Converters
[4] Current Conveyers
[5] Current Conveyers Second Generation
[6] Current Mode

۲- مبانی نظری

۲-۱- مدارهای معادل خازن منفی

خازن‌های پارازیتی موجود در مدارات همواره جزء جدانشدنی مدارات CMOS هستند که همواره پهنای باند این مدارات را محدود کرده‌اند. در سال‌های اخیر، استفاده از سلف‌های مثبت برای ایجاد رزونانس و بهبود پهنای باند در موارد متعددی برای بهبود این خرابی مدار پیشنهادشده است [۱۱، ۱۰]، اما به دلیل استفاده در فرکانس‌های محدود و پایین، کمتر مورد استقبال قرار گرفته است. مدارهای CMOS همچنین سعی می‌کنند با استفاده از سلف‌های غیرفعال تا حد امکان سطح تراشه را کاهش دهند که چالش دیگری ایجاد می‌کند که با استفاده از سلف‌ها برای تشدید مغایرت دارد. اخیراً طراحی مدارهای خازن منفی بسیار موردتوجه قرار گرفته است، زیرا خازن‌های منفی در فرکانس‌های بالاتر و وسیع‌تر تداخل نخواهند داشت. در اکثر این مدارهای خازن منفی، مقاومت منفی تشخیص داده می‌شود و این به بهبود پارامترهای نویز مدارها و بهبود پهنای باند کمک می‌کند. در طراحی مدار خازن منفی، دو حالت وجود خواهد داشت که برای ساده‌سازی، مدارهایی برای تسهیل در تحلیل امپدانس و پذیرش نمودارها ارائه شود. در این طرح‌ها نیز فرض بر این است که مقاومت منفی ایجاد شده است. دو روش برای قرار دادن مدار خازن منفی در مدار وجود دارد: ۱) حالت تک سر و موازی ۲) حالت تفاضلی و سری حالت اول برای حذف پارازیت‌های موازی در مدار قرار می‌گیرد و حالت دوم پارازیت‌های سری را از بین می‌برد.

۲-۲- ضریب کیفیت (Q)

فاکتور کیفیت نشان می‌دهد که یک دستگاه ذخیره انرژی چقدر به حالت ایده آل خود نزدیک است. یک خازن ایده آل هیچ انرژی هدر نمی‌دهد و Q بی‌نهایت دارد، اما یک مقاومت سری Rs مشابه شکل (۱- الف)، Q آن را به مقدار زیر کاهش می‌دهد.

$$Q_S = \frac{\frac{1}{C\omega}}{R_S} \qquad (۱)$$

در (۱)، صورت کسر نشان‌دهنده‌ی مؤلفه‌ی مطلوب و مخرج آن نشان‌دهنده‌ی مؤلفه‌ی نامطلوب است. اگر مشابه شکل (۱- ب) تلفات مقاومتی در خازن با مقاومت موازی R_P مدل شود، Q به‌صورت زیر بیان می‌شود.

$$Q_P = \frac{R_P}{\frac{1}{C\omega}} \qquad (۲)$$

در این حالت Q ایده آل و بی‌نهایت تنها در صورتی حاصل می‌شود که $R_P=\infty$ باشد [۱۲].

شکل (۱) : مدار خازن (الف) سری (ب) موازی با مقاومت [۱۲].

درواقع برای محاسبه‌ی ضریب کیفیت می‌توان بیان کرد:

$$Z_{in} + R + jX \quad ; Q = \left|\frac{X}{R}\right| = \left|\frac{Im[Z_{in}]}{Re[Z_{in}]}\right| \qquad (۳)$$

طبق (۳) در شرایط منفی بودن مقدار خازن، به دلیل قدر مطلق کاملاً یکسان با ضریب کیفیت خازن، مثبت خواهد بود.

۲-۳- طرح تک سر خازن منفی وابسته به سلف

استفاده از یک سلول خازن منفی در مدار یک سلف فعال باندپهن می‌تواند به کاهش اثرات خازن‌های انگلی موازی با مدار کمک کند. در ادامه، استفاده از سلول خازن منفی در طراحی تقویت‌کننده‌های توزیع‌شده UWB و همچنین استفاده از سلول القایی تقویت‌شده با خازن منفی در مدارهای انتقال فاز بررسی می‌شود. سلف‌های فعال و خازن‌های منفی در طراحی مدارهای RF مختلف مانند فیلترهای فعال، تقویت‌کننده‌های امپدانس انتقال، تقویت‌کننده‌های توان (PAs) و نوسانگرهای کنترل‌شده ولتاژ (VCOs) برای بهبود پارامترهای عملیاتی مدار استفاده شده‌اند [۱۵-۱۸]. بیشتر کاربردهای سلف فعال (AIND) و خازن منفی (NCAP) در باندباریک مشاهده شده است. ازآنجاکه تغییر در مقدار سلف و خازن به‌طور چشمگیری با فرکانس متناسب است و این امر طراحی مدارهای RF باند پهن را به چالش می‌کشد.

۲-۴- خازن منفی ساده CMOS با پاسخ فرکانسی بهبودیافته

مدارهای خازن منفی یا ژنراتورهای خازن منفی (NCG) بلوک‌های ساختمانی آنالوگ بسیار مفیدی هستند که برای کاربردهای مختلف متعددی استفاده می‌شوند که این موارد را قادر می‌سازد:

۱- بهبود ساختارهای موجود، از طریق جبران ظرفیت انگلی نامطلوب، مانند افزایش پهنای باند انواع مختلف تقویت‌کننده‌ها [۲۱و۲۲]، افزایش سرعت برخی از معماری‌های DAC، بهبود مدارهای حفاظتی ESD [۲۵]، بهبود طراحی سلف فعال [۱۹و۲۳]

۲- طراحی معماری مدارهای جدید مانند فیلترهای تساوی فشرده جدید، ساختارهای نوسان‌ساز جدید RC و LC و غیره.

چندین احتمال برای تولید زمین منفی یا خازن شناور وجود دارد که عمدتاً باعث پوسیدگی می‌شوند. به‌طورکلی، هر مبدل امپدانس منفی شناخته‌شده (NIC) که از تقویت‌کننده‌های عملیاتی یا نوار نقاله‌های حامل جریان استفاده می‌کند، می‌تواند استفاده شود. خازن منفی ایجادشده با استفاده از چنین رویکردی دقیق و با نوسانات سیگنال مجاز زیاد است. نقطه‌ضعف این است که چنین رویکردی به یک منطقه بزرگ و افزایش قدرت نیاز دارد. این به‌ویژه برای تولید خازن‌های شناور ضعیف عمل می‌کند. همچنین چندین ساختار ساده شناخته‌شده وجود دارد که می‌تواند به‌عنوان یک NCG شناور استفاده شود که از جمله تقویت‌کننده منبع مشترک با خازن‌های رفت و برگشتی و جفت R-C موازی منبع هستند [۲۴]. یا یک

NCG مؤثر که به‌عنوان یک مولد آرامش شناخته می‌شود، همراه با ماسفت های متقابل که در [۲۵] توضیح داده شده است، اگرچه ساختار دوم یک مقاومت منفی و همچنین خازن منفی ایجاد می‌کند، با یک رقم نویز اجتناب‌ناپذیر و تا حدودی خطی عمل می‌کند، بسیار ساده، امکانات زیادی را برای بهبود و کنترل ارائه می‌دهد و بنابراین برای تجزیه‌وتحلیل و طراحی پیشنهادی انتخاب شد.

۳- روش پیشنهادی (طراحی خازن منفی با استفاده از ساختار کراس کوپل شده)

امروزه با رشد روزافزون سیستم‌های ارتباطات بی‌سیم، افزایش سرعت انتقال اطلاعات، امری ضروری است. برای دستیابی به‌سرعت انتقال بالای اطلاعات، به پهنای باند وسیع‌تر و کار در محدوده فرکانسی بالاتر نیاز است. همچنین حجم اطلاعات ارسالی به‌صورت مستقیم با پهنای باند متناسب است. ازاین‌رو می‌توان نتیجه گرفت که سیستم‌های پهن باند در بازه زمانی مشخص اطلاعات بیشتری را نسبت به سیستم‌های باند باریک منتقل می‌کنند. همین امر موجب شده که در سال‌های اخیر توجه بیشتری به مدارات پهن باند شود. بزرگ‌ترین چالش در مدارات پهن باند، محدودیت‌های فرکانسی حاصل از ظرفیت‌های خازنی پارازیتی است. یک خازن بزرگ می‌تواند سرعت یک مدار را محدود کند، حتی مقاومت مربوط به گره آن کوچک باشد. همچنین یک خازن بسیار کوچک نیز می‌تواند سرعت مدار را محدود می‌کند، اگر مقاومت مربوط به گره آن بزرگ باشد. در سال‌های اخیر پیشرفت‌هایی در صنعت نیمه‌هادی و فرآیندهای ساخت افزاره‌ها، خازن‌های پارازیتی را کاهش داده است، بااین‌حال هنوز خازن‌های پارازیتی در بسیاری از موارد، عملکرد مدارات فرکانس بالا را محدود می‌کنند. تابه‌حال به‌منظور بهبود پهنای باند و کاهش خازن‌های پارازیتی روش‌های زیادی پیشنهادشده که در این میان می‌توان از مدار خازن منفی به‌عنوان یکی از بهترین روش‌ها نام برد.

۳-۱- کاربرد خازن منفی

مدار خازن منفی یک روش مناسب برای به حداقل رساندن اثرات خازن‌های پارازیتی است. در اکثر مواقع در طراحی مدارات خازن منفی، مقاومت منفی نیز تشکیل می‌شود که در این شرایط از مقاومت منفی می‌توان برای کاهش تلفات مدار نیز استفاده کرد. از مدار خازن منفی در طراحی مدارات فرکانس بالای مختلف مانند تقویت‌کننده‌های توزیع‌شده[1]، تقویت‌کننده‌های بهره متغیر[2]، مدارات جبران‌ساز فرکانسی، مدارات تقویت‌کننده بهره بالا، انتقال‌دهنده‌های فاز فعال، تقویت‌کننده‌های امپدانس انتقال[3]، مدارات کنترل بهره خودکار[4] و آنتن‌های ماکرواستریپ، استفاده شده است. در موارد متعددی از خازن منفی به همراه سلول امپدانس منفی استفاده می‌شود که می‌توان به استفاده از سلول خازن منفی برای افزایش رنج میزان‌سازی دیود و راکتور و یا استفاده از سلول خازن و سلف منفی در ساختار اسیلاتور کنترل‌شده با ولتاژ (VCO) اشاره نمود. با استفاده از سلول خازن منفی و سلف منفی به میزان‌سازی پیوسته فرکانسی با تغییرات توان خروجی کم می‌توان دست‌یافت. از کاربردهای دیگر سلول خازن منفی می‌توان به استفاده از خازن منفی برای افزایش فرکانس در اسیلاتورهای حلقوی با بار مقاومتی اشاره نمود.

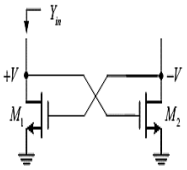
۳-۲- بررسی مقاومت و خازن منفی

در حالت ایده آل در طراحی مدار، مقاومتی برای خازن و سلف در نظر نمی‌گیرند درنتیجه هیچ اتلافی در خازن و سلف رخ نمی‌دهد؛ اما خازن و سلف در حالت غیرایده‌آل از خود مقاومت نشان داده و همیشه مقداری تلفات انرژی در آن وجود دارد. بنابراین برای پایداری مدارات فرکانس بالا، انرژی تلف‌شده در خازن و سلف، باید جبران گردد. به‌طور مثال این عمل را می‌توان با استفاده از یک مقاومت منفی ایجادشده توسط هدایت الکتریکی یک تقویت‌کننده انجام داد. امروزه روش‌های مختلفی برای ایجاد مقاومت منفی در مدار استفاده می‌شود. یک روش مرسوم برای دستیابی به مقاومت منفی استفاده از مدار کراس- کوپل[5] (تزویج دو ترانزیستور) می‌باشد که در شکل ۲ شماتیک آن نشان داده شده است. همان‌طور که از شکل ۲ پیداست در این روش، مقاومت منفی از درین‌های یک جفت ترانزیستور NMOS به دست می‌آید. زوج ترانزیستورهای تزویج شده می‌تواند به مدار LC اضافه شوند و یا برای تولید خروجی‌های تفاضلی مورداستفاده قرار گیرند. خروجی‌های تفاضلی شامل درین ترانزیستورهای NMOS می‌باشند. خروجی‌های تفاضلی در اکثر مدارات RF موردنیاز می‌باشند، به خاطر اینکه میکسرهای استاندارد دارای ورودی‌های تفاضلی می‌باشند.

علاوه بر این، استفاده از خروجی‌های تفاضلی باعث کم شدن نویز حالت مشترک و کاهش اعوجاج مرتبهٔ دوم حاصل از افزاره‌های متصل به خروجی مدار می‌شود. همچنین بسیاری از مدارات فرکانس بالا برای از بین بردن سیگنال حالت مشترک نیاز به خروجی‌های تفاضلی دارد. ادمیتانس این مدار از رابطه زیر به دست می‌آید:

$$Y_{in} = SC_{in} - g_{m1} \qquad (۴)$$

خازن پارازیتی از رابطه زیر به دست می‌آید:



شکل (۲): مقاومت منفی دیده‌شده از یک جفت ترانزیستور

[1] Distributed amplifiers
[2] Variable gain amplifier
[3] Trans impedance amplifier
[4] Automatic gain control
[5] cross-coupled

$$C_{in} = C_{db1} + C_{gs2} + C_{gd1}\left(1 - \frac{1}{K_1}\right) + C_{gd2}(1 - K_2) \quad (۵)$$

به دلیل اینکه که ترانزیستورهای M_1 و M_2 کاملاً شبیه هم‌اند، پس بهره میلر K_2=1-K_1 می‌باشد؛ بنابراین خازن پارازیتی از رابطه (۶) به دست می‌آید:

$$Cin = C_{db} + C_{gs} + 4C_{gd} \quad (۶)$$

این روش به‌تنهایی نمی‌تواند محدودیت‌های ذاتی خازن پارازیتی را حل کند، به همین خاطر برای غلبه بر این محدودیت‌ها، چندین روش گزارش‌شده است؛ بنابراین از زوج ترانزیستورهای تزویج شده با مرکزیت مشترک استفاده شده است که تا حدودی خازن پارازیتی کاهش یافته که در شکل (۳) این مدار نشان داده شده است. همچنین مدل سیگنال کوچک این مدار در شکل (۴) نشان داده شده است.

۳-۳- محاسبه ادمیتانس خروجی

شکل (۵) مدل سیگنال کوچک[1] ساختار پیشنهادی را نشان می‌دهد؛ که C_2 خازن متصل به پایه گیت-سورس است، C_1 و C_3 به ترتیب خازن‌های معادل گره‌های درین و سورس را نشان می‌دهند. I_{ss} جریان سورس است که امپدانس خروجی بالایی دارد. در ادامه قسمت موهومی I_{ss} در C_3 در نظر گرفته شده است. قسمت حقیقی (مقاومتی) I_{ss} را می‌توان در محدوده فرکانسی نادیده گرفت که در آن مدار پیشنهادی به‌عنوان خازن منفی عمل می‌کند. این فرض برای سادگی تحلیل است که تأثیر کمی در معادلات زیر دارد. برای اثبات منفی بودن ظرفیت خازنی از پورت‌های خروجی ساختار پیشنهادی، ادمیتانس خروجی باید محاسبه شود. به‌عبارت‌دیگر I_X/V_X باید محاسبه شود. بنابراین، KVL در مسیر ۱ برابر است با:

$$V_{gs_2} - V_{gs_1} = V_X + ZI \quad (۷)$$

KCL در سوپر گره‌های A و B منجر به روابط زیر می‌شود:

$$-I_X + V_{gs_2}C_2S - V_{gs_1}C_2S + I + (V_3 + ZI)C_3S + V_1C_1S = 0 \quad (۸)$$

$$I_X + V_{gs_1}C_2S - V_{gs_2}C_2S - I + V_3C_3S + V_2C_1S = 0 \quad (۹)$$

با تفریق (۸) از (۹) داریم

$$2I_X + 2(V_{gs_1} - V_{gs_2})C_2S - 2I - ZC_3SI - V_XC_1S = 0 \quad (۱۰)$$

با جایگزینی (۷) در (۱۰)

$$I = \frac{2I_X - (2C_2 + C_1)V_XS}{2ZS(C_2 + C_3) + 2} \quad (۱۱)$$

با KCL در گره‌های ۱ و ۲

$$-I_X + V_{gs_2}C_2S + \frac{V_{gs_2} - ZI}{r_0} + V_1C_1S + g_mV_{gs_1} = 0 \quad (۱۲)$$

$$-I_X + V_{gs_1}C_2S + \frac{V_{gs_1} - ZI}{r_0} + V_2C_1S + g_mV_{gs_2} = 0 \quad (۱۳)$$

با تفریق کردن (۱۱) از (۱۲) و در نظر گرفتن $V_1 - V_2 = V_X$

$$(2I_X - V_X\left[C_2 + C_1)S + \frac{1}{r_0} - g_m\right] - ZI\left(C_2S - \frac{1}{r_0} - g_m\right) = 0 \quad (۱۴)$$

با جایگذاری I از (۱۱) در (۱۴)

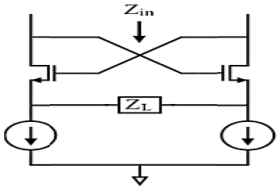
$$2I_X - V_X\left[(C_2 + C_1)S + \frac{1}{r_0} - g_m\right] - z\left(\frac{2I_X - (2C_2 + C_1)V_XS}{2ZS(C_2 + C_3) + 2}\right)\left(C_2S - \frac{1}{r_0} - g_m\right) = 0 \quad (۱۵)$$

با تقسیم دو طرف (۱۵) بر V_X و با فرض $Y_{total} = \frac{I_X}{V_X}$، Y_{total}

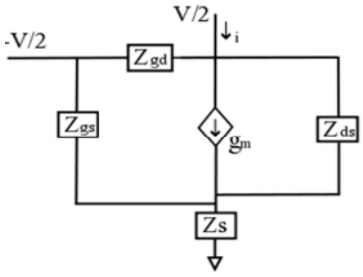
به‌صورت (۱۶) به دست می آید.

$$Y_{total} = \frac{\left[(c_2+c_1)s+\frac{1}{r_0}g_m\right][2z(c_2+c_3)s+2]-zs(2c_2+c_1)(c_2s-\frac{1}{r_0}-g_m)}{2z(c_2+c_3)s+4+2z\,(\frac{1}{r_0}+g_m)} \quad (۱۶)$$

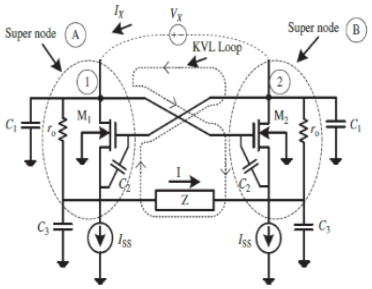
لازم به ذکر است اگر اثر رسانایی بدنه[2] دستگاه‌های nMOS، M1 و M2 در نظر گرفته شود، جریان کمی با مقدار $g_{mb}V_1$ و $g_{mb}V_2$ و به ترتیب در KCL گره‌های ۱ و ۲ اضافه می‌شود. ازاین‌رو، با در نظر گرفتن اثر بدنه، ضریب $((C_2 + C_1)S + \frac{1}{r_0} - g_m)$ در (۱۷) به $((C_2 + C_1)S + \frac{1}{r_0} - g_m - g_{mb})$ تغییر می‌کند. ازآنجایی‌که g_{mb} بسیار کوچک‌تر از g_m است، اثر بدنه نادیده گرفته شده و در تجزیه‌وتحلیل زیر اثر قابل‌توجهی ندارد. اگر Z با یک خازن C_X جایگزین شود، امپدانس آن برابر با $\frac{1}{C_XS}$ خواهد بود. بنابراین، با فرض $Z = \frac{1}{C_XS}$، (۱۶) به (۱۷) تغییر می‌کند.



شکل (۳): زوج ترانزیستورهای تزویج شده با مرکزیت مشترک



شکل (۴) :مدل سیگنال کوچک مدار مقاومت منفی



شکل (۵): مدل سیگنال کوچک ساختار پیشنهادی

(۱۷)

$$\frac{Y_{total}}{s} = \frac{\left[[C_1(C_2 + C_3 + 2C_X) + C_2(C_3 + 2C_X)]S + \left(\frac{1}{r_0} - g_m\right)(2C_2 + C_3 + 2C_X) + (\frac{1}{r_0} + g_m)(2C_2 + C_1\right]}{2\left[(C_2 + C_3 + 2C_x)S + (\frac{1}{r_0} + g_m)\right]}$$

[1] small-signal model

[2] body conductance effect

رابطه (۱۷) نشان می‌دهد که در برخی از حوزه‌های فرکانس، خازن منفی را می‌توان از این ساختار به دست آورد. شرایطی که می‌توان خازن منفی را به دست آورد، در بخش بعدی معرفی خواهد شد.

۳-۴- فرضیات خازن منفی

در این بخش تمامی شرایط به دست آوردن خازن منفی از مدار پیشنهادی بر اساس معادلات فوق تحلیل خواهد شد. برای این منظور و سادگی بیشتر در تحلیل، معادله (۱۷) به‌صورت زیر در نظر گرفته شده است.

$$Y_{total} = \frac{AS^2+BS}{CS+D} \quad (۱۸)$$

که

$$A = C_1(C_2 + C_3 + 2C_X) + C_2(C_3 + 2C_X \quad (۱۹)$$

$$(۲۰)$$

$$B = \left(\frac{1}{r_0} - g_m\right)(2C_2 + C_3 + 2C_X) + \left(\frac{1}{r_0} + g_m\right)(2C_2 + C_1)$$

$$C = 2(C_2 + C_3 + 2C_X \quad (۲۱)$$

$$D = 2\left(\frac{1}{r_0} + g_m\right) \quad (۲۲)$$

لازم به ذکر است که ضرایب A، C و D همیشه مثبت هستند. ضریب B منفی است زمانی که:

$$g_m r_0 > \frac{(4C_2+2C_X+C_1+C_3)}{2\,C_X+C_3-C_1} \quad (۲۳)$$

با فرض اینکه ظرفیت خازنی پارازیتی درین و سورس، یعنی C_1 و C_3 به‌اندازه کافی کوچک هستند؛ بنابراین، نامعادله (۲۳) به‌صورت زیر تغییر می‌یابد.

$$g_m r_0 > \frac{2C_2}{C_X} + 1 \quad (۲۴)$$

در فرکانس‌های پایین (یعنی برای S به‌اندازه کافی کوچک) (۱۸) به‌صورت زیر تغییر می‌کند:

$$Y_{total} = \simeq \frac{BS}{D} \quad (۲۵)$$

لازم به ذکر است که وجود g_m در ضریب B آن را در مقایسه با ضریب A به‌اندازه کافی بزرگ می‌کند. به‌طور مشابه D بسیار بزرگ‌تر از C است. معادله (۲۵) نشان‌دهنده ادمیتانس خازن با ظرفیت B/D است. زمانی که شرط (۲۳) برآورده شود، ظرفیت خازنی منفی به دست خواهد آمد. بنابراین مقدار خازن منفی برابر خواهد بود با:

$$C_{NEG} \simeq \frac{B}{D} = \frac{\left(\frac{1}{r_0}-g_m\right)(2C_2+C_3+2C_X)+\left(\frac{1}{r_0}+g_m\right)(2C_2+C_1)}{2\left(\frac{1}{r_0}+g_m\right)} \quad (۲۶)$$

با فرض اینکه $g_m r_0 \gg 1$

$$C_{NEG} \simeq -C_X + \frac{C_1-C_3}{2} \quad (۲۷)$$

در فرکانس‌های میانی، معادله (۱۹) به‌صورت زیر تغییر می‌کند.

$$Y_{total} \simeq \frac{BS}{CS+D} = \frac{1}{\frac{C}{B}+\frac{D}{BS}} \quad (۲۸)$$

معادله (۲۸) ادمیتانس خازن با ظرفیت B/D را به‌صورت سری با مقاومتی با مقدار C/B نشان می‌دهد. هنگامی‌که شرط (۲۳) برآورده شود، مقاومت و ظرفیت خازنی منفی به دست می‌آید. در فرکانس‌های بالاتر، (۱۸) توسط رابطه زیر تخمین زده می‌شود:

[1] frequency domain
[2] polar diagram

(۲۹)

$$Y_{total} = \frac{\left[(C_2+C_1)S+\frac{1}{r_0}-g_m\right][2z(C_2+C_3)S+2]-ZS(2C_2+C_1)(C_2S-\frac{1}{r_0}-g_m)}{2Z\,(C_2+C_3)S+42Z(\frac{1}{r_0}+g_m)}$$

$$Y_{total} = \frac{AS^2+BS}{CS}$$

معادله (۲۹) نشان‌دهنده امپدانس یک خازن با ظرفیت A/C به‌موازات مقاومتی با مقدار B/C است. لازم به ذکر است که با برقراری شرط (۲۳) مقاومت منفی حاصل خواهد شد. ازآنجایی‌که A و C هر دو مثبت هستند، مقدار خازن در این حوزه فرکانس[1] مثبت خواهد بود.در فرکانس‌های بسیار بالا، (۱۸) به‌صورت زیر تغییر می‌یابد:

$$Y_{total} \approx \frac{AS}{C} \quad (۳۰)$$

که به این معنی است که مدار به‌عنوان یک خازن مثبت با مقدار A/C عمل می‌کند. تمامی نتایج فوق در جدول (۱) خلاصه شده است.

۳-۵- محدودیت‌های فرکانس خازن منفی

در این بخش، نمودار قطبی[2] ادمیتانس خروجی ساختار پیشنهادی تخمین زده می‌شود. محدودیت فرکانس خازن منفی پیشنهادی با استفاده از این نمودار محاسبه خواهد شد. لازم به ذکر است که ضریب B در بخش زیر به‌عنوان مقدار منفی در نظر گرفته شده است زیرا (۲۳) به‌راحتی می‌تواند برآورده شود.

در فرکانس‌های پایین، مطابق شکل (۶)، فاز ادمیتانس خروجی[3] ۹۰- درجه است (B منفی است). با افزایش جزئی فرکانس، یک مقاومت منفی اضافه می‌شود. هر چه فرکانس بیشتر باشد قسمت موهومی آن کوچک‌تر است. ازاین‌رو، فاز ادمیتانس خروجی با افزایش فرکانس به ۱۸۰- درجه تمایل پیدا می‌کند.$f_{-\frac{3\pi}{4}}$ فرکانسی است که در آن قسمت حقیقی (مربوط به مقاومت منفی) و قسمت موهومی (مربوط به خازن منفی) ادمیتانس خروجی برابر خواهد بود؛ بنابراین:

$$\left|\frac{C}{B}\right| = \left|\frac{D}{B\omega-\frac{3\pi}{4}}\right| \quad (۳۱)$$

یعنی فاز (۳۱) $-\frac{3\pi}{4}$ خواهد بود. ازاین‌رو

$$F - \frac{3\pi}{4} = \frac{1}{2\pi}\left|\frac{D}{C}\right| \quad (۳۲)$$

جدول (۱) : نتایج کلی تحلیل‌های معادلات روش پیشنهادی

$Y_{total}=\frac{AS^2+BS}{CS+D}$	Frequency domain	Output admittance approximation	Model
	Low frequencies	$Y_{total} \approx \frac{BS}{D}$	
	Intermediate frequencies	$Y_{total} \approx \frac{BS}{CS+D}$	
	High frequencies	$Y_{total} \approx \frac{AS^2+BS}{CS}$	
	Very high frequencies	$Y_{total} \approx \frac{AS}{C}$	

[3] output admittance

بنابراین، با جایگذاری D و C در رابطه (۳۲)

$$F-\frac{3\pi}{4}=\frac{1}{2\pi}\left[\left(\frac{\frac{1}{r_0}+g_m}{C_2+C_3+2C_X}\right)\right]\simeq\frac{1}{2\pi}\left[\frac{g_m}{C_2+C_3+2C_X}\right] \quad (۳۳)$$

هنگامی‌که فرکانس به بیش از $f_{-3\pi/4}$ افزایش یابد، مقاومت منفی غالب خواهد بود. با افزایش بیشتر فرکانس، قسمت موهومی به سمت صفر میل می‌کند که در آن فاز ادمیتانس خروجی برابر با $-\pi$ خواهد بود. لازم به ذکر است در بالای این فرکانس علامت خازن از مقدار مثبت به مقدار منفی تغییر می‌کند. بنابراین:

$$Z_{total}(j\omega)=\frac{D+JC\omega}{-A\omega^2+jB\omega} \quad (۳۴)$$

(۳۵)

$$P\left(Z_{total}(j\omega)\right)=tan^{-1}\left(\frac{C\omega-\pi}{D}\right)+\pi-tan^{-1}(\left|\frac{B\omega-\pi}{A\omega^2-\pi}\right|=\pi$$

این فرکانس f_π نامیده می‌شود. ازاین‌رو

$$tan^{-1}(\frac{C\omega-\pi}{D})=tan^{-1}(\frac{|B\omega-\pi|}{A\omega^2-\pi}) \quad (۳۶)$$

بنابراین

$$\frac{C\omega-\pi}{D}=\frac{|B|}{A\omega-\pi} \quad (۳۷)$$

ازاین‌رو

$$F-\pi=\frac{1}{2\pi}\sqrt{\frac{|B|D}{AC}} \quad (۳۸)$$

با فرض $g_m r_0 \gg 1$

$$F-\pi\simeq\frac{g_m}{2\pi(C_2+C_3+2C_X)}\sqrt{\frac{2C_X+3+C_1)}{C_1+\frac{C_2(2C_X+C_3)}{C_2+C_3+2C_X}}} \quad (۳۹)$$

این معادله رابطه خطی[1] بین g_m و $f_{-\pi}$ را نشان می‌دهد. برای داشتن خازن منفی در فرکانس‌های بالاتر، می‌توان g_m را به قیمت مصرف توان بیشتر افزایش داد. با توجه به (۳۹)، کاهش C_X منجر به افزایش $f_{-\pi}$ به قیمت کمتر شدن مقدار خازن منفی می‌شود. لازم به ذکر است که رابطه بین $f_{-\pi}$ و $f_{-\frac{3\pi}{4}}$ با C_X و g_m توسط شبیه‌سازی در بخش بعدی تأیید خواهد شد.

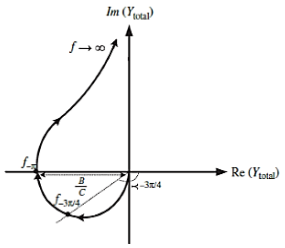
۴- نتایج شبیه‌سازی

در این مقاله یک ساختار جدید برای به دست آوردن خازن منفی با استفاده از فناوری CMOS پیشنهادشده است. با در نظر گرفتن تمامی خازن‌های پارازیتی، امپدانس خروجی دیده‌شده از دو سر مدار پیشنهادی به‌دست‌آمده است. امپدانس خروجی دیده‌شده از دو سر مدار، علاوه بر دارا بودن بخش خازنی منفی، یک بخش مقاومتی منفی هم دارد. از این مدار در کاربردهای مدارات مجتمع فرکانس رادیویی و متامتریال های پهن باند می‌توان استفاده نمود. به‌طور مثال با قرار دادن این امپدانس در گره‌های خروجی یک اسیلاتور حلقوی با طبقات تفاضلی علاوه بر کاهش خازن معادل دیده شده از آن گره، مقاومت معادل آن را هم کاهش می‌دهد درنتیجه موجب افزایش فرکانس نوسان می‌شود. یک‌راه مناسب برای کم کردن خازن مؤثر، موازی کردن خازن‌های گره خروجی با خازن منفی است. شکل (۷) ساختاری را نشان می‌دهد که می‌توان توسط آن خازن منفی موردنظر را تحقق داد. همان‌طور که از شکل زیر معلوم است دو ترانزیستور سورس مشترک به‌گونه‌ای تشکیل فیدبک مثبت می‌دهند که بتوان از ورودی این ساختار امپدانس معادل خازن منفی دریافت نمود.با اضافه نمودن خازن منفی در گره خروجی، می‌توان خازن با رابطه زیر را ایجاد نمود:

$$Z_{in}\approx -Z_L-\frac{2}{gm}+\frac{2}{gm^3} \quad (۴۰)$$

مدار شکل (۸)، مدل پیشنهادی می‌باشد که ساختار آن در بخش قبل تشریح گردید و در نرم‌افزار ADS رسم شده است. ابعاد و مشخصات مدار پیشنهادی در جدول (۲) نشان داده شده است. جریان شاخه‌ها در شکل (۹) نشان داده شده است. با توجه به شکل از منبع جریان ۲.۱۴ میلی‌آمپر جریان کشیده می‌شود؛ پس توان مصرفی ۳.۸۵ میلی وات است. به خروجی خازن ۵ پیکوفاراد وصل شد و شبیه‌سازی پارامتر s انجام گرفت. نمودار پارامتر S(1,1) در شکل (۱۰) نشان داده شده است که بر اساس آن، تا ۵۰۰ مگاهرتز نمودار در نیمکره بالا بوده و دارای مقدار موهومی امپدانسی مثبت است. در فرکانس‌های بیشتر از ۵۰۰ مگاهرتز نمودار در نیمکره پایین بوده و دارای مقدار موهومی امپدانسی منفی است؛ که معیار فرکانسی بسیار خوبی را برای خازن منفی ایجاد کرده است.

در شکل (۱۱)، قسمت حقیقی و موهومی امپدانس ورودی (به ترتیب نمودار آبی‌رنگ و قرمزرنگ) نشان داده شده است. با توجه به شکل، قسمت موهومی یا همان امپدانس مدار طراحی‌شده تا فرکانس ۵۰۰ هرتز مثبت می‌باشد و بعد از فرکانس ۵۰۰ هرتز وارد محدوده منفی می‌گردد می‌باشد. همچنین قسمت حقیقی تا فرکانس ۵۰۰ هرتز منفی می‌باشد و از این فرکانس به سمت صفر میل می‌کند. در شکل‌های (۱۲-۱۴) به ترتیب نمودار خازن ورودی در حالت‌هایی که به خروجی خازن ۵ پیکوفاراد، ۱۰ پیکوفاراد و ۲۰ پیکوفاراد وصل شده، نشان داده شده است. با توجه به شکل در خروجی ۵ پیکوفاراد مقدار خازن در فرکانس‌های پایین ۱/۵–پیکوفاراد و فرکانس رزونانس ۰/۵گیگاهرتز است. در خروجی ۱۰ پیکوفاراد مقدار خازن در فرکانس‌های پایین ۳ –پیکوفاراد و فرکانس رزونانس ۰/۴۲ گیگاهرتز است. در خروجی ۲۰ پیکوفاراد مقدار خازن در فرکانس‌های پایین ۷ پیکوفاراد و فرکانس رزونانس ۰/۳گیگاهرتز است. در هر سه حالت، کمتر از فرکانس رزونانس خازن کاملاً در محدوده منفی است و در فرکانس بیشتر از فرکانس رزونانس خازن در محدوده مثبت است.

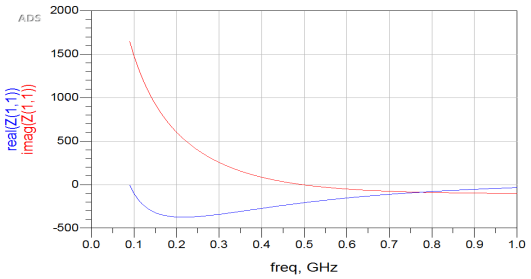


شکل (۶): ساختار فرکانسی خازن منفی پیشنهادی

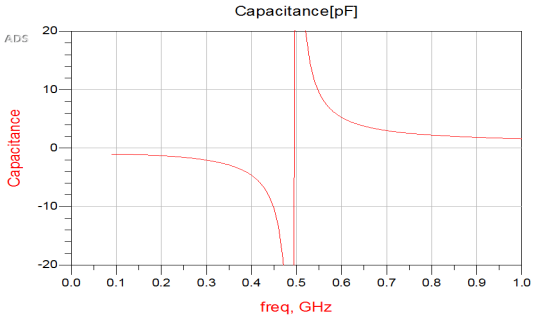
[1] linear relation

جدول (۲): ابعاد ترانزیستورها

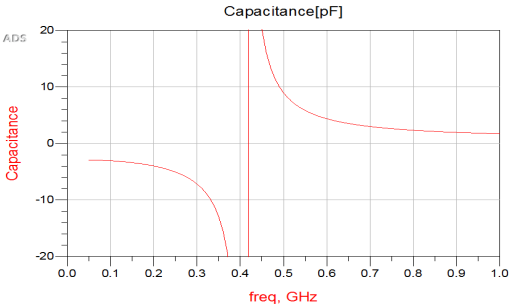
Transistors	Type	Simulated W/L
M1, M2	NMOS	50 / 0.5
M3, M4	NMOS	50 / 0.5
M5, M6	NMOS	50 / 0.5
M7, M8	PMOS	100 / 0.5



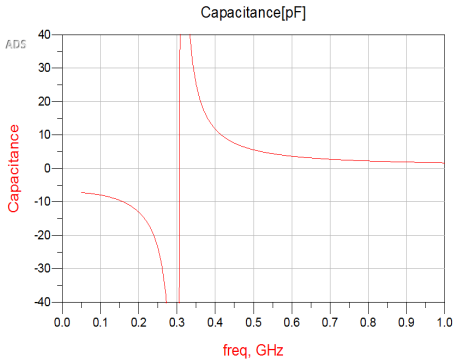
شکل (۱۱): نمودار امپدانس ورودی برحسب فرکانس



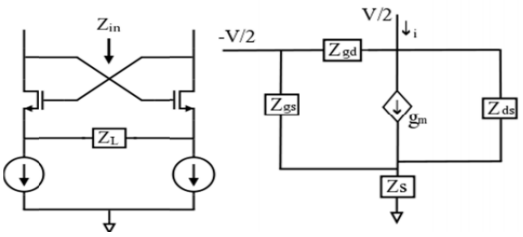
شکل (۱۲): نمودار خازن تولیدشده برحسب فرکانس (خروجی به خازن ۵ پیکوفاراد متصل شده)



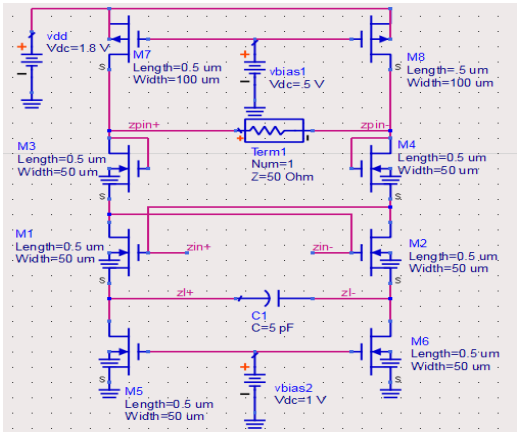
شکل (۱۳): نمودار خازن تولیدشده برحسب فرکانس (خروجی به خازن ۱۰ پیکوفاراد متصل شده)



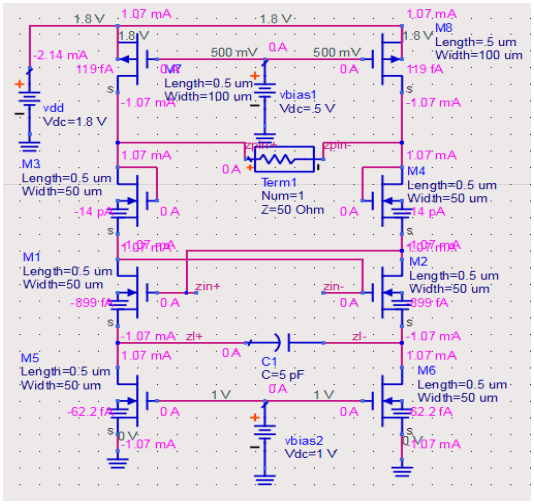
شکل (۱۴): نمودار خازن تولیدشده برحسب فرکانس (خروجی به خازن ۲۰ پیکوفاراد متصل شده)



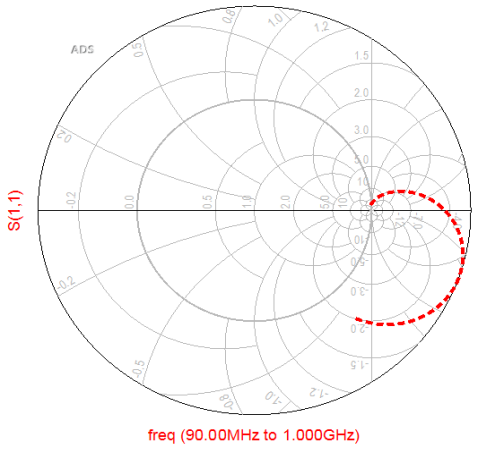
شکل (۷): مدار خازن منفی و سیگنال کوچک



شکل (۸): مدار پیشنهادی



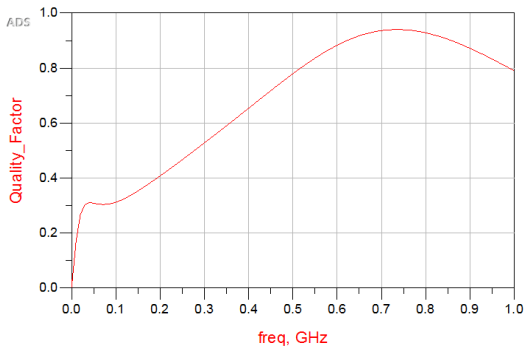
شکل (۹): محاسبه جریان شاخه‌ها در نرم‌افزار ADS



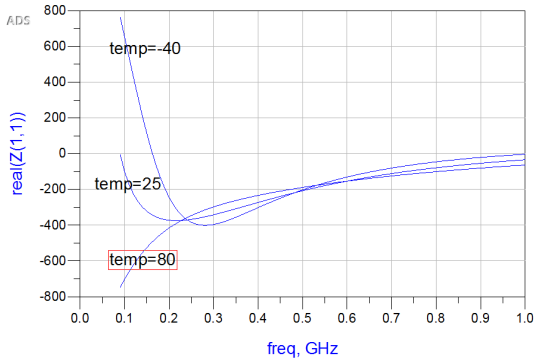
شکل (۱۰): پارامتر S(1,1)

در شکل (۱۵)، نمودار ضریب کیفیت برحسب فرکانس نشان داده شده است که مشاهده می‌گردد که هر چه فرکانس افزایش می‌یابد ضریب کیفیت سیستم نیز بیشتر می‌گردد و نشان‌دهنده این است که سیستم دارای عملکرد قابل‌قبولی است. در شکل (۱۶)، قسمت حقیقی امپدانس ورودی در دماهای ۴۰-، ۲۵ و ۸۰ درجه سانتی‌گراد نشان داده شده است. با توجه به خروجی ترسیم‌شده توسط نرم‌افزار هرچقدر دما کمتر باشد، امپدانس مثبت‌تر است و هرچقدر دما بزرگ‌تر گردد امپدانس منفی‌تر می‌گردد؛ که نشان‌دهنده این است که هرچقدر دما بالاتر باشد مقاومت منفی بهتری داریم. در شکل (۱۷)، قسمت موهومی امپدانس ورودی در دماهای ۴۰-، ۲۵ و ۸۰ درجه سانتی‌گراد نشان داده شده است. با توجه به خروجی ترسیم‌شده، هرچقدر دما بالاتر باشد، مقاومت منفی بهتری داریم؛ که نشان‌دهنده این است که هرچقدر دما بالاتر باشد مقاومت منفی بهتری داریم. در شکل (۱۸)، نمودار خازن ورودی در حالتی که به خروجی خازن ۵ پیکوفاراد وصل شده، در دماهای ۴۰-، ۲۵ و ۸۰ درجه سانتی‌گراد نشان داده شده است. با توجه به شکل هر چقدر دما بالاتر رود، مقدار خازن و فرکانس رزونانس بیشتر می‌شود. در شکل (۱۹)، نمودار پارامتر S(1,1) در حالتی که به خروجی خازن ۵ پیکوفاراد وصل شده، در دماهای ۴۰-، ۲۵ و ۸۰ درجه سانتی‌گراد نشان داده شده است؛ که با توجه به شکل هر چه دما بزرگ‌تر باشد مقاومت منفی بهتری داریم. در شکل (۲۰)، نمودار نویز ارجاعی ورودی برحسب فرکانس نشان داده شده است، با توجه به وجود خازن در فرکانس‌های پایین، نویز در حد نانو ولت و ناچیز است. در شکل (۲۱)، نمودار نویز ارجاعی خروجی برحسب فرکانس نشان داده شده است، با توجه به وجود خازن در فرکانس‌های پایین نویز در حد نانو ولت و بسیار ناچیز است.

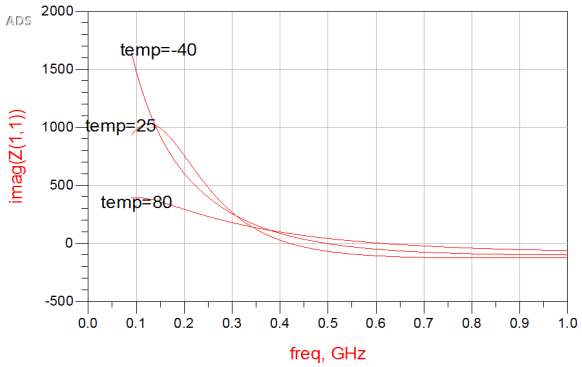
برای بررسی اثرات ناشی از تغییرات تصادفی پارامترهای ترانزیستورها در فرآیند ساخت (نظیر ولتاژ آستانه یا قابلیت تحرک الکترون‌های آزاد و حفره‌ها) در گوشه‌های مختلف فرآیند ساخت FF، FS،SS و SF مدار شبیه‌سازی شده است، در شکل‌های (۲۲-۲۵)، قسمت حقیقی و موهومی امپدانس ورودی (به ترتیب نمودار آبی‌رنگ و قرمزرنگ) به ترتیب در گوشه‌های FS، SS،FF و SF نشان داده شده است. از شکل‌ها می‌توان دریافت که در حالت Fast-Fast قسمت موهومی در اکثر فرکانس‌ها مثبت بوده، به همین خاطر تغییرات تصادفی در حالت Fast-Fast برای تولید خازن منفی مناسب نیست؛ و در قسمت حقیقی در گوشه FF ما بهترین حالت مقاومت منفی را داریم؛ و بدترین حالت مقاومت منفی را در قسمت حقیقی در گوشه SF دارا هستیم. در شکل‌های (۲۶-۲۹) خازن ورودی در گوشه‌های FF، SS ، FS و SF نشان داده شده است؛ که با توجه به شکل در گوشه FF بهترین حالت پوشش فرکانسی را داشته و در گوشه SS کمترین حالت پوشش فرکانس را دارا می‌باشد و برای تولید خازن منفی مناسب نمی‌باشد. در شکل‌های (۳۰-۳۳) پارامتر s(1,1) به ترتیب در گوشه‌های FF، SS،FS و SF نشان داده شده است.



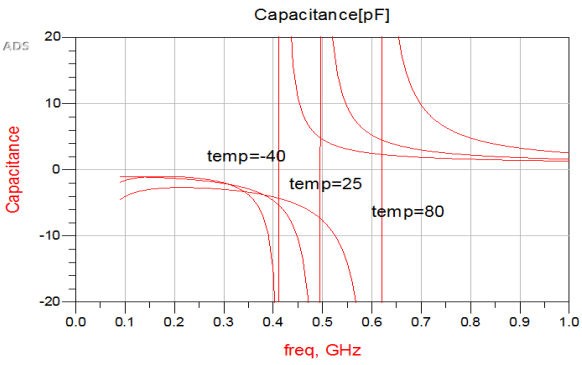
شکل (۱۵) :نمودار ضریب کیفیت برحسب فرکانس



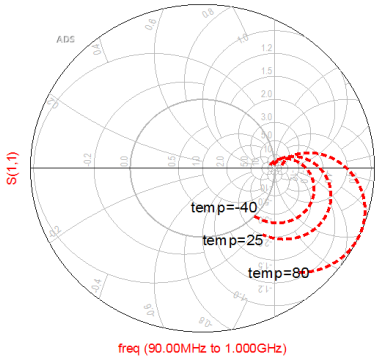
شکل (۱۶): نمودار قسمت حقیقی تغییرات گوشه‌های دمایی بر روی خازن منفی برحسب فرکانس



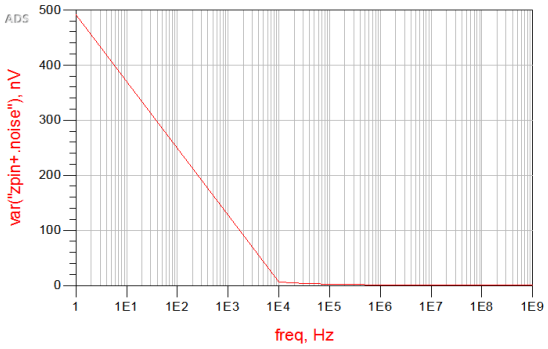
شکل (۱۷): نمودار قسمت موهومی تغییرات گوشه‌های دمایی بر روی خازن منفی برحسب فرکانس



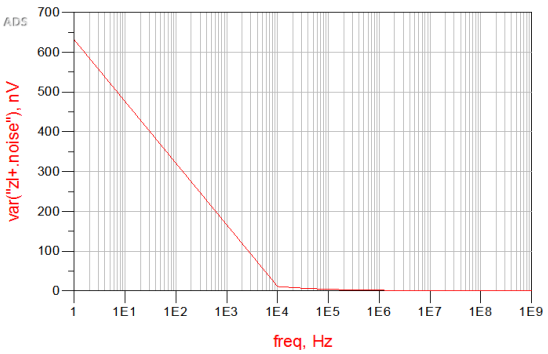
شکل (۱۸) : نمودار خازن ورودی برحسب دما



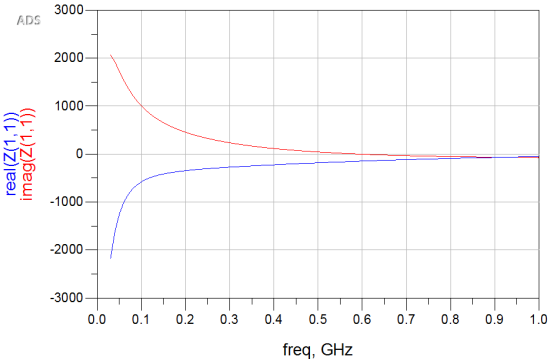
شکل (۱۹): نمودار پارامتر S(1,1)



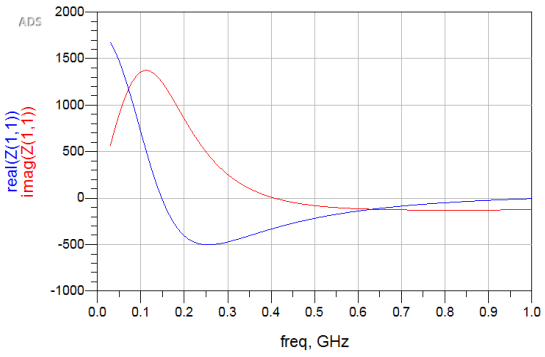
شکل (۲۰) : نویز ارجاعی ورودی برحسب فرکانس



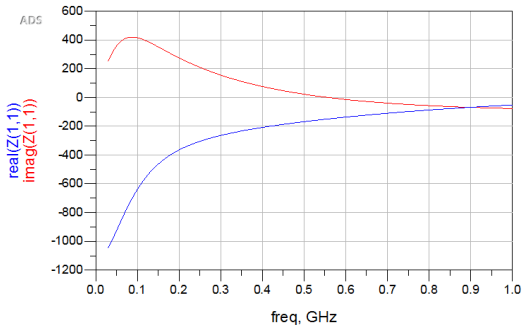
شکل (۲۱): نویز ارجاعی خروجی برحسب فرکانس



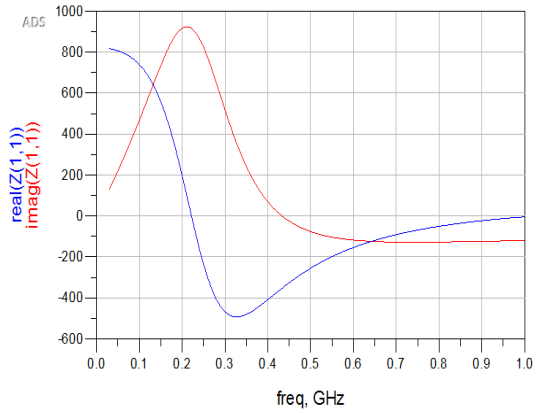
شکل (۲۲): امپدانس در فرکانس گوشه FF



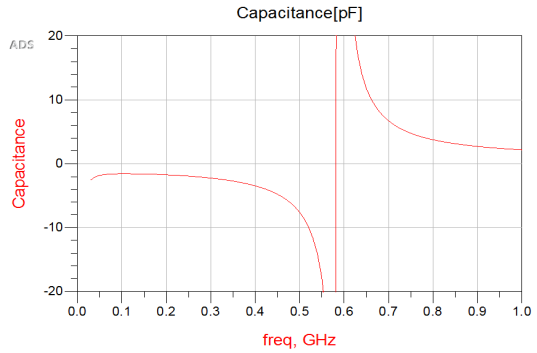
شکل (۲۳): امپدانس در فرکانس گوشه SS



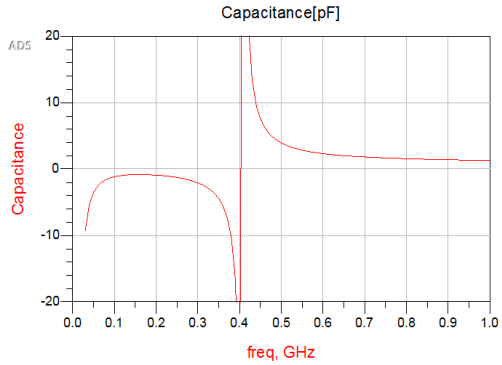
شکل (۲۴) : امپدانس در فرکانس گوشه FS



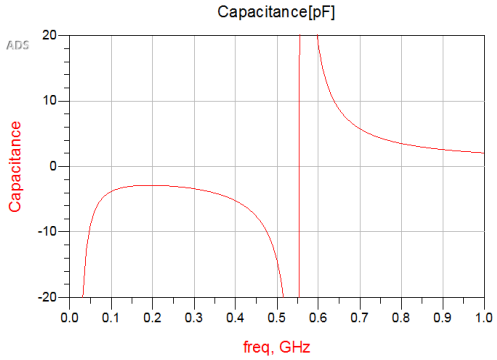
شکل (۲۵) : امپدانس در فرکانس گوشه SF



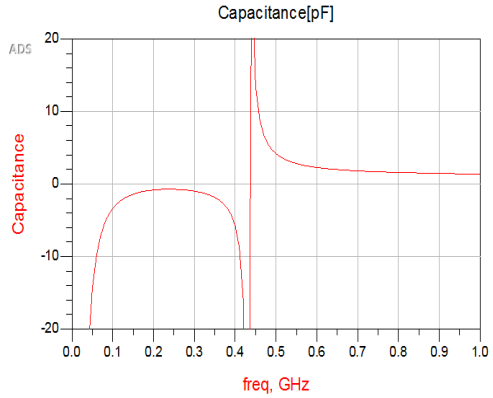
شکل (۲۶) :خازن تولیدشده برحسب فرکانس در گوشه FF



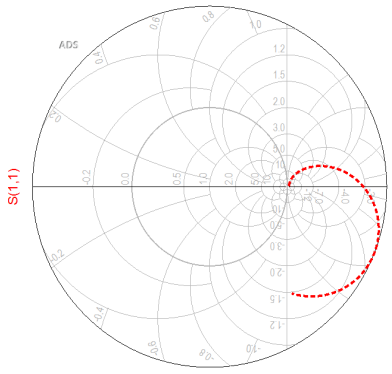
شکل (۲۷) :خازن تولیدشده برحسب فرکانس در گوشه SS



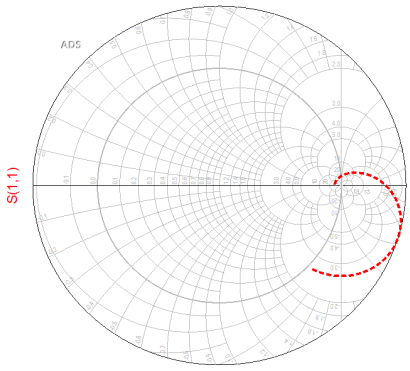
شکل (۲۸) :خازن تولیدشده برحسب فرکانس در گوشه FS



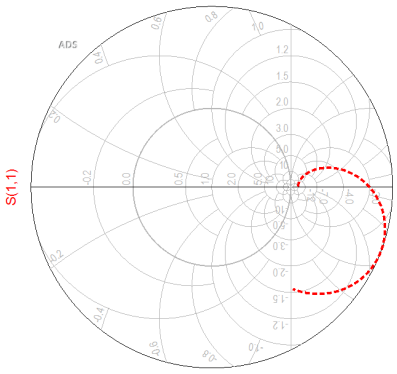
شکل (۲۹) :خازن تولیدشده برحسب فرکانس در گوشه SF



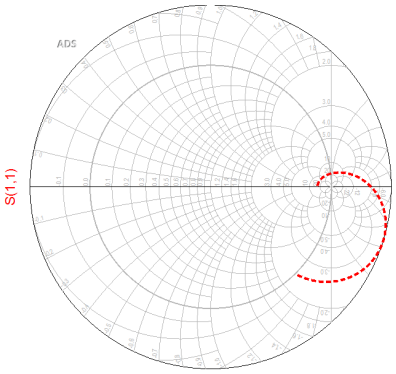
شکل (۳۰): پارامتر s(1,1) به ترتیب در گوشه FF



شکل (۳۱) :پارامتر s(1,1) به ترتیب در گوشه SS



شکل (۳۲): پارامتر s(1,1) به ترتیب در گوشه FS



شکل (۳۳) :پارامتر s(1,1) به ترتیب در گوشه SF

جدول(۳) نتایج شبیه‌سازی

Parameter	Simulation	Simulation	Simulation
Technology	0.18 µm	0.18 µm	0.18 µm
Supply Voltage (V)	1.8	1.8	1.8
Cl (pF)	5	10	20
Resonance freq. (MHz)	500	420	300
Negative Capacitance (pF)	-1.5	-3	-7
I (mW)	2.14	2.14	2.14
Power (mW)	3.85	3.85	3.85
Input-Referred Noise (nVrms/√Hz)	500	500	500
Output Noise (nVrms/√Hz)	650	650	650

نتایج شبیه‌سازی در جدول ۳، گزارش شده است که نشان می‌دهد که با خازن بار ۵ پیکوفاراد تا فرکانس ۵۰۰ مگاهرتز، خازن منفی در بازه ۱/۵- تا ۲۰- پیکوفاراد تولید می‌کند که توان مصرفی آن با منبع تغذیه ۱/۸ ولت در حدود ۳/۵ mW است. محدوده فرکانسی خازن منفی وسیع و مصرف توان نسبتاً پایین و ضریب کیفیت مناسب از مزیت‌های این طرح است.

۵- نتیجه‌گیری

در این مقاله، یک خازن منفی بر مبنای فناوری کراس کوپل شده طراحی شد. این خازن با استفاده از فناوری CMOS ساخته می‌شود. ابتدا مدار معادل آن و روابط ریاضی بین تغییرات ولتاژ و جریان شرح داده شد و سپس پاسخ فرکانسی آن شرح داده شد. در گام بعدی، مدارهای بهبودیافته برای خازن منفی معرفی شدند که این مدارها سبب می‌شد که پاسخ فرکانسی مدار بهبود یابد. کاربرد خازن منفی در مدارات گوناگون در بخش سوم شرح داده شد. در این بخش، پایداری مدارها نیز بررسی شد. در بخش چهارم، ابتدا مدار پیشنهادی در نرم‌افزار کیدنس با استفاده از فناوری ۱۸۰ نانومتری به‌وسیله یک خازن ۵ پیکو فاراد ترسیم گردید که اندازه تراشه با در نظر گرفتن خازن ۵ پیکو فاراد برابر ۱۵۲/۸۰ میکرومتر در۶۱/۴۰ میکرومتر می‌باشد. اندازه تراشه بدون خازن ۳۲ میکرومتر در۶۱/۴۰ میکرومتر است. در مرحله بعدی مدار پیشنهادی در ADS شبیه‌سازی شد و پاسخ فرکانسی و توان آن بررسی شد. مشخص شد که مدار ما می‌تواند در ظرفیت‌های مختلف کار کند. با توجه به فرکانس کاری مدار، ظرفیت خازن می‌تواند منفی یا مثبت باشد. ضریب کیفیت مدار نشان‌دهنده آن است که مدار عملکرد قابل قبولی دارد. هم‌چنین امپدانس مدار در حالت‌های مختلف چک و بررسی شد و نشان داده شد که مقدار مقاومت آن در فرکانس‌های مختلف کم است. همچنین نتایج شبیه‌سازی نشان می‌دهد که محدوده فرکانسی خازن منفی وسیع و مصرف توان نسبتاً پایین و ضریب کیفیت مناسب از مزیت‌های این طرح است.

مراجع

[۱] شهابی سیرمندی، بهزاد. (۱۳۹۲). *افزایش بهره‌ی تقویت‌کننده‌های گسترده با استفاده از سلول خازن منفی*(پایان‌نامه کارشناسی ارشد). دانشگاه تحصیلات تکمیلی، کرمان.

[۲]علوی، سید امین. علوی سید احسان. حکیمی، احمد. (۱۳۹۳)، افزایش بهره و پهنای باند تقویت‌کننده توزیع‌شده با کاهش تلفات و اثرات خازن‌های پارازیتی خط انتقال گیت. *نشریه مهندسی برق و کامپیوتر ایران، الف- مهندسی برق*، سال ۱۲، شماره ۲، پاییز ۱۳۹۳، صفحه ۱۴۰-۱۳۵.

[۳] فلاح، محمد. غلامی، محمد. اردشیر، غلامرضا. *استفاده از خازن منفی برای افزایش فرکانس در اسیلاتورهای حلقوی با بار مقاومتی*. دانشگاه صنعتی نوشیروانی بابل.دسترسی در ۱۴۰۰/۰۴/۰۳ از سایت https://civilica.com/doc/154411/

[4] Kshatri, Varun S and Partners. *Measurement and Simulation of a CMOS Current Conveyor Negative Capacitor for Metamaterials. Department of Electrical and Computer Engineering. University of North Carolina at Charlotte*. From https://ieeexplore.ieee.org/abstract/document/ 6950689,2014

[5] Ghadiri, Aliakbar. Moez, Kambiz. *Gain-Enhanced Distributed Amplifier UsingNegative Capacitance. IEEE TRANSACTIONS ON CIRCUITS AND SYSTEMS—I: REGULAR PAPERS*, VOL. 57, NO. 11, NOVEMBER 2010.

[6] Covington III, John M. C and Partners. *A Cross-Coupled CMOS Negative Capacitor forWideband Metamaterial Applications. Department of Electrical and Computer Engineering, The University of North Carolina at Charlotte*. From https://ieeexplore.ieee.org/document/6950696,2014

[7] Mrković, Boško. Ašenbrener, Martina. *The simple CMOS negative capacitance with improved frequency response. Tehnoalarm d.o.o. Zagreb, Croatia, University of Rijeka/Department of Informatics, Rijeka, Croatia*. From https://ieeexplore.ieee.org/abstract/document/6240619,2012

[8] Pushkar, Deika. *Modeling and Simulation of Negative Capacitance MOSFETs(dissertation)*. Department of Electrical Engineering, Indian Institute of Technology, Hyderabad, 2018.

[9] Kshatri, Varun S and Partners. *Capacitance and Bandwidth Tradeoffs in a Cross-Coupled CMOS Negative Capacitor*. Department of Electrical and Computer Engineering. Charlotte, NC, USA,2013.

[10] J. K. Kwon, K. D. Kim, W. C. Song and G. H. Cho, *"Wideband high dynamic range CMOS variablegain amplifier for low voltage and low power wireless applications,"* in *Electronics Letters*, vol. 39,no. 10, pp. 759-760, 15 May 2003.

[11] H. D. Lee, K. A. Lee and S. Hong, "*A Wideband CMOS Variable Gain Amplifier With anExponential Gain Control,"* in IEEE Transactions on Microwave Theory and Techniques, vol. 55, no.6, pp. 1363-1373, June 2007.

[12] B. Razavi, *RF Microelectronics*, Prentice Hall, 1997.

[13] B. Razavi, *design of analog cmos integrated circuits,* McGraw-Hill US, 2000.

[14] C. Zelley, "*A spherical representation of the Smith chart*," in IEEE Microwave Magazine, vol. 8, no. 3,pp. 60-66, June 2007.

[15] S. Kolev, B. Delacressonniere and J. -. Gautier, *"Using a negative capacitance to increase the tuning range of a varactor diode in MMIC technology,"* in *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 12, pp. 2425-2430, Dec. 2001.

[16] Carpentier, J.F. & Tilhac, C. & Caruyer, Greg & Dumont, F. & Parat, G. & Ancey, P.. (2005). *A tunable bandpass BAW-filter architecture and its application to WCDMA filter*. 4 pp..10.1109/MWSYM.2005.1516564.

[17] Yue Wu, Xiaohui Ding, M. Ismail and H. Olsson, *"RF bandpass filter design based on CMOS active inductors,"* in *IEEE Transactions on Circuits and Systems II: Analog and Digital Signal Processing*,vol. 50, no. 12, pp. 942-949, Dec. 2003.

[18] P. Vincent *et al*., *"A 1V 220MHz-Tuning-Range 2.2GHz VCO Using a BAW Resonator," 2008 IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, 2008,pp. 478-629.

[19] A. Ghadiri and K. Moez, "*Wideband Active Inductor and Negative Capacitance for Broadband RF and Microwave Applications,"* in IEEE Transactions on Components, Packaging and ManufacturingTechnology, vol. 4, no. 11, pp. 1808-1814, Nov. 2014.

[20] A. Ghadiri and K. Moez, "*Gain-Enhanced Distributed Amplifier Using Negative Capacitance,"*in *IEEE Transactions*

on Circuits and Systems I: Regular Papers, vol. 57, no. 11, pp. 2834-2843, Nov.2010.

[21] S. A. Alavi, S. Ghadirian, and S. J. S. M. Chabok, "Bandwidth and gain extension technique for CMOSdistributed amplifiers using negative capacitance and resistance cell," *MicroelectronicsJournal,* vol. 60, no. Supplement C, pp. 60-64, 2 Jan. 2017.

[22] M. Dongi and M. Jalali, "A wideband CMOS VGA with dB-linear gain based on active feedback and negative capacitance," *2017 Iranian Conference on Electrical Engineering (ICEE)*, Tehran, 2017, pp.506-510.

[23] A. Hajimiri, "Distributed integrated circuits: An alternative approach to high-frequency design," *IEEECommun. Mag.*, vol. 40, no. 2, pp. 168–173, Feb. 2002.

[24] E. J. Bond, X. Li, S. C. Hagness, and B. D. Van Veen, "Microwave imaging via space-timebeamforming for early detection of breastcancer," *IEEE Trans. Antennas Propag.*, vol. 51, no. 8, pp.1690–1705, Aug. 2003.

[25] S. Mohammadi, J. W. Park, D. Pavlidis, J. L. Guyaux, and J. C. Garcia, "Design optimization and characterization of high-gain GaInP/GaAsHBT distributed amplifiers for high-bit-rate telecommunication,," *IEEE Trans. Microw. Theory Tech.*, vol. 48, pp. 1038–1044, Jun. 2000.