Journal of Systems Smartening and Data Processing
Vol. 3 - No. 1 - Spring 2025

Design of an optical receiver limiting amplifier circuit in 0.18 µm CMOS technology up to a bandwidth of about 2.5 GHz

Sima Honarmand

Department of Electrical Engineering, Bey. C., Islamic Azad University, Beyza, Iran
Sima.honarmand@iau.ac.ir

Received: 15 April 2025	**Revised:** 23 May 2025	**Accepted:** 24 May 2025

Abstract:

One of the challenges ahead in the field of optical communications is the design of transmitter and receiver circuits with submicron CMOS technologies for gigabit/second applications. This challenge becomes more apparent as submicron technologies become smaller and smaller, their parasitic and second-order effects become larger, posing numerous problems for the designer. In the design of optical receivers, two important factors must be considered. These two factors are the amplifier bandwidth and the input sensitivity. The total bandwidth of the optical receiver is usually determined in the Transimpedance Amplifier (TIA) and can be estimated by its time constant, which is due to the parasitic capacitance of the photodiode and the input resistance of the TIA. Since the signal generated in the TIA stage for the photodiode input current level usually has a small amplitude of a few tens of millivolts, one or more other amplifier stages are placed after the TIA stage to provide the appropriate signal swing for the logic levels (clock and data recovery circuits). For this purpose, multiple stages of limiting amplifier (LA) cells are used. A major goal in high-speed systems is to design LA stages with high gain, wide bandwidth, and high output swing. In this article, the main goal of designing the analog part of optical receivers for telecommunication applications is to actively study, investigate, and pay attention to circuits with communication applications, in addition to considering parameters such as appropriate frequency response, low noise immunity of devices, and low power losses.

Keywords: Optical communication receiver, Transimpedance amplifier, limiting amplifier, Full active design.

Corresponding Author: Dr. Sima Honarmand
Corresponding Author Address: Department of Electrical Engineering, Bey. C., Islamic Azad University, Beyza, Iran

طراحی مدار تقویت کننده محدودساز گیرنده نوری در تکنولوژی ۰/۱۸ میکرومتر CMOS تا پهنای باندی حدود ۲/۵ گیگاهرتز

سیما هنرمند، استادیار

گروه مهندسی برق - واحد بیضا، دانشگاه آزاد اسلامی، بیضا، ایران
Sima.honarmand@iau.ac.ir

تاریخ ارسال مقاله: ۱۴۰۴/۰۱/۲۶	تاریخ بازنگری مقاله: ۱۴۰۴/۰۳/۰۲	تاریخ پذیرش مقاله: ۱۴۰۴/۰۳/۰۳

چکیده: یکی از چالش های پیش رو در زمینه مخابرات نوری، طراحی مدارات فرستنده وگیرنده با تکنولوژی های زیرمیکرونی CMOS برای کاربردهای گیگابیت بر ثانیه می باشد. این چالش وقتی نمایان تر می شود که تکنولوژی های زیرمیکرونی کوچک و کوچکتر شده، اثرات پارازیتی و مرتبه دوم شان بزرگتر شده و طراح را دچار مشکلات متعددی کند. در طراحی گیرنده های نوری، دو فاکتور مهم باید در نظر گرفته شود. این دو فاکتور پهنای باند تقویت کننده و حساسیت ورودی می باشند. پهنای باند کل گیرنده ی نوری معمولا در طبقه ی اول تعیین می شود و می تواند توسط ثابت زمانی اش، که ناشی از خازن پارازیتی فوتودیود و مقاومت ورودی طبقه تقویت کننده ی اولیه(TIA) است، تخمین زده شود. از آنجا که سیگنال تولید شده در طبقه TIA به ازای سطح جریان ورودی فوتودیود، معمولاً دامنه کوچکی در حد چند ده میلی ولت را داراست، لذا به دنبال طبقه TIA یک یا چند طبقه تقویت کننده دیگر قرار می گیرد تا سوئینگ سیگنال مناسب را برای سطوح منطقی (مدارات بازیابی پالس ساعت و اطلاعات) فراهم آورد. بدین منظور از چند طبقه سلول تقویت کننده محدودساز (LA) استفاده می شود. یک هدف اصلی در سیستم های با سرعت عملکرد بالا، طراحی طبقات LA با بهره بالا، پهنای باند گسترده و سوئینگ خروجی زیاد می باشد. در این مقاله، هدف اصلی طراحی بخش آنالوگ گیرنده های نوری برای کاربردهای مخابراتی است، که علاوه بر در نظر گرفتن پارامترهایی نظیر پاسخ فرکانسی مناسب، نویزپذیری کم ادوات و توان تلفاتی کم، بتوان مدارات با کاربردهای ارتباطی را به صورت تمام فعال مورد مطالعه، بررسی و توجه قرار داد.

کلمات کلیدی: گیرنده مخابرات نوری، تقویت کننده امپدانس انتقالی، تقویت کننده محدود ساز، طراحی تمام فعال

نام نویسنده‌ی مسئول: دکتر سیما هنرمند
نشانی نویسنده‌ی مسئول: بیضا- خیابان دانشگاه- دانشگاه آزاد اسلامی واحد بیضا- گروه مهندسی برق

۱- مقدمه

پیشرفت تکنولوژی و نیاز به ارتباطات بیش از سه دهه است که زندگی ما انسان ها را تحت تاثیر قرار داده است. امروزه افزایش روز افزون ارتباطات، ما را در مسیر استفاده از نور به عنوان حاملی سریع برای انتقال داده ها قرار داده است. ایده استفاده از نور به عنوان سیگنال حامل داده ها، به بیش از یک قرن پیش باز می گردد. اما این ایده تا اواسط دهه پنجاه میلادی در حد یک ایده باقی ماند که تا در آن زمان، محققان محیط مناسب انتشار نور، یعنی همان فیبر نوری را، به عنوان ابزاری مناسب معرفی کردند. با وجود اینکه فیبرهای نوری ساخته شده در آن سال ها تلفات زیادی داشتند، اما ایده استفاده از نور آنچنان توجه ها را به خود جلب کرده بود که محققان زیادی را برای کار بر روی ارتباطات نوری و دستیابی به باند مدولاسیون وسیع برای انتقال نور، جذب کرد. نهایتاً، تحقیقات برای استفاده از فیبر نوری و استفاده از نور برای انتقال داده ها در دهه هفتاد میلادی به ثمر نشست و اینچنین سیستم های مخابرات نوری روز به روز کاربرد گسترده تری در سرویس های انتقال داده با سرعت بالا پیدا کردند[۱و۲].

افزایش روز افزون حجم انتقال داده ها در شبکه های ارتباطی، بیانگر نیاز به سیستم ها و مدارات الکترونیکی با سرعت و دقت بیشتر است. با ظهور اینترنت و افزایش یافتن سرعت عملکرد میکروپروسسورها و حافظه ها، سیستم های انتقال دهنده داده در تنگنای رقابت با سرعت سریع میکروپروسسورها قرار گرفتند و نیاز به کانال های ارتباطی سریع تر به شدت احساس می شده است[۴و۳].

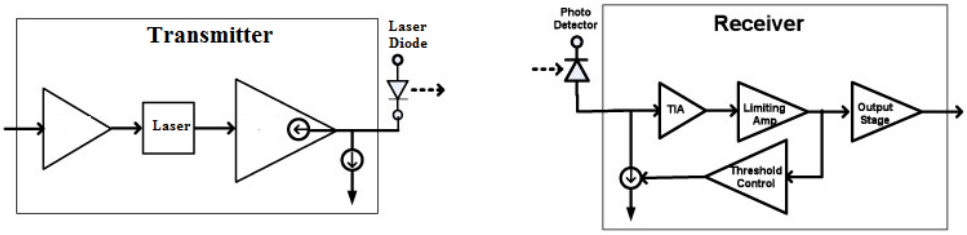
در دنیای امروز مخابرات نوری یکی از زمینه هایی است که با سرعت بسیار زیادی در حال توسعه می باشد، به گونه ای که هر روزه شاهد به وجود آمدن کاربردهای جدیدی هستیم که در تمامی آن ها نیاز به انتقال اطلاعات به وسیله باریکه نور و با سرعت بالا بین قطعات الکترونیکی وجود دارد. ارتباطات نوری اکنون در فناوری های متفاوتی مانند شبکه های محلی نوری[1] و ارتباطات مادون قرمز بی سیم مورد استفاده قرار می گیرد[۷-۵] .

یک محیط بسیار مناسب برای انتشار طول موج نور حامل داده، فیبر نوری می باشد. در شبکه های فیبر نوری می توان در ازای اندکی تضعیف در واحد مسافت به پهنای باند بسیار وسیع دست یافت. به گونه ای که می توان اطلاعات را بدون تضعیف زیاد، تا فواصل بسیار طولانی انتقال داد. همچنین با گسترش روزافزون سیستم های اینترنت، تقاضا برای استفاده از سرویس هایی با سرعت بالا در حد چند گیگابیت بر ثانیه رو به فزونی گذاشته است. از جمله مزیت های فیبر نوری نسبت به خطوط فلزی، نویزپذیری کمتر، پهنای باند بیشتر، تلفات در واحد مسافت کمتر و مصونیت از تداخل الکترومغناطیسی می باشد.

بدین ترتیب، علاوه بر اینکه ارتباطات نوری برای مسافت های کوتاه بسیار مناسب می باشد، محیط مناسب انتقال نور برای مسافت های طولانی نیز حاصل شده که آنرا برای کاربردهایی با مسافت های طولانی را نیز ممکن می سازد. از دیگر کاربردهای رو به رشد فیبر نوری تشخیص و محدوده (LiDARs)، حسگرهای نوری، نور مرئی ارتباطات (VLC) و اپتیک بی سیم می باشند[۸-۱۰]. سیستم های ارتباطی نوری فقط در رنج فرکانسی موج حامل که اطلاعات را منتقل می کند با سیستم های میکروویو فرق می کنند. فرکانس حامل نوری در حدود ۲۰۰ تراهرتز است اما فرکانس موج حامل میکروویو معمولاً ۱ گیگاهرتز است. سیستم های نوری در نرخ داده ۱ ترابیت بر ثانیه کار می کنند.

در حالت کلی، یک شبکه مخابرات نوری مطابق شکل(۱) می باشد که در آن سیگنال ورودی از یک منبع اطلاعات وارد سیستم شده و پس از انجام عمل مدولاسیون، سیگنال در قالب اطلاعات دیجیتالی وارد مدار فرستنده شده و این سیگنال های دیجیتالی با روشن و خاموش کردن یک دیود لیزری و یا دیود نور گسیل، تبدیل به سیگنال-های نوری شده و از طریق فیبر نوری به گیرنده ارسال می شود. در گیرنده ابتدا با کمک یک آشکارساز نوری، به عنوان مثال یک فوتودیود، سیگنال نوری دریافت شده و به جریان الکتریکی تبدیل می شود و این جریان به کمک تقویت کننده ی امپدانس انتقالی به سطح ولتاژ پائینی تبدیل می شود. به منظور افزایش دامنه ی ولتاژ و نسبت سیگنال به نویز، سیگنال خروجی مدار امپدانس انتقالی وارد طبقه ی تقویت کننده ی دیگری به نام تقویت کننده ی محدودساز می شود. در مرحله ی آخر عمل دمدولاسیون برای بازیابی سیگنال الکتریکی توسط بخش دیجیتال گیرنده انجام می شود[۱، ۹ و۱۰].

[1] LAN



شکل(۱) : بلوک دیاگرام یک سیستم مخابرات نوری

بعد از مدوله کردن سیگنال داده بر روی طول موجی از باریکه ی نور، بدیهی است که سیگنال داده در طول مسیر دچار تضعیف می شود. در طبقه اول گیرنده ها، فوتودیود نور را به جریانی الکتریکی متناسب با شدت نور تابشی، تبدیل می کند. سپس این جریان ضعیف می بایست به اندازه کافی تقویت گردد تا این سیگنال برای سیستم های دیجیتال قابل خواندن باشد. بدین جهت، از دو بلوک تقویت کننده مناسب قبل از طبقه CDR[۲] استفاده می گردد. بلوک اول، تقویت کننده امپدانس انتقالی است که بهره بالایی دارد، و بلوک دوم تقویت کننده محدودساز است که بهره کمتری دارد و پهنای باند بالاتری لازم دارد، و ساختار آن معمولا تفاضلی است تا نویز سیستم را بدین ترتیب بتوان کاهش داد.

در طراحی یک سیستم مخابرات نوری، مشکل ترین قسمت در طراحی، طراحی بخش گیرنده می باشد. یک گیرنده نوری در سیستم مخابرات نوری، شامل چهارقسمت کلی: آشکارساز نوری[۳] ، تقویت کننده ی اولیه[۴] (تقویت کننده امپدانس انتقالی)، تقویت کننده ی ثانویه[۵] (تقویت کننده محدودساز) و مدارات بازیابی پالس ساعت[۶] و اطلاعات می باشد، که تقویت کننده های امپدانس انتقالی و محدودساز، بخش آنالوگی سیستم گیرنده است و مدار بازیابی پالس ساعت، بخش دیجیتالی این سیستم هاست[۲و۱۳]. دراین مقاله، طراحی یک بخش از مدارات آنالوگ یک گیرنده نوری ، تقویت کننده ی محدودساز، برای گیرنده های مخابرات نوری کم توان مورد بررسی قرار گرفته است.

۲- تقویت کننده ی محدودساز[۷]

سیگنال خروجی طبقه تقویت کننده ی امپدانس انتقالی، معمولاً دامنه کوچکی در حدود چند ده میلی ولت دارد، که این سطح ولتاژ برای کار در طبقات مدارات دیجیتال مناسب نمی باشد، و نیاز به تقویت بیشتر سیگنال (تا سطح دامنه ۵۰۰ میلی ولت) می باشد. بدین دلیل، بعد از تقویت کننده ی امپدانس انتقالی، باید طبقاتی از تقویت کننده های دیگری قرار گیرند تا سوئینگ سیگنال را برای سطوح منطقی (مدارات بازیابی پالس ساعت و اطلاعات) تقویت کند. برای طراحی دومین بلوک تقویت کنندگی در یک گیرنده ی نوری، دو انتخاب وجود دارد.

۱- تقویت کننده با کنترل اتوماتیک بهره[۸]

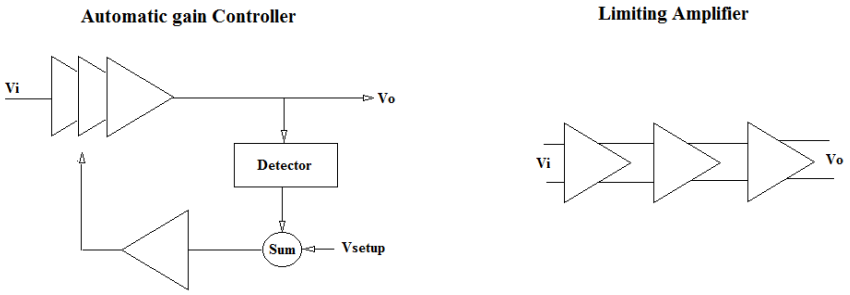
۲- تقویت کننده محدود ساز[۹]

این دو ساختار در شکل (۲) نشان داده شده اند.

مدارات AGC ساختاری حلقه بسته دارند که سوئینگ خروجی آنها خطی بوده و خروجی آنها بدون توجه به دامنه ولتاژ ورودی ثابت باقی می ماند. در این ساختار، دامنه ولتاژ خروجی به وسیله یک ولتاژ کنترلی تنظیم می شود. این ساختار به خاطر پیچیده بودن مدارات آشکارساز پیک و نیاز به استفاده از یک فرآیند زمانی، برای استفاده در گیرنده های نوری چندان

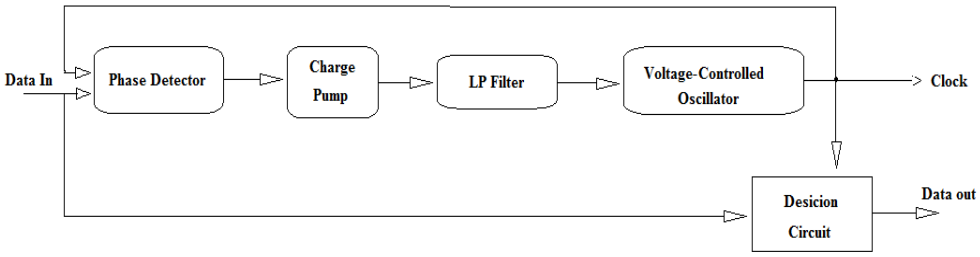
[2] Clock and Data Recovery
[3] Photo-Detector
[4] Transimpedance Amplifier
[5] Limiting Amplifier
[6] Clock Data Recovery
[7] Post Amplifier
[8] Automatic Gain Control (AGC)
[9] LA

مناسب نیست. همچنین این ساختارها مشکل پایداری دارند. از طرف دیگر، LA ساختاری حلقه باز دارد و سوئینگ خروجی آن خطی نیســت. LA به خاطر طراحی آســانتر، مصــرف توان کمتر، محدودهٔ دینامیکی بزرگتر، احتیاج به اجزاء خارجی کمتر و داشتن عملکرد نویز و سرعت بهتر نسبت به AGC، به طور گسترده در کاربردهای مخابرات نوری استفاده می شود.



شکل(۱): ساختارهای تقویت کننده های محدودساز

اطلاعات دریافتی از تقویت کننده ی محدودســاز، ناهمزمان و نویزی اســت. مدار بازیابی پالس ســاعت و اطلاعات به تقویت کننده محدودساز متصل می شود. هدف از بلوک CDR جداسازی پالس ساعت از داده های ورودی و تولید پالس ساعت جدید برای داده ها و همچنین کاهش جیتر[۱۰] در ســیگنال ورودی می باشــد. مدار کلی بازیابی پالس ســاعت واطلاعات در شــکل(۳) نشان داده شده است [۱۴]. با توجه به شکل، داده ها وارد CDR می شوند و با پالس ساعت داخلی به وسیله تشخیص دهنده فاز مقایسه می گردد. سیگنال های پالس ساعت به وسیله یک اسیلاتور کنترل شده با ولتاژ (VCO)[۱۱] ساخته می شوند. هر اختلافی بین فازها، بیانگر یک سیگنال خطا می باشد که به وسیله پمپ بار[۱۲] کنترل می شود. سیگنال کنترلی اسیلاتور کنترل شده با ولتاژ به وسیله پمپ بار و فیلتر پایین گذر تولید می شود. اسیلاتور کنترل شده با ولتاژ برای آنکه با فاز ورودی هم فاز شود، فرکانس را بصورت اتوماتیک بالا یا پایین می برد. پالس ساعت جدیدی که تولید شده به عنوان فیدبک به تشخیص دهنده فاز و تکرار کننده عملیات فرستاده می شود. همچنین پالس ساعت به مدار تصمیم گیرنده فرستاده می شود تا داده ها را دوباره زمان گذاری کرده و نوسانات را کاهش دهد.



شکل(۳): ساختار کلی بلوک بازیابی پالس ساعت و اطلاعات

هدف از این مقاله، طراحی و شــبیه ســازی تقویت کننده ی محدود ســاز (LA) برای بخش تقویت کننده یک گیرنده نوری با تکنولوژی CMOS می باشد.

۴- ساختار کلی گیرنده های نوری

یک سیستم گیرنده مخابرات نوری را می توان به طور کل با سه بلوک که به شکل سری به هم متصل اند، تعریف کرد. بلوک اول همان آشکارساز نوری است که از یک نیمه هادی تشکیل شده است و متناسب با چگالی نور دریافتی، جریان الکتریکی

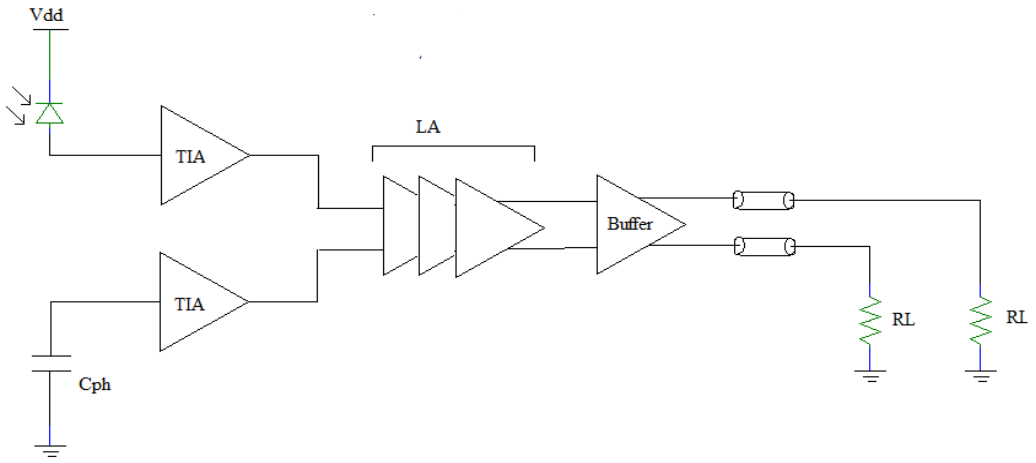
[10] Jitter
[11] Voltage Controlled Oscillator
[12] Charge Pump

تولید می کند، که این جریان ضعیف در حدود چند صد میکروآمپر می باشد. بنابراین، گیرنده ی نوری باید حساسیت بالایی داشته باشد تا سیگنال را با خطای نرخ داده ی قابل قبولی آشکار کند. پس، عملکرد گیرنده معمولاً بوسیله ی حساسیت ورودی، پهنای باند و روش آشکارسازی گیرنده تعیین می گردد[۱۵]. این حساسیت به صورت متوسط توان نوری ورودی یا ریشه ی دوم میانگین حسابی نویز ورودی بیان می شود. پهنای باند معمولا توسط خازن کل آشکار ساز نوری، تقویت کننده و دیگر عناصر پارازیتی موجود در سر گیرنده تعیین می گردد. بلوک دوم، تقویت کننده امپدانس انتقالی است که تقویت اصلی روی سیگنال در این بلوک صورت می گیرد و بدین جهت دقت در طراحی این طبقه بسیار حیاتی است. بلوک سوم، که همان تقویت کننده محدودساز باشد، جهت تقویت بیشتر و رساندن سطح دامنه سیگنال به یک دامنه منطقی مناسب برای طبقات دیجیتال است. هدف ما در این مقاله، طراحی بلوک سوم گیرنده های نوری است.

۴-۱- تقویت کننده محدودساز

این طبقه، از چند سلول تقویت کننده که به شکل سری به هم متصل شده اند، تشکیل شده است. حداکثر تعداد این طبقات برای این بلوک، پنج طبقه می باشد. ساختار پایه ای این سلول ها، ساختار تفاضلی دارد تا نویز کل سیستم را کاهش دهد و به دلیل بهره کم ساختارهای تفاضلی است که از چند طبقه از این سلول ها استفاده می گردد.

در سیستم های گیرنده مخابرات نوری، سیستم گیرنده شامل دو بخش می شود، که یکی بخش آشکارسازی سیگنال مدوله شده بر روی باریکه نور، و دیگری بخش تقویت سیگنال داده است. شکل(۴) بلوک دیاگرام یک گیرنده نوری را نشان می دهد که شامل دو طبقه تقویت کننده TIA (یکی جهت تقویت سیگنال آشکار شده از فوتودیود، و دیگری تنها جهت تشکیل نویز و کم کردن آن در طبقه LA از سیگنال)، و چند طبقه تقویت کننده محدودساز (جهت تقویت بیشتر و حذف نویز طبقات قبل) است. همچنین از یک طبقه بافر با بار ۵۰ اهم جهت تطبیق امپدانس نیز استفاده شده است تا هم برای کاربردهای با مسافت کوتاه و هم مسافت بلند مناسب باشد.

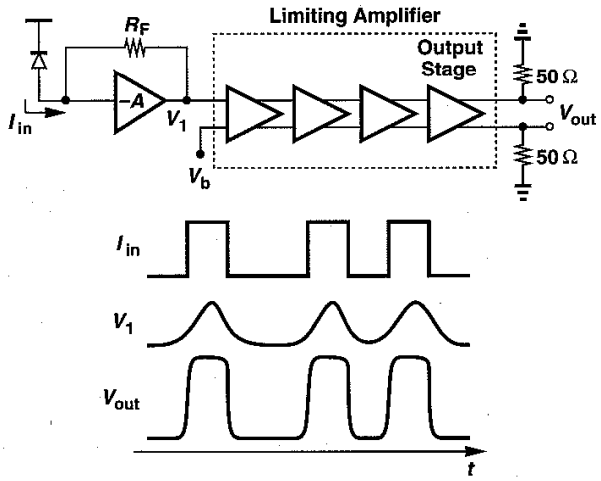


شکل(۴): بلوک دیاگرام گیرنده ی نوری

از آنجا که سیگنال تولید شده در طبقه TIA به ازای سطح جریان ورودی فوتودیود، معمولاً دامنه کوچکی در حد چند ده میلی ولت را داراست، لذا به دنبال طبقه TIA یک یا چند طبقه تقویت کننده دیگر قرار گیرد تا سوئینگ سیگنال مناسب را برای سطوح منطقی (مدارات بازیابی پالس ساعت و اطلاعات) فراهم آورد. بدین منظور از چند طبقه سلول تقویت کننده محدودساز (LA) استفاده می شود. یک هدف اصلی در سیستم هایی با سرعت عملکرد بالا، طراحی طبقات LA با بهره بالا، پهنای باند گسترده و سوئینگ خروجی زیاد می باشد.

۴-۱-۱- پارامترهای موثر در عملکرد تقویت کننده محدودساز

تقویت کننده های محدود ساز ی که در گیرنده های مخابرات نوری استفاده می شوند باید اهداف خاصی را دنبال کنند. آرایش نشـان داده شـده در شـکل(۵) را در نظر بگیرید. در این سـاختار طبقه LA باید سـیگنال خروجی TIA را بیشـتر تقویت کند و سوئینگ ولتاژ بزرگتری تحویل طبقه CDR می دهد.



شکل (۵): تقویت کننده ی محدودساز و نقش آن در سیستم های گیرنده نوری [۱]

در ادامه به بررسی چند نمونه از جنبه های مهم LA پرداخته می شود.

خازن ورودی: خازن گره ورودی طبقه LA باید به اندازه کافی کوچک باشـد تا پهنای باند طبقه قبلش، یعنی طبقه TIA را کاهش ندهد. قرار دادن یک بافر بین TIA و LA برای جلوگیری از اثر بار گذاری در مدارهایی با ولتاژ تغذیه پایین بسیار مشکل است. همچنین طبقه اول LA از یک مصالحه بین خازن ورودی، نویز ورودی و بهره ولتاژ رنج می برد[۱۶].

پهنای باند: گفته شـد که پهنای باند TIA تقریباً ۰/۷ برابر مقدار نرخ داده تنظیم می شـود. پهنای باند طبقه LA معمولاً بزرگتر از پهنای باند طبقه TIA در نظر گرفته می شـود. این بدین خاطر اسـت که اگر چند طبقه تقویت کننده با پهنای باند های برابر با هم سـری شـوند پهنای باند سـیگنال کوچک کلی کمتر از تک تک طبقات اسـت [۱۴]. همانطور که در شـکل (۵) مشـاهده می شـود، انتقال داده از خروجی TIA به ورودی طبقه LA نسـبتاً کند اسـت، اما تقویت کننده ی محدودسـاز باید سـیگنال را به گونه ای تقویت و برش دهد که ولتاژ خروجی آن، نرخ تغییرات بالا و همچنین زمان صـعود و نزول کمی را به نمایش بگذارد.

نویز: جریان نویز وارد شده به ورودی LA به دو دلیل مهم است. اول آنکه پهنای باند وسیع LA نویز بیشتری ایجاد می کند، و دوم آنکه طراحی طبقه TIA با بهره امپدانس انتقالی بالا در سـرعت های بالا و برای تکنولوژی زیرمیکرونی که ولتاژ تغذیه پائینی دارند، بسـیار مشـکل اسـت و اینچنین اسـت که رفتار نویز در طبقه LA بسـیار حائز اهمیت اسـت. اگر پهنای باند نویز طبقات TIA و LA را به ترتیب B_T و B_L فرض کنیم، جریان نویز ارجاع شـده به ورودی کل مجموعه TIA و LA بصـورت زیر بیان می شود[۱].

$$I_{n,in,tot}^2 = I_{n,T}^2 B_T + \frac{V_{n,L}^2 B_L}{R_T^2} \qquad (۱)$$

که در آن $I_{n,T}$ جریان نویز ارجاع شـده به ورودی TIA، $V_{n,L}$ ولتاژ نویز ارجاع شـده به ورودی LA و R_T بهره TIA اسـت. مطلوب است تا $V_{n,L}$ را به قدری کوچک انتخاب کنیم که بتوان قسمت دوم رابطه (۱) را ناچیز پنداشت.

بهره: طبقه ورودی LA باید بهره مناسبی داشته باشد تا میزان نویز در طبقات بعد، به حداقل ممکن برسد.

ولتاژ آفست: طبقات تفاضلی نشان داده شده در شکل(۵) از یک ولتاژ آفست محدود رنج می برند که پس از مواجه شدن با یک بهره بالا در LA می توانند باعث اشـباع طبقات آخر شـوند. به این دلیل به همراه LA معمولاً یک مدار جهت حذف ولتاژ آفست نیز به کار می رود [۱۷].

بررسی تعداد طبقات لازم: همانطور که گفته شد، طبقه LA شامل چندین سلول تقویت کننده هست که به شکل سری به هم متصل شده اند. این سلول های تقویت کننده پس از اتصال به هم پهنای باند کمتری را در مقایسه با تک تک سلول های تقویت کننده نشان می دهند. از آنجا که در کاربردهای با سرعت های چند گیگا بیت بر ثانیه تعاملاتی بین بهره، پهنای باند و توان مصرفی مدارات برقرار است، لازم است ارتباط بین تعداد طبقات استفاده شده و تعاملات ذکر شده، برای این مدارات مورد بررسی قرار گیرد.

برای طراحی یک تقویت کننده N طبقه فرض می کنیم که طبقات بهره باهم مشابه هستند و هر طبقه به وسیله یک تقویت کننده دو قطبی تقریب زده می شود. در این مورد بهره A(s) هر طبقه به صورت زیر توصیف می شود[۱۸].

$$A(S)=\frac{A_S}{\left(1+\frac{s}{\omega_{p1}}\right)\left(1+\frac{s}{\omega_{p2}}\right)}=\frac{A_S.\omega_n^2}{s^2+2\delta\omega_n s+\omega_n^2} \quad (۲)$$

که در آن A_S بهره طبقه، ω_n فرکانس طبیعی و δ ضریب میرایی است. پهنای باند 3dB- یک طبقه (w_s) بوسیله جایگزینی $j\omega_s$ (که $j=\sqrt{-1}$) به جای s و محاسبه مقدار ω_s حاصل می شود. پس[۱۸]:

$$\left|\frac{A_S.\omega_n^2}{-\omega_s^2+2\delta\omega_n\omega_s j+\omega_n^2}\right|=\frac{A_S}{\sqrt{2}} \quad (۳)$$

بنابراین :

$$\omega_s=\left(1-2\delta^2+\sqrt{(2\delta^2-1)^2+1}\right)^{1/2}.\omega_n \quad (۴)$$

بعد از N طبقه سلول بهره که با هم سری شده اند بهره کلی به صورت$A_t(s)$ می باشد.

$$A_t(s)=\left(\frac{A_S.\omega_n^2}{s^2+2\delta\omega_n s+\omega_n^2}\right)^N \quad (۵)$$

باهمان روالی که ω_s حاصل شد، در رابطه فوق $j\omega_t$ را جایگزین s می کنیم تا پهنای باند کلی ω_t حاصل شود[۱۵].

$$\omega_t=\sqrt{\frac{\sqrt[N]{2^N-1}}{(2\delta^2-1)+\sqrt{(2\delta^2-1)^2+\left(\sqrt[N]{2^N-1}\right)}}}.\omega_s \quad (۶)$$

از رابطه (۲) تا (۶) بهره DC کلی A_t و پهنای باند کلی ω_t برای یک LA، N طبقه به صورت زیر بازنویسی می شود.

$$A_t=(A_s)^N \quad (۷)$$

$$\omega_t=\sqrt{\frac{\sqrt[N]{2^N-1}}{(1+2\delta^2)+\sqrt{(2\delta^2-1)^2\left[(2\delta^2-1)^2+\sqrt[N]{2^N-1}\right]}}}.\omega_S \quad (۸)$$

برای یک پاسخ مسطح $\delta=\frac{1}{\sqrt{2}}$ قرار می دهیم. با جایگذاری δ برابر $\frac{1}{\sqrt{2}}$ در رابطه (۸) می توانیم به یک نمایش ساده تری برسیم.

$$\omega_S=\left(\frac{1}{\sqrt[N]{2^N-1}}\right)^{\frac{1}{4}}.\omega_t \quad (۹)$$

رابطه (۹) نشان می دهد که سری کردن N طبقه مشابه، پهنای باند مدار را نتیجتا کاهش می دهد. به همین دلیل در یک LA پهنای باند هر یک از سلول ها باید به اندازه کافی بزرگ در نظر گرفته شود. حال، برای بررسی توان مصرفی ابتدا فرکانس بهره واحد یک تک طبقه را در نظر می گیریم. برای این منظور $j\omega_{unit}$ را به جای s در رابطه (۲) جایگذاری می کنیم[۱۸].

$$\omega_{unit} = \left(1 - 2\delta^2 + \sqrt{(2\delta^2 - 1)^2 + A_S^2 - 1}\right)^{\frac{1}{2}} \quad (۱۰)$$

با جایگذاری A_s و ω_n از رابطه (۷) و (۸) فرکانس بهره واحد برای طبقات مجزا بر حسب A_t و ω_t حاصل می شود.

$$\omega_{unit} = \frac{\left[(1-2\delta^2)\left(\sqrt{(2\delta^2-1)^2+A_t^{\frac{2}{N}}-1}\right)\left(2\delta^2-1+\sqrt{(2\delta^2-1)^2+\sqrt[N]{2^N-1}}\right)^{\frac{1}{2}}\right]}{\left(\sqrt[N]{2^N-1}\right)^{\frac{1}{2}}} \quad (۱۱)$$

با جایگذاری $\delta = \frac{1}{\sqrt{2}}$ در رابطه (۱۱) داریم:

$$\omega_{unit} = \left(A_t^{\frac{2}{N}} - 1\right)^{\frac{1}{4}} \left(\frac{1}{\sqrt[N]{2^N-1}}\right)^2 . \omega_t \quad (۱۲)$$

توان مصرفی کلی که برای یک LA تخمین زده می شود به صورت زیر بیان می شود.

$$power \propto N.\left(\omega_{unit}^2\right) \propto N.\omega_t^2 .\left(\frac{1}{\sqrt[N]{2^N-1}}\right)^{\frac{1}{2}} \quad (۱۳)$$

در روابط بالا بهره و پهنای باند یک سلول طبقه LA فرکانس بهره واحد و توان مصرفی کلی LA، با N طبقه، به عنوان تابعی از تعداد طبقات بیان شد. با توجه به مطالب بحث شده و تعملات بین بهره، پهنای باند، نویز و مصرف توان یک مدار، در طراحی طبقات LA معمولاً بیشتر از پنج طبقه مورد استفاده قرار نمی گیرد. برای طراحی LA معمولاً چند طبقه تقویت کننده تفاضلی مشابه پشت سر هم بسته می شود. تقویت کننده ی تفاضلی دارای ساختارهای مختلفی می باشند که ساده ترین آنها تقویت کننده ی تفاضلی با بار مقاومتی است.

۴-۲-۱ تقویت کننده محدودساز با ساختار پایه ای Cherry-Hooper

مطابق شکل(۶)، برای یک سلول تقویت کننده محدودساز از یک تقویت کننده Cherry-Hopper استفاده شده تا عمل محدودسازی را انجام دهد. در طراحی تقویت کننده های محدودساز، بر خلاف تقویت کننده های امپدانس انتقالی، قدرت مانور زیاد برای طراح وجود ندارد. چرا که ساختار برای حذف نویز باید الزاما تفاضلی، و توان تلفاتی در این طبقه نیز باید کم باشد.
اینکه از چند طبقه تقویت کننده محدودساز می توان استفاده کرد نیز خود جای بحث دارد. با فرض اینکه هر سلول بهره ایده آل است و بتوان با یک تقویت کننده دو قطبی تخمین اش زد، داریم:

$$A(s) = \frac{A\times\omega_n^2}{S^2+2\xi\omega_n+\omega_n} \quad (۱۴)$$

در این معادله، A بهره سیگنال کوچک است که بهره کل N طبقه برابر می شود با A^N . بنابراین پهنای باند ۳- دسی بل یک تک طبقه برابر می شود با:

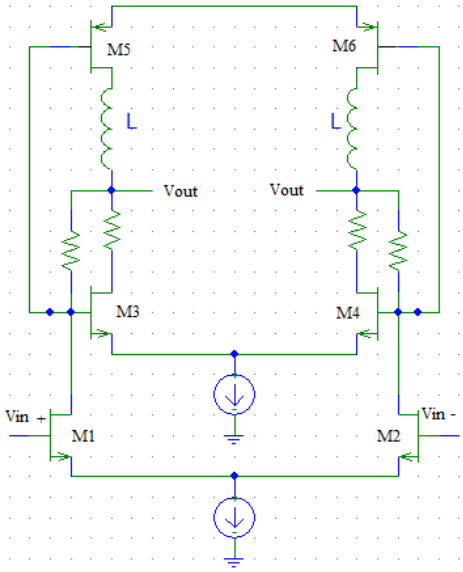
$$\omega_S = \sqrt{1 - 2\xi^2 + \sqrt{(1-2\xi^2)^2+1}} \times \omega_n \quad (۱۵)$$

و برای N طبقه سلول بهره داریم:

$$\omega_c = \left[1 - 2\xi^2 + \sqrt{(1-2\xi^2)^2 + 2^{\frac{1}{n}} - 1}\right] \times \omega_n \quad (۱۶)$$

با احتساب $\xi = \sqrt{2}/2$ برای یک پاسخ مناسب و ادغام ۲ فرمول اخیر، خواهیم داشت :

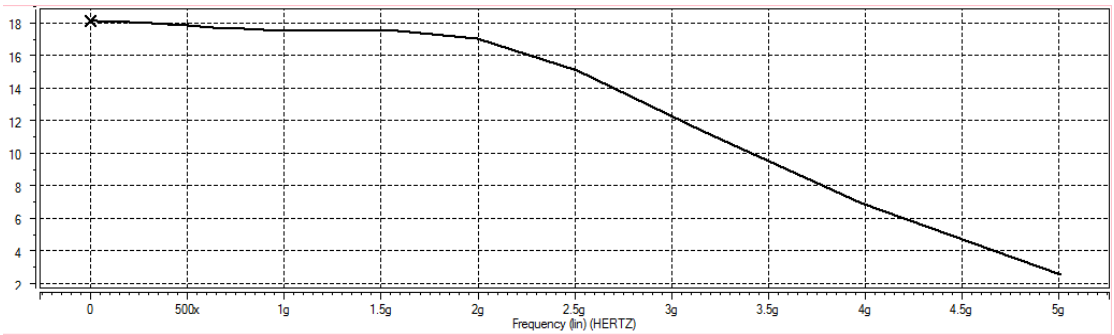
$$\omega_S = \sqrt[4]{\frac{1}{2^{1/n}-1}} \times \omega_c \qquad (۱۷)$$



شکل(۶): تقویت کننده محدودساز با ساختار پایه ای Cherry-Hooper

از طرفی باید دقت داشت که از یک سلول بهره به بعد، دامنه سیگنال از ۲۵ میلی ولت بیشتر می شود و از آنجا به بعد، دیگر به عنوان یک تقویت کننده ی سیگنال کوچک به حساب نمی آیند، و این به این معناست که کاهش پهنای باند از آن طبقه به بعد، کم است. معماری مدار ارائه شده، بر اساس معماری Cherry-Hooper است، که از تکنیک پیک زنی سلفی نیز جهت افزایش پهنای باند، و فیدبک موازی- موازی جهت کاهش امپدانس گره ها استفاده شده است. همچنین از دو PMOS به جای مقاومت بایاس گیت M3 و M4 استفاده شده است که جریان حاصل از آنها و اختلاف ولتاژی که در دوسر آن می افتد، تاثیر مثبتی بر روی بهره ی حاصل و ولتاژ خروجی دارد.

در این بخش، مدار تقویت کننده محدودساز در تکنولوژی ۰/۱۸ میکرومتر CMOS با منبع تغذیه ۱/۵ ولت و خازن بار خروجی ۰/۱ پیکوفاراد شبیه سازی شده است. در این پیاده سازی سعی شده است تا پهنای باندی حدود ۲/۵ گیگاهرتز حاصل شود، زیرا در تقویت کننده های محدودساز، اتصال سری چند طبقه از این تقویت کننده ها، باعث کاهش پهنای باند کل می شود. از این رو، با توجه به نتایج شبیه سازی، پاسخ فرکانسی یک سلول مدار تقویت کننده محدودساز در شکل ۷ نشان داده شده است. پهنای باند حاصل از این مدار به ازای یک سلول بهره برابر با ۲/۴ گیگاهرتز می باشد.



شکل(۷): پاسخ فرکانسی یک سلول تقویت کننده ی محدودساز ارایه شده.

بهره ی یک سلول این مدار، همانطور که در شکل مشخص است، ۱۸ دسی بل اهم است. توان تلفاتی آن به ازای ولتاژ تغذیه ۱/۵ ولت تنها برابر با ۶۵۴ میکرو وات است و همچنین ولتاژ DC خروجی این مدار برابر با حدودا ۶۵۰ میلی ولت است. از آنجا

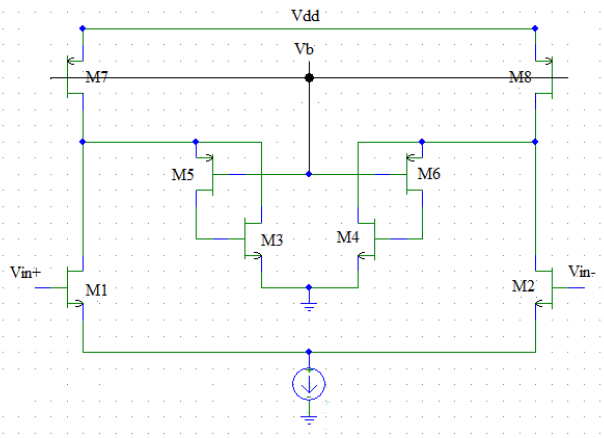
که در طبقات محدودساز از ساختار تفاضلی استفاده می شود، نویز طبقه امپدانس انتقالی در این طبقات که ساختار تفاضلی دارند، به شدت کاهش می یابد.

۴-۳-۱ تقویت کننده تمام فعال محدودساز

برای افزایش سرعت عملکرد مدار و پهنای باند آن، در هر سلول تقویت کننده می توان از بارهای سلفی استفاده کرد، بدین منظور در پاسخ فرکانسی مدار، با ایجاد رزونانس بین سلف و خازن های پارازیتی مدار، یک پیک به وجود می آید. برای آنکه مقدار این پیک بهینه باشد، باید مقدار سلف استفاده شده طبق معادله (۱۸) حساب گردد.

$$L_{opt} = 0.4 \times R^2 \times C \qquad (۱۸)$$

بدین ترتیب پهنای باند مدار به نسبت ۷۰٪ افزایش می یابد بدون آنکه جهشی در پاسخ حاصل آید. معمولا مقدار سلف برای نرخ داده ۲/۵ گیگابیت بر ثانیه برابر با 10nH-20nH بدست می آید.



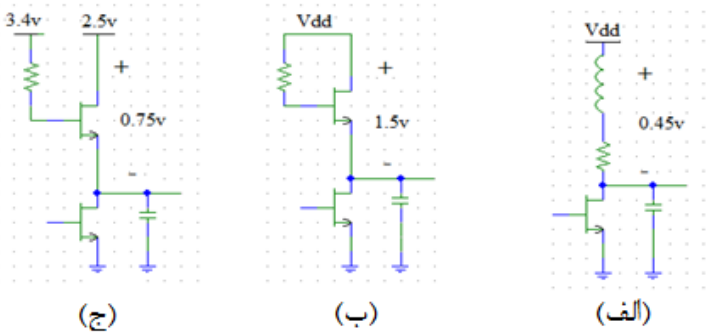
شکل(۸): تقویت کننده محدودساز تمام ترانزیستوری

مطابق شکل (۹)، تکنیک پیک زنی سلفی را می توان به ۳ روش انجام داد.

الف) سلف های بر تراشه[۱۳]،

ب) سلف های اکتیو موازی،

ج) سلف های اکتیو با تکنیک افزایش ولتاژ.



شکل(۹): الف) تا ج) تکنیک های مختلف پیاده سازی پیک زنی سلفی

[13] on-chip

با وجود سوییینگ بالایی که در سلف های بر تراشه مطابق شکل (۹) (الف) حاصل می شود، اما فضای زیادی اشغال می کنند. مطابق شکل(۹) (ب) با وجود فضای کمی که سلف های اکتیو کسکود اشغال می کنند، اما برای سوییینگ بیشتر نیاز به منبع تغذیه بیشتری دارند و اگر بخواهیم سوییینگ خروجی بیشتر شود، مطابق شکل (۹) (ج)، باید از دو منبع ولتاژ مختلف بهره گرفت. در ساختار ارائه شده ، در این بخش از سلف های فعال به شکل کسکود با ساختار تفاضلی استفاده نشده است تا کاهش سوییینگ ولتاژ خروجی را به همراه نداشته باشند. آنچه در این بخش ارائه شده است، سوییینگ ولتاژ خروجی را کاهش نمی دهد. شکل(۹) (الف)، ساختار سلف فعال، شکل(۹) (ب) مدارمعادل آن و شکل(۹) (ج) معادل سیگنال کوچک آنرا نشان می دهد.

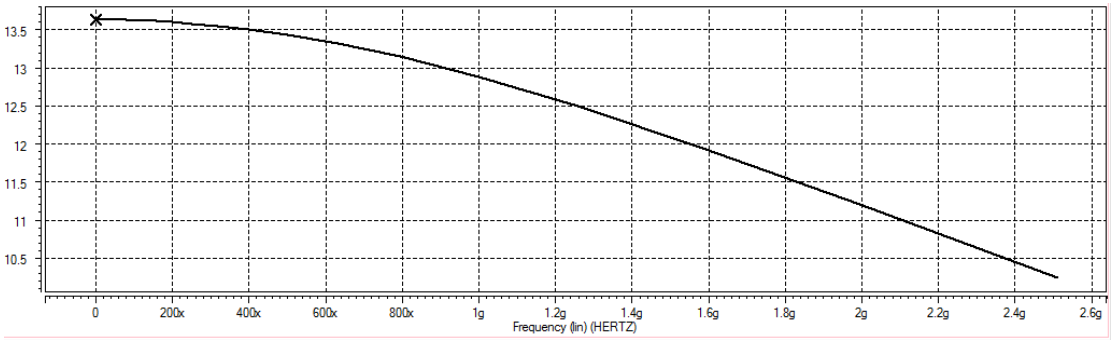
امپدانس دیده شده در شکل(۹) (الف) را می توان با معادله زیر تخمین زد.

$$Z_{\text{in}} = \frac{1}{g_m} \times \frac{1+S.Cg_S.Rf}{1+S\frac{Cg_S}{g_m}} \qquad (۱۹)$$

بدین ترتیب ساختار سلول تقویت کننده محدودساز طراحی شده، مطابق شکل(۱۰) ارایه شده است.

M1 و M2 به عنوان ساختارهای تفاضلی عمل می کنند. ترانزیستورهای M3 و M4 در نقش سلف های فعال، با خازن گره خروجی رزونانس می کنند تا سرعت عملکرد مدار را افزایش دهند. M5 و M6 در ناحیه خطی بایاس شده اند تا رفتار مقاومتی داشته باشند. ترانزیستورهای M7 و M8 نیز به عنوان بارهای ساختار تفاضلی استفاده می شوند. در این طرح به دلیل اینکه فقط دو ترانزیستور به شکل کسکود بسته شده اند، ولتاژ گره خروجی، سوییینگ لازم برای طبقه CDR را فراهم می آورد. بدین ترتیب در مقایسه با کارهای قبلی، به منبع ولتاژ کمتری نیز احتیاج داریم.

برای تایید عملکرد مدار، ساختار ارایه شده در نرم افزار HSPICE و با تکنولوژی ۰/۱۸ میکرو متر CMOS شبیه سازی شده است. شکل(۱۰)، پاسخ فرکانسی مدار ارائه شده را نشان می دهد. همانطور که دیده می شود بهره مدار برابر با ۱۳/۶ دسی بل و پهنای باند آن برابر با ۲/۳ گیگاهرتز می باشد. همچنین توان تلفاتی آن به ازا ۰/۵ ولت منبع تغذیه، برابر با ۲/۴ میلی وات می باشد. نویزپذیری آن نیز برابر با ۲۰۰ nA√Hz می باشد. همانطور که انتظار می رفت، در این روش امکان کاهش منبع تغذیه به میزان قابل توجهی فراهم آمده، پهنای باند بالایی نیز از آن حاصل شده است که اتصال ۴ طبقه از این سلول را برای کار در بلوک محدودساز مهیا می سازد. از طرف دیگر، با کاهش منبع تغذیه، توان تلفاتی نیز کاهش یافته است و طبق نتایج شبیه سازی، این مدار به عنوان یک مدار با توان مصرفی پایین قابل استفاده می باشد. نتایج تئوری و شبیه سازی های انجام شده برای این مدار، نشان می دهد که مدار ارائه شده برای کار به عنوان بلوک تقویت کننده محدودساز کم توان با نرخ داده 2.5Gb/s ، بسیار مناسب می باشد.



شکل(۱۰): پاسخ فرکانسی نقویت کننده محدودساز ارائه شده ی تمام ترانزیستوری

۵- نتیجه گیری

طرح اول تقویت کننده محدود ساز یک ساختار Cherry-Hopper بر پایه ساختارهای تفاضلی است و طرح دوم یک ساختار تمام فعال است که از بار فعال سلفی بهره می برد. در دو جدول زیر، خلاصه ای از طرح های ارائه شده آورده شده است.

جدول (۱): مقایسه مدارات تقویت کننده های محدودساز ارایه شده (به ازای هر سلول بهره).

محدودساز	توان تلفاتی	منبع تغذیه(V)	پهنای باند(GHz)	بهره (dbΩ)
بر پایه Cherry-Hopper	۶۵۴μW	۱/۵	۲/۴	۱۸
تمام فعال	۲/۴mW	۰/۵	۲/۳	۱۳/۶

همانطور که بیان شـــد، در این مقاله به طراحی تقویت کننده محدود ســـاز مورد نیاز در گیرنده های مخابرات نوری کم توان پرداخته شـده اسـت. اسـتفاده از قطعات الکترونیکی ارزان قیمت، شـرط اصـلی ایت که توجیه گر کارکرد یک سـیسـتم مخابرات نوری است. در نتیجه، طراحی با اسـتفاده از تکنولوژی CMOS انتخاب مناسـبی برای سـیسـتم های مخابرات نوری است. چنین تکنولوژی هایی به خاطر اســتفاده زیاد در الکترونیک دیجیتال هزینه تولید پایینی دارند. تحت این شــرایط جامعه علمی تلاش های زیادی برای طراحی سـیسـتم های مخابرات نوری کرده اسـت که با توسـعه مدام کارخانجات میکروالکترونیک و فیبر نوری پشتیبانی می شوند. مشخصه اصلی طراحی سیستم های مخابرات نوری در این رساله پایین بودن توان تلفاتی سیستم در طبقه تقویت کننده محدود ســـاز می شـــود. دو نمونه طراحی تقویت کننده های محدود ســـاز را ارایه دادیم. طرح اول تقویت کننده محدود ساز یک ساختار Cherry-Hopper بر پایه ساختارهای تفاضلی است و طرح دوم یک ساختار تمام فعال است که از بار فعال سلفی بهره می برد. طرح اول دارای عناصر پسیو می باشد، و طرح دوم سلول تقویت کننده را به صورت تمام فعال ارائه داده است. پاسخ فرکانسی، کیفیت سیگنال خروجی جهت استفاده در طبقات دیجیتال، پروسه ساخت و توان تلفاتی مدارات در این مقاله مورد بررسی قرار گرفته است. بدین ترتیب بلوک های تقویت کننده محدودساز ارائه شده، با نرخ بیت های مختلف در این مقاله ارائه شـــده اســـت که این مدارات برای کار به عنوان بلوک های تقویت کننده محدود ســـاز و نهایتا برای اســـتفاده به عنوان سیستم گیرنده مخابرات نوری کم توان بسیار مناسب می باشند.

References
مراجع

[1] B. Razavi, Design of Integrated Circuits for Optical Communications. New York, NY, USA: Wiley, 2003.

[2] E. Sackinger, “The Transimpedance limit”, *IEEE Trans. Circuits Syst. I, Reg. Papers*, vol. 57, no. 8, pp. 1848-1856, Aug. 2010.

[3] D. Guckenberger, J. D. Schaub, D. Kucharski, K. T. Komegay, “1V, 10 mW, 10Gb/s CMOS Optical Receiver Front-End”, *IEEE Radio Frequency Integrated Circuit (RFIC) Symposium*, pp. 309-312, 2005.

[4] W. Pongpalit, V. Kasemsuwan, H. Ahn, “A 3 Gb/S 80 dB CMOS Differential Transimpedance Amplifier for Optical Communication System”, *in Proc. IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 2, pp. 1614-1617, 2005.

[5] L. Schares et al., “A 17 Gb/S low-power optical receiver using a Ge-on-SOI photodiode with a 0.13 μm CMOS IC”, *in Proc. IEEE Optical Fiber Communication Conference (OFC)*, 2006, pp. 1-3.

[6] Y. Wang, K. Iniewski, “A 2.4 GHz 82 dB Fully Differential CMOS Transimpedance Amplifier for Optical Receiver Based on Wide Swing Cascode Topology”, *in Proc. IEEE International Symposium on Circuits and Systems (ISCAS)*, vol. 2, pp. 1601-1605, 2005.

[7] B. Mesgari, S. S. K. Poushi, H. Zimmermann, “4 Gb/s Multi-Dot PIN-Photodiode-Based CMOS Optical Receiver Using a Single to Differential TIA-Equalizer”, *IEEE Access*, vol. 12, pp. 142994-143015, 2024.

[8] B. Radi, D. Abdelrahman, O. Liboiron-Ladouceur, G. Cowan, T. C. Carusone, “Optimal optical receivers in nanoscale CMOS: A tutorial”, *IEEE Trans. Circuits Syst. II, Exp. Briefs*, vol. 69, no. 6, pp. 2604–2609, Jun. 2022.

[9] S. Galal, B. Razavi, “10-Gb/s Limiting amplifier and laser/modulator driver in 0.18μm CMOS”, *IEEE J. Solid-State Circuits*, vol. 38, no. 12, pp. 2138-2146, Dec. 2003.

[10] S.-J. Yang, J.-H. Lee, M.-J. Lee, W.-Y. Choi, “A 20 Gb/s CMOS single-chip 850 nm optical receiver”, *J. Lightw. Technol.*, vol. 42, no. 13, pp. 4525–4530, Jul. 2024.

[11] H. Park, Y.-U. Jeong, S. Kim, ‘‘A 24-Gb/s/pin single-ended PAM-4 receiver with 1-Tap decision feedback equalizer using inverter-based summer for memory interfaces”, *IEEE Access*, vol. 10, pp. 91888–91896, 2022.

[12] G. Dziallas et al., “A 56-Gb/s optical receiver with 2.08-μA noise monolithically integrated into a 250-nm SiGe BiCMOS technology”, *IEEE Trans. Microw. Theory Techn.*, vol. 70, no. 1, pp. 392–401, Jan. 2022.

[13] R. Soltanisarvestani, S. Zohoori, A. Soltanisarvestani, “A RGC-Based, Low-Power, CMOS Transimpedance Amplifier for 10Gb/s Optical Receivers”, *International Journal of Electronics*, vol. 107, no. 3, pp. 444-460, 2020.

[14] H. Liang et al., “A 2.5 Gb/s Low Noise CMOS Transimpedance Amplifier”, *IEEE ASIC*, pp. 565-568, 2007.

[15] W.-Z. Chen, Y.-L. Cheng, D.-S. Lin, “A 1.8-V10-Gb/s fully integrated CMOS optical receiver analog front-end”, *IEEE J. Solid-State Circuits*, vol. 40, no. 6, pp. 1388-1396, June 2005.
[16] B. Razavi, Design of Integrated Circuits for Optical Communication. New York, NY, USA: McGraw-Hill, 2002.
[17] J. Savoj, B. Razavi, High-Speed CMOS Circuits for Optical Receivers. Boston, MA, USA: Kluwer Academic Publishers, 2001.
[18] Y. L. Cheng, “10Gbps optical receiver front-end circuit design”, *M.S. thesis, Dept. Electr. Eng*., National Central University, Taoyuan City, Taiwan, 2003.