طراحی یک مدار نمونه‌بردار و نگه‌دار با دقت 12-Bit جهت نرخ داده 200MS/s

حمید محمودیان[۱] - مهدی دولتشاهی[۲]

(۱) کارشناس ارشد - موسسه آموزش عالی جهاد دانشگاهی اصفهان، اصفهان، ایران

(۲) استادیار - گروه الکترونیک، دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، اصفهان، ایران

تاریخ دریافت: ۱۳۹۲/۴/۱۰ تایخ پذیرش: ۱۳۹۳/۴/۲۵

خلاصه: در این مقاله، یک مدار نمونه‌بردار و نگه‌دار تمام تفاضلی با دقت 12 بیت برای نرخ داده 200 Ms/s ارائه گردیده است. در مدار پیشنهادی این مقاله به منظور افزایش خاصیت خطی و همچنین افزایش میزان ولتاژ عملکرد، ازسوئیچ‌های بوت استرپ جهت نمونه‌برداری از سیگنال ورودی استفاده گردیده است. همچنین به منظور جلوگیری از اثر بارگذاری طبقات بعدی بر روی مدار پیشنهادی از یک بافر خروجی با بهره قابل تنظیم جهت افزایش خاصیت خطی استفاده گردیده است. عملکرد مدار پیشنهادی توسط نرم افزار Hspice با استفاده از تکنولوژی CMOS-0.35um مورد شبیه‌سازی قرار گرفته است که نتایج شبیه‌سازی، عملکرد مناسب مدار را جهت نرخ داده 200Ms/s با دقت 12 بیت در خروجی تصدیق می‌کند.

کلمات کلیدی: نمونه‌بردار و نگه‌دار، تزریق بار، سوئیچ بوت استرپ.

۱- مقدمه

اکثر مبدل‌های آنالوگ به دیجیتال (ADC)، یک مدار نمونه‌بردار و نگه‌دار (S/H) را در ابتدای تبدیل به‌کار می‌گیرند که بایستی سرعت بالا، خطی بودن بالا و دقت مطلوب را با مصرف توان کم فراهم آورد. در سیستم‌های با ولتاژ تغذیه کوچک، نمونه‌گیری آنالوگ مشکل می‌باشد. زیرا سقف ولتاژ محدود شده، تضاد بین رنج دینامیک، خطی بودن، سرعت و مصرف توان را تشدید می‌کند. بنابراین بحث بهبود توان، سرعت و دقت بالا برای این مدارات مسئله اساسی است که در این مقاله مورد مطالعه قرار گرفته است. این محدودیت‌ها بخصوص در تکنولوژی‌های جدیدتر CMOS به خاطر کاهش ولتاژ تغذیه شدیدتر می‌گردد.مدارهای S/H پرسرعت در ساختارهای حلقه باز عمل می‌کنند، ولی هنگامی‌که این مدارها در تکنولوژی CMOS پیاده‌سازی می‌شوند، دقت آنها کم است. مدارهای S/H با ساختار حلقه بسته می‌توانند رزولوشن بالا فراهم آورند اما نیاز به بلوک مداری با بهره بالا مانند آپ‌امپ، سرعت مدار را محدود می‌کند.

از آنجاکه بافرهای با فیدبک به طور واضح از پهنای باند محدود ناشی از جبران‌سازی تقویت‌کننده رنج می‌برند، در این کار تنها بافرهای حلقه باز در نظر گرفته شده است. تکنولوژی CMOS عموماً فاقد یک بافر حلقه باز ساده مانند امیتر-فالوور در تکنولوژی دوقطبی می‌باشد. بافر سورس-فالوور ساده از مدولاسیون طول کانال ترانزیستور راه‌انداز به عنوان منبع اصلی اعوجاج هارمونیکی رنج می‌برد. بنابراین یک بافر ساده که خطی بودن بهبود یافته‌تری را نشان دهد، پیشنهاد شده است.

در میان همه‌ی فاکتورهای مهم عملکرد مدار نمونه‌بردار و نگه‌دار CMOS با دقت بالا به تزریق بار و اثر مستقیم کلاک وابسته است. راه‌حل‌های متعددی برای غلبه بر این مشکل پیشنهاد شده است. این تکنیک‌ها شامل حذف بار با استفاده از ترانزیستور MOS مجازی (dummy) [۱،۲]، حذف آفست با اضافه کردن یک شبکه جبران‌سازی [۳]، استفاده از ساختار حلقه بسته، ساختار تفاضلی، استفاده از خازن نگه‌داری میلری و مدار نمونه‌بردار و نگه‌دار بر پایه آپ‌امپ سوئیچ شده می‌باشد [۱-۴].

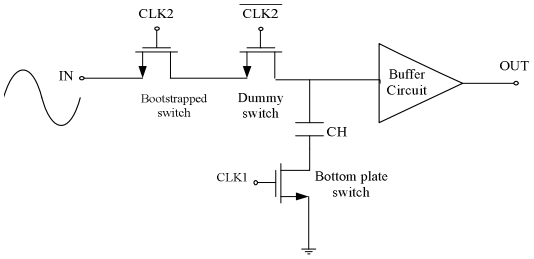
با وجود این‌که تکنیک‌های اشاره شده فوق در عمل به کار می‌روند، بایستی توجه داشت که این تکنیک‌ها تضادی را بین سرعت، مصرف توان و پیچیدگی طرح وارد می‌کنند. از سوی دیگر، با استفاده از یک سوئیچ NMOS به عنوان یک سوئیچ نمونه‌برداری در مدار S/H دو محدودیت به وجود خواهد آمد. مقاومت R_{on} وابسته به سیگنال ورودی و تزریق بار وابسته به ورودی که هر دو منجر به اعوجاج غیرخطی سیگنال می‌شوند. برای کاهش وابستگی مقاومت روشن بودن R_{on} به سیگنال ورودی و تزریق بار، سوئیچ‌های بوت استرپ در نقاط بحرانی مدار S/H استفاده می‌شوند. در حقیقت سوئیچ‌های بوت استرپ اعوجاج سیگنال را به‌وسیله نگه‌داشتن ولتاژ گیت-سورس سوئیچ‌های نمونه‌برداری مستقل از سطوح سیگنال ورودی کاهش می‌دهند [۸]. بنابراین سوئیچ‌های آنالوگبوت استرپ به طور وسیعی برای عملکرد ریل تا ریل سوئیچ در مدارات با ولتاژ کم استفاده می‌شوند. این مدارات یک تزریق بار ثابت را در رنج کامل ولتاژ تغذیه در ازای اثر مستقیم کلاک وابسته به ورودی نشان می‌دهند.

نویسنده مسئول: مهدی دولتشاهی، دانشگاه آزاد اسلامی، واحد نجف‌آباد، dolatshahi@iaun.ac.ir

۲- مدار نمونه‌بردار- نگه‌دار پیشنهادی

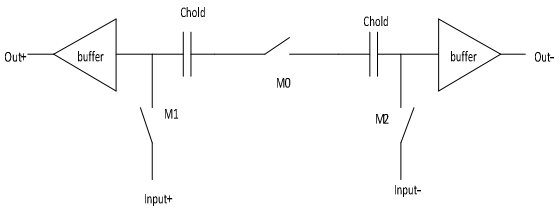
بررسی‌های به عمل آمده نشان می‌دهد که استفاده از ساختار حلقه باز، برای عملکرد مدار در فرکانس نمونه‌برداری 200MS/s و فرکانس ورودی بالا (نرخ نایکوئیست) راه‌کار منطقی‌تری باشد.استفاده همزمان از دو روش سوئیچ dummy و bottom plate تا حد قابل قبولی می‌تواند خطای ایجاد شده ناشی از تزریق بار سوئیچ را کاهش دهد [۲ و ۵-۷]. لیکن این ساختار هنوز هم از خطای تزریق بار و همچنین مقاومت R_{on} وابسته به ورودی رنج می‌برد که عامل اصلی ایجاد اعوجاج هارمونیکی در خروجی است.

بهترین تکنیک برای کاهش خطاهای فوق استفاده از تکنیک بوت استرپ برای سوئیچ‌های اصلی مدار می‌باشد. شکل (۱) ساده‌ترین مدار S/H را که با توجه به مطالب یاد شده قابل پیاده‌سازی است نشان می‌دهد.



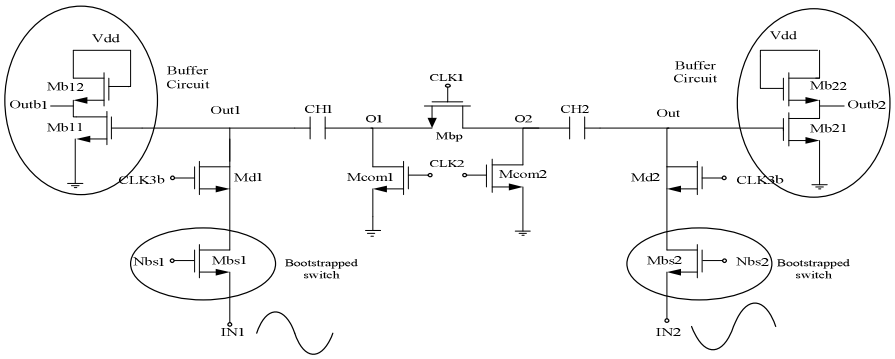
شکل (۱): مدار ساده S/H برای حذف خطاهای پایه [۲]
Fig. (1): Simple S/H circuit to eliminate basic errors

به منظور حذف خطاهای آفست ناشی از اثر مستقیم کلاک و تزریق بار بهترین روش استفاده از ساختار تفاضلی است. در این صورت می‌توان برای حذف عدم تطابق بین ترانزیستورهای Bottom plate و در حقیقت بهبود در عملکرد، از مداری همانند شکل (۲) استفاده نمود. در طول حالت نمونه برداری M_0، M_1 و M_2 بسته هستند و بافر، ورودی‌های تفاضلی را در حالی که خازن‌های نمونه‌برداری شارژ می‌شوند، دنبال می‌کند. در لحظه‌ی نگه‌داری ابتدا M_0 باز می‌شود و پس از اینکه M_0 کاملاً باز شد، M_2 و M_1 باز می‌شوند. این مطلب نمونه‌گیری صحیح را تضمین می‌کند.



شکل (۲): ساختار کلی مدار نمونه‌بردار و نگه‌دار پیشنهادی
Fig. (2): Proposed Sample-and-Hold circuit

شکل (۳) شماتیک کامل مدار S/H نتیجه‌گیری شده را نشان می‌دهد. همان‌طورکه مشاهده می‌شود ترانزیستورهای NMOS در بافرهای سورس-مشترک به‌کار رفته‌اند تا بتوان به کمک آن‌ها به اعوجاج هارمونیکی کمتر دست یافت. سوئیچ‌های M_{com1} و M_{com2} برای تنظیم ولتاژ کاری سوئیچ نمونه‌گیری M_{bp} استفاده شده و سوئیچ‌های M_{d1} و M_{d2} برای جبران‌سازی تزریق بار سوئیچ‌های ورودی M_{bs1} و M_{bs2} به کار می‌روند. M_{d1} و M_{d2} با یک تأخیر گیت پس از M_{bs1} و M_{bs2} عمل می‌کنند، بایستی توجه داشت که وقتی M_{bp}، M_{com1} و M_{com2} بسته هستند، همان‌طور که خازن‌های نگه‌داری با مقدار جریان ورودی‌های تفاضلی شارژ می‌شوند، سورس-مشترک‌ها ورودی‌ها را دنبال می‌کنند. بنابراین هنگامی که M_{bp}، M_{com1} و M_{com2} به ترتیب باز می‌شوند (ابتدا Mcom1 و M_{com2} و سپس M_{bp}) سورس مشترک‌ها خازن‌های بار را تقریباً با مقدار نهایی آن‌ها درایو می‌کنند که نیاز به هر زمان اضافه‌ای را برای گذر از نمونه‌برداری به طور کامل برطرف می‌کند.



شکل (۳): شماتیک کامل مدار S/H پیشنهادی
Fig. (3): Circuit schematic of the proposed S/H

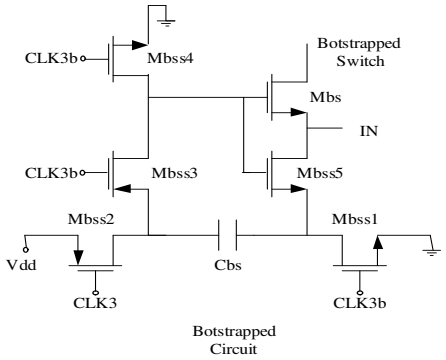
۳- مدار سوئیچ بوت استرپ

ساختارهای بوت استرپ معمول می‌توانند وابستگی مقاومت R_{on} سوئیچ و همچنین تزریق بار وابسته به ورودی مدار را با ثابت نگه‌داشتن ولتاژ گیت-سورس سوئیچ به حداقل برسانند [۱۱]. ساختار مدار ساده بوت استرپ استفاده شده در این طرح برای حذف تزریق بار و همچنین رفع وابستگی مقاومت حالت روشن بودن سوئیچ‌های M_{bs1} و M_{bs2} به سیگنال ورودی می‌تواند ضمن داشتن کارآیی مطلوب بدلیل استفاده از تعداد کمتری از ترانزیستورها توان مصرفی کمتری را به مدار تحمیل کند. این ساختار در شکل (۴) نشان داده شده است.

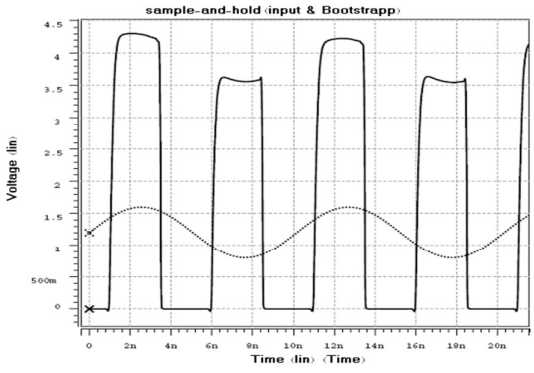
عملکرد مدار شکل (۴) به این صورت است که وقتی که CLK3 پایین باشد، ترانزیستورهای $MbSS_1$ و $MbSS_2$ روشن هستند و Cbsتا مقدار V_{dd} شارژمی‌گردد. همچنین $Mbss_4$ روشن بوده و گیت Mbs را به زمین وصل کرده و نتیجتاً Mbs خاموش خواهد بود.

وقتی که CLK3 به وضعیت High برود $Mbss_3$ روشن شده و از طریق $Mbss_5$ ولتاژ V_{in} به خازن Cbs متصل می‌شود.

بنابراین ولتاژ روی خازن Cbs برابر $V_{in}+V_{dd}$ خواهد بود. این ولتاژ همچنین ولتاژ گیت Mbs خواهد بود و در نتیجه همان‌طور که در شکل (۵) نشان داده شده است V_{gs} ترانزیستور Mbs ثابت مانده و مستقل از ولتاژ ورودی V_{in} خواهد بود.



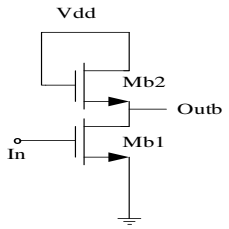
شکل (۴): مدار ساختار بوت استرپ پیشنهادی
Fig. (4): Proposed bootstrapped switch



شکل (۵): ولتاژ گیت سوئیچ بوت استرپ به همراه ورودی
Fig. (5): Input signal Vs Gate signal of the bootstrapped switch

۴- ساختار بافر

بافرها یک بلوک اصلی مدارات S/H هستند و سرعت-دقت مدار نمونه-بردار و نگه‌دار را تعیین می‌کنند. بافرهای معمولی برای این منظور از فیدبک استفاده می‌کنند که شدیداً پهنای باند (ناشی از جبران‌سازی تقویت کننده) و خطی بودن مدار را (حتی در رنج فرکانسی متوسط) محدود می‌کنند. از این‌رو به نظر می‌رسد بافرهای حلقه باز نظیر سورس-فالوور چاره‌ساز باشند. بنابراین یک تقویت کننده سورس-مشترک می‌تواند به منظور دست‌یابی به سوئینگ وسیع در خروجی همان‌طور که در شکل (۶) نشان داده شده است استفاده شود.



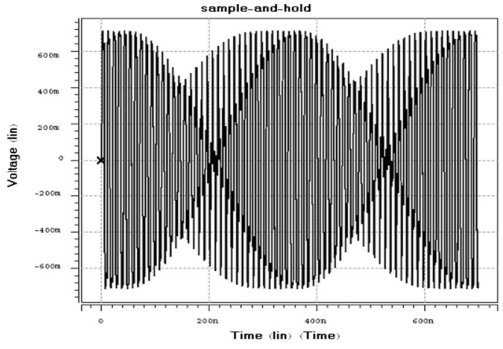
شکل (۶): تقویت کننده سورس-مشترک با بار دیودی به‌عنوان بافر بهره واحد
Fig. (6): Unity gain, diode active load, common source amplifier as a buffer

مزایای استفاده از این مدار به عنوان بافر داشتن توان مصرفی کم، سوئینگ خروجی وسیع،گین قابل تنظیم و تغییر آفست مستقل از بهره است [۱۳]. در بخش‌های بعدی نتایج شبیه‌سازی مدار S/H به همراه مدار سورس- مشترک فوق به عنوان بافر خروجی توضیح داده می‌شود.

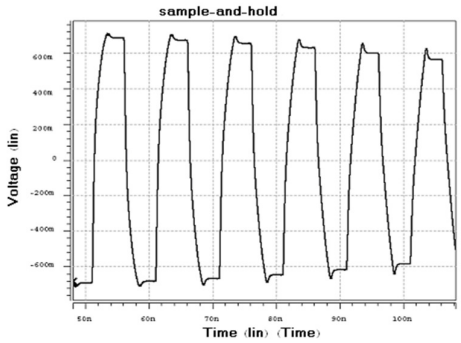
۵- نتایج و بحث

نتایج شبیه‌سازی THD مدار پیشنهادی، بهبود خطی‌بودن مدار برای بار خازنی 2Pf را آشکار می‌سازد. شکل (۷)، خروجی مدار S/H را برای ورودی با فرکانس 98 MHz و دامنه 1.6Vp-p در فرکانس نمونه-برداری 200MS/s نشان می‌دهد.

شکل (۸)، خروجی مدار S/H برای ورودی با فرکانس 98 MHz و دامنه 1.6Vp-p در فرکانس نمونه‌برداری 200MS/s را در بازه‌ی زمانی ۵۰ تا ۱۰۰ نانو ثانیه نشان می‌دهد.



شکل (۷): خروجی مدار به صورت تفاضلی بر حسب زمان
Fig. (7): Differential output of the proposed circuit



شکل (۸): خروجی مدار به صورت تفاضلی بر حسب زمان در فاصله زمانی ۵۰ تا ۱۰۰ نانو ثانیه

Fig. (8): Transient simulation result of the circuit

Table (1): Circuit performance parameters in different technology corners

جدول (۱): تحلیل پارامترهای مدار در گوشه‌های مختلف

	FFT(dB)	THD(dB)	SNR(dB)	SNDR(dB)	VDD	T©
TT	-82	-77.09	72.67	71.33	3.3v	25
SF	-63.3	-63.16	71.48	62.56	3.3v	25
SF	-75.32	-73.42	72.3	69.81	3v	25
FS	-63.65	63.57	73.95	63.57	3.3v	25
FS	-76.2	-73.9	72.49	70.13	3.6v	25
FF	-72.7	-72.17	72.55	69.35	3.6v	0
FF	-74.7	-72.33	74.12	70.06	3v	100

Table (2): Circuit Performances for a 1.6Vp-p input signal

جدول (۲): نتایج خروجی مدار S/H را برای ورودی 1.6Vp-p

f_{in}(Mhz)	FFT(dB)	THD(dB)	SNR(dB)	SNDR(dB)
49.6	-81.57	-75.71	72.61	70.9
23.8	-81.9	-77.2	73.3	71.8
12.1	-77.7	-75.3	73.9	71.6
6.6	-77.2	-75.2	73.8	71.4

در جدول (۱)، تبدیل فوریه FFT خروجی مدار S/H، برای ورودی با فرکانس 98MHz و دامنه 1.6Vp-p در فرکانس نمونه‌برداری 200MS/s در گوشه‌های مختلف پروسه برای بار خازنی 2pf نشان داده شده است.

به منظور ارزیابی عملکرد مدار در ورودی‌هایی با فرکانس متفاوت، می‌توان مدار S/H پیشنهاد شده را برای چهار حالت مختلف بررسی نمود. همانطور که مشاهده می‌شود نتایج حاصل، صحت عملکرد مدار را به ازای فرکانس‌های ورودی مختلف نشان می‌دهد.

جدول (۲)، تبدیل فوریه FFT خروجی مدار S/H را برای ورودی 1.6Vp-p و نرخ نمونه‌برداری 200MS/s در فرکانس ورودی‌مختلف نشان می‌دهد.

۶- نتایج آزمایش بافر

همان‌طور که قبلاً اشاره شد از بافر خروجی به منظور جلوگیری از بارگذاری طبقات خروجی مدار نمونه‌بردار و نگه‌دار بر مدار S/H استفاده می‌شود. بنابراین خروجی مدار S/H به همراه بافر طراحی شده بایستی با تغییر مقدار ظرفیت خازن بار، کمترین تغییرات را داشته باشد. به عبارت دیگر مجموع اعوجاج هارمونیکی (THD) خروجی با تغییر مقدار ظرفیت خازن بار، افزایش چشم‌گیری نداشته باشد. برای این منظور می‌توان خروجی مدار را به ازای تغییر خازن بار از میزان 0.2pf تا 2pf به دست آورد.

با توجه به نتایج ارائه شده در جدول (۳)، مشاهده می‌گردد که اعوجاج هارمونیکی کل (THD) با تغییر مقدار خازن بار (در رنج ۱۰ برابر)، تغییرات بسیار اندکی دارد که این مطلب یکی از دستاوردهای مهم مدار پیشنهادی می‌باشد.

Table (3): Circuit performances for different capacitive loads

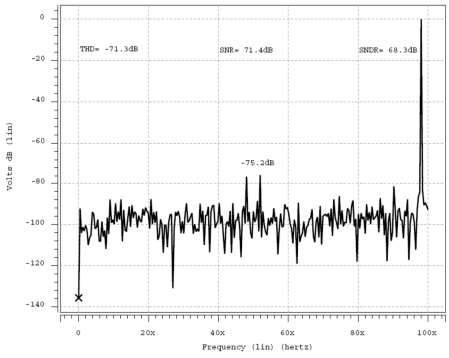
جدول (۳): نتایج خروجی مدار به ازای بارهای خازنی مختلف

C_L(pf)	FFT(dB)	THD(dB)	SNR(dB)	SNDR(dB)
0.2	-83	-77.6	72.6	71.4
0.8	-82	-77.4	72.7	71.4
1.2	-82.5	-77.4	72.4	72.2
1.8	-82.3	-77.3	72.6	71.3
2pf	-82	-77.09	72.67	71.33

۷- تحلیل مدار به ازای خازن سوئیچ شده

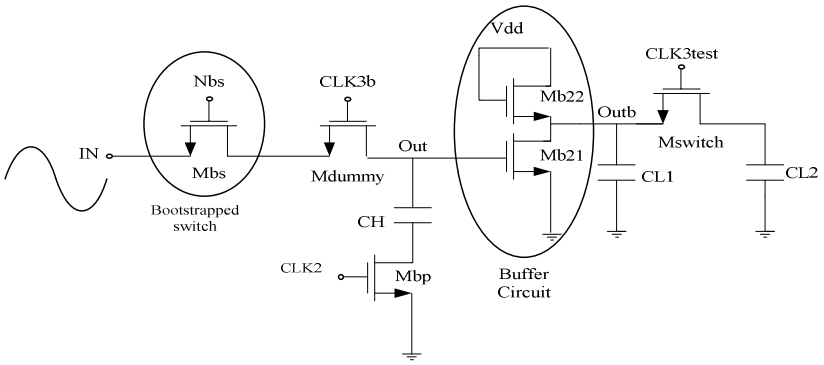
به منظور آزمون بافر پیشنهادی برای مدار S/H و بررسی اثر سوئیچینگ طبقات متصل شده به مدار S/H طراحی شده در یک مبدل آنالوگ به دیجیتال (ADC)، مدار شکل (۹) شبیه‌سازی شده است. به این صورت که بار خازنی C_{L1}=0.8 pF را به صورت ثابت در خروجی مدار قرار داده و خازن C_{L2}=1.2 pF توسط ترانزیستور Mswitch با فرکانس کلاکی برابر با $1/4\,f_s$ در طول عملکرد مدار به خروجی مدار بار می‌شود که نتایج حاصل از آن در شکل (۱۰) ارائه گردیده است.

با در نظر گرفتن FFT خروجی مدار و مقایسه آن مشاهده می‌گردد که THD مدار تغییر چندانی نداشته و این موضوع نشان می‌دهد که بافر پیشنهادی توانسته است مدار طراحی شده را به میزان قابل قبولی از اثر سوئیچینگ طبقات بعدی مبدل ADC و تغییر بار خازنی ناشی از آن ایزوله کند و درنتیجه نسبت به عملکرد مدار طراحی شده در ساختار ADC اطمینان حاصل گردد.



شکل (۱۰): طیف فرکانسی سیگنال خروجی و بررسی اثر تغییرات بار خازنی ناشی از سوئیچینگ طبقات خروجی ADC

Fig. (10): Frequency spectrum analysis of the output signal for different switching capacitive loads

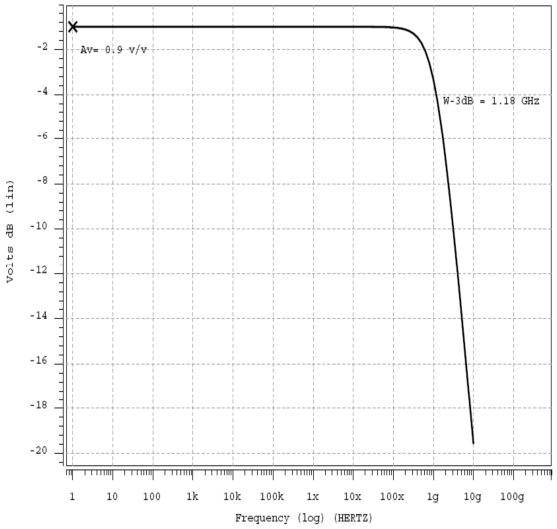


شکل (۹): بررسی اثر سوئیچینگ طبقات متصل شده به مدار
Fig. (9): Analysis of switching effects of load stages connected to the circuit

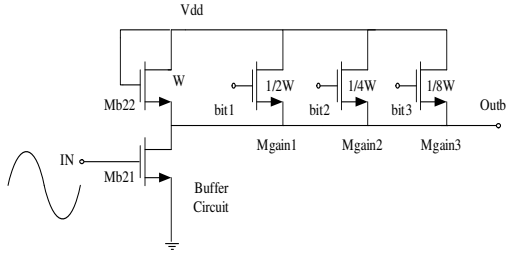
۸- بررسی بهره و پهنای باند بافر پیشنهادی

همان‌طور که اشاره شد، بافر سورس-مشترک پیشنهاد شده در این پروژه به‌دلیل ساختار بسیار ساده خود دارای پاسخ فرکانسی مناسبی می‌باشد. شکل (۱۱) بهره و پهنای باند بافر پیشنهادی را نشان می‌دهد. از مزایای دیگر این بافر قابلیت تنظیم بهره مدار S/H با استفاده از مدار پیشنهادی شکل (۱۲) می‌باشد که می‌تواند بهره مدار S/H را به ازای از دست دادن چند دسیبل از THD به میزان ۰/۲ تا ۰/۳ افزایش داد که می‌تواند در بسیاری از کاربردها مانند تنظیم خطای بهره کانال‌ها در مبدل ADC بسیار مفید باشد. در این روش با اعمال ۳ بیت می‌توان بهره مدار را در ۸ حالت مختلف تغییر داد.

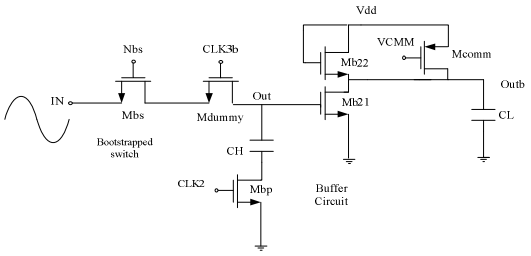
همچنین می‌توان با استفاده از مدار شکل (۱۳) مقدار آفست شکل موج خروجی مدار S/H را به‌صورت مستقل از تغییر بهره مدار تنظیم نمود.



شکل (۱۱): خروجی بافر پیشنهادی بر حسب فرکانس
Fig. (11): Frequency response of the output buffer



شکل (۱۲): مدار پیشنهادی به منظور تغییر بهره بافر
Fig. (12): Proposed buffer gain control circuit



شکل (۱۳): مدار پیشنهادی به منظور تنظیم آفست مدار
Fig. (13): Proposed offset control circuit

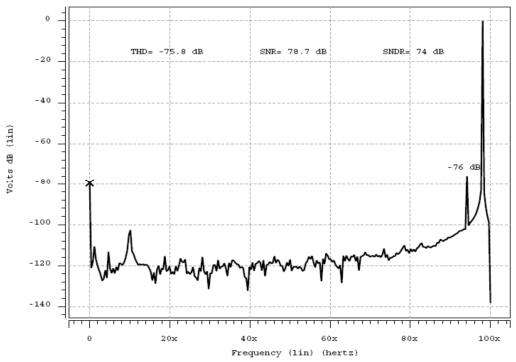
۹- بررسی اثر نویز در بافر پیشنهادی

نویز کمترین سطح سیگنالی را که یک مدار می‌تواند آن را با کیفیت قابل قبول پردازش کند، محدود می‌کند. نویز مربوط به ورودی نشان می‌دهد که چقدر سیگنال ورودی توسط نویز مدار مغشوش شده است. به عبارت دیگر ورودی چقدر می‌تواند کوچک باشد که هنوز مدار بتواند آن را با SNR قابل قبول آشکار کند.

مطالعات نشان می‌دهد که اگر یک خازن از طریق مقاومت شارژ شود، کل ولتاژ RMS نویز به اندازه $\sqrt{\frac{KT}{C}}$ افزایش می‌یابد [۲]. بنابراین اثر مشابهی نیز در مدارهای نمونه‌بردار پیش می‌آید. همچنین مقاومت حالت روشن کلید (R_{on}) در خروجی نویز حرارتی ایجاد می‌کند به طوری‌که وقتی کلید خاموش می‌شود، این نویز همراه مقدار لحظه‌ای سیگنال ورودی در خازن ذخیره می‌شود.

مشکل نویز $\sqrt{\frac{KT}{C}}$ در کاربردهای بسیار دقیق عملکرد مدار را محدود می‌کند. برای اینکه نویز پایین باشد باید خازن نمونه‌بردار به اندازه کافی بزرگ باشد و این خود باعث کاهش سرعت و جریان کشیدن از مدارهای دیگر می‌شود.

به‌منظور بررسی اثر نویز بر بافر پیشنهادی توسط نرم‌افزار Hspice نویز مربوط به ورودی مدار را در فرکانس ۱ تا ۱۰ گیگاهرتز به دست آورده و با اعمال مقادیر نویز با فرکانس مشخص و فاز تصادفی به ورودی بافر پیشنهادی، مقدار SNR خروجی بافر مطابق شکل (۱۴) حاصل گردید.



شکل (۱۴): FFT خروجی مدار به ازای ورودی نویز

Fig. (14): Output noise performance of the proposed circuit

در نهایت عملکرد کلی مدار پیشنهادی در جدول (۴)، ارائه گردیده است. در آخر نتایج حاصله از این کار با مراجع اخیر مقایسه شده و نقاط ضعف و قوت آن در جدول (۵) قابل مشاهده است.

مقایسهٔ نتایج به دست آمده توسط این تکنیک با روش‌های دیگر، مؤید کارایی خوب آن می‌باشد.به عنوان پیشنهاد برای کارهای آینده می‌توان به استفاده از تکنیکی برای بهبود THD و در حقیقت افزایش دقت مدار و همچنین داشتن گین متغیر بدون از دست دادن میزان خطی-بودن مدار در این ساختار اشاره کرد.

Table (4): Performance of the proposed S/H circuit

جدول (۴): خلاصه‌ای از عملکرد مدار S/H

Process	0.35 µm CMOS
Sampling frequency	200 MS/s
Input signal frequency	98 MHz
Load capacitance	2pf
THD	-77db
SNDR	-71db
Power Supply	3.3v
Power consumption	27mw

۱۰-نتیجه‌گیری

در این مقاله یک مدار S/HCMOS با سرعت بالا و درجه خطی بودن مطلوب (نزدیک به ۱۲ بیت) در پروسه ۰/۳۵ طراحی و بهینه‌سازی شده است. به‌دلیل ساختار حلقه باز، مدار S/H پیشنهادی در سرعت بسیار بالا عمل می‌کند. همچنین به خاطر بافر ساده و نسبتاً خطی که در این طرح استفاده شده است، عملکرد خطی‌تر این مدار نسبت به نمونه‌های قبلی فراهم شده است. استفاده از سوئیچ بوت استرپ به همراه سوئیچ dummy نیز خطاهای وابسته به سیگنال ورودی را که منجر به ایجاد اعوجاج خروجی مدار می‌شود، تا حد مطلوبی برطرف کرده است. ضمن اینکه با استفاده از ساختار تفاضلی هرگونه خطای خطی که منجر به آفست خروجی می‌شود حذف شده و بنابراین میزان خطی بودن مدار نمونه‌بردار و نگه‌دار افزایش یافته است. استفاده از ساختار بافر پیشنهادی به عنوان طبقه نهایی مدار S/H، امکان داشتن یک مدار نمونه‌بردار و نگه‌دار با بهره قابل تنظیم، آفست متغیر و مستقل از تغییرات بهره، پهنای باند مطلوب، توان مصرفی کم و نهایتاً عملکردی مستقل از تغییرات خازن بار را فراهم می‌آورد.

Table (5): Performance comparison of the proposed circuit and other designs

جدول (۵): مقایسهٔ نتایج به دست آمده توسط این تکنیک با روش‌های دیگر

design	[10]	[12]	[9]	[14]	This work
Technology	0.35-µm	0.35-µm	0.35-µm	0.8-µm	0.35-µm
Sampling rate	50 MHz	185 MHz	250 MHz	103 MHz	200 MHz
Full-scale input rang	0.8 Vpp	1Vpp	1.8 Vpp	1.4 Vpp	1.6 Vpp
THD	-54@5MHz	-63@45MHz	-69@85MHz	-61@20MHz	-75@98MHz
Suplly voltage	1.5v	3.3v	3	6	3.3
ENOB(bit)	9	10	11	10	12
Power consumption	2.6mw	70mw	20mw	18mw	27mw
FOM (µW/MHz)	1.015×10^{-1}	3.695×10^{-1}	3.9×10^{-2}	1.706×10^{-1}	3.295×10^{-2}

References

[1] B. Razavi, "Principle of data conversion system design", IEEE press, 1995.

[2] D.A. Johns, K. Martin, "Analog integrated circuit design", John Wiley &Sons, 1997.

[3] C.C. Kok, "CMOS sample/hold circuits for high speed A/D conversion", 1991.

[4] D.W. Cline, "Noise, speed, and power trade-offs in pipelined analog to digital", Memorandum No. UCB/ERL M95/94, Electronics Research Laboratory, U. C. Berkeley, 1995.

[5] P.R. Gray, R.G. Meyer, "Analysis and design of analog integrated circuits", 3rd Edition, New York, Wiley, 1984.

[6] R. Gregorian, G.C. Temes, "Analog MOS integrated circuit for signal processing", New York: John Wiley and Sons, 1998.

[7] M. Gustavsson, J. Wikner, N. Tan, "CMOS data conversion for communication", Kluwer Academic Publishers, 2002.

[8] C.J.B. Fayomi, J. W.Roberts, M. Sawan, "Low-voltage CMOS analog switch for high precision sample-and-hold circuit", Circuits and systems.MVVSCAS o4.Vol. 3, pp. 315-318, 2000.

[9] T.S. Lee, C.C. Lu, J.T. Zahn, "A 250MHz 11Bit 20mW CMOS low-hold-pedestal fully differential track-and-hold circuit", Soc Conference, IEEE International, pp. 47-50, 2006.

[10] T.S. Lee, C.C. Lu, "A 1.5-v 50-MHz pseudodifferential CMOS sample-and-hold circuit with low hold pedestal", IEEE Trans. on Circuits and System, Vol. 52, No. 9, 2005.

[11] M. Sadollahy, K. Hadidi, "A high-speed highly-linear CMOS S/H circuit", Proceeding of the Int. Conf. on Computer and Communication Engineering, pp. 550-553, 2008.

[12] A. Boni, A. Pierazzi, "A 10-b 185MS/s track-and-hold in 0.35-µm CMOS", IEEE J.Solid-State Circuits, Vol. 36, No. 2, pp. 195-203, 2001.

[13] B. Razavi, "Design of analog CMOS integrated circuits", McGraw-Hill Co., Inc., pp. 53-57, 2000.

[14] K. Hadidi, M. Sasaki, T. Watanabe, D. Muramatsu, T. Matsumoto, "An open-loop full CMOS 103MHz -61dB THD S/H crcuit", IEEE Custom Integrated Circuits Conference, Proceeding of the IEEE, pp. 381-383, 1998.