یک تقویت کننده‌ی امپدانس انتقالی CMOS کم مصرف برای کاربردهای مخابرات نوری 2.5Gb/s

مژگان محسنی[۱] - مهدی دولتشاهی[۲]

(۱) کارشناس ارشد - دانشکده مهندسی برق، دانشگاه آزاد اسلامی، واحد نجف‌آباد

(۲) استادیار - دانشکده مهندسی برق، دانشگاه آزاد اسلامی، واحد نجف‌آباد

تاریخ دریافت: پاییز ۱۳۹۱ تاریخ پذیرش: بهار ۱۳۹۲

خلاصه: در این مقاله یک تقویت کننده‌ی امپدانس انتقالی جهت گیرنده‌های نوری ارائه می‌شود. این تقویت کننده بر اساس توپولوژی فیدبک مقاومتی- خازنی به صورت موازی می‌باشد که از نظر توان مصرفی بهینه شده است و از تکنیک shunt peaking (بالازدگی موازی) نیز برای افزایش پهنای باند فرکانسی استفاده شده است. این مدار در تکنولوژی 0.18 µm CMOS طراحی و شبیه سازی شده است. نتایج شبیه سازی بهره‌ی 67.5 dBΩ، پهنای باند 3GHz و توان مصرفی 12.16 mW را نشان می‌دهد که نشان دهنده عملکرد مناسب تقویت کننده‌ی پیشنهادی برای کاربردهای 2.5Gb/s جهت استفاده در استاندارد (SONET OC-48) می‌باشد. دیاگرام چشمی به دست آمده برای نرخ داده‌ی 2.5 Gb/s کیفیت سیگنال قابل قبولی رابرای جریان‌های ورودی تا 10 µA نشان می‌دهد.

کلمات کلیدی: تقویت کننده‌ی امپدانس انتقالی، CMOS، مخابرات نوری.

۱- مقدمه

امروزه استفاده از مخابرات نوری به طور گسترده در کاربردهای انتقال داده در مسافت‌های دور و نزدیک رواج یافته است. قسمت‌های اصلی یک سیستم مخابرات نوری شامل فرستنده، کانال ارتباطی و گیرنده می‌باشد که طراحی و ساخت هر یک از این قسمت‌ها مشکلات و چالش‌های خود را دارد. به دلیل اینکه اطلاعات نوری ارسال شده از فرستنده به سمت گیرنده دارای نقص‌های زیادی از قبیل تضعیف، نویز، اعوجاج، پراش، تداخل و غیره شده است طراحی قسمت گیرنده با چالش‌های بیشتری روبرو می‌باشد. قسمت گیرنده از قسمت‌های مختلفی شامل آشکارساز نوری، تقویت‌کننده، فیلتر، مدار تصمیم گیری و مداربازیابی ساعت و داده تشکیل شده است. وظیفه‌ی آشکارساز نوری تبدیل سیگنال نوری به سیگنال الکتریکی از نوع جریان است. تقویت کننده که مهمترین قسمت گیرنده‌های نوری را تشکیل می‌دهد سیگنال تولید شده توسط آشکارساز نوری را تقویت می‌کند. نوری که از طریق یک فیبر نوری منتشر می‌شود قبل از این که به آشکار ساز نوری در قسمت گیرنده برسد تلفات زیادی را تحمل کرده است. لذا، آشکارساز نوری شدت نور ورودی را به یک جریان متناسب با شدت نور تبدیل می‌کند که متعاقباً توسط یک تقویت کننده امپدانس انتقالی (Trans-Impedance Amplifier) که به اختصار TIA می‌نامیم تقویت شده و به ولتاژ تبدیل می‌گردد. طراحی TIA شامل مصالحه‌ی شدید بین نویز، پهنای باند، بهره، ولتاژ تغذیه و مصرف توان می‌باشد که هم در تکنولوژی دو قطبی و هم در تکنولوژی CMOS چالش‌های بسیاری را درطراحی ایجاد کرده است. بهره‌ی امپدانس انتقالی به صورت نسبت تغییرات ولتاژ خروجی به تغییرات جریان ورودی تعریف می‌گردد.

در حال حاضر، اگر هزینه‌ی ساخت پایین مد نظر باشد، تکنولوژی CMOS بهترین انتخاب خواهد بود. به علاوه به دلیل این که طراح می‌تواند به راحتی از ترانزیستورهای با ابعاد کوچکتر استفاده کند لذا، سطح تراشه‌و توان مصرفی می‌تواند به طور چشمگیری کاهش پیدا کند [۱،۲].

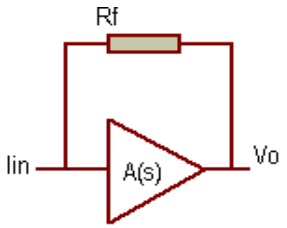
سه ساختار اصلی برای مدارهای تقویت کننده‌ی امپدانس انتقالی شامل ساختار حلقه باز با امپدانس ورودی بالا، ساختار حلقه باز با امپدانس

ورودی کم و امپدانس انتقالی با حلقه‌ی فیدبک پیشنهاد شده است. هر کدام از این ساختارها مشخصه‌های متفاوتی ازلحاظ پهنای باند و بهره نشان داده و مزایا و معایب خود را دارا می‌باشند که به طراح امکان می‌دهند برای کاربردی خاص بهترین طرح را انتخاب کند [۳،۷].

از میان تمامی تقویت کننده‌های گزارش شده در مراجع مختلف، ساختارهای براساس روش مود- جریان و تقویت کننده‌های امپدانس انتقالی با فیدبک موازی بهترین مصالحه را بین همه‌ی شرایط طراحی یعنی بهره‌ی بالا، پهنای باند بالا و مصرف توان و نویز کم ارائه می‌کنند [۸]. اما تقویت کننده‌ی مود جریان به دلیل مصرف توان بیشتر و همچنین نویز بیشتر در مقایسه با تقویت کننده‌های با فیدبک موازی کمتر مورد استفاده قرارمی‌گیرند.

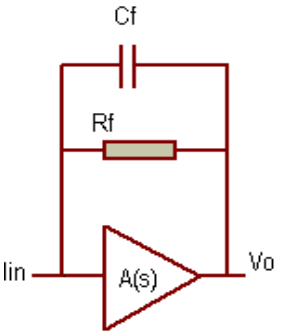
به عنوان مثال J.M Garcia [۹] از یک ساختار فیدبک مقاومتی موازی برای طراحی تقویت کننده‌ی امپدانس انتقالی در تکنولوژی 0.18 µm CMOS استفاده نموده است و به بهره‌ی 58 dBΩ، پهنای باند 1.5 GHZ و مصرف توان 23.7 mW دست یافته است.

شکل (۱) توپولوژی مداری پیشنهادی در [۹] را نشان می‌دهد که A(S) بهره حلقه باز تقویت کننده می‌باشد.



شکل (۱): بلوک دیاگرام تقویت کننده‌ی انتقالی به کار رفته در [۹]
Fig. (1): Amplifier block digram used in [9]

در [۹] پهنای باندوبهره دریافتی کم‌است که به منظور بهبود عملکرد ساختار فوق در این مقاله یک تقویت کننده‌ی امپدانس انتقالی با ساختار فیدبک موازی جدید پیشنهاد می‌کنیم. توپولوژی مداری که در این مقاله استفاده شده است علاوه بر مقاومت فیدبک به صورت موازی، از یک خازن نیز به صورت موازی با مقاومت استفاده می‌کند. شکل (۲) بلوک دیاگرام طرح پیشنهادی را نشان می‌دهد.



شکل (۲): بلوک دیاگرام تقویت کننده‌ی انتقالی پیشنهادی
Fig. (2): Proposed TIA block diagram

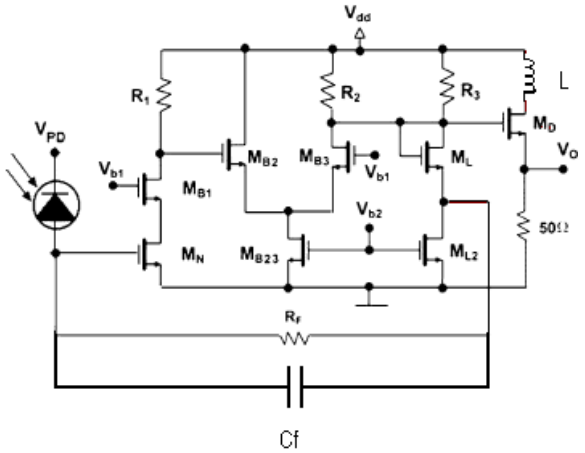
در بخش دوم طراحی تقویت کننده‌ی پیشنهادی ارائه می‌گردد. نتایج شبیه سازی‌مداری و مراحل بهینه سازی‌مداری در بخش سوم بیان می‌گردد. در پایان، نتیجه گیری ارائه خواهد شد.

۲- تقویت کننده‌ی پیشنهادی

همانگونه که قبلا گفته شد، نویز، پهنای باندو بهره پارامترهای کلیدی یک تقویت کننده می باشند. اما اگر بهره‌ی حلقه باز تقویت کننده خیلی بزرگ باشد، بهره‌ی حلقه بسته می‌تواند تقریبا توسط Rf تخمین زده شود. بنابراین قسمت فعال باید دو جنبه‌ی دیگر یعنی نویز و پهنای باند را نیز بهینه کند.

لذا، برای تقویت کننده، مدار ارائه شده در شکل (۳) پیشنهاد می‌گردد. طبقه‌ی اول که شامل ترانزیستورهای (MN و MB1) می‌باشد تشکیل توپولوژی کسکود می‌دهد که از یک طبقه‌ی سورس مشترک تشکیل شده است. طبقه‌ی دوم از ترکیب یک طبقه‌ی درین مشترک (M_{B2}) و یک طبقه گیت مشترک (M_{B3}) استفاده می‌کند. شبکه‌ی فیدبک نیز ترکیبی از یک مقاومت R_f و یک خازن C_f می‌باشد. طبقه‌ی آخر نیز یک ترکیب درین مشترک به عنوان درایور می‌باشد. ترانزیستورهای M_l و M_{l2} برای تنظیم سطح DC استفاده شده است. سلف L نیز برای افزایش پهنای باند براساس تکنیک Shunt Peaking استفاده شده است. در شبیه سازی، آشکار ساز نوری با یک منبع جریان مدل شده است. اما چون مقدار جریان به نوع فیبر نوری وهمچنین به نوع آشکار ساز نوری بستگی دارد تعیین مقدار دقیق این منبع جریان برای یک سیستم نوری نوعی می‌تواند مقداری حدود 10 µA انتخاب شود [۹].

در این مقاله ابتدا طراحی را فقط با فیدبک مقاومتی انجام داده و سپس خازن را به مدار اضافه می‌کنیم و نتایج بهینه شده را ارائه کرده و با ساختار فیدبک مقاومتی تنها مقایسه می‌کنیم و در پایان سلف را به مدار اضافه کرده و نتایج بهینه شبیه سازی را ارائه می‌کنیم.



شکل (۳): توپولوژی مداری تقویت کننده‌ی پیشنهادی
Fig. (3): Proposed circuit topology

۲-۱- تقویت کننده امپدانس انتقالی

تقویت کننده‌ی امپدانس انتقالی سیگنال جریان تولید شده توسط آشکار ساز را به سیگنال ولتاژ تبدیل می‌کند که رابطه‌ی بین این دو سیگنال الکتریکی به‌وسیله‌ی امپدانس انتقالی تعیین می‌شود. همان طور که در شکل (۳) مشخص شده است، می‌توان برای این ارتباط از مقاومت پسیو R_f استفاده کرد که همانطور که نشان خواهیم داد استفاده از مقاومت باعث می‌شود که طراحی در گوشه‌های تکنولوژی شبیه سازی و همچنین دماهای مختلف خوب عمل نکند. دلیل این مطلب آن است که مقاومت نسبت به تغییرات دما و پروسه حساس است. بنابراین، پس از اتمام طراحی و بهینه سازی، مقاومت‌ها را با ترانزیستور جایگزین می‌کنیم. با فرض اینکه بهره‌ی تقویت کننده بزرگ باشد، بهره‌ی حلقه بسته توسط R_f تعیین می‌شود. بنابراین برای رسیدن به‌بهره‌ای در حدود 70 dBΩ مقاومت R_f را 3KΩ انتخاب می‌کنیم که پس از شبیه سازی و بهینه سازی مقدار R_f برابر 3.8 KΩ به دست می‌آید.

۲-۲- پاسخ فرکانسی

برای بهبود پاسخ فرکانسی می‌توان از روش‌های مختلف افزایش پهنای باند استفاده کرد. با توجه به ساختار شکل (۳) فرکانس قطع مدار از رابطه‌ی زیر به دست می‌آید [۸]:

$$f_u = \frac{g_{mB2,3}}{2\times\pi\times C_1} \qquad (۱)$$

که C_1 خازن دیده شده در خروجی می‌باشد و $g_{mB2,3}$ برابر است با [۸]:

$$g_{mB2,3} = \sqrt{2\mu_n C_{ox}\frac{W}{l} I_{MB2,3}} \qquad (۲)$$

که جریان بایاس $I_{MB2,3}$ از طریق ترانزیستور M_{B23} تأمین می‌گردد. همچنین برای بهبود پاسخ فرکانسی و داشتن حد فاز مناسب طول کانال تمامی ترانزیستورها 0.18 μm در نظر گرفته شده است. برای افزایش بهره و پهنای باند می‌توان W/L ترانزیستورهای $M_{B2,3}$ و M_{B23} را افزایش داد اما تا جایی که این ترانزیستورها وارد نواحی قطع و یا تریود نشوند. با بهینه‌سازی ابعاد ترانزیستورها توسط HSPICE مقادیر بهینه برای W/L ترانزیستورها مطابق جدول (۱) می‌باشد.

Table (1): Values of w/l of transistors

جدول (۱): مقادیر W/L ترانزیستورها

ترانزیستور	W/L
M_n	60/0.18
M_{b1}	45/0.18
M_{b2}	45/0.18
M_{b3}	45/0.18
M_{b23}	120/0.18
M_{L2}	70/0.18
M_L	45/0.18
M_D	40/0.18

راه دیگر افزایش پهنای باند استفاده از حذف قطب با استفاده از ایجاد یک صفر در نزدیکی قطب می‌باشد. در این ساختار از خازن C_f برای این منظور استفاده کرده‌ایم. مکان این خازن با استفاده از شبیه سازی بهینه شده است و بهترین مکان برای آن همان طور که در شکل (۲) نشان داده شده است به موازات مقاومت فیدبک می‌باشد. مقدار بهینه به روش سعی و خطا برای این خازن 15 fF می‌باشد.

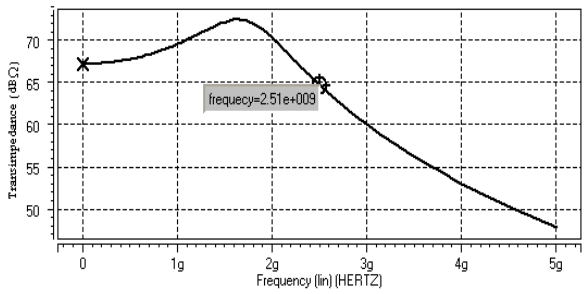
روش دیگر برای افزایش پهنای باند فرکانسی با استفاده از تکنیک Shunt-Peaking می‌باشد که برای این منظور از سلف L به موازات خازن در خروجی استفاده شده‌است. لذا، نشان خواهیم داد که با این تکنیک می‌توان پهنای باند را تاحداقل 20% افزایش داد. با بهینه سازی مقدار این سلف برابر 40nH به دست آمده است.

۳- نتایج شبیه سازی

تقویت کننده‌ی پیشنهادی در تکنولوژی 0.18 μm و با استفاده از یک منبع تغذیه 1.8 V شبیه‌سازی شده و نتایج آن در ادامه ارائه می‌شود. برای مقایسه و درک بهتر عملکرد مدار، شبیه‌سازی را ابتدا برای ساختار با فیدبک مقاومتی ساده ارائه می‌کنیم و پس از آن نتایج افزودن خازن با مقدار بهینه ارائه شده و در نهایت اثر افزودن سلف را بیان خواهیم کرد.

۳-۱- ساختار بدون خازن و سلف

شکل (۴) نتایج شبیه سازی برای ساختار با فیدبک مقاومتی تنها را نشان می‌دهد.



شکل (۴): پاسخ فرکانسی مدار تقویت کننده با فیدبک مقاومتی و بدون خازن و سلف

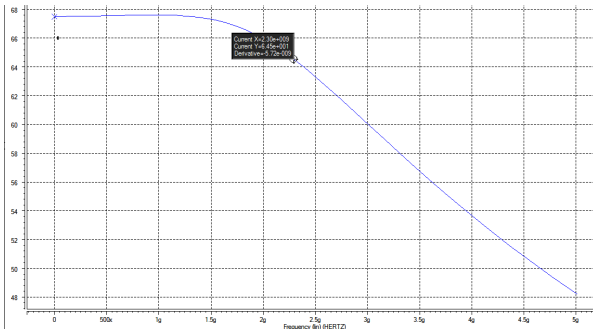
Fig. (4): Frequency responce of the amplifier with resistive feedback and without capacitor and inductor

همان طور که از شکل مشخص است، بهره دراین حالت برابر 67.5 dBΩ و پهنای باند برابر 2.5 GHZ به دست آمده است که نسبت به نتایج ارائه شده در [۹] بهبودی قابل توجهی را نشان می‌دهد. به‌علاوه توان مصرفی برابر 12.38 mW می‌باشد که نسبت به نتایج ارائه در [۹] تقریبا 50% کاهش یافته است.

۳-۲- افزودن خازن به مدار فیدبک

با اضافه نمودن خازن در قسمت فیدبک مدار پیشنهادی جهت حذف قطب‌های بیشتر، مشخص شد که بهترین مکان برای افزودن خازن به موازات مقاومت فیدبک می‌باشد. شکل (۵) نتایج شبیه سازی را برای این مدار نشان می‌دهد.

همان طور که از شکل (۵) مشخص است افزودن خازن باعث بهبود پهنای باند گردیده است. در این حالت پهنای باند برابر 2.3 GHZ و بهره برابر 67.5 dBΩ خواهد شد. به علاوه نوسان در پاسخ فرکانسی نیز به شدت کاهش یافته است. واضح است که افزودن خازن و یا سلف هیچ تغییری در توان مصرفی ایجاد نمی‌کند.

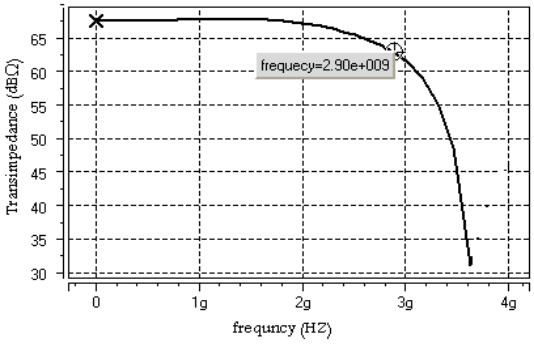


شکل (۵): پاسخ فرکانسی مدار تقویت‌کننده با فیدبک مقاومتی و خازن بدون سلف

Fig. (5): Frequency responce of the amplifier with resistive feedback and capacitor and without inductor

۳-۳- افزودن سلف

با اضافه کردن سلف به طور سری با ترانزیستور خروجی M_D و همچنین بهینه کردن مقدار آن نتایج به دست آمده به طور قابل ملاحظه‌ای بهبود می‌یابد. شکل (۶) نتیجه‌ی افزودن سلف را نشان می‌دهد.



شکل (۶): پاسخ فرکانسی مدار تقویت کننده‌ی پیشنهادی

Fig. (6): Frequency responce of the proposed amplifier

همانگونه که از شکل مشخص است بهره تغییر زیادی نکرده اما پهنای باند به 2.9 GHZ افزایش یافته است.

جدول (۲) نتایج به دست آمده از طرح پیشنهادی را در حالات مختلف پیاده‌سازی مداری مقایسه می‌نماید.

Table (2): Simulation results comparison

جدول (۲): مقایسه‌ی نتایج شبیه سازی

عملکرد	ساختار کامل	با مقاومت و خازن	فقط مقاومت
بهره ی هدایت انتقالی	67 dBΩ	68 dBΩ	67 dBΩ
توان مصرفی	12 mW	12 mW	12 mW
پهنای باند	3 GHZ	2.7 GHZ	2.5 GHZ

این نتایج در دمای 25ºC و درگوشه‌های تکنولوژی tt به دست آمده است. منظور از گوشه tt آن است که ضخامت لایه‌های اکسید در تکنولوژی 0.25 µm cmos مقدار نوعی 4nm را دارند. حال به دلیل اینکه در هنگام ساخت مدارهای مجتمع در تکنولوژی CMOS ممکن است ضخامت لایه‌ی اکسید ترانزیستورها از حالت نوعی تغییر کند و کمی بیشتر و یا کمتر گردد، بنابراین عملکرد مدار می‌تواند به شدت تغییر کند. تغییر دما نیز می‌تواند منجر به تغییر عملکرد مدار گردد. طراح مدار باید طراحی را به گونه‌ای انجام دهد تا مدار در تمامی دماهای بین -40º تا 125º سانتی‌گراد و همچنین در تمامی گوشه‌های تکنولوژی شبیه‌سازی به خوبی کار کند. گوشه‌های تکنولوژی شبیه سازی برای در نظر گرفتن تغییر ضخامت لایه‌ی اکسید در هنگام ساخت مدار مجتمع می‌باشد گوشه‌های تکنولوژی tt بدین معنی است که تمامی ترانزیستورهای نوع n و p دارای ضخامت لایه‌ی اکسید نوعی هستند. گوشه‌های تکنولوژی ss بدین معنی است که همه‌ی ترانزیستورها دارای ضخامت لایه‌ی اکسید بیشتر از مقدار نوعی بوده و گوشه‌های تکنولوژی ff به معنی این است که ترانزیستورها دارای ضخامت لایه‌ی اکسید کمتر از مقدار نوعی می‌باشند. این سه گوشه-تکنولوژی، گوشه‌های اصلی بوده و طراحی باید حداقل در این سه گوشه به خوبی انجام شود.

نتایج شبیه سازی در گوشه‌های مختلف و دمای 25ºC برای ساختار پیشنهادی کامل در جدول (۳) ارائه شده است.

Table (3): Simulation results in different corners for complete circuit

جدول (۳): نتایج شبیه‌سازی در گوشه‌های تکنولوژی مختلف برای ساختار کامل

عملکرد	گوشهtt	گوشهss	گوشهff
بهره‌ی امپدانس انتقالی	67 dBΩ	44 dBΩ	65
توان مصرفی	12 mW	14 mW	17 mW
پهنای باند	2.9 GHZ	0.4 GHZ	1.4 GHZ

با توجه به نتایج جدول (۳) مشخص است که طراحی به ویژه در گوشه‌های تکنولوژی ss مطلوب نیست. یکی از مهمترین دلایل آن استفاده از مقاومت در مدار می‌باشد. بنابراین برای رفع این مشکل بجای مقاومت از ترانزیستور استفاده می‌گردد که نتایج آن در بخش بعدی به تفصیل بیان گردیده است.

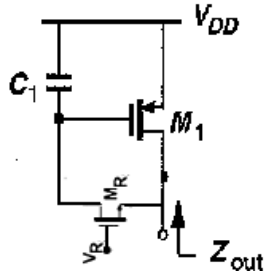
۳-۴- جایگزین کردن مقاومت‌ها و سلف با ترانزیستور

چنانچه ترانزیستور MOS در ناحیه‌ی تریود بایاس گردد، مقاومت بین درین و سورس آن از رابطه‌ی زیر به دست می‌آید [۸]:

$$R_{ds} = \frac{1}{\mu \times C_{ox} \frac{W}{l}(V_{GS} - V_{TH})} \qquad (۳)$$

این رابطه نشان می‌دهد که با تنظیم ولتاژ گیت- سورس و همچنین نسبت W/L می‌توان با ترانزیستور مقاومت‌های با مقادیر مورد نظر را طراحی کرد.

برای جایگزین کردن سلف با ترانزیستور از سلف فعال به صورت شکل زیر استفاده می‌کنیم [۸]:



شکل (۷): سلف فعال با استفاده از ترانزیستور PMOS

Fig. (7): Active inductor using PMOS

ساختار نهایی کاملاً ترانزیستوری در شکل (۸) رسم شده است.

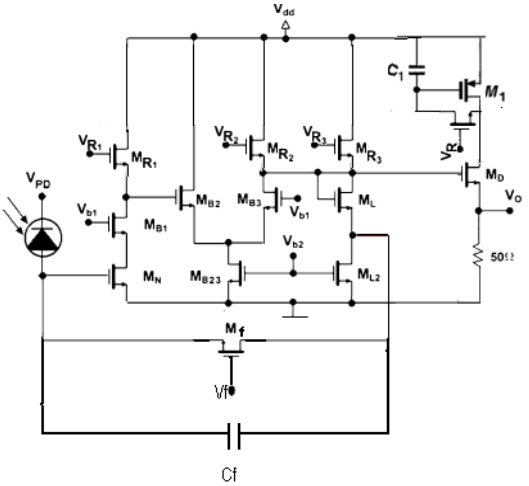
نتایج شبیه سازی در گوشه‌های تکنولوژی مختلف و دمای 25°c برای ساختار ترانزیستوری کامل در جدول (۴) ارائه شده است. این نتایج بهبود قابل ملاحظه‌ای را در گوشه‌های تکنولوژی نسبت به سایر پیاده-سازی‌ها نشان می‌دهد.

Table (4): Simulation results in different corners for complete circuit

جدول (۴): نتایج شبیه سازی در گوشه‌های تکنولوژی مختلف برای ساختار ترانزیستوری کامل

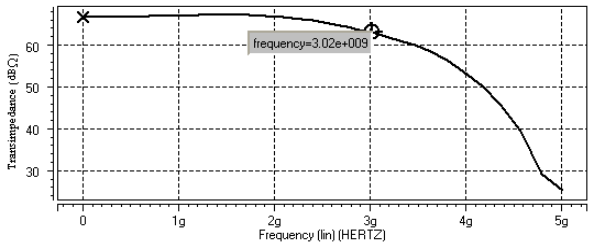
عملکرد	گوشهtt	گوشهss	گوشهff
بهره‌ی هدایت انتقالی	67.5 dBΩ	56 dBΩ	63
توان مصرفی	12.16 mW	13 mW	15 mW
پهنای باند	3GHZ	2.1 GHZ	2.7 GHZ

پاسخ فرکانسی مدار ترانزیستوری کامل در شکل (۹) رسم شده است. همانگونه که از شکل مشخص است پهنای باند برابر 3 GHZ می‌باشد.



شکل (۸): توپولوژی مداری تقویت کننده‌ی پیشنهادی ترانزیستوری کامل

Fig. (8): Topology of the complete proposed amplifier

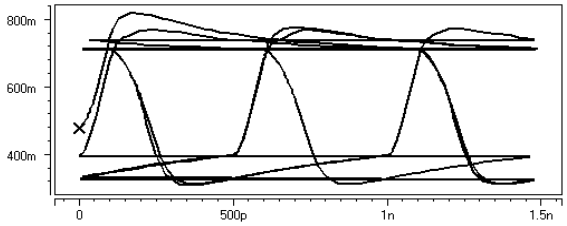


شکل (۹): پاسخ فرکانسی مدار تقویت کننده‌ی ترانزیستوری کامل

Fig. (9): Frequency response of complete transistor circuit

به منظور بررسی کیفیت سیگنال خروجی، دیاگرام چشمی برای نرخ داده‌ی 2.5 Gb/s برای جریان ورودی 10 μA در شکل (۱۰) رسم شده است که کیفیت قابل قبولی را برای این نرخ داده و سطح جریان نشان می‌دهد.

جدول (۵) نتایج شبیه سازی ساختار پیشنهادی کلی را با سایر پیاده سازیهای قبلی در تکنولوژی‌های مختلف CMOS مقایسه می‌کند. نتایج شبیه سازی مصرف توان بسیار پایین‌تر و پهنای باند بسیار بالاتر و بهره‌ی امپدانس انتقالی بزرگتری را نسبت به مراجع [۹ و ۱۰] نشان می‌دهد. در واقع در این کار مصرف توان به میزان ۵۰٪ نسبت به [۹] و ۹۵٪ نسبت به [۱۰] کاهش یافته است. پهنای باند به میزان ۵۰٪ افزایش یافته است. نتایج حاصله در گوشه‌های تکنولوژی اصلی شبیه سازی، قابل قبول می‌باشد در حالی که مراجع نامبرده نتایج کارشان را در این گوشه‌های تکنولوژی ارائه نکرده‌اند. در [۱۰] اگرچه از جدیدترین تکنولوژی استفاده می‌کند اما مصرف توان بسیار بالاتری را نشان می‌دهد. به‌علاوه، طراح از مزیت فرکانس قطع واحد بالاتر این تکنولوژی بهره‌ای نبرده است. اگر تمامی بحث‌های بالا را بخواهیم خلاصه کنیم به این نتیجه می‌رسیم که طرح پیشنهادی در این شبیه-سازی از تمامی مزایای CMOS استفاده نموده، به عملکرد بالایی دست یافته و همچنین در تمامی گوشه‌های تکنولوژی عملکرد بسیار بالایی دارد.



شکل (۱۰): دیاگرام چشمی بری نرخ داده‌ی 2.5 Gb/s و جریان ورودی 10 µA

Fig. (10): Eye diagram for 2.5 Gb/s and 10 µA current

نتیجه گیری

دراین مقاله، با استفاده از ترکیب مقاومت خازنی درشبکه فیدبک یک تقویت کننده‌ی امپدانس انتقالی پیشنهاد شد و همچنین با استفاده از تکنیک shunt peaking برای افزایش پهنای باند فرکانسی یک روش جدید جهت طراحی بهینه تقویت کننده امپدانس انتقالی ارائه گردید. مدار برای داشتن پهنای باند و بهره‌ی بالا و توان مصرفی پایین بهینه شد. نتایج شبیه سازی بهره‌ی 67.5 dBΩ، پهنای باند 3 GHz و توان مصرفی 12.16 mW را نشان داد که در مقایسه با کارهای قبلی بهبودی چشمگیری را نشان می‌دهد. به منظور بررسی صحت عملکرد در تمامی گوشه‌های تکنولوژی، مدار در تمامی گوشه‌ها یعنی tt,ss,ff شبیه سازی شد. دیاگرام چشمی در نرخ داده‌ی 2.5 Gb/s و برای سطح جریان 10 µA رسم شد که کیفیت بسیار خوبی را نشان داد.

Table (5): Comparison of simulation results with previous works

جدول (۵): مقایسه‌ی نتایج شبیه سازی با کارهای قبلی

عملکرد	This work	[9]	[10]
تکنولوژی	CMOS 180 nm	CMOS 180 nm	CMOS 90 nm
امپدانس انتقالی	67.5 dBΩ	58 dBΩ	85 dBΩ
منبع تغذیه	1.8 V	1.8 V	1 V
توان مصرفی	12.16 mW	24 mW	184 mW
پهنای باند	3GHZ	1.5 GHZ	1.5 GHZ

References

[1] Z. Nosal, "Integrated circuits for high speed optoelectronics", International Conference on Microwaves, Radar and Wireless Communications, 2, 445–455, 2004.

[2] J. Pekarik, D. Greenberg, B. Jagannathan, R. Groves, J. Jones, R. Singh, A. Chinthakindi, X. Wang, M. Breitwisch, D. Coolbaugh, P. Cottrell, J. Florkey, G. Freeman, R. Krishnasamy, "RFCMOS technology from 0.25 lm to 65 nm: The state of the art", In Proc. of IEEE Custom Integrated Circuits Conference, pp. 217–24, 2004.

[3] R. Smith, S. Personick, "Receiver design for optical fiber communication systems", Semiconductor Devices for Optical Communication, 2nd Ed., New York: Springer-Verlag, 1982.

[4] C. Toumazou, S. Park, "Wideband low noise CMOS TIA for gigahertz operation", Electronics Letters, Vol. 32, No. 13, pp. 1194-1196, 1996.

[5] S. Park, H. Yoo, "2.5 Gbit/s CMOS TIA for optical communication applications", Electronics Letters, Vol. 39, No. 2, pp. 211-212, 2003.

[6] J. Hullett, T. Muoi, "A feedback receiver amplifier for optical transmission systems", Comm. IEEE Trans., Vol. 24, pp. 1180-1185, 1976.

[7] G. Williams, H. Leblanc, "Active feedback lightwave receivers", IEEE Jou. of Lightwave Tech., Vol. 4, No. 10., pp. 1502-1508, 1986.

[8] B. Razavi, Design of integrated circuits for optical communications. Hill: McGraw, 2003.

[9] J.M. Garcı, A. del Pozo, W.A. Serdijn, "2.5 Gb/s CMOS preamplifier for low-cost fiber-optic receivers", Analog. Integr. Circ. Sig. Process., 66:363–370, 2011.

[10] F. Aznar, W. Gaberl, H. Zimmermann, "A highly sensitive 2.5 Gb/s transimpedance amplifier in CMOS technology", In IEEE International Symposium on Circuits and Systems, pp. 189–192, 2009.