JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 15/ No. 59/ Autumn 2024
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

20.1001.1.23223871.1403.15.59.2.5

Research Article

Computational Circuit Design Using a New Seven-Input Majority Gate in Quantum-dot Cellular Automata

Farzaneh Jahanshahi Javaran[1], *Ph.D. Student*, Somayyeh Jafarali Jassbi[1], *Assistant Professor*, Hossein Khademolhosseini[2], *Assistant Professor*, Razieh Farazkish[3], *Associate Professor*

[1]Department of Computer Engineering- Science and Research Branch, Islamic Azad University, Tehran, Iran
[2]Department of Computer Engineering- Beyza Branch, Islamic Azad University, Beyza, Iran
[3]Department of Computer Engineering- South Tehran Branch, Islamic Azad University, Tehran, Iran
farzanejahanshahi@gmail.com, s.jassbi@srbiau.ac.ir, h.khademolhosseini@srbiau.ac.ir, r.farazkish@srbiau.ac.ir

Abstract

The quantum-dot cellular automata (QCA) technology is a computational technology used to build nano-scale circuits. When the dimensions of the components decrease, the sensitivity of the circuit increases and the quantum circuits become more vulnerable to the occurrence of defects and radiation in the environment. The two major gates in this technology are inverter and majority gates, and most circuits are built based on these two gates. This paper aimed to design a seven-input majority gate in quantum-dot cellular automata by imposing low overhead on the circuit. Using a majority gate with more inputs reduces cell count, latency, and complexity in the QCA circuit. However, perhaps the need to use the seven-input gate is not yet felt we then design and implement a number of logic circuits. A new 7-input majority gate is designed in this paper, with 19 cells. The proposed structure is single-layer with an occupied area of 24564 nm^2 that produces the correct output in one clock phase, then a four-input AND gate, a four-input OR gate, a two-input XOR gate, a two-input XNOR, a three-input XOR gate and a full adder are implemented using the designed seven-input gate. Including all multi-bit full adders, using the proposed seven-input gate. The proposed full adder is designed by the seven-input majority gate proposed and a fault-tolerant three-input majority gate. Therefore, it can be said that the designed full adder is somewhat tolerable, that means, it is somewhat tolerable against the fault that occur in this technology. QCAPro software is used to analyze the energy consumption of the recommended structure. Then, the circuit performance is evaluated using QCADesigner 2.0.3 simulator software for quantum-dot cellular automata.

Keywords: fault tolerance, nano-electronics, quantum-dot cellular automata, seven-input majority gate, simulator software

Received: 20 February 2022
Revised: 29 April 2022
Accepted: 16 July 2022

Corresponding Author: Dr. Hossein Khademolhosseini

Citation: F. Jahanshahi-Javaran, S. Jafarali-Jassbi, H. Khademolhosseini, R. Farazkish, "Computational circuit design using a new seven-input majority gate in quantum-dot cellular automata", Journal of Intelligent Procedures in Electrical Technology, vol. 15, no. 59, pp. 21-34, September 2024 (in Persian).

20.1001.1.23223871.1403.15.59.2.5

مقاله پژوهشی

طراحی مدارهای محاسباتی با استفاده از دروازه اکثریت ۷ ورودی جدید در آتوماتای سلولی کوانتومی

فرزانه جهانشاهی جواران[۱]، دانشجوی دکتری، سمیه جعفرعلی جاسبی[۱]، استادیار، حسین خادم‌الحسینی[۲]، استادیار، راضیه فرازکیش[۳]، دانشیار

۱- گروه مهندسی کامپیوتر- واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران
۲- گروه مهندسی کامپیوتر- واحد بیضا، دانشگاه آزاد اسلامی، بیضا، ایران
۳- گروه مهندسی کامپیوتر- واحد تهران جنوب، دانشگاه آزاد اسلامی، تهران، ایران
farzanejahanshahi@gmail.com, s.jassbi@srbiau.ac.ir, h.khademolhosseini@srbiau.ac.ir, r.farazkish@srbiau.ac.ir

چکیده: آتوماتای سلولی کوانتومی (QCA) نوعی فن‌آوری محاسباتی است که جهت ساخت مدارهایی در ابعاد نانو به‌کار برده می‌شود. با کاهش ابعاد قطعات، حساسیت مدار بیشتر شده و مدارهای کوانتومی نسبت به وقوع عیوب و تشعشعات محیط آسیب‌پذیرتر هستند. دو دروازه پایه در این فن‌آوری دروازه معکوس‌کننده و دروازه اکثریت هستند که بیشتر مدارها بر پایه این دو ساخته می‌شوند. در این مقاله دروازه اکثریت هفت ورودی در QCA طراحی می‌شود، به‌گونه‌ای که حداقل سربار به مدار تحمیل شود. استفاده از دروازه اکثریت با ورودی‌های بیشتر باعث کاهش تعداد سلول‌ها، تاخیر و پیچیدگی در مدار QCA می‌شود. هرچند شاید ضرورت استفاده از دروازه هفت ورودی هنوز چندان احساس نمی‌شود. گیت پیشنهادی در این مقاله با ۱۹سلول کوانتومی در فضای اشغالی ۲۴۵۶۴ نانومتر مربع در یک لایه و با یک فاز کلاک طراحی شده است. سپس تعدادی از دروازه‌های منطقی از جمله دروازه‌های منطقی "و" و"یا" چهار ورودی، دروازه "نقیض یای انحصاری" و "یای انحصاری" دو ورودی، دروازه"یای انحصاری" سه ورودی و تمام جمع‌کننده چند بیتی را با استفاده از دروازه هفت ورودی پیشنهادی طراحی و پیاده‌سازی می‌شود. جمع‌کننده پیشنهادی با دروازه اکثریت هفت ورودی و یک دروازه اکثریت سه ورودی تحمل‌پذیر اشکال، طراحی شده است. پس می‌توان گفت که جمع‌کننده طراحی شده تا حدودی تحمل‌پذیر اشکال است یعنی در برابر خطاهایی که در این فن‌آوری رخ می‌دهد تا حدودی تحمل‌پذیر است. سپس از نرم‌افزار QCAPro برای تجزیه و تحلیل توان مصرفی دروازه پیشنهادی استفاده شده و در ادامه عملکرد مدار با استفاده از نرم‌افزار شبیه‌ساز آتوماتای سلولی کوانتومی QCADesigner 2.0.3 مورد ارزیابی قرار گرفته است.

کلمات کلیدی: آتوماتای سلولی کوانتومی، تحمل‌پذیری اشکال، دروازه اکثریت هفت ورودی، نانو الکترونیک، نرم‌افزار شبیه‌ساز

تاریخ ارسال مقاله: ۱۴۰۰/۱۲/۱
تاریخ بازنگری مقاله: ۱۴۰۱/۲/۹
تاریخ پذیرش مقاله: ۱۴۰۱/۴/۲۵

نام نویسنده‌ی مسئول: دکترحسین خادم‌الحسینی
نشانی نویسنده‌ی مسئول: ایران– بیضا– خیابان دانشگاه آزاد اسلامی– دانشگاه آزاد اسلامی واحد بیضا

۱- مقدمه

در فن‌آوری آتوماتای سلولی کوانتومی[1] (QCA) که جانشینی برای فن‌آوری ترانزیستوری است از دستگاه‌های کوانتومی به جای دستگاه‌های معمول (ترانزیستور، دیود، مقاومت) برای پیاده‌سازی مدارهای منطقی استفاده می‌شود. استفاده از دروازه اکثریت با ورودی‌های بیشتر باعث کاهش تعداد سلول‌ها، تاخیر و پیچیدگی در مدار آتوماتای سلولی کوانتومی (QCA) می‌شود. از مزایای دیگر دروازه اکثریت هفت ورودی، می‌توان به قابلیت پیاده‌سازی دروازه‌های منطقی با تعداد ورودی بیشتر (مانند دروازه "یا" یا "و" چهار ورودی) تحت قالب یک دروازه و تولید خروجی بدون تغییر منطقه ساعت زنی اشاره نمود. تاکنون تعداد زیادی پیاده‌سازی برای دروازه‌های اکثریت سه و پنج ورودی ارائه شده‌اند [۱۰-۱]، اما تعداد محدودی دروازه اکثریت هفت ورودی تا کنون معرفی شده‌اند و پژوهش در این زمینه خاص، مناسب به نظر می‌رسد.

در مرجع [۱۱] یک دروازه اکثریت هفت ورودی با ساختاری متقارن پیشنهاد شده است. دروازه طراحی شده در این مرجع، از ۲۴ سلول تشکیل شده و سپس با این دروازه هفت ورودی دروازه‌های "و" و "یا" چهار ورودی طراحی شده است. در مرجع [۱۲] نیز یک دروازه اقلیت هفت ورودی با ۱۶سلول طراحی شده و سپس یک تمام جمع‌کننده با این دروازه طراحی و پیاده-سازی شده است. در مرجع [۱۳] یک رمزگذار ۴ به ۲ با دروازه اکثریت هفت ورودی طراحی شده است.

در این مقاله هدف طراحی جامع دروازه اکثریت هفت ورودی در آتوماتای سلولی کوانتومی است و سپس تعدادی از مدارهای منطقی با این دروازه هفت ورودی طراحی و پیاده‌سازی می‌شوند.

۲- مفاهیم اولیه آتوماتای سلولی کوانتومی

در این قسمت مفاهیم اولیه مربوط به QCA مانند سلول، سیم، پالس ساعت و دروازه‌های پایه ارائه می‌شوند.

۲-۱- سلول

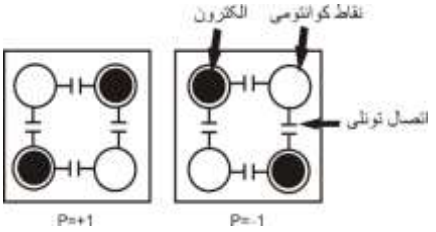
آتوماتای سلولی کوانتومی، سلولی متشکل از چهار حفره است که به‌صورت مربعی در کنار یکدیگر قرار گرفته‌اند. سلول آتوماتای سلولی کوانتومی دارای دو الکترون اضافی است که می‌توانند آزادانه بین حفره‌ها حرکت کنند. به‌طور کلی شش حالت مختلف برای قرار گرفتن دو الکترون در چهار حفره، امکان‌پذیر است. تمامی این شش حالت پایدار نیستند زیرا به‌دلیل وجود نیروی دافعه کولنی بین الکترون‌ها، آن‌ها همواره در وضعیتی قرار می‌گیرند که بیشترین فاصله را از یکدیگر داشته باشند. بنابراین حالت‌های پایدار وقتی برقرار هستند که حفره‌ها به‌صورت قطری اشغال شده باشند که دو ساختار را ایجاد می‌کند. این دو ساختار دو قطب +۱ و -۱ را نمایش می‌دهند که در محاسبات، مقدارهای منطقی ۱ و ۰ را به‌ترتیب به آنها نسبت داده می‌شود. پلاریزاسیون یک سلول در شکل (۱) نشان داده شده است. الکترون‌ها هنگام جابجایی در داخل سلول با یک حرکت غیر خطی بین حفره‌ها تونل می‌زنند. فاصله حفره‌ها معمولاً حدود ۲۰ نانومتر است [۱۴].

۲-۲- سیم

نیروی دافعه کولنی[2] فقط بین الکترون‌های داخل یک سلول برقرار نیست، بلکه هر سلول نیز بر سلول‌های مجاور تأثیر می-گذارد. در صورتی که دو سلول در کنار یکدیگر قرار داشته باشند، همواره در وضعیتی قرار می‌گیرند که نیروی دافعه کولمبی به حداقل برسد. از یک آرایه سلول‌های کنار هم می‌توان مانند یک سیم برای انتشار اطلاعات استفاده کرد. از یک ترتیب خطی از سلول‌های استاندارد می‌توان برای انتقال اطلاعات باینری از یک نقطه به نقطه دیگر استفاده کرد [۱۵]. سیم آتوماتای سلولی کوانتومی در شکل (۲) نشان داده شده است.

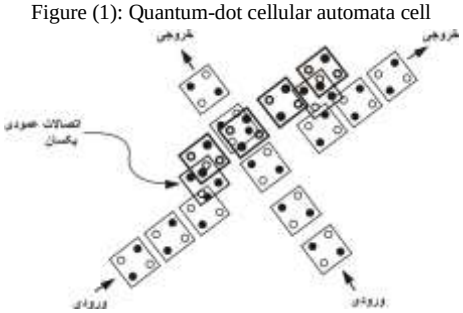
۲-۳- پالس ساعت

پالس ساعت در آتوماتای سلولی کوانتومی بر خلاف پالس ساعت در نیمه‌رسانا اکسید فلزی مکمل (CMOS) دارای فازهای بیشتری علاوه بر فاز بالا و پایین است.



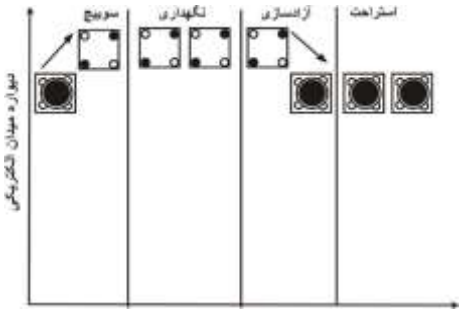
شکل (۱): سلول آتوماتای سلولی کوانتومی

Figure (1): Quantum-dot cellular automata cell



شکل (۲): سیم آتوماتای سلولی کوانتومی

Figure (2): Quantum-dot cellular automata wire



شکل (۳): چهار فاز یک پالس ساعت

Figure (3): The four phases of one clock pulse

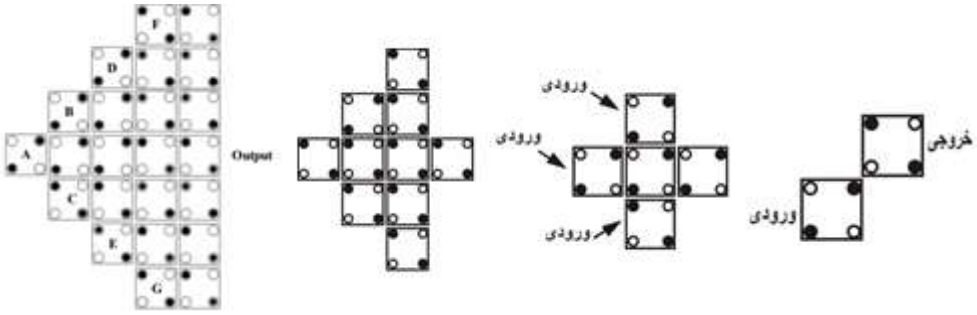
یک مدار آتوماتای سلولی کوانتومی بدون داشتن زمان‌بندی پالس ساعت نمی‌تواند به درستی عمل کرده و جواب‌های مورد انتظار از مدارهای مورد نظر به‌دست نمی‌آید. در آتوماتای سلولی کوانتومی باید از یک زمان‌بندی استفاده شود که هر سلول بتواند حالت فعلی خود را حفظ کرده و به تغییر حالت سلول‌های همسایه واکنش نشان ندهد، پالس ساعت عاملی الکترونیکی است که حرکت الکترون‌ها در داخل سلول را کنترل می‌کند. در واقع وجود پالس ساعت باعث ایجاد هم‌زمانی در بخش‌های مختلف مدار می‌شود. یک چرخه پالس ساعت در QCA به چهار فاز سوییچ، نگهداری، آزادسازی و استراحت تقسیم می‌شوند [۱۶]. فازهای یک چرخه پالس ساعت در شکل (۳) نشان داده شده است.

۴-۲- دروازه‌های پایه

دروازه معکوس کننده و دروازه اکثریت در فن‌آوری QCA دو دروازه پایه هستند که می‌توان با استفاده از این دو دروازه هر مداری را که در این فن‌آوری امکان ساخت داشته باشد طراحی نمود. در دروازه اکثریت خروجی همواره اکثریت ورودی‌ها را نشان می‌دهد، به همین دلیل آن را تابع اکثریت می‌نامند [۱۷،۱۸]. انواع دروازه‌های اکثریت در این فن‌آوری سه ورودی، پنج ورودی و هفت ورودی هستند که در شکل (۴) نمایش داده شده‌اند.

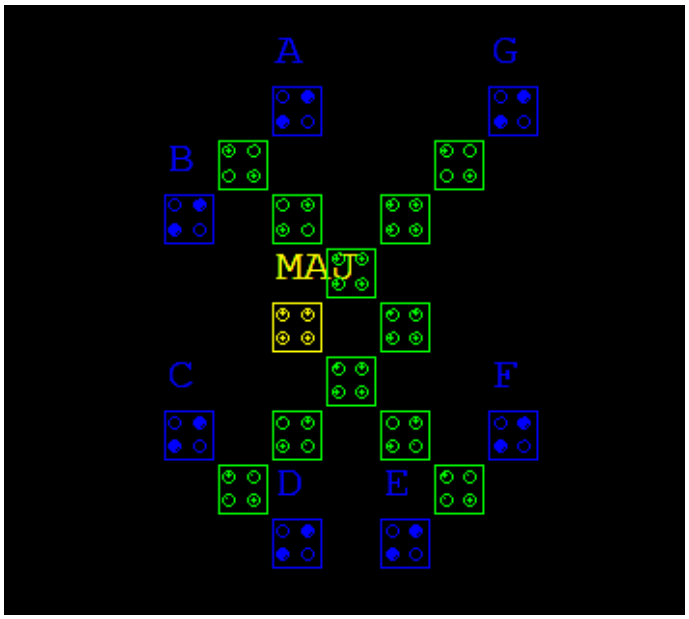
۳- دروازه اکثریت هفت ورودی پیشنهادی

دروازه اکثریت هفت ورودی پیشنهادی در شکل (۵) نمایش داده شده است. این دروازه با ۱۹سلول کوانتومی در فضای اشغالی ۲۴۵۶۴ نانومترمربع طراحی شده است.



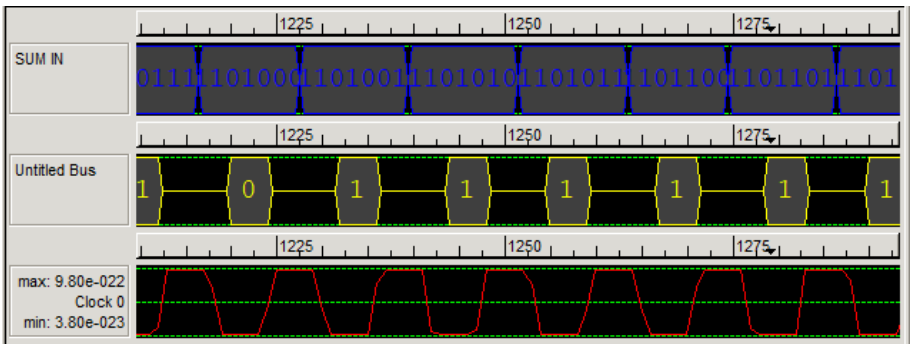
شکل (۴): از راست به چپ به‌ترتیب گیت‌های معکوس‌کننده، اکثریت سه ورودی، پنج ورودی و هفت ورودی [۱۱]

Figure (4): a) a QCA inverter, b) a three-input majority gate, c) a five-input, d) a seven-input [11] from right to left respectively



شکل (۵): دروازه اکثریت هفت ورودی پیشنهادی طراحی شده

Figure (5): Proposed seven−input majority gate



شکل (۶): نتیجه شبیه‌سازی دروازه هفت ورودی پیشنهادی

Figure (6): Simulation result of the proposed seven-input majority gate

تمامی سلول‌های ورودی و خروجی در یک لایه طراحی و پیاده‌سازی شده‌اند و نیازی به لایه‌های دیگر برای دسترسی به آن‌ها نیست. از جنبه ساختاری، چینش مناسب سلول‌های ورودی و طول سیم‌های مورد استفاده سبب تاثیر هماهنگ آن‌ها و در نتیجه ایجاد دروازه اکثریت هفت ورودی شده است. پاسخ صحیح خروجی پس از ۰/۲۵ چرخه ساعت از خروجی "MAJ" دریافت شده است. نتایج شبیه‌سازی حاصل از موتورهای شبیه‌ساز QCADesigner نشان دهنده کارایی صحیح مدار برای تمام ورودی است. بردارهای آزمون به‌صورت متوالی به ورودی‌ها اعمال شده و شکل موج حاصل توسط هریک از موتورها جداگانه

بررسی شده است. تطبیق شکل موج‌ها نشان دهنده صحت عملکرد مدار طراحی شده است. شکل (۶) نتیجه شبیه‌سازی با موتور Coherence Vector مدار را نمایش داده است.

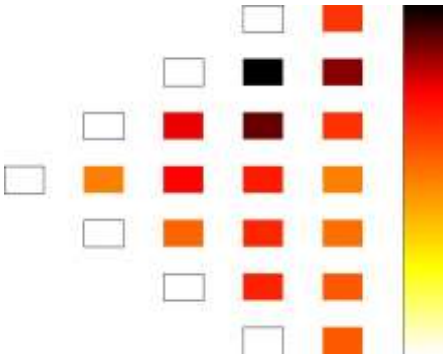
۳-۱- بررسی مصرف انرژی

مصرف انرژی دروازه پیشنهادی در مرجع‌های [۱۱] و [۱۲] در سه سطح مختلف انرژی کینک E_K ۰/۵، E_K ۱ و E_K ۱/۵ با دمای ۲ کلوین با استفاده از ابزار QCAPro محاسبه شده است. این نرم افزار می‌تواند کل انرژی مصرفی مدارهای QCA را با جمع میانگین انرژی نشتی و انرژی کلیدزنی تخمین بزند. تصویر اتلاف انرژی دروازه پیشنهادی در مرجع‌های [۱۱] و [۱۲] در شکل (۷) نشان داده شده است. لازم به ذکر است که سلول‌های با اتلاف انرژی بیشتر با رنگ‌های$_k$ تیره‌تر به‌تصویر کشیده شده‌اند. نتایج محاسبه مصرف انرژی دروازه پیشنهادی مرجع‌های [۱۱] و [۱۲] در جدول (۱) آورده شده است.

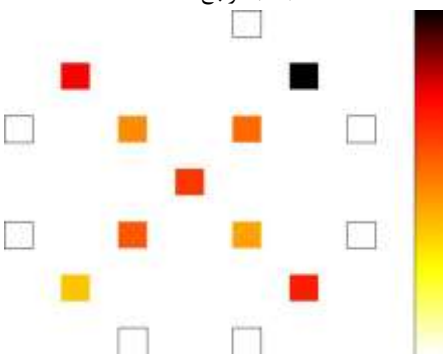
مصرف انرژی دروازه اکثریت هفت ورودی پیشنهادی در این مقاله در شکل (۸) نشان داده شده است. جدول (۲) نتایج محاسبه مصرف انرژی را نشان می‌دهد.

۳-۲- دروازه "و" چهار ورودی و دروازه "یا" چهار ورودی

در دروازه اکثریت هفت ورودی با ثابت کردن سه تا از ورودی‌ها به صفر و یک می‌توان دروازه "و" چهار ورودی و دروازه "یا" چهار ورودی طراحی کرد، در شکل (۹) نماد دروازه "و" و "یا" چهار ورودی نشان داده شده است. در حالتی که سه تا از ورودی‌ها صفر باشند تنها زمانی خروجی تابع یک است که چهار ورودی دیگر یک باشند، در غیر این‌صورت خروجی تابع صفر خواهد بود. بنابراین رفتار سیستم مانند یک عملگر "و" خواهد بود. به همین ترتیب با ثابت کردن پلاریزاسیون ۱+ به سه تا از ورودی‌ها می‌توان یک دروازه "یا" چهار ورودی طراحی کرد و بر اساس رابطه‌های (۱) و (۲) پیاده‌سازی می‌شوند. شکل (۱۰) نتیجه شبیه‌سازی دروازه "و" چهار ورودی و دروازه "یا" چهار ورودی را نشان داده است.



(الف) مرجع [۱۱]



(ب) مرجع [۱۲]

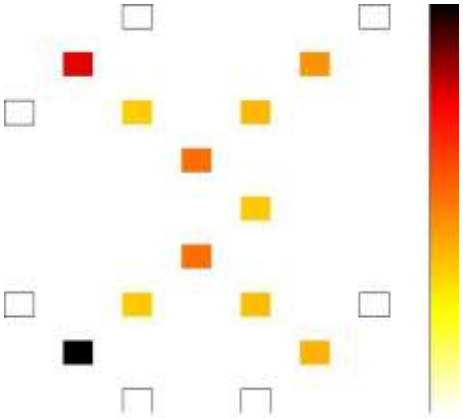
شکل (۷): مصرف انرژی دروازه اکثریت هفت ورودی

Figure (7): Energy dissipation map of the seven-input majority gate presented, a) in [11] and b) in [12]

Table (1): Energy dissipation of the gates presented in [11, 12]

جدول (۱): بررسی مصرف انرژی دروازه‌های پیشنهادی در مرجع‌های [۱۱] و [۱۲]

طراحی / مرجع		هفت ورودی [۱۱]	هفت ورودی [۱۲]
میانگین انرژی نشتی	۰/۵ E_K	۰/۰۰۲۶۲	۰/۰۰۰۸۱
	۱ E_K	۰/۰۰۹۱۲	۰/۰۰۲۳۴
	۱/۵ E_K	۰/۰۱۸۱۷	۰/۰۰۳۹۱
میانگین انرژی کلیدزنی	۰/۵ E_K	۰/۰۲۷۳۴	۰/۰۰۰۷۶
	۱ E_K	۰/۰۲۵۳۳	۰/۰۰۰۶۰
	۱/۵ E_K	۰/۰۲۳۲۱	۰/۰۰۰۴۷
انرژی کل	۰/۵ E_K	۰/۰۲۹۹۶	۰/۰۰۱۵۷
	۱ E_K	۰/۰۳۴۴۵	۰/۰۰۲۹۴
	۱/۵ E_K	۰/۰۴۱۳۸	۰/۰۰۴۳۸



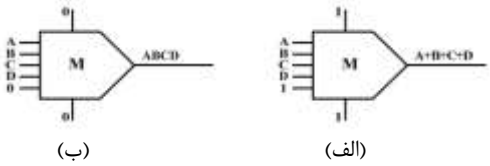
شکل (۸): مصرف انرژی دروازه اکثریت هفت ورودی پیشنهادی

Figure (8): Energy dissipation map of the proposed seven-input gate

Table (2): Energy dissipation of the proposed gate

جدول(۲): بررسی مصرف انرژی دروازه پیشنهادی

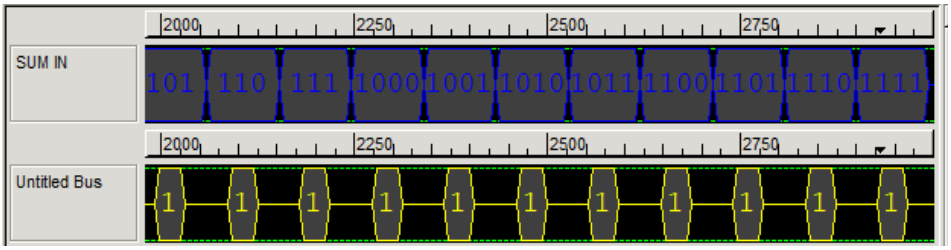
طراحی		هفت ورودی پیشنهادی
میانگین انرژی نشتی	۰/۵ E_K	۰/۰۰۱۰۴
	۱ E_K	۰/۰۰۲۹۶
	۱/۵ E_K	۰/۰۰۴۸۸
میانگین انرژی کلیدزنی	۰/۵ E_K	۰/۰۰۰۸۸
	۱ E_K	۰/۰۰۰۶۹
	۱/۵ E_K	۰/۰۰۰۵۴
انرژی کل	۰/۵ E_K	۰/۰۰۱۹۲
	۱ E_K	۰/۰۰۳۶۵
	۱/۵ E_K	۰/۰۰۵۴۲



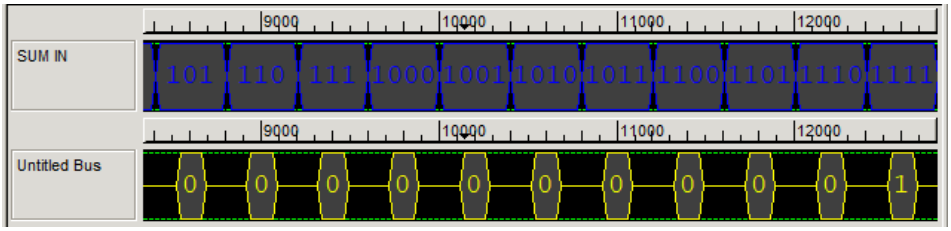
(ب) (الف)

شکل (۹): نماد دروازه‌های "و" و "یا" چهار ورودی [۱۱]

Figure (9): Schematic symbol of four-input a) AND, b) OR [11]



(الف) دروازه "یا"



(ب) دروازه "و"

شکل (۱۰): نتیجه شبیه‌سازی دروازه‌های "و" و "یا" چهار ورودی

Figure (10): The simulation results of the proposed 4-input, a) OR, b) AND

$$AND(A,B,C,D)=AB.CD=MV7(A,B,C,D,0,0,0) \quad (۱)$$

$$OR(A,B,C,D)=A+B+C+D=MV7(A,B,C,D,1,1,1) \quad (۲)$$

۳-۳- دروازه "یای انحصاری" دوبیتی

دروازه "یای انحصاری" یک دروازه منطقی است که روی دو عملوند[۳] اعمال می‌شود، در صورتی که یکی از آنها صحیح باشد، خروجی مقدار صحیح یا یک را برمی‌گرداند و در غیر این‌صورت مقدار خروجی غلط یا صفر است، که در شکل (۱۱) نشان داده شده است. دروازه " یای انحصاری" دوبیتی بر اساس رابطه (۳) پیاده‌سازی می‌شود.

$$XOR(A,B)=MV7(A,B,0,\overline{MV3(A,B,0),MV3(A,B,0)},0,0) \quad (۳)$$

دروازه "یای انحصاری" طراحی شده با دروازه اکثریت هفت ورودی پیشنهادی در این مقاله و دروازه اکثریت سه ورودی طراحی و پیاده‌سازی شده است، به این‌صورت که دو تا از ورودی‌های دروازه اکثریت هفت ورودی به ورودی‌هایی به نام‌های A و B متصل هستند و دو تا از ورودی‌های دیگر به دروازه اکثریت سه ورودی متصل هستند که دو تا از ورودی‌های این دروازه سه ورودی به A و B و ورودی سومش به صفر متصل است. یکی از ورودی‌های دروازه اکثریت هفت ورودی به صفر متصل است و دو ورودی دیگر دروازه اکثریت هفت ورودی بدون استفاده هستند.

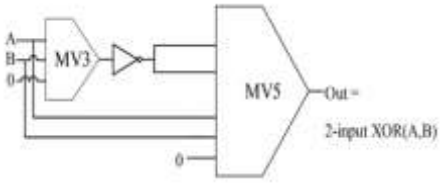
۳-۴- دروازه " نقیض یای انحصاری" دوبیتی

دروازه "نقیض یای انحصاری" یک دروازه منطقی دیجیتالی و در واقع متمم دروازه "یای انحصاری" است. این دروازه شامل دو یا چند ورودی و یک خروجی است، در دروازه "نقیض یای انحصاری" در صورتی خروجی یک می‌شود که یا هر دو ورودی صفر و یا هر دو ورودی یک باشد دروازه "نقیض یای انحصاری" دوبیتی بر اساس رابطه (۴) پیاده‌سازی می‌شود.

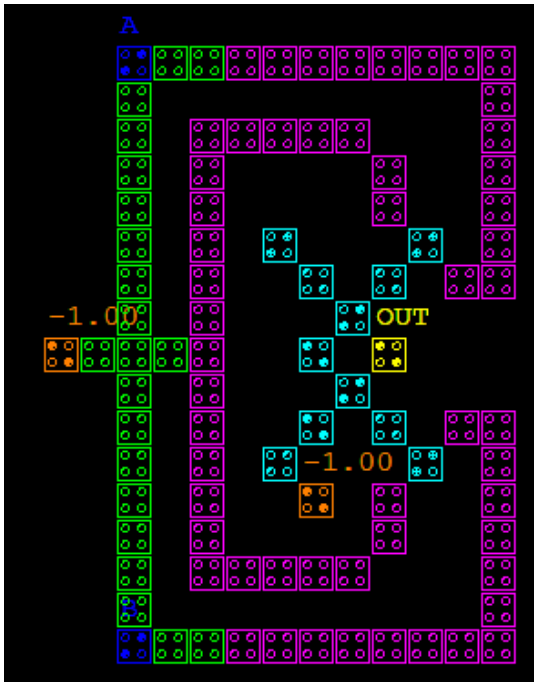
$$XNOR(A,B)=MV7(A,B,1,\overline{MV3(A,B,1),MV3(A,B,0)},0,0) \quad (۴)$$

دروازه "نقیض یای انحصاری" طراحی شده در این مقاله هم مانند دروازه "یای انحصاری" است با این تفاوت که ورودی‌ها به‌جای اتصال به صفر به یک متصل هستند. شکل (۱۲) دروازه "نقیض یای انحصاری" دوبیتی و شبیه‌سازی دروازه "نقیض یای انحصاری" را نشان می‌دهد.

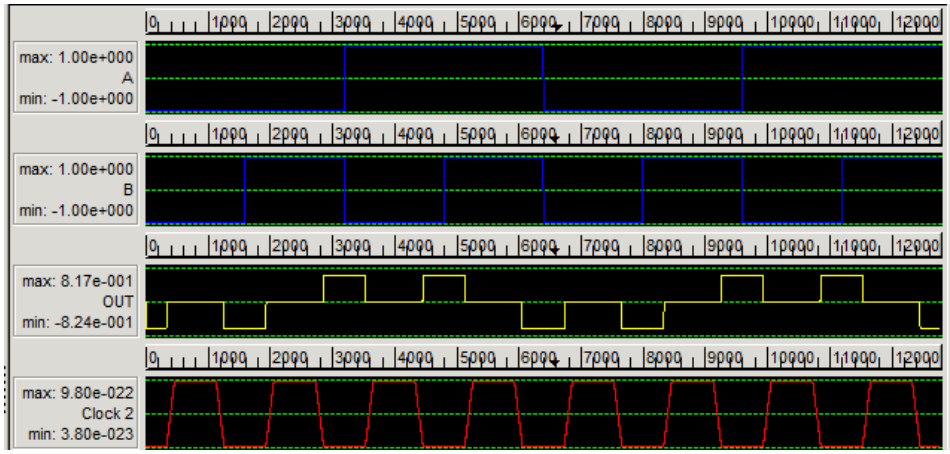
۳-۵- دروازه "یای انحصاری" سه بیتی



(الف) نماد دروازه [۸]



(ب) طرح در QCA



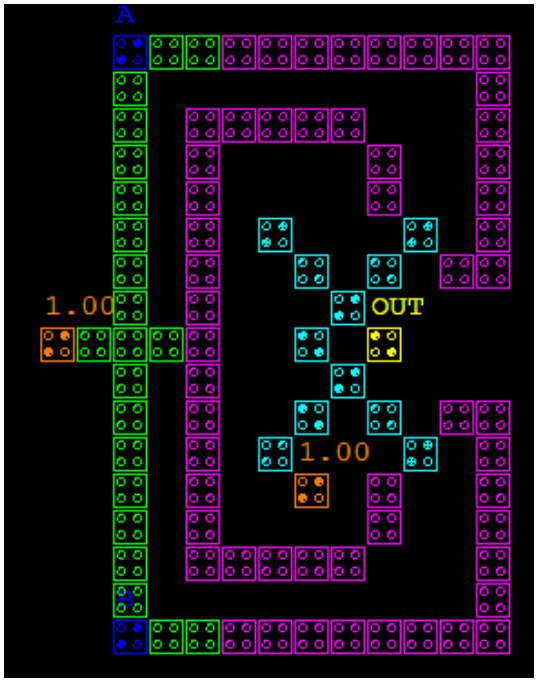
(ج) شبیه‌سازی

شکل (۱۱): دروازه "یای انحصاری" دوبیتی

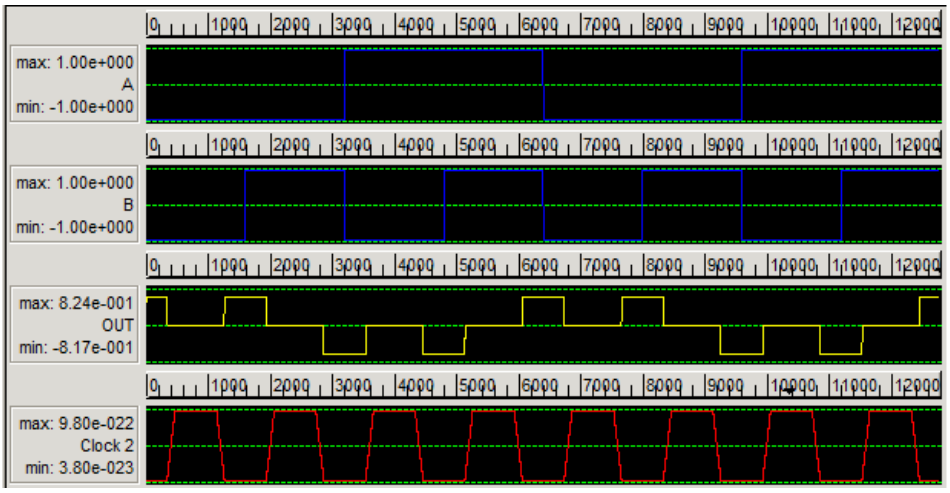
Figure (11): 2-input XOR gate, a) Schematic symbol [8], b) The proposed QCA layout, c) Simulation results

دروازه "یای انحصاری" پیشنهادی در این مقاله قابلیت گسترش پذیری را نیز دارد و می توان با استفاده از دروازه "یای انحصاری" دوبیتی پیشنهاد شده در این مقاله، "یای انحصاری" سه بیتی را نیز طراحی کرد. در شکل (۱۳) پیاده سازی دروازه "یای انحصاری" سه بیتی را توسط QCADesigner نشان می‌دهد.

۳-۶- جمع‌کننده تک بیتی



(الف) طرح در QCA



(ب) شبیه‌سازی

شکل (۱۲): دروازه "نقیض یای انحصاری" دوبیتی

Figure (12): 2-input XNOR gate, a) The proposed QCA layout, b) Simulation results

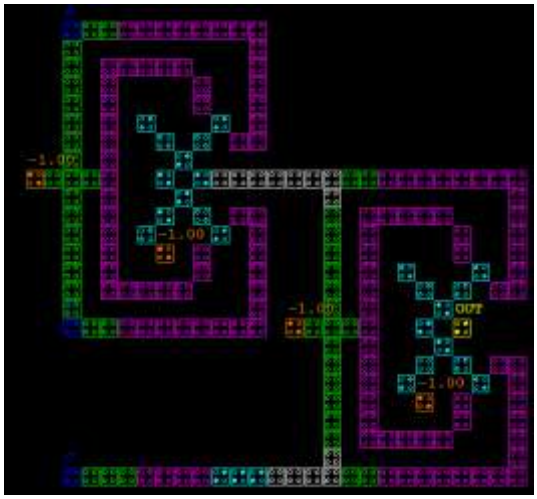
جمع‌کننده تک بیتی بر اساس رابطه‌های (۵) و (۶) پیاده‌سازی شده است:

$$Cout = AB + AC + BC = MV3(A, B, C) \quad (۵)$$

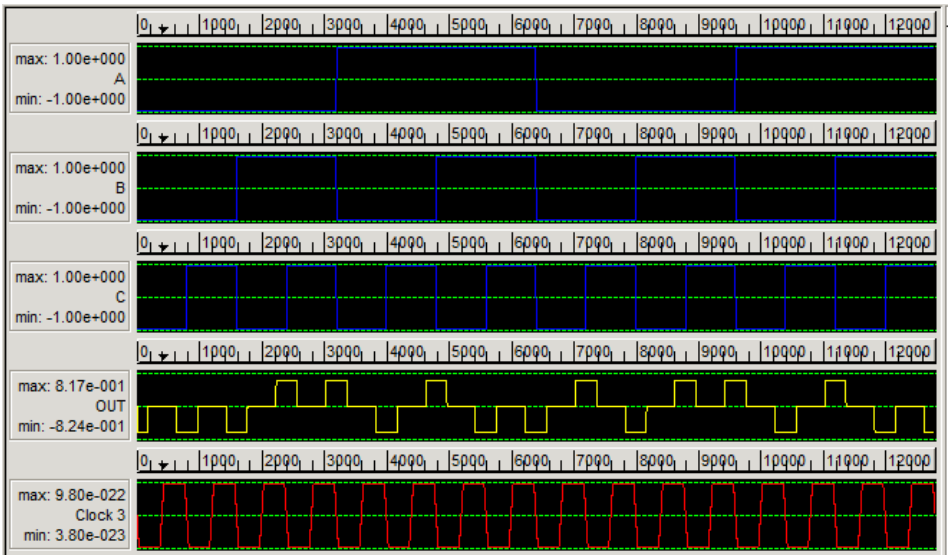
$$Sum = A \oplus B \oplus C = MV7(A, B, C, \overline{Cout}, \overline{Cout}, 0, 0) \quad (۶)$$

جمع‌کننده تک بیتی طراحی شده در این مقاله شامل یک دروازه اکثریت هفت ورودی پیشنهاد شده در این مقاله و یک دروازه اکثریت سه ورودی تحمل‌پذیر اشکال است. دروازه اکثریت طراحی شده در این مر جع ۴۵ در صد تح مل پذیری ا شکال دارد [۱۹]. مدار تمام جمع‌کننده تک بیتی در یک لایه و یک چرخه پالس ساعت طراحی و پیاده‌سازی شده ا ست، شکل (۱۴) دو پیاده‌سازی برای مدار تمام جمع‌کننده تک بیتی با کمک QCADesigner را نشان می‌دهد.

۷-۳- مدار جمع‌کننده چند بیتی



(الف) طرح در QCA



(ب) شبیه‌سازی

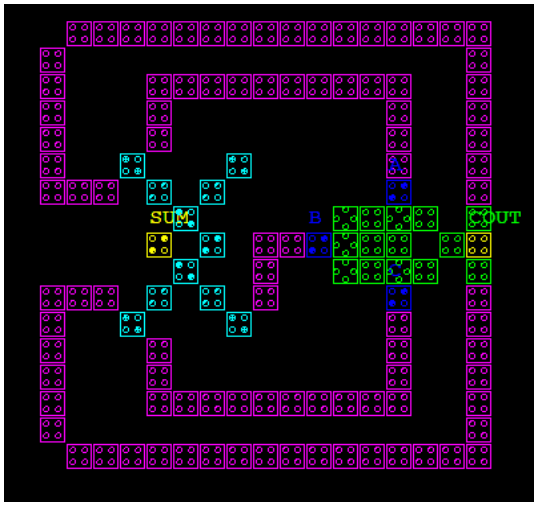
شکل (۱۳): دروازه "یای انحصاری" سه بیتی

Figure (13): 3-input XOR gate, a) The proposed QCA layout, b) Simulation results

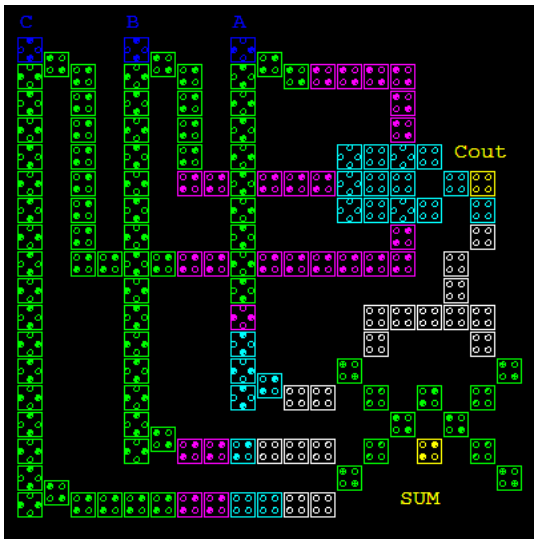
تمام جمع‌کننده‌ای که تا به اینجا شرح داده شد یک تمام جمع‌کننده تک بیتی بود، با قرار دادن n تا جمع‌کننده تک بیتی به دنبال هم همانند شکل (۱۵) می‌توان یک جمع‌کننده n بیتی طراحی کرد.

۴- مقایسه بین طرح‌های معرفی شده و طرح پیشنهادی

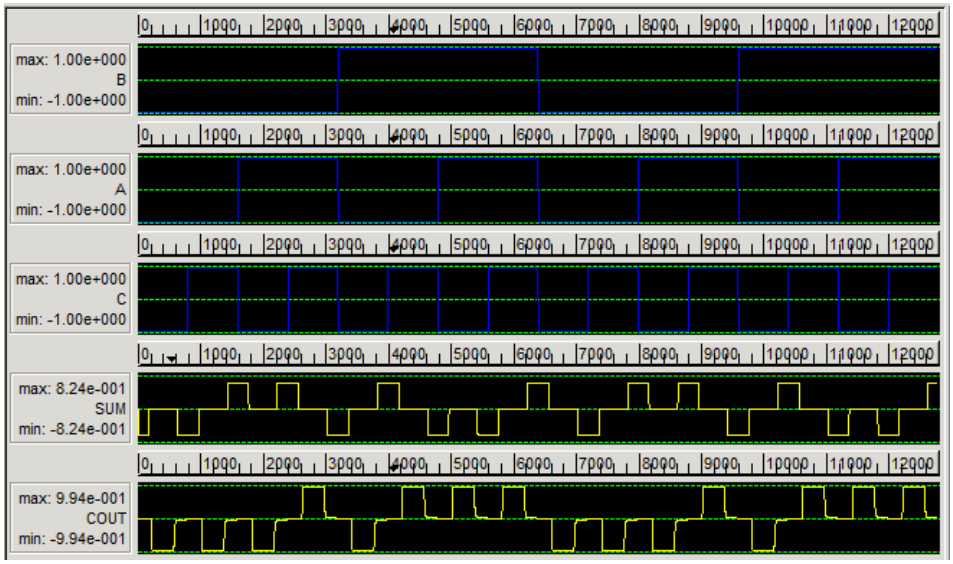
در جدول (۳) مقایسه‌ای بین طرح‌های معرفی شده و طرح پیشنهادی را از نظر تعداد سلول، سطح اشغال شده و مداراتی که با طرح‌های معرفی شده و طرح پیشنهادی پیاده‌سازی شده‌اند را نشان می‌دهد. براساس این جدول طرح پیشنهادی در این مقاله با دو کار موجود در مرجع‌های [۱۱] و [۱۲] مقایسه ساختاری شده است. مقایسه ساختاری با مدارهای پیشین برحسب پارامترهای ارزیابی رایج مانند تعداد سلول مصرفی، مساحت اشغالی و مصرف انرژی انجام شده است. گیت اکثریت هفت ورودی طراحی شده در مرجع [۱۱] با ۲۴ سلول کوانتومی در فضای اشغالی ۱۶۲۸۴ نانومترمربع طراحی شده است. مصرف انرژی دروازه پیشنهادی در این مرجع با استفاده از ابزار QCAPro محاسبه شده است که برابر ۰/۱۰۵۷۹ الکترون ولت است. همچنین گیت اکثریت هفت ورودی طراحی شده در مرجع [۱۲] با ۱۶ سلول کوانتومی در فضای اشغالی ۱۹۰۴۴ نانومترمربع طراحی و پیاده‌سازی شده است و مصرف انرژی گیت طراحی شده در این مرجع ۰/۰۰۸۸۹ الکترون ولت محاسبه شده است.



(الف) طرح ۱



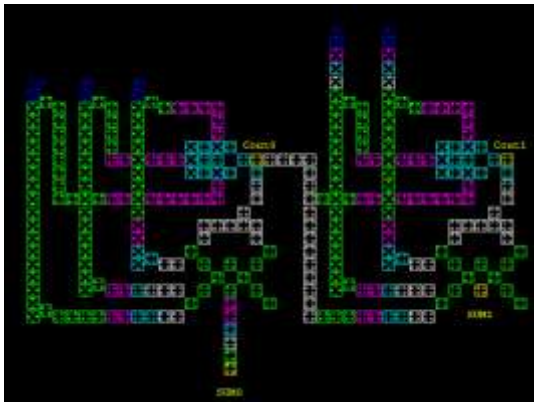
(ب) طرح ۲



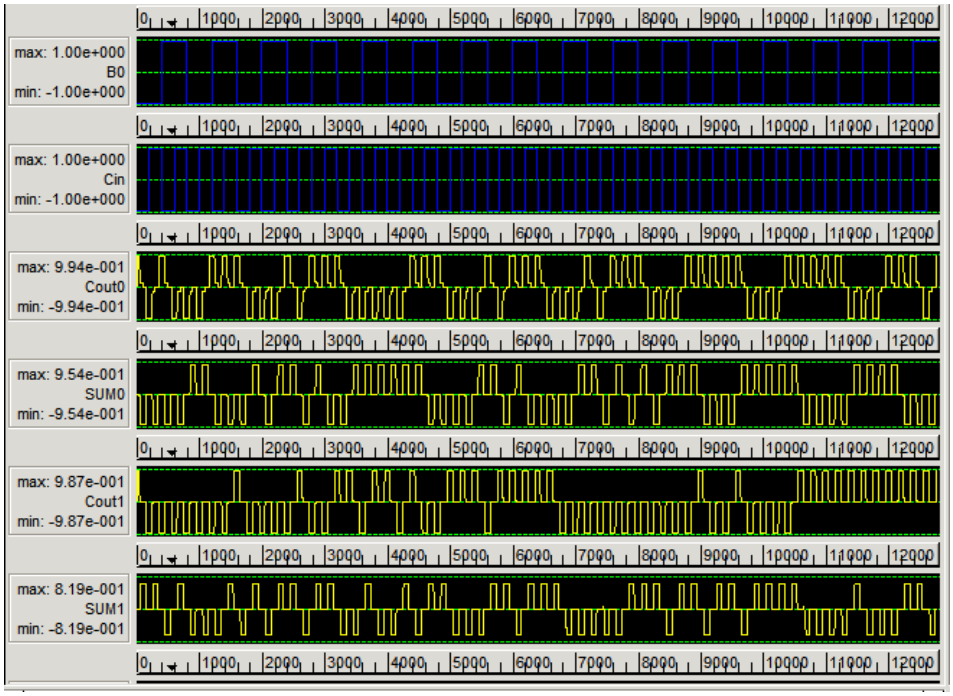
(ج) شبیه‌سازی

شکل (۱۴): مدار جمع‌کننده تک بیتی (تمام جمع کننده)

Figure (14): Full-adder, a) The proposed layout (no. 1), b) The proposed layout (no. 2), c) Simulation results



(الف) طرح مدار در QCA



(ب) شبیه‌سازی مدار

شکل (۱۵): مدار جمع‌کننده چند بیتی

Figure (15): n-bit full-adder, a) The proposed QCA layout, b) Simulation results

Table (3): A comparison of the proposed 7- input majority gate with the previous designs

جدول (۳): مقایسه دروازه پیشنهدی با دروازه‌های طراحی شده در مقالات قبلی

معیار مقایسه	[۱۱]	[۱۲]	دروازه پیشنهادی
تعداد سلول	۲۴	۱۶	۱۹
سطح اشغال شده	۱۶۲۸۴	۱۹۰۴۴	۲۴۵۶۴
مصرف انرژی	۰/۱۰۵۷۹	۰/۰۰۸۸۹	۰/۰۱۰۹۹
دروازه "و"	*		*
دروازه "یا"	*		*
دروازه "یای انحصاری"			*
دروازه "نقیض یای انحصاری"			*
مدار جمع‌کننده یک بیتی		*	*
مدار جمع‌کننده دو بیتی		*	*

۵- نتیجه‌گیری

در این مقاله یک دروازه اکثریت هفت ورودی نوین در آتوماتای کوانتومی سلولی طراحی شده است، دروازه پیشنهادی در این مقاله در یک لایه و با یک فاز کلاک طراحی شده است. این گیت با نوزده سلول کوانتومی در فضای اشغالی ۲۴۵۶۴ نانومترمربع در یک لایه و با یک فاز کلاک طراحی شده است. سپس دروازه‌های منطقی "و" دو ورودی، دروازه "یا" دو ورودی، دروازه "نقیض یای انحصاری" و "یای انحصاری" دو ورودی، دروازه ""یای انحصاری" سه ورودی و یک مدار تمام جمع‌کننده تک بیتی که با یک دروازه اکثریت سه ورودی تحمل‌پذیر اشکال و یک دروازه هفت ورودی پیشنهاد شده در این مقاله طراحی و پیاده‌سازی شده است، مدار تمام جمع‌کننده تک بیتی در یک لایه و یک چرخه پالس ساعت طراحی شده است و همچنین یک مدار تمام جمع‌کننده دو بیتی نیز طراحی و پیاده‌سازی شده است. همچنین در آینده، از دروازه‌ها و مدارهای طراحی شده در این مقاله می‌توان در طراحی مدارهای پیچیده‌تر و مدارهای با کارایی بالا استفاده کرد.

سپاسگزاری

این مقاله مستخرج از رساله دوره دکتری در دانشگاه آزاد اسلامی واحد علوم و تحقیقات است. نویسندگان بر خود لازم می‌دانند مراتب تشکر صمیمانه خود را از همکاران حوزه پژوهشی دانشگاه آزاد اسلامی و داوران محترم که ما را در انجام و ارتقای کیفی این مقاله یاری نموده‌اند، اعلام نمایند.

References

مراجع

[1] R. Farazkish, S. Sayedsalehi, K. Navi, "Novel design for quantum dots cellular automata to obtain fault-tolerant majority gate", Journal of Nanotechnology, vol. 2012, Article Number: 943406, April 2012 (doi: 10.1155/2012/943406).

[2] H. Khademolhosseini S. Angizi, Y. Nemati, "A fault-tolerant design for 3-input majority gate in quantum-dot cellular automata", Journal of Nanoelectronics and Optoelectronics, vol. 13, no. 1, pp. 93-103, Jan. 2018 (doi: 10.1166/jno.2018.2175).

[3] R. Farazkish, K. Navi, "New efficient five-input majority gate for quantum-dot cellular automata", Journal of Nanoparticle Research, vol. 14, no. 11, Article Number: 1252, Oct. 2012 (doi: 10.1007/s11051-012-1252-3).

[4] R. Farazkish, "A new quantum-dot cellular automata fault-tolerant five-input majority gate", Journal of Nanoparticle Research, vol. 16, no. 2, Article Number: 2259, Jan. 2014 (doi: 10.1007/s11051-014-2259-8).

[5] A. Roohi, H. Khademolhosseini, S. Sayedsalehi, K. Navi, "A symmetric quantum-dot cellular automata design for 5-input majority gate", Journal of Computational Electronics, vol. 13, no. 3, pp. 701-708, June 2014 (doi: 10.1007/s10825-014-0589-5).

[6] A.H. Majeed, E. AlKaldy, M.S.B. Zainal, D.B. Nor, "A new 5-input majority gate without adjacent inputs crosstalk effect in QCA technology", Indonesian Journal of Electrical Engineering and Computer Science, vol. 14, no. 3, pp. 1159-1164, June 2019 (doi: 10.11591/ijeecs.v14.i3.pp1159-1164).

[7] S.S. Ahmadpour, M. Mosleh, S.R. Heikalabad, "The design and implementation of a robust single-layer QCA ALU using a novel fault-tolerant three-input majority gate", The Journal of Supercomputing, vol. 76, no. 12, pp. 10155-10185, March 2020 (doi: 10.1007/s11227-020-03249-3).

[8] S.S. Ahmadpour, M. Mosleh, S.R. Heikalabad, "An efficient fault-tolerant arithmetic logic unit using a novel fault-tolerant 5-input majority gate in quantum-dot cellular automata", Computers and Electrical Engineering, vol. 82, Article Number: 106548, March 2020. (doi: 10.1016/j.compeleceng.2020.106548).

[9] S. Seyedi, N. Jafari-Navimipour, "Designing a multi-layer full-adder using a new three-input majority gate based on quantum computing", Concurrency and Computation: Practice and Experience, vol. 34, no. 4, Article Number: e6653, Feb. 2022. (doi: 10.1002/cpe.6653.)

[10] J. Bravo-Montes, A. Martín-Toledano, A. Sánchez-Macián, O. Ruano, F. Garcia-Herrero, "Design and implementation of efficient QCA full-adders using fault-tolerant majority gates", The Journal of Supercomputing, vol. 78, no. 6, pp. 8056-8080, Jan. 2022 (doi: 10.1007/s11227-021-04247-9).

[11] K. Navi, A.M. Chabi, S. Sayedsalehi, "A novel seven input majority gate in quantum-dot cellular automata", International Journal of Computer Science Issues, vol. 9, no. 1, pp. 84-89, Jan. 2012.

[12] H. Mohammadi, K. Navi, M. Hosseinzadeh, "An efficient quantum-dot cellular automata full adder based on a new convertible 7-input majority-not gate", IETE Journal of Research, pp. 1-9, Nov. 2020 (doi: 10.1080/03772063.2020.1838338).

[13] J. Jeon, "7-input majority gate based priority encoder using multi-layer quantum-dot cellular automata", Advanced Science Letters, vol. 23, no. 10, pp. 10118-10122, Oct. 2017 (doi: 10.1166/asl.2017.10400).
[14] A.O. Orlov, I. Amlani, G. Toth, C.S. Lent, G.H. Bernstein, G.L. Snider, "Experimental demonstration of a binary wire for quantum-dot cellular automata", Applied Physics Letters, vol. 74, no. 19, pp. 2875-2877, May 1999 (doi: 10.1063/1.124043).
[15] A.O. Orlov, I. Amlani, R.K. Kummamuru, R. Ramasubramaniam, G. Toth, C.S. Lent, G.L. Snider, "Experimental demonstration of clocked single-electron switching in quantum-dot cellular automata", Applied Physics Letters, vol. 77, no. 2, pp. 295-297, May 2000 (doi: 10.1063/1.126955).
[16] L. Lu, W. Liu, M. ONeill, E.E. Swartzlander, "QCA systolic array design", IEEE Trans. on Computers, vol. 62, no. 3, pp. 548-560, Dec. 2011 (doi: 10.1109/TC.2011.234).
[17] M. Askari, M. Taghizadeh, "Logic circuit design in nano-scale using quantum-dot cellular automata", European Journal of Scientific Research, vol. 48, no. 3, pp. 516-526, 2011.
[18] L.A. Lim, A. Ghazali, S.C.T. Yan, C.C. Fat, "Sequential circuit design using quantum-dot cellular Automata (QCA)", Proceeding of the IEEE/ICCAS, pp. 162-167, Kuala Lumpur, Malaysia, Oct. 2012 (doi: 10.1109/ICCircuitsAndSystems.2012.6408320).
[19] S. Jafarali-Jassbi, F. Jahanshahi-Javaran, H. Khademolhosseini, A. Sabbagh-Molahosseini, "Design and analysis of a fault tolerant 3-input majority gate in quantum-dot cellular automata", Journal of Advances in Computer Research, vol. 10, no. 4, pp. 27-36, Nov. 2019.

زیرنویس‌ها

1. Quantum-dot cellular automata
2. Colony repulsion force
3. Operand