JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 13/ No. 52/ Winter 2023
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

https://dorl.net/dor/20.1001.1.23223871.1401.13.52.4.9
Research Article

Design of Low-Power, High-Speed, High-Density Hybrid Nonvolatile Memory Cell Using 4-Transistor and 1-Memristor

Arash Alijani, *M.Sc.*, Behzad Ebrahimi, *Assistant Professor*, Massoud Dousti, *Associate Professor*

Department of Electrical and Computer Engineering- Science and Research Branch, Islamic Azad University, Tehran, Iran
alijani.arash@gmail.com, behzad.ebrahimi@srbiau.ac.ir, m_dousti@srbiau.ac.ir

Abstract
Memristor is the fourth fundamental element after resistor, capacitor, and inductor. Memristor can become an essential element of SRAM and DRAM caches because of its zero power consumption in data storage and non-volatile state. It can effectively improve the efficiency, speed, and power consumption of circuits. In this paper, we propose a 4T1M memory cell reducing the cell area by maintaining the maximum properties of 6T1M. To simulate the proposed memory cell, the length of the memristors is 10 nm, and the resistance of their on and off states is selected as 1 kΩ and 200 kΩ, respectively. Also, the cell MOS transistors are simulated by the 32 nm HP CMOS PTM model. Simulations in H-Spice software, at 0.9 V power supply, have been conducted to compare the proposed cell characteristics with two conventional six-transistor (6T) and six-transistor one-memristor (6T1M) cells. The results show that using a memristor in a memory cell causes zero power consumption during data storage for a long time and reduces the occupied area by 36.7% compared to the 6T1M cell. The speed of writing "1" data on the proposed cell is only 30 ps, which shows a 3-fold improvement compared to the 6T1M cell, but no significant change is observed when writing "0" data. The static power of the proposed cell is 133 times less than that of a six-transistor cell, and its dynamic power is about the same as the 6T1M cell, but it consumes 60 times less energy than a six-transistor cell.

Keywords: high density, high speed, hybrid memory, low power, memristor, non-volatile

Received: 14 September 2021
Revised: 16 November 2021
Accepted: 1 December 2021

Corresponding Author: Dr. Behzad Ebrahimi

Citation: A. Alijani, B. Ebrahimi, M. Dousti, "Design of low-power, high-speed, high-density hybrid nonvolatile memory cell using 4-transistor and 1-memristor", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 52, pp. 53-64, March 2023 (in Persian).

https://dorl.net/dor/20.1001.1.23223871.1401.13.52.4.9
مقاله پژوهشی

طراحی سلول حافظه غیرفرار هیبریدی کم توان، پر سرعت با تراکم بالا با استفاده از چهار ترانزیستور و یک ممریستور

آرش علیجانی، دانش آموخته کارشناسی‌ارشد، بهزاد ابراهیمی، استادیار، مسعود دوستی، دانشیار
دانشکده مهندسی برق و کامپیوتر- واحد علوم تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران
alijani.arash@gmail.com, behzad.ebrahimi@srbiau.ac.ir, m_dousti@srbiau.ac.ir

چکیده: ممریستور به‌عنوان چهارمین عنصر بنیادی بعد از مقاومت، خازن و سلف شناخته می‌شود. ممریستور به‌خاطر توان مصرفی صفر در حالت نگه‌داری داده و غیرفرار بودن، در آینده‌ای نزدیک می‌تواند به عنصر اساسی حافظه‌های اصلی یا پنهان دست‌رسی تصادفی ایستا (SRAM) یا دست‌رسی تصادفی پویا (DRAM) تبدیل شود، همچنین می‌تواند به‌صورت مؤثری راندمان، سرعت، زمان راه‌اندازی و توان مصرفی مدارها را بهبود بخشد. سلول حافظه معرفی شده در این مقاله 4T1M است که با حفظ بیشترین ویژگی‌های 6T1M باعث کاهش مساحت اشغالی سلول شده است. به‌منظور شبیه‌سازی حافظه پیشنهادی، طول ممریستورها ۱۰ نانومتر و مقاومت حالت‌های روشن و خاموش آنها به ترتیب ۱ کیلو-اهم و ۲۰۰ کیلو-اهم انتخاب شده است. همچنین، ترانزیستورهای MOS سلول نیز توسط مدل PTM HP CMOS 32 نانومتر شبیه‌سازی شده‌اند. شبیه‌سازی در نرم‌افزار اچ-اسپایس و با تغذیه ۰/۹ ولت و مقایسه آن با دو سلول شش ترانزیستوری مرسوم (6T) و شش ترانزیستوری-یک ممریستوری (6T1M) نشان می‌دهد که استفاده از ممریستور در سلول حافظه باعث به صفر رساندن توان مصرفی حین نگه-داری داده برای مدت طولانی و کاهش مساحت اشغالی به میزان ۳۶/۷ درصد نسبت به سلول 6T1M می‌شود. سرعت نوشتن داده "یک" روی سلول پیشنهادی تنها ۳۰ پیکو-ثانیه است که در مقایسه با سلول 6T1M بهبود ۳ برابری را نشان می‌دهد ولی در زمان نوشتن داده صفر تغییر محسوسی مشاهده نمی‌شود. توان ایستای سلول پیشنهادی نسبت به سلول شش ترانزیستوری، ۱۳۳ برابر کاهش داشته است و توان پویای آن با سلول 6T1M تفاوت ناچیزی دارد اما ۶۰ برابر از سلول شش ترانزیستوری انرژی کمتری مصرف می‌کند.

کلمات کلیدی: پرسرعت، چگالی پایین، حافظه غیرفرار، حافظه هیبریدی، کم‌توان، ممریستور

تاریخ ارسال مقاله: ۱۴۰۰/۶/۲۳
تاریخ بازنگری مقاله: ۱۴۰۰/۸/۲۵
تاریخ پذیرش مقاله: ۱۴۰۰/۹/۱۰

۱- مقدمه

سیستم‌های دیجیتال امروزی بسیار بیشتر از گذشته نیاز به دسترسی و ذخیره سریع‌تر اطلاعات دارند و به لطف پدیدارشدن حسگرهای دقیق و دوربین‌های دیجیتال با کیفیت و تنوع داده‌های ورودی با حجم‌های بالا و جزئیات بیشتر، این نیاز هر روز بیشتر احساس می‌شود. در طراحی ریزپردازنده‌های کنونی و دیگر سیستم‌های دیجیتال، بخش بزرگی از مساحت تراشه را حافظه‌ها در اختیار گرفته‌اند؛ هرچند به لطف شگردهای نوین ساخت تراشه‌های چندطبقه توانسته‌اند از مساحت اشغال شده توسط حافظه‌ها بکاهند اما باز هم این مشکل کاملاً برطرف نشده است [۱]. در میان این خانواده گسترده از حافظه‌ها که با سرعت، توان و سخت‌افزارهای متفاوت تولید می‌گردند، زیرسیستم حافظه‌ها یا به‌عبارت‌دیگر حافظه‌های نهان سرعت بالا از اهمیت بیشتری برخوردارند زیرا این نوع حافظه‌ها مستقیماً با هسته‌های پردازنده در ارتباط هستند و اگر ایرادی در هر پارامتر این حافظه پدید آید مستقیماً در عملکرد پردازنده مؤثر بوده و کارایی سیستم را به چالش می‌کشاند. حافظه‌های نهان به‌طور معمول حافظه‌های ایستا با دسترسی تصادفی هستند که نقش تعیین‌کننده‌ای در کارایی کلی و عملکرد سیستم‌های محاسباتی و پردازشی دارند. طراحی سلول‌های حافظه نیازمند برقراری اعتدال میان قابلیت اطمینان، سرعت، توان و مساحت است [۲].

مصرف توان مسئله دیگری است که امروزه به یک مسئله حیاتی در بسیاری از مدارهای الکترونیکی مدار مجتمع بسیار بزرگ[۱] (VLSI) تبدیل شده است. دسترسی‌های متناوب به حافظه سیستم به‌منظور خواندن و یا نوشتن داده‌های جدید بخش زیادی از کل توان مصرفی یک تراشه را تشکیل می‌دهد. درون سیستم‌های روی تراشه[۲] (SOC) تعداد زیادی سلول حافظه به‌صورت آرایه‌ای کنار یکدیگر قرار گرفته‌اند. گرچه مشاهده این مزرعه بزرگ حافظه با ابزارهای امروزی بسیار زیباست اما به تنهایی بخش زیادی از توان ایستای یک تراشه را به خود اختصاص می‌دهد؛ بنابراین کاهش توان در این سلول‌های حافظه می‌تواند به‌طور قابل‌ملاحظه‌ای بازدهی توان، قابلیت اطمینان و هزینه نهایی سیستم را بهبود ببخشد. امروزه به دلیل ورود افزاره‌های قابل کاشت در بدن انسان، کاربردهای فضایی، شبکه‌های حسگر بی‌سیم با تعداد زیاد در ابعاد وسیع برای کاربردهای کشاورزی و اینترنت اشیاء که به جد یکی از عناوین مهم در ۱۰ سال آینده به‌حساب می‌آید، مبحث انرژی و توان از اولویت بالایی برخوردار شده است و حتی اهمیت آن از سرعت پردازش نیز فراتر رفته است [۳].

ممریستور عنصری پسیو با دو پایانه است که مقاومت آن به اندازه و جهت ولتاژ اعمالی به آن و مدت زمانی که اعمال ولتاژ طول بکشد وابسته است. زمانی که ولتاژ قطع می‌شود ممریستور آخرین مقدار مقاومت خود را حفظ می‌کند تا زمان بعدی که اعمال ولتاژ دوباره ازسرگرفته شود [۴،۵]. به دلیل همین توانایی ممریستور، می‌توان از آن به‌عنوان یک عنصر حافظه غیر فرار استفاده نمود. این حافظه مصرف توان ایستا و مساحت بسیار کم را به ارمغان می‌آورد [۱۱-۶].

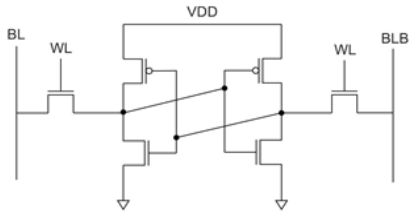
در شکل (۱-الف) یک سلول حافظه 6T استاندارد نشان داده شده است که شناخته‌ترین نوع سلول حافظه دسترسی تصادفی ایستا[۳] (SRAM) سرعت‌بالا است و تقریباً تمام سلول‌های حافظه جدید با این ساختار مورد مقایسه قرار می‌گیرند [۲]. از مزیت‌های این سلول سرعت بالا و از عیب‌های آن جریان نشتی است. برای کاهش جریان نشتی و بهبود پایداری سلول SRAM، نویسندگان در مراجع [۱۴-۱۲]، سلول‌های حافظه هفت، هشت و ده ترانزیستوری ارائه دادند که بهبود در عملکرد سلول را نشان می‌دهند ولی در هیچ‌کدام برای مسئله بسیار مهم فضای اشغالی به‌ازای هر سلول راه‌کاری ارائه نشده است. استفاده از مزایای ترانزیستور باله‌ای منجر به استفاده از فین‌فت[۴] (FinFET) در مقاله مرجع [۱۵] شده است. اما راه‌کار نوین برای کاهش نشتی سلول SRAM استفاده از عنصر ممریستور در طراحی حافظه است. در مرجع [۶] سلول حافظه 4T2M پیشنهاد شده که از دو ممریستور در ساختار آن استفاده شده است. مقادیر داده به‌صورت متمم در ممریستورها ذخیره می‌شود. این سلول مصرف توان پایین از خود نشان داده اما سرعت نوشتن نسبتا کمی دارد. در مرجع [۷] یک سلول حافظه 3T2M پیشنهاد شده که زمان خواندن کم اما زمان نوشتن بالایی دارد. در مرجع [۸] یک سلول حافظه 4T2M پیشنهاد شده است [شکل (۱-ب)] که دو ممریستور در جهت‌های متفاوت قرار گرفته‌اند و با تغییر مقاومت‌های ممریستور به مقاومت‌های روشن و خاموش در هر وضعیت می‌تواند داده را به دو صورت داخل سلول ذخیره کند. این سلول نیز زمان نوشتن نسبتاً بالایی دارد. در مرجع [۹] دو سلول حافظه 8T2M و 9T2M غیر فرار طراحی و بررسی شده‌اند. این سلول‌ها با وجود بهبودی که در مصرف

توان پویا ایجاد می‌کنند اما به علت استفاده از تعداد ترانزیستورهای زیاد در کنار استفاده از ممریستور، مساحت بالایی از تراشه را اشغال خواهند کرد. در مرجع [۱۰] یک سلول تمام ممریستوری ارائه شده که از سه ممریستور تشکیل شده است. ساخت آرایه‌ای از این سلول‌ها کنار هم چالش‌های جدی پیش‌رو دارد که جریان پنهانی از مسائل و چالش‌های این نوع از سلول‌ها است. در مرجع [۱۱] سلول حافظه هیبریدی 6T1M [شکل (۱-ج)] دیگری معرفی شده که سرعت نوشتن و پایداری بالا و مصرف توان کم دارد. به‌خاطر ویژگی‌های مناسب، این سلول مورد مقایسه با سلول پیشنهادی ما قرار گرفته است.

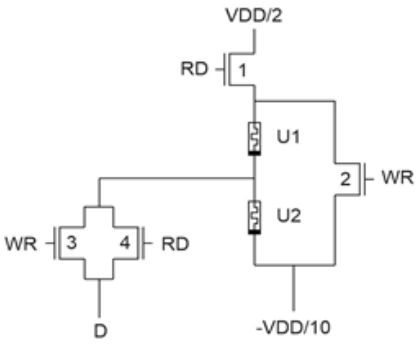
در این مقاله، یک سلول هیبریدی با هدف کاهش مساحت اشغالی سلول و بهبود سرعت خواندن و نوشتن معرفی می‌شود. در این سلول تنها از چهار ترانزیستور و یک ممریستور استفاده شده است. در ادامه این مقاله، در بخش دوم به معرفی سلول چهار ترانزیستوری و یک ممریستوری پیشنهادی پرداخته می‌شود. در بخش سوم، نتایج شبیه‌سازی اچ‌اسپایس و ال‌ادیت از نظر پایداری، سرعت و توان در سه مد نگه‌داری، خواندن و نوشتن بیان می‌شود تا سلول پیشنهادی با سلول‌های دیگر در فناوری و شرایط یکسان مقایسه شود و در بخش چهارم، نتیجه‌گیری کلی از مقاله ارائه خواهد شد.

۲- سلول حافظه پیشنهادی 4T1M

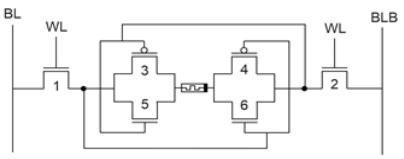
سلول معرفی شده نشان داده شده در شکل (۲) دارای سه ترانزیستور اثرمیدانی نوع n (NMOS) و یک ترانزیستور اثرمیدانی نوع p (PMOS) است. دو عدد ترانزیستور NMOS (شماره ۱ و ۲) برای دسترسی به سلول مورد استفاده قرار می‌گیرند و در واقع ترانزیستورهای دسترسی نامیده می‌شوند. این دو ترانزیستور مستقیماً با فعال شدن خط کلمه[۵] (WL) روشن می‌شوند و خطوط بیت[۶] (BL) و خطوط بیت بار[۷] (BLB) را به سلول متصل می‌کنند. دو ترانزیستور NMOS و PMOS (شماره ۳ و ۴) وظیفه کنترل جهت عبور جریان از ممریستور را بر عهده دارند که با بازخورد گرفته شده از گره Y که سر مثبت ممریستور است شرایط روشن یا خاموش بودن ترانزیستورهای ۳ و ۴ را فراهم می‌آورد.



(الف) سلول حافظه 6T [۲]



(ب) سلول حافظه 4T2M [۸]



(ج) سلول حافظه 6T1M [۱۱]

شکل (۱): سلول‌های حافظه کارهای گذشته

Figure (1): Previous work memory cells (a) 6T [2], (b) 4T2M [8], (c) 6T1M [11]

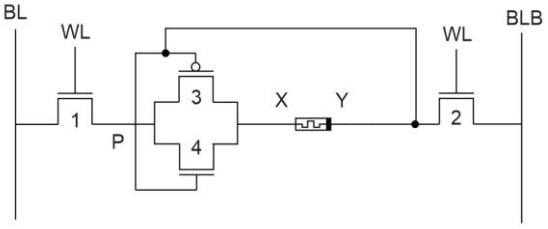
لازم به ذکر است که بـه دلیـل متفـاوت بـودن ترانزیسـتورهای ۳ و ۴ هیچگـاه هـر دو بـاهم روشـن یـا خـاموش نمـی‌شـوند. شبیه‌سازی‌های انجام شده با ترانزیستورهای CMOS با فناوری ۳۲ نانومتر PTM HP انجام شده که با ولتـاژ تغذیـه ۰/۹ ولـت کار می‌کند.

مدل ممریستور نیز از آخرین کتابخانه بیولک (Biolek) [۱۶] سال ۲۰۱۵ جهت انجام شبیه‌سازی با نرم‌افزار اچ‌اسـپایس نسـخه ۲۰۱۴ برداشته شده است و دارای ویژگی‌های مقاومت روشن (Ron) و مقاومت خاموش(Roff) به‌ترتیب برابر ۱ و ۲۰۰ کیلـواهم و طول ممریستور (D) و پارامتر تابع پنجره (P) به‌ترتیب برابر ۱ و ۱۰/۳۲ نانومتر و نسبت عرض به طول ممریستور (Xo) برابـر ۰/۴ و نسبت تفاضل مقاومت اولیه روشن به مقاومت اولیه خـاموش ممریسـتور (a) برابـر ۵۰ اسـت [۵،۱۷]. مـدل‌هـای جدیـد ممریستور برای شبیه‌سازی بهتر در مرجع‌های [۱۸]، [۱۹] و [۲۰] معرفی شده‌اند که به دلیل نوظهور بودن کتابخانـه‌ای بـرای مدل‌سازی آن رسماً معرفی نشده است. بنابراین از مدل سرعت‌بالای بیولک (Biolek hp) در شبیه‌سازی‌ها استفاده شـده اسـت. ممریستور استفاده شده داخل سلول به عنوان عنصر اصلی ذخیره داده استفاده می‌شود کـه دارای دو سـر بـه نـام‌هـای X و Y است. در صورتی که بخواهیم داده "یک" داخل سلول ذخیره شود باید ممریستور در بایاس مستقیم قرار گیرد یعنی ولتـاژ Y از X بیشتر شود و مقاومت آن به Ron تغییـر یابـد و سـپس بـا جـدا کـردن سـلول از سـایر سـلول‌هـا توسـط خـاموش نمـودن ترانزیستورهای دسترسی مقدار مقاومت برای مدت طولانی در همان مقدار باقی خواهد ماند. وجود ترانزیستورهای ۳ و ۴ برای کاهش جریان نشتی و تغییر ناخواسته مقدار ممریستور لازم و ضروری است.

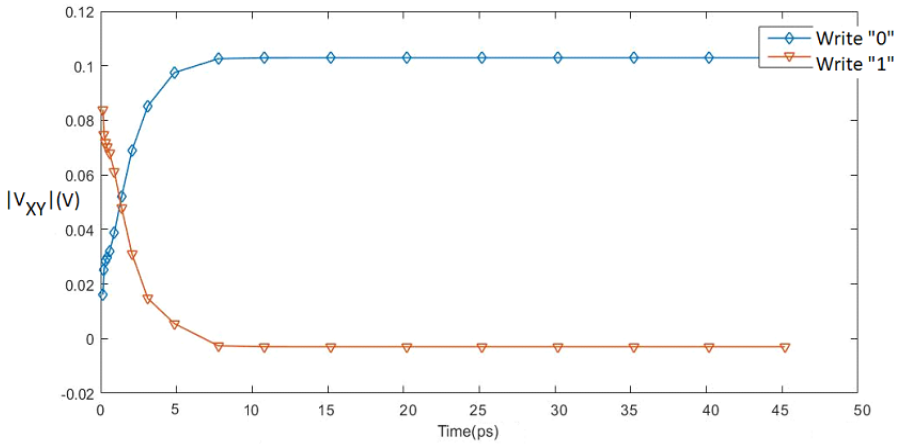
۲-۱- عملیات نوشتن داده "یک" روی سلول پیشنهادی

برای نوشتن داده یک بر روی سلول پیشنهادی باید ممریستور در بایاس مستقیم قرار گیـرد و ممریسـتنس آن بـه Ron تغییـر یابد. به این منظور خط BL باید به GND و خط BLB به VDD، پیش شارژ شود که سرعت پیش شارژ شدن ایـن خطـوط بـه ظرفیت خازنی خطوط BL و BLB بستگی دارد. هر چقدر که ظرفیت خازنی خطوط بیشتر باشـد زمـان بیشـتری بـرای شـارژ خطوط نیاز است. البته این چالش در همه سلول‌های حافظه وجود دارد و معمولاً در محاسبات سرعت نوشـتن و خوانـدن یـک سلول لحاظ نمی‌شود.

هرچقدر ظرفیت خازنی خطوط کمتر باشد زمان شارژ شدن خطوط نیز کمتر خواهد شد و در نتیجه سرعت عملیات خوانـدن و نوشتن روی سلول بیشتر می‌شود. البته این روش برای تمام سلول‌های حافظه از نوع SRAM و یا هیبریدی صدق می‌کند و بـه این معنی است که یکی از پارامترهای تأثیر گذار روی سرعت سلول حافظه است. پس از اتمام مرحله پیش شارژ، خط WL کـه فعال‌ساز ترانزیستورهای دسترسی است به ولتاژ حداکثری رسیده و هر دو ترانزیستور ۱ و ۲ روشن می‌شوند. با در نظر گـرفتن اینکه ترانزیستورهای ۱ و ۲ می‌توانند ولتاژ حداقلی را بهتر عبور دهند و افت ولتاژ ناچیزی دو سر آن‌ها قـرار مـی‌گیـرد. در ایـن حالت ولتاژ سر مثبت ممریستور از سر منفی آن بیشتر بوده و بنابراین در بایاس مستقیم قرار می‌گیـرد کـه در نهایـت مقاومـت ممریستور به Ron کاهش می‌یابد. نرخ تغییرات ولتاژ دو سر ممریستور در شکل (۳) نمودار قهوه‌ای رنگ قابل مشاهده است. در شکل (۴) نمودار قهوه‌ای‌رنگ نرخ تغییرات مقاومت ممریستور را مشاهده می‌نمایید که از Roff به Ron تغییر می‌یابد. همان‌طور که مشاهده می‌شود سرعت تغییرات بسیار زیاد است و این به معنی پر سرعت بودن سلول هیبریدی ارایـه شـده اسـت. میـزان تغییرات مقاومت ممریستور برای حالت روشن یا Ron حدود یک کیلو اهم است.

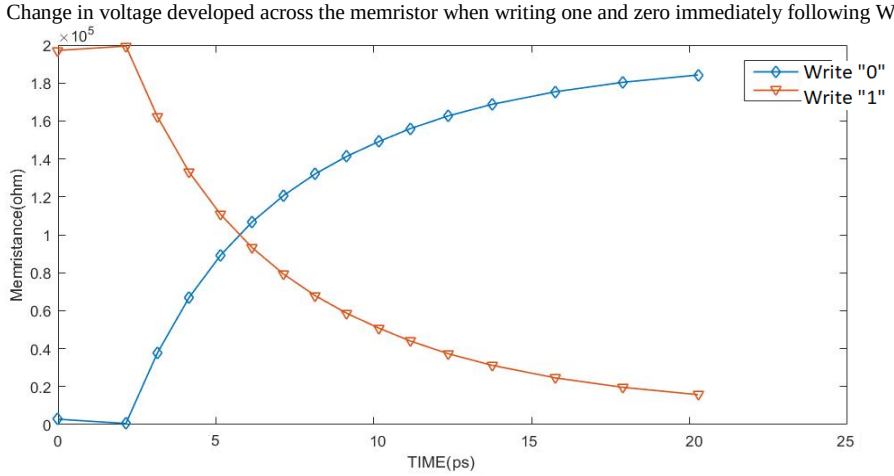


شکل (۲): سلول حافظه هیبریدی 4T1M پیشنهادی
Figure (2): The proposed 4T1M hybrid memory cell



شکل (۳): تغییرات ولتاژ دوسر ممریستور هنگام نوشتن یک و صفر بلافاصله پس از بالارفتن خط WL

Figure (3): Change in voltage developed across the memristor when writing one and zero immediately following WL assertion



شکل (۴): تغییرات مقاومت ممریستور هنگام نوشتن یک و صفر بلافاصله پس از بالارفتن خط WL

Figure (4): Change in memristance of memristor when writing one and zero immediately following WL assertion

۲-۲- عملیات نوشتن داده "صفر" روی سلول پیشنهادی

ابتدا خطوط BL و BLB به ترتیب به VDD و GND پیش شارژ می‌گردند. پس از اتمام مرحله پیش شارژ خط WL که فعال ساز ترانزیستورهای دسترسی است به بیشترین ولتاژ رسیده و هر دو ترانزیستور ۱ و ۲ روشن می‌شوند. با در نظر گرفتن اینکه ترانزیستورهای ۱ و ۲ می‌توانند ولتاژ حداقلی را بهتر عبور دهند و افت ولتاژ ناچیزی دو سر آن‌ها قرار می‌گیرد. ناگفته نماند که هم در حین نوشتن صفر و یا یک روی سلول به هر حال یکی از ترانزیستورهای دسترسی NMOS به ولتاژ حداکثری متصل شده است و این به معنی افت ولتاژ محسوس دو سر یکی از ترانزیستورهای دسترسی است. در ادامه گره Y که متصل به سر مثبت ممریستور است به دلیل دارابودن ولتاژ منفی و نزدیک به GND ترانزیستور PMOS شماره ۳ را روشن کرده و باعث برقرار شدن مسیر عبور جریان از خط BL و ممریستور و BLB می‌شود (با صرف نظر از افت ولتاژ ناچیز ترانزیستورهای دست-رسی). در این حالت ولتاژ سر مثبت ممریستور از سر منفی آن کمتر بوده و بنابراین در بایاس معکوس قرار می‌گیرد که در نهایت مقاومت ممریستور را به Roff افزایش می‌دهد. مقاومت بالا برای وضعیت خاموش ممریستور حدود ۲۰۰ کیلو اهم است که این مقدار نیز روی شکل (۴) به رنگ آبی نمایش داده شده است.

۲-۳- عملیات نگه‌داری داده داخل سلول پیشنهادی

برای نگه‌داری داده داخل سلول پیشنهادی کافی است که ترانزیستورهای دسترسی خاموش شوند و این کار با اتصال گیت ترانزیستورهای دسترسی به GND امکان‌پذیر خواهد بود. در این حالت به دلیل ایزوله بودن سلول تغییر داده صورت نخواهد

گرفت. نتایج شبیه‌سازی‌های انجام شده روی توان مصرفی ایستای سلول پیشنهادی گواه این ادعاست که در بخش شبیه-سازی‌ها ذکر گردیده است.

۲-۴- عملیات خواندن از سلول پیشنهادی

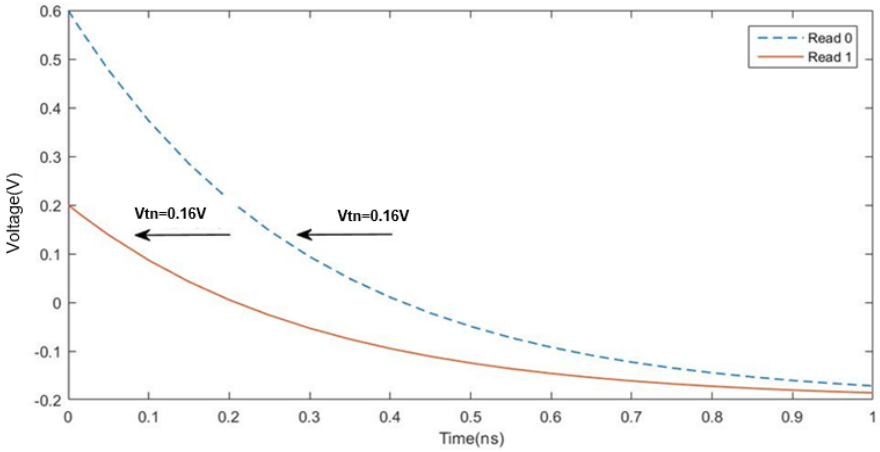
برای خواندن داده از داخل سلول باید همانند عملیات نوشتن صفر عمل کرد. به این صورت که ابتدا خط BL را به VDD و خط BLB را به GND پیش‌شارژ می‌شود. پس از پیش‌شارژ کردن خطوط BL و BLB ترانزیستورهای دسترسی ۱ و ۲ روشن می‌شوند. اما زمان روشن شدن این دو ترانزیستور بسیار کوتاه‌تر از زمان نوشتن داده صفر است. این نوع بایاس برای عملیات خواندن از سلول در ریشه‌کن کردن پدیده رانش وضعیت[۸] یا تغییر ناخواسته مقدار ممریستور یک نقش حیاتی ایفا می‌کند.
همان‌طور که پیش‌تر عنوان شد ممریستور برای تغییر از حالت خاموش به روشن نیاز به ولتاژ مناسب و زمان کافی برای تغییر میدان الکتریکی خود دارد. از آنجا که زمان روشن‌شدن ترانزیستورهای دسترسی در حالت خواندن داده از داخل سلول در حد چند پیکو ثانیه است بنابراین اختلاف پتانسیل بین دو خط BL و BLB نیز برای ممریستور روشن با مقاومت کم و ممریستور خاموش با مقاومت زیاد متفاوت خواهد بود. شکل (۵) ولتاژ گیت به سورس ترانزیستور شماره ۳ که در حالت خواندن داده به خاموشی می‌رود را نشان می‌دهد. در این حالت که همه ترانزیستورها به جز ترانزیستورهای دسترسی خاموش هستند جریانی از ممریستور عبور نمی‌کند ولی زمان مورد نیاز برای صفر شدن جریان داده "صفر" بیشتر از داده "یک" است. این اتفاق می‌تواند باعث بالا رفتن حاشیه نویز در سلول شود که راه‌حل این مشکل کاهش زمان عملیات خواندن است. این ادعا در بخش نتایج شبیه‌سازی بررسی می‌شود.

۳- نتایج شبیه‌سازی

در این بخش، شبیه‌سازی‌های انجام شده بر روی سلول پیشنهادی اشاره می‌شود. همچنین ساختار پیشنهادی با سلول شش ترانزیستوری متداول [۲] که مبنای مقایسه همه ساختارهاست و نیز سلول حافظه هیبریدی 6T1M [۱۱] که بیشترین شباهت به ساختار پیشنهادی را دارد مقایسه می‌شود. برای مقایسه عادلانه، فناوری و شرایط شبیه‌سازی برای همه ساختارها یکسان در نظر گرفته شده است و برای داشتن کمینه مساحت همه ترانزیستورها با کمترین اندازه در نظر گرفته شده‌اند.

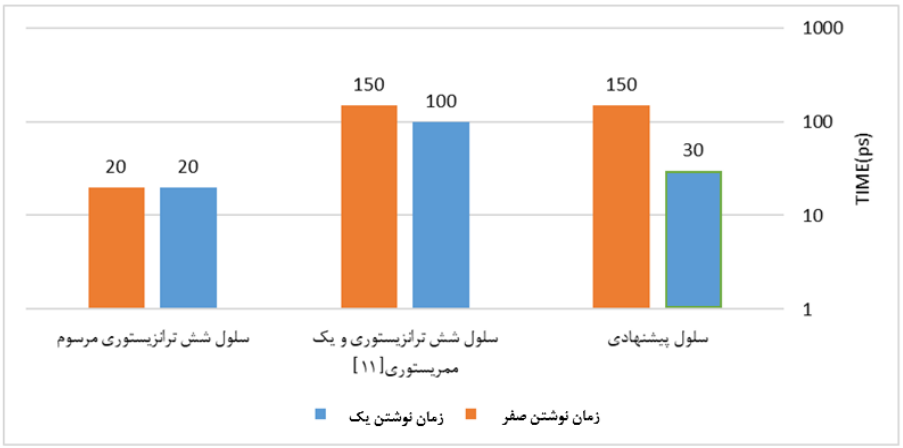
۳-۱- سرعت نوشتن و خواندن

در شکل (۶) مقایسه سرعت نوشتن داده "یک" و "صفر" روی سلول‌های مشابه نشان داده شده است. سرعت سلول پیشنهادی با سایر سلول‌ها در حین نوشتن داده "یک" بسیار سریع‌تر است. سلول پیشنهادی حدود ۳ برابر از سلول 6T1M سریع‌تر بوده و این امر به دلیل حذف دو ترانزیستور NMOS و PMOS که برای کنترل جهت عبوری قرار داده شده بود رخ داده است. با حذف دو ترانزیستور افت ولتاژ بیشتری روی ممریستور قرار گرفته و سرعت سلول را حین نوشتن داده "یک" بیشتر می‌نماید.
اما به دلیل اینکه طراحی نامتقارن است زمان نوشتن داده صفر روی سلول در مقایسه با سلول [۱۱] تغییر چندانی ندارد. مطابق شکل (۵) برای خواندن داده "یک" به دلیل اینکه ترانزیستور ۳ به سرعت خاموش می‌شود مشکلی وجود ندارد اما برای خواندن داده "صفر" برای کاهش اثرات حاشیه نویز کافی است زمان خواندن را کاهش دهیم که بهترین زمان خواندن با بیشترین حاشیه نویز در سلول پیشنهادی نسبت عکس دارد. شکل (۷) نمودار مقایسه زمان خواندن با حاشیه نویز احتمالی را نشان می‌دهد. همان‌طور که در شکل (۸) نشان داده شده، اختلاف ولتاژ ثبت شده توسط تقویت‌کننده‌های حس‌کننده[۱۰] روی خطوط BL و BLB در زمان ۱۰۰ پیکو-ثانیه برای خواندن "صفر" و "یک" به‌ترتیب ۴۴۰ میلی‌ولت و ۲۱۰ میلی‌ولت است. به خاطر اختلاف ۲۳۰ میلی‌ولتی سلول روشن و خاموش این تفاوت به راحتی توسط تقویت‌کننده‌های حس‌کننده قابل تفکیک از یکدیگر است. در حالت کلی اگر داده یک روی سلول ذخیره باشد، ممریستور دارای مقاومت کمی است و مطابق قانون اهم جریان بیشتری از آن خواهد گذشت و در نتیجه خازن‌های خط‌های BL و BLB زودتر تخلیه می‌گردند و این به معنی سرعت بیشتر در تخلیه خطوط است. در نتیجه در زمان معین مقدار اختلاف پتانسیل سلول کمتر از زمان خاموشی ممریستور است.



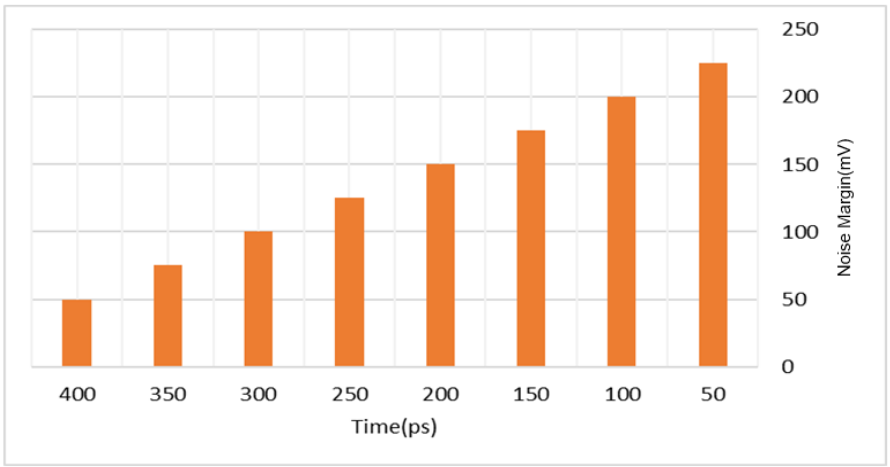
شکل (۵): ولتاژ گیت به سورس ترانزیستور ۳ در حالت خواندن یک و صفر

Figure (5): V_{gs} of transistor No.3 during the read of data "1" and "0"



شکل (۶): مقایسه زمان نوشتن صفر و یک روی سلول پیشنهادی و سایر سلول‌ها

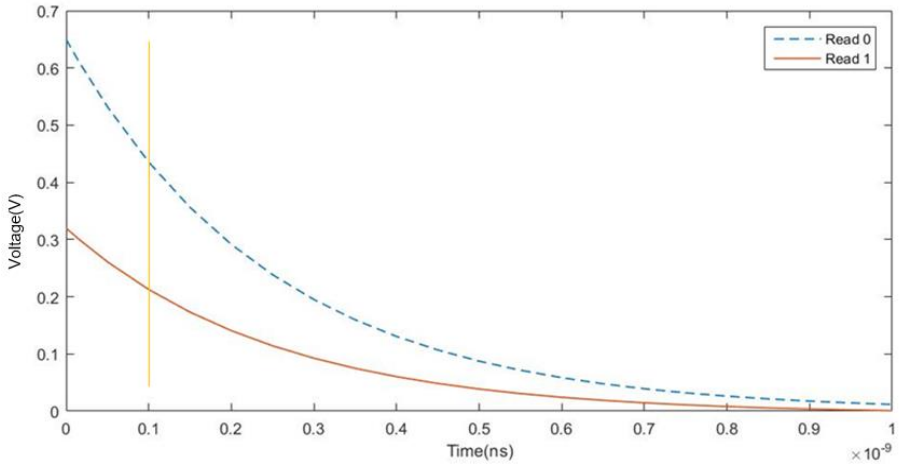
Figure (6): Comparison of the "0" and "1" write times for the proposed cell with those for other cells



شکل (۷): مقدار حاشیه نویز به ازای زمان‌های‌خواندن متفاوت

Figure (7): Noise margin values for different read times

علاوه بر اینکه ممریستور فرصت کافی برای تغییر مقاومت خود ندارد. در حالتی که داده صفر روی سلول ذخیره شده باشد، ممریستور دارای مقاومت زیاد است و طبیعتاً جریان کمتری از آن خواهد گذشت و این به معنی تخلیه دیرهنگام خطوط در زمان معین است. با در نظر گرفتن زمان استاندارد ۱۰۰ پیکو-ثانیه [خط عمودی زرد رنگ در شکل (۸)] برای خواندن داده از داخل سلول می‌توان سرعت بالای خواندن و حاشیه نویز بالا و مصرف توان پایین را حفظ کرد.



شکل (۸): مقایسه اختلاف ولتاژ خطوط BL-BLB در زمان خواندن داده "صفر" و "یک"

Figure (8): Comparison of the voltage difference between the BL and BLB lines during the read of "0" and "1" data

۳-۲- چیدمان سلول پیشنهادی

مهم‌ترین دستاورد ساختار پیشنهادی این مقاله کاهش مساحت اشغالی سلول به‌واسطه کاهش تعداد ترانزیستورهای سلول است. برای این سلول و سایر سلول‌های مورد مقایسه در این مقاله طراحی چیدمان بهینه و فشرده‌ای توسط نرم‌افزار LEDIT انجام گردید و نتایج طراحی‌ها نشان‌دهنده کاهش چشم‌گیر نزدیک به ۳۶/۷ درصد مساحت اشغالی سلول حافظه پیشنهادی است. در شکل (۹) چیدمان سه سلول حافظه مشاهده می‌شود.

در سلول پیشنهادی به دلیل کاهش دو ترانزیستور به طرز چشم‌گیری شاهد کاهش مساحت اشغال شده می‌باشیم و همین امر باعث افزایش حجم حافظه در یک سطح محدود خواهد گردید. کاهش دو ترانزیستور از داخل یک سلول ممکن است که به ظاهر تأثیر چندانی روی ذخیره مساحت یک صفحه تراشه نداشته باشد اما معمولاً برای ساخت تراشه از آرایه‌ای از هزاران یا حتی میلیون‌ها سلول حافظه استفاده می‌شود و در نتیجه حذف دو ترانزیستور به صورت کاملاً آشکار خود را نشان خواهد داد.

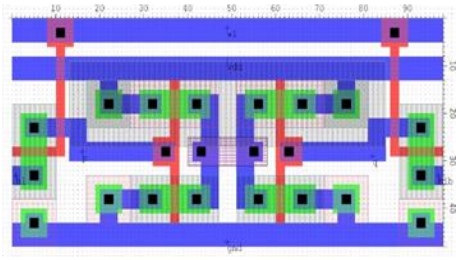
۳-۳- مصرف توان ایستا و پویا

سلول پیشنهادی به دلیل اینکه هیچ‌گونه ارتباط مستقیمی با خطوط تغذیه اصلی ندارد دارای مصرف توان بسیار کمی است. در صورتی که در سلول‌های ترانزیستوری مرسوم به دلیل اینکه نیاز به برقراری بازخورد و حلقه ولتاژی بود، نشت زیر آستانه ترانزیستورهای خاموش بسیار بالا است. همان‌طور که در شکل (۱۰) پیداست میزان توان ایستای سلول‌های حافظه با سلول پیشنهادی مورد مقایسه قرار گرفته است.

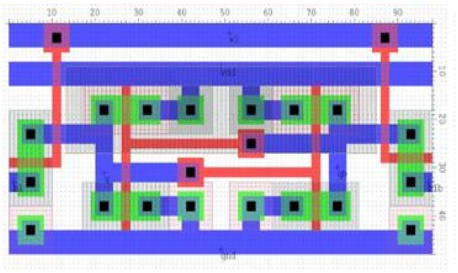
به دلیل جدا بودن سلول از خطوط تغذیه اصلی میزان مصرف توان سلول پیشنهادی به شکل چشم‌گیری بهبود پیدا کرده است و همچنین عناصر ترانزیستوری برای کنترل سلول نیز کاهش یافته است. در صورتی که برای سلول‌های تمام ترانزیستوری مرسوم نیاز به اضافه کردن ترانزیستورهایی برای کنترل سلول در حالات خواندن و یا نوشتن و یا نگه‌داری داده بود.

از آنجا که سطح ولتاژ اعمال شده روی ممریستور می‌تواند در سرعت سلول تأثیر مستقیم بگذارد؛ بنابراین با کاهش سطح ولتاژ خطوط BL و BLB نیز می‌توان روی مصرف توان سلول هیبریدی پیشنهادی تأثیر گذاشت. توان پویا به دلیل کلیدزنی ترانزیستورها اتفاق می‌افتد و این توان جزو مهم‌ترین پارامترهای توان مصرفی یک سلول است. توان پویا در سلول‌های ترانزیستوری به علت بروز اتصال کوتاه ناخواسته‌ای در خطوط تغذیه هنگام تغییر حالت داده داخل سلول بیشتر می‌گردد و این حادثه با گذشت زمان و بروز پدیده سال‌خوردگی[۹] بیشتر مشهود می‌شود.

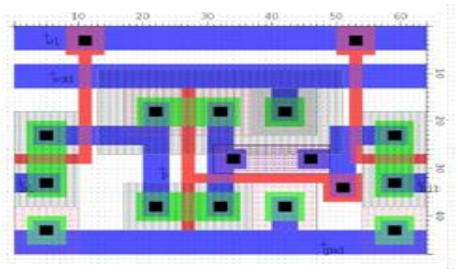
از آنجا که سلول‌های حافظه به مدت طولانی ممکن است داده خود را نگه‌دارند بعضی از ترانزیستورها تحت تنش بایاس قرار می‌گیرند. به علت پدیده سال‌خوردگی مشخصات این ترانزیستورها با مرور زمان تغییر می‌یابند. این پدیده باعث کندترشدن مدار حافظه، کاهش پایداری آن و افزایش مصرف توان اتصال کوتاه خواهد شد [۲۱].



(الف) 6T1M [۱۱]



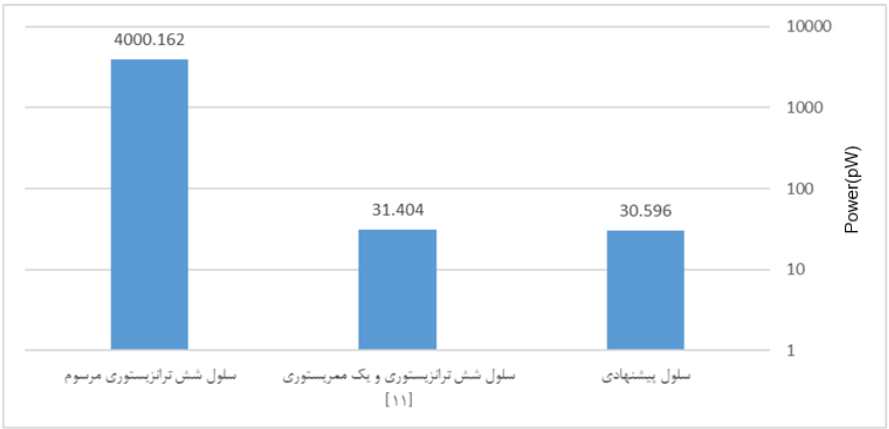
(ب) 6T [۲]



(ج) 4T1M (معرفی شده)

شکل (۹): مقایسه چیدمان سه سلول حافظه

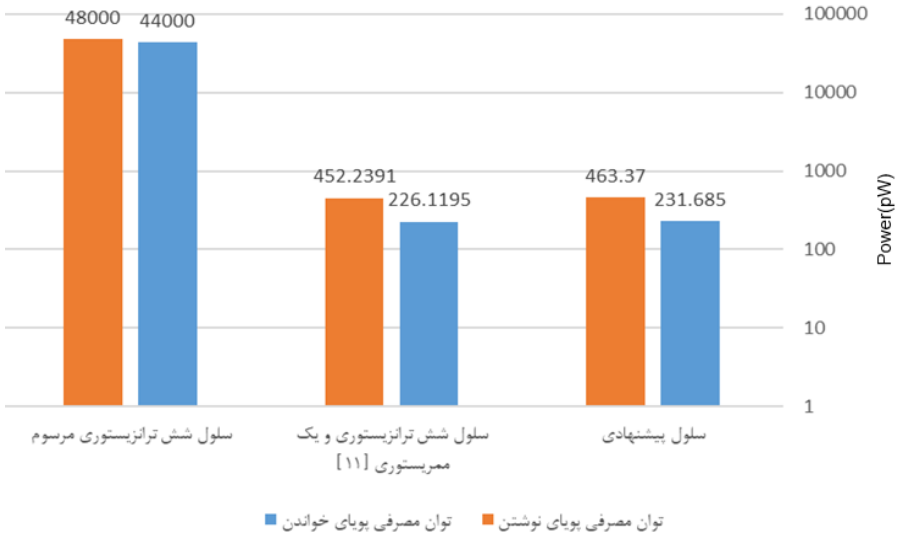
Figure (9): Comparison of the layout of three memory cells from right to left a) 6T1M [11], b) 6T and c) 4T1M (proposed)



شکل (۱۰): مقایسه توان ایستای سلول پیشنهادی با سلول شش ترانزیستوری و یک ممریستوری [۱۱] و شش ترانزیستوری مرسوم

Figure (10): Comparison of the static power of the proposed cell with the 6T1M cell [11] and conventional 6T cell

اما در سلول پیشنهادی هیبریدی به دلیل جدا بودن سلول از منابع تغذیه این اتفاق ناخواسته هرگز مشاهده نخواهد شد و سلول در حالت کاملاً جداشده و مستقل به خطوط BL و BLB که وظیفه تغییر داده داخل سلول را دارند متصل می‌شود. در شکل (۱۱) تفاوت مصرف توان پویای سلول پیشنهادی با سلول‌های دیگر را مشاهده می‌کنید. توان مصرفی سلول‌های ممریستوری از سلول شش ترانزیستوری کمتر است. توان مصرفی سلول پیشنهادی کمی از سلول پیشنهاد شده در مرجع [۱۱] بیشتر است که علت آن می‌تواند به خاطر جریان کشی بیشتر به خاطر حذف دو ترانزیستور در مسیر خواندن و نوشتن باشد.



شکل (۱۱): مقایسه توان پویای نوشتن و خواندن سلول پیشنهادی با سلول شش ترانزیستوری و یک ممریستوری [۱۱] و شش ترانزیستوری مرسوم

Figure (11): Comparison of the dynamic write and read power of the proposed cell with the 6T1M cell [11] and conventional 6T cell

جریان بیشتر باعث مصرف توان بیشتر حین عمل خواندن و نوشتن خواهد شد. هر چند حذف دو ترانزیستور باعث کاهش خازن در این مسیر می‌شود که در اینجا اثر افزایش جریان‌کشی بر کاهش خازن در توان مصرفی غلبه می‌کند. جدول (۱) طرح پیشنهادی را با سه ساختار سلول هیبریدی ترانزیستوری و ممریستوری و همچنین سلول شش ترانزیستوری متداول مقایسه می‌کند. همان‌طور که در این جدول مشاهده می‌شود طرح پیشنهادی نسبت به ساختار شش ترانزیستوری متداول مصرف توان خیلی کمی دارد. همچنین زمان نوشتن یک سلول از همه سلول‌های هیبریدی ممریستوری کمتر است. سلول حافظه پیشنهادی به خاطر داشتن کمترین ترانزیستور و ممریستور نسبت به بقیه ساختارها مساحت کمتری دارد.

۴- نتیجه‌گیری

رشد فزاینده دستگاه‌ها و تجهیزاتی که با نیروی الکتریکی محدود کار می‌کنند و همچنین انتظار کاربران این‌گونه دستگاه‌ها از مصرف پایین وسیله مربوطه، موجب شده است که طراحی مدارهای فوق کم مصرف در سال‌های اخیر در اولویت قرار بگیرد. سلول‌های SRAM جاسازی شده در مدارهای SOC پیشرفته و پردازنده‌ها، حجم زیادی از کل مساحت تراشه را اشغال می‌کنند. بنابراین انرژی مصرفی توسط سلول‌های حافظه کنونی، سهم قابل توجهی از توان مصرفی را به خود اختصاص می‌دهد. نزدیک شدن به قله فشرده‌سازی ترانزیستورها و اهمیت بهینه‌سازی توان مصرفی و سرعت خواندن و نوشتن اطلاعات امری ضروری و مهم است.

Table (1): Comparison between the proposed memory cell simulation results and some previous related works

جدول (۱): مقایسه بین نتایج به‌دست آمده از شبیه‌سازی سلول حافظه پیشنهادی با تعدادی از کارهای مرتبط قبلی

پارامتر	سلول حافظه 6T	سلول حافظه 6T1M [۱۱]	سلول حافظه 4T2M [۸]	سلول حافظه پیشنهادی
زمان نوشتن صفر (ps)	۲۰	۱۵۰	۲۵۰۰	۱۵۰
زمان نوشتن یک (ps)	۲۰	۱۰۰	۲۵۰۰	۳۰
زمان خواندن (ps)	۸۸	۱۰۰	۱۰۰	۱۰۰
توان ایستا (pW)	۴۰۰۰/۲	۳۱/۴	۱۲۰/۱	۳۰/۶
توان پویای نوشتن (pW)	۴۸۰۰۰	۴۵۲	۲۳۳۰	۴۶۳
توان پویای خواندن (pW)	۴۴۰۰۰	۲۲۶	۲۶۲۰	۲۳۱
تعداد ترانزیستور	۶	۶	۴	۴
تعداد ممریستور	۰	۱	۲	۱

در حالی که قانون مور تا چند دهه گذشته بیانگر توانایی ساخت تراشه‌ها با تراکم بالا بود اما این قانون به انتهای خود نزدیک شده است؛ زیرا افزاره‌های مبتنی بر سیلیکون به محدودیت‌های فیزیکی رسیدند. به دلیل توان مصرفی صفر در حالت نگه‌داری داده در داخل سلول‌های ممریستوری، این نوع سلول‌ها و تلاش برای بهبود ساختار این سلول‌ها بسیار مورد توجه قرار گرفته است. توان مصرفی پایین و سرعت بالا از نیازهای ابزارهای هوشمند و قابل حمل این روزها به حساب می‌آید و در کنار آن‌ها قابلیت اطمینان از خواندن و نوشتن درست اطلاعات در سلول حافظه مورد توجه صنایع نظامی و تحقیقاتی و تجاری است. در بسیاری از تراشه‌های الکترونیکی دیجیتال، توان مصرفی بالا، دمای تراشه را به شدت افزایش داده و علاوه بر کاهش قابلیت اطمینان مدار، خنک کردن تراشه را دشوار و پر هزینه می‌کند. به دلیل اهمیت توان مصرفی و موفق بودن عمل خواندن و نوشتن در سیستم‌های حساس و مهم نظیر افزاره‌های قابل کاشت در بدن انسان، کاربردهای فضایی، شبکه‌های حسگر بی‌سیم و اینترنت اشیاء، تحقیق در زمینه حافظه‌های کم مصرف بسیار حائز اهمیت است.

سلول معرفی شده در این مقاله از نوع هیبریدی بوده و با حداقل مساحت و با تعداد ۴ ترانزیستور ماسفت و ۱ ممریستور قادر خواهد بود با سرعت بالا عملیات خواندن و نوشتن موفق را انجام دهد. طبق نتایج شبیه سازی‌های انجام شده و طراحی چیدمان سلول معرفی شده، ۳۶,۷ درصد کاهش مساحت و ۳۰۰ درصد افزایش سرعت نوشتن داده "یک" نسبت به سلول 6T1M [۱۱] مشاهده شده است.

سپاسگزاری

این مقاله از پایان‌نامه دوره کارشناسی‌ارشد در دانشگاه آزاد اسلامی واحد علوم و تحقیقات استخراج شده است. نویسندگان بر خود لازم می‌دانند مراتب تشکر صمیمانه خود را از همکاران حوزه پژوهشی دانشگاه آزاد اسلامی و داوران محترم که ما را در انجام و ارتقای کیفی این مقاله یاری نموده‌اند، اعلام نمایند.

References

مراجع

[1] A. Farmahini-Farahani, J.H. Ahn, K. Morrow, N.S. Kim, “NDA: Near-DRAM acceleration architecture leveraging commodity DRAM devices and standard memory modules”, Proceeding of the IEEE/HPCA, pp. 283–295, Burlingame, CA, USA, Feb. 2015 (doi: 10.1109/HPCA.2015.7056040).

[2] N.H.E. Weste, M. Harris, “CMOS VLSI design: A circuits and systems perspective”, 4th Ed. London, U.K.: Pearson, 2011.

[3] J. Rabaey, “Low power design essentials”, Springer, 2009.

[4] L. Chua, “Memristor–the missing circuit element”, IEEE Trans. on Circuit Theory, vol. CT-18, no. 5, pp. 507–519, Sept. 1971 (doi: 10.1109/TCT.1971.1083337).

[5] O. Kavehei, A. Iqbal, Y.S. Kim, K. Eshraghian, S.F. Al-Sarawi, D. Abbott, “The fourth element: Characteristics, modelling and electromagnetic theory of the memristor”, Proceedings of the Royal Society A, Mathematical, Physical and Engineering Sciences, vol. 466, no. 2120, pp. 2175–2202, Aug. 2010 (doi: 10.1098/rspa.2009.0553).

[6] K. Karami, S.M.A. Zanjani, M. Dolatshi, "Design and simulation of 4 Transistor and 2 memristors memory with the least power and power-delay product", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 47, pp.103-113, Dec. 2021 (dor: 20.1001.1.23223871.1400.12.3.4.4) (in persian).

[7] S.S. Sarwar, S.A.N. Saqueb, F. Quaiyum, A. Rashid, "Memristor-based non-volatile random access memory: hybrid architecture for low power compact memory design", IEEE Access, vol. 1, no. 23, pp. 29-35, May 2013 (doi: 10.1109/ACCESS.2013.2259891).

[8] V. Saminathan, K. Parasamivam, "Design and analysis of low power hybrid memristor-CMOS based distinct binary logic non-volatile SRAM cell", Circuit and System, vol. 7, no. 8, pp. 119-127, March 2016 (doi: 10.42-36/cs.2016.73012).

[9] A. Rezaei, S.M.A. Zanjani, “Design and analysis of 2 memristor-based non-volatile SRAM cells”, Journal of Novel Researches on Electrical Power, vol. 9, no. 2, pp. 47-56, Summer 2020 (in Persian).

[10] M. Teimoori, A. Amirsoleimani, A. Ahmadi, M. Ahmadi, "A 2M1M crossbar architecture: Memory", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 26, no. 12, pp. 2608-2618, Dec. 2018, 10.1109/TVLSI.2018.2799951 (doi: 10.1109/TVLSI.2018.2799951).

[11] M.N. Sakib, R. Hassan, S.N. Biswas, S.R. Das, "Memristor-based high-speed memory cell with stable successive read operation", IEEE Trans. on Computer-Aided Design of Integrated Circuits and Systems, vol. 37, no. 5, pp. 1037-1049, May 2018 (doi: 10.1109/TCAD.2017.2729464).
[12] S. Birla, N.K. Shukla, M. Pattnaik, R.K. Singh, "Analysis of the data stability and leakage power in the various SRAM cells topologies", International Journal Engineering Science and Technology, vol. 2, no. 7, pp. 2936-2944, July 2010.
[13] R.E. Aly, M.A. Bayoumi, "Low-power cache design using 7T SRAM cell", IEEE Trans, on Circuits and Systems II: Express Briefs, vol. 54, pp. 318-322, April 2007 (doi: 10.1109/TCSII.2006.877276).
[14] J.P. Kulkarni, K. Roy, "Ultralow-voltage process-variation-tolerant schmitt-trigger-based SRAM design", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 20, no. 2, pp. 319-332, Feb. 2012 (doi: 10.1109/TVLSI.2010.2100834).
[15] C. Sun, K. Han, X. Gong, "Performance evaluation of static random access memory (SRAM) based on negative capacitance finFET", Proceeding of the IEEE/ICICDT, pp. 1-4, Suzhou, China, June 2019 (doi: 10.1109/ICICDT.2019.8790831).
[16] D. Biolek, Z. Biolek, V. Biolkova, Z. Kolka, "Reliable modeling of ideal generic memristors via state-space transformation", Radioengineering, vol 24, no. 2, pp. 393–407, June 2015 (doi: 10.13164/re.2015.0393).
[17] Y. Zhang, Y. Shen, X. Wang, Y. Guo, "A novel design for memristor-based or gate", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 62, no. 8, pp. 781–785, Aug. 2015 (doi: 10.1109/TCSII.2015-.2435354).
[18] V. Mladenov, "A new simplified model for HfO2-based memristor", Proceeding of the IWWW/MOCAST, pp. 1-4, Thessaloniki, Greece, May 2019 (doi: 10.1109/MOCAST.2019.8741953).
[19] M.A. Bahloul, R. Naous, M. Masmoudi, "Hardware emulation of memristor based ternary content addressable memory", Proceeding of the IEEE/SSD, pp. 446-449, Marrakech, Morocco, March 2017 (doi: 10.1109/SSD.2017.8167029).
[20] A. Abubakr, A. Ibrahim, Y. Ismail, H. Mostafa, "The impact of soft errors on memristor-based memory", Proceeding of the IEEE/NGCAS, pp. 229-232, Genova, Italy, Sept. 2017 (doi: 10.1109/NGCAS.2017.72).
[21] K. Mehrabi, B. Ebrahimi, R. Yarmand, A. Afzali-Kusha, H. Mahmoodi, "Read static noise margin aging model considering SBD and BTI effects for FinFET SRAMs", Microelectronics Reliability, vol. 65, pp.20-26, Oct. 2016 (doi: 10.1016/j.microrel.2016.07.003).

زیرنویس‌ها

1. Very larg scale integration
2. System on chip
3. Static random access memory
4. Fin field effect transistor
5. Word line
6. Bit line
7. Bit line bar
8. State drift
9. Aging
10. Sense Amplifiers