JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 12/ No. 48/ Winter 2022
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

20.1001.1.23223871.1400.12.3.4.4
Research Article

Design and Simulation of 4 Transistors and 2 Memristors Memory with the Least Power and Power-Delay Product

Keramat Karami[1,2], *M.SC.*, Sayed Mohammadali Zanjani[1,2], *Assistant Professor*, Mehdi Dolatshahi[1,2], *Assistant Professor.*

[1]Department of Electrical Engineering- Najafabad Branch, Islamic Azad University, Najafabad, Iran.
[2]Smart Microgrid Research Center- Najafabad Branch, Islamic Azad University, Najafabad, Iran.
karamat.karami@gmail.com, sma_zanjani@pel.iaun.ac.ir,dolatshahi@iaun.ac.ir

Abstract
Memristor, as a fundamental element of SRAM and DRAM memories, can effectively reduce startup time and power consumption of the circuits. Non-volatility, high density of the final circuit, and reduction of power delay product (PDP) are some of the significant facts of memristor circuits, which has led to the suggestion of a memory cell including and four transistors and two memristors (4T2M) in this paper. In order to simulate the proposed memory cell, the length of memristors has been selected 10 nm, and their on/off state resistors have been selected 250 Ω and 10 KΩ respectively. In addition, the proposed memory cell MOS transistors are simulated by the 32 nm CMOS PTM model. Simulation in the HSPICE software with 1V supply voltage and comparison with two conventional six-transistor (6T) and two transistors-two memory (2T2M) cells show that the use of memristors has made the proposed memory cell and 2T2M cell non-volatile. Moreover, the power consumption of the proposed circuit has decreased by 99.8% and 57.2%, compared to the previous two circuits respectively, and the power average delay product has also improved by 99.4% and 26.7%, respectively; however, the writing delay of this cell and 2T2M cell increased by 400% and 218% compared to 6T cell, respectively.

Keywords: 4T2M cell, memristor, non-volatile memory, power delay product

Received: 26 November 2020
Revised: 10 February 2021
Accepted: 18 February 2021

Corresponding Author: Dr. Sayed Mohammadali Zanjani

Citation: K. Karami, S.M.A. Zanjani, M. Dolatshi, "Design and simulation of 4 transistors and 2 memristors memory with the least power and power-delay product", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 48, pp. 1-11, March 2022 (in Persian).

20.1001.1.23223871.1400.12.3.4.4
مقاله پژوهشی

طراحی و شبیه‌سازی حافظه چهار ترانزیستوری و دو ممریستوری با کمترین توان مصرفی و حاصل‌ضرب تاخیر در توان

کرامت کرمی[۱،۲]، دانش‌آموخته کارشناسی‌ارشد، سید محمدعلی زنجانی[۱،۲]، استادیار، مهدی دولتشاهی[۱،۲]، استادیار

۱- دانشکده مهندسی برق- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
۲- مرکز تحقیقات ریزشبکه‌های هوشمند- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران
karamat.karami@gmail.com,sma_zanjani@pel.iaun.ac.ir, dolatshahi@iaun.ac.ir

چکیده: ممریستور به‌عنوان عنصر اساسی حافظه‌های اصلی یا پنهان SRAM و DRAM، می‌تواند به‌صورت موثری زمان راه-اندازی و توان مصرفی مدارها را کاهش دهد. غیر فرار بودن، چگالی بالای مدار نهایی و کاهش حاصل‌ضرب تاخیر در توان مصرفی PDP از حقایق قابل توجه مدارهای ممریستوری است که منجر به پیشنهاد سلول حافظه شامل چهار ترانزیستور و دو ممریستور (4T2M) در این مقاله شده است. به‌منظور شبیه‌سازی سلول حافظه پیشنهادی، طول ممریستورها ۱۰ نانومتر و مقاومت حالت های روشن و خاموش آنها به‌ترتیب ۲۵۰ اهم و ۱۰ کیلو اهم انتخاب شده است. همچنین، ترانزیستورهای MOS سلول نیز توسط مدل CMOS PTM ۳۲ نانومتر شبیه‌سازی شده‌اند. شبیه‌سازی در نرم‌افزار اچ-اسپایس و با تغذیه یک ولت و مقایسه آن با دو سلول شش ترانزیستوری متعارف (6T) و دو ترانزیستوری-دو ممریستوری (2T2M) نشان می‌دهد که استفاده از ممریستور سبب غیر فرار شدن سلول حافظه پیشنهادی و سلول 2T2M در زمان قطع ولتاژ تغذیه شده است، ضمن آن که مصرف توان مدار پیشنهادی نسبت به مدار 6T و 2T2M به ترتیب ۹۹/۸ درصد و ۵۷/۲ درصد کاهش یافته و حاصل ضرب متوسط تاخیر در توان نیز به ترتیب ۹۹/۴ درصد و ۲۶/۷ درصد بهبود یافته است؛ هرچند تاخیر نوشتن این سلول و سلول 2T2M نسبت به سلول 6T به ترتیب ۴۰۰ درصد و ۲۱۸ درصد افزایش یافته است.

کلمات کلیدی: حافظه غیرفرار، حاصل‌ضرب تاخیر در توان، سلول 4T2M، ممریستور

تاریخ ارسال مقاله: ۱۳۹۹/۹/۵
تاریخ بازنگری مقاله: ۱۳۹۹/۱۱/۲۱
تاریخ پذیرش مقاله: ۱۳۹۹/۱۱/۲۹

نام نویسنده‌ی مسئول: دکتر سید محمدعلی زنجانی
نشانی نویسنده‌ی مسئول: نجف‌آباد- بلوار دانشگاه- دانشگاه آزاد اسلامی واحد نجف‌آباد- دانشکده مهندسی برق

۱- مقدمه

با افزایش سرعت و ظرفیت سلول‌های حافظه، توان مصرفی آنها افزایش می‌یابد که با ایده طراحی مدارهای توان پایین ولتاژ پایین[۱] در تضاد است. همچنین با افزایش ظرفیت حافظه، حجم مدار مجتمع و درنتیجه هزینه افزایش می‌یابد. از طرفی قانون مور پیش‌بینی کرده بود که افزایش چگالی ترانزیستورهای MOS در مدارهای مجتمع در حدود سال ۲۰۲۰ به پایان می‌رسد. امروزه با دلایل کوانتومی و تجربی ثابت شده است که ترانزیستورهای MOSFET و فناوری CMOS درابعاد نانو دارای ولتاژ آستانه بزرگی هستند و بنابراین نیاز به ولتاژ تغذیه بزرگی دارند. این عیب به دلیل آن است که متاسفانه ولتاژ آستانه[۲] ترانزیستور، با مقیاس ابعاد آن کوچک نمی‌شود [۱،۲]. همچنین قابلیت اطمینان در ادوات نانومتری CMOS کاهش یافته است چرا که این ترانزیستورها به دلیل اثرات مرتبه دوم و تونل‌زنی الکترون‌ها و حفره‌ها زیر کانال گیت، جریان نشتی[۳] بالایی دارند که این جریان نشتی در مدارهای حافظه مخرب و سبب از دست رفتن اطلاعات است [۳،۴].

با توجه به حقایق فوق، امروزه محققان الکترونیک به دنبال یافتن جایگزین‌های مناسب و متنوعی همچون: حافظه با دسترسی تصادفی فرو الکترونیک[۴]، حافظه با دسترسی تصادفی مغناطیسی[۵]، حافظه با دسترسی تصادفی مقاومتی[۶] و با استفاده از فناوری‌های جدید به‌جای حافظه‌های متعارف موجود در طراحی سلول حافظه با دسترسی تصادفی پویا[۷] و سلول حافظه با دسترسی تصادفی ایستا[۸] هستند [۵-۷]. لذا در مراجع [۸] الی [۱۳] سلول‌هایی شامل ۳، ۴، ۵، ۶، ۷ و ۸ ترانزیستور بررسی شده است. اما همه طرح‌های اشاره شده در بالا از مشکل فراربودن[۹] رنج می‌برند؛ یعنی قطع تغذیه منجر به حذف اطلاعات ذخیره‌شده در آنها می‌شود.

ممریستور[۱۰] به‌عنوان حافظه، عنصری است که مقاومت آن به ولتاژ، فرکانس، پلاریته ولتاژ اعمالی و مدت زمان تحریک وابسته است [۱۴،۱۵]. ممریستورها دارای مصرف توان پایین، سرعت سوئیچینگ بالا، تراکم بسته‌بندی بالا، نگهداری داده با پایداری زیاد (غیر فرار بودن) و سازگاری با فناوری CMOS هستند به‌نحوی که در آینده نزدیک، ذخیره‌سازی داده در DRAM، FLASH و HARD DISK به کمک ممریستور انجام خواهد شد [۱۶،۱۷]. سرعت در حافظه مبتنی بر ممریستور، توسط زمان Write تعیین می‌شود که در حال حاضر از ده‌ها نانو-ثانیه است؛ درحالی که پایداری بر اساس تعداد Write (بدون تأثیر بر داده‌های ذخیره‌شده) تعیین می‌شود و در حال حاضر از صدها میلیون تا تعداد نامحدودی Write متفاوت است [۱۸].

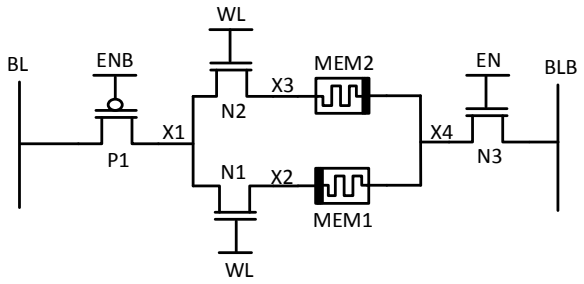
ساختار مقاله به این شرح است. پس از بیان اهمیت موضوع تحقیق در مقدمه، در بخش دوم مروری بر کاربرد ممریستور در طراحی سلول‌های حافظه غیر فرار شده است. در بخش سوم ساختار پیشنهادی سلول SRAM غیر فرار (شامل چهار ترانزیستور و دو ممریستور 4T2M) ارائه می‌شود. نتایج شبیه‌سازی در بخش چهارم ارائه شده که در آنها از مدل دی‌اکسیدتیتانیوم در نرم‌افزار اچ-اسپایس برای ممریستور استفاده شده است. مقایسه با ساختارهای متعارف و نتیجه‌گیری در بخش پنجم بررسی می‌شود. نتایج، نشان می‌دهند که این ساختار نسبت به ساختارهای پیشین، حاصل‌ضرب تاخیر در توان مصرفی[۱۱] کمتری دارند.

۲- کاربرد ممریستور در طراحی حافظه غیر فرار

در مرجع [۱۹] یک سلول حافظه 3T2M پیشنهاد شده است که در آن، دو ممریستور در جهت مخالف در مدار قرار دارند و در عملیات نوشتن، دو ممریستور با یکدیگر موازی می‌شوند و در عملیات خواندن، با یکدیگر سری می‌شوند. در مرجع [۲۰] یک سلول حافظه 4T2M پیشنهاد شده است که دو ممریستور در جهت‌های یکسان در مدار قرار دارد. در مرجع [۲۱] سلول حافظه 6T1M، در مرجع [۲۲] یک سلول حافظه 7T2M و در مرجع [۲۳] سلول حافظه 2T2M پیشنهاد شده است. همچنین در مرجع [۲۴] سه سلول حافظه و در مرجع [۲۵] دو سلول حافظه 8T2M و 9T2M غیر فرار و در مرجع [۲۶] سلول 7T1R طراحی و بررسی شده‌اند. جذابیت ترانزیستورهای اثر میدان نانولوله کربنی[۱۲] در دسترسی به یک کانال بالستیک با سرعت بالا و توان تلفاتی کم در فناوری نانو همراه با کاهش آثار کانال کوتاه باعث شد تا در مرجع [۲۷] یک سلول حافظه مبتنی بر CNTFET و ممریستور پیشنهاد شود. استفاده از مزایای ترانزیستور باله‌ای منجر به استفاده از FinFET در مقاله مرجع [۲۸] شده است.

۳- سلول SRAM پیشنهادی 4T2M

سلول 4T2M SRAM پیشنهادی در شکل (۱) نشان داده شده است. این سلول دارای دو ممریستور MEM1 و MEM2 در خلاف جهت یکدیگر، سه ترانزیستور NMOS و یک ترانزیستور PMOS است. گیت ترانزیستورهای N1 و N2 به خط Word (WL) Line و گیت ترانزیستورهای N3 و P1 به ترتیب به فعال‌ساز EN و معکوس فعال‌ساز ENB اتصال دارند. به‌این ترتیب، P1 و N3 زمانی روشن می‌شوند که ENB برابر صفر و EN برابر یک باشند. دو ترانزیستور N1 و N2 را ترانزیستورهای دسترسی می‌نامیم که با یک شدن خط Word-Line روشن می‌شوند و با صفر شدن خط WL خاموش می‌شوند. در ادامه عملیات نوشتن، نگه‌داری و خواندن در سلول حافظه پیشنهادی بررسی می‌شود.



شکل (۱): سلول SRAM چهار ترانزیستوری و دو ممریستوری پیشنهادی

Figure (1): Proposed 4T-2M SRAM cell.

۳-۱- عملیات نوشتن در سلول پیشنهادی

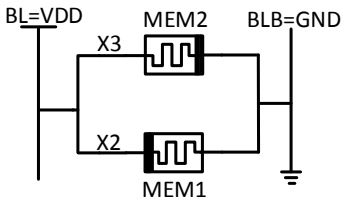
عملیات نوشتن در سلول پیشنهادی به‌صورت زیر انجام می‌شود:

۱- بسته به این که بخواهیم نوشتن 0 (یا 1) انجام شود، خط BL و BLB به VDD و GND (و یا برعکس) شارژ و دشارژ می‌شوند.

۲- خط WL برابر با VDD می‌شود تا ترانزیستورهای دسترسی N1 و N2 روشن شوند.

۳- EN=1 و ENB=0 می‌شوند تا P1 و N3 روشن شوند.

شکل (۲) مدار معادل نوشتن 0 در سلول پیشنهادی را نشان می‌دهد. مشاهده می‌شود که ممریستورها معکوس یکدیگر موازی می‌شوند. از آن‌جایی که جهت MEM1 و MEM2 به‌ترتیب موافق و مخالف جهت ولتاژ VDD تا GND است، مقاومت آنها به‌ترتیب برابر با Ron و Roff می‌شود. یعنی کل ناحیه ممریستور ناخالص یا خالص شده، می‌توان گفت 0 در MEM1 و 1 در MEM2 ذخیره می‌شود. توجیه مشابهی بیانگر ذخیره‌سازی 1 در MEM1 و 0 در MEM2 حین نوشتن 1 در سلول پیشنهادی است.



شکل (۲): مدار معادل نوشتن 0 در سلول پیشنهادی

Figure (2): Equivalent circuit of writing 0 in the proposed cell.

۳-۲- عملیات خواندن از سلول پیشنهادی

برای عملیات خواندن لازم است تا مراحل زیر به ترتیب انجام شود:

ابتدا خط BL تا مقدار GND دشارژ می‌شود و خط BLB تا VDD شارژ می‌شود. ترانزیستور دسترسی P1 روشن می‌شود. این کار با 1 شدن WL انجام می‌شود. در مرحله یکی مانده به آخر، ترانزیستور دسترسی N3 برای لحظه کوتاهی (در حد نانو ثانیه) روشن و خاموش می‌شود. خط BLB که پیش‌شارژ شده است، شروع به دشارژ جزئی می‌نماید. با انجام عملیات فوق، در گره X2

و X3 یک ولتاژ متفاوت ایجاد می‌شود چرا که دو ممریستور در جهت مخالف هستند و هر بار یکی مقاومت خیلی زیادی دارد و دیگری مقاومت کمی دارد. با اعمال ولتاژ X1 و X2 به یک تقویت‌کننده آشکارساز و یا یک مقایسه‌کننده، می‌توان در خروجی صفر و یک منطقی را به‌دست آورد.

۳-۳- عملیات نگهداری در سلول پیشنهادی

برای عملیات نگه‌داری کافی است همه‌ی ترانزیستورهای مدار خاموش شوند. به‌این ترتیب خط WL=0 می‌شود تا دو ترانزیستور دسترسی خاموش شوند. همچنین EN=GND می‌شود تا ترانزیستور N3 خاموش شود. به علاوه ENB=VDD می‌شود تا P1 نیز خاموش گردد. برای اینکه هیچ جریان نشتی در مدار ایجاد نشود، می‌توان هر دو خط BL و BLB را به GND دشارژ نمود یا هر دو خط را تا VDD شارژ کرد.

۴- نتایج شبیه‌سازی

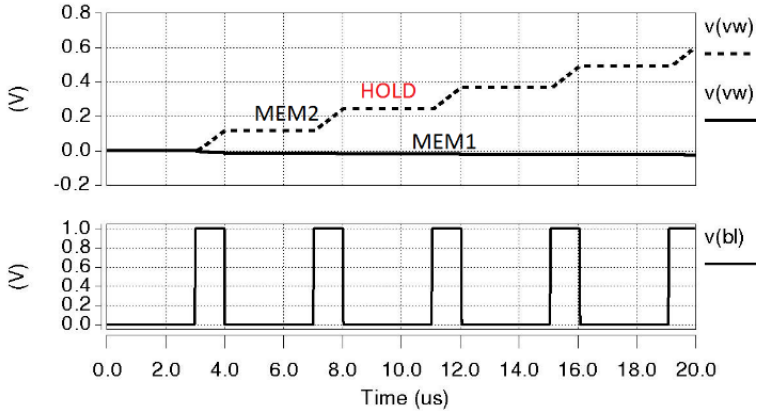
به‌منظور نمایش عملکرد و تایید درستی مدار پیشنهاد شده، از مدل ترانزیستورهای ۳۲nm CMOS و مدل پیشنهاد شده در مراجع [۲۹] الی [۳۱] برای ممریستور استفاده شده است. شبیه‌سازی‌ها در نرم‌افزار اچ-اسپایس و با ولتاژ تغذیه یک ولت انجام شده است. مقاومت‌های Ron و Roff همه ممریستورها برابر با ۲۵۰ اهم و ۱۰ کیلو اهم و طول کل هر ممریستور (D) برابر با ۲۰ نانو-متر انتخاب شده است. به علاوه، ابعاد ترانزیستورهای N1 ، N2، N3 و P1 مدار در جدول (۱) داده شده است.

Table (1): Dimensions (Aspect Ratio) of transistors used in simulation.

جدول (۱):: ابعاد ترانزیستورهای مورد استفاده در شبیه‌سازی

Transistor	Width	Length
N1, N2	80nm	40nm
N3	160nm	40nm
P1	320nm	40nm

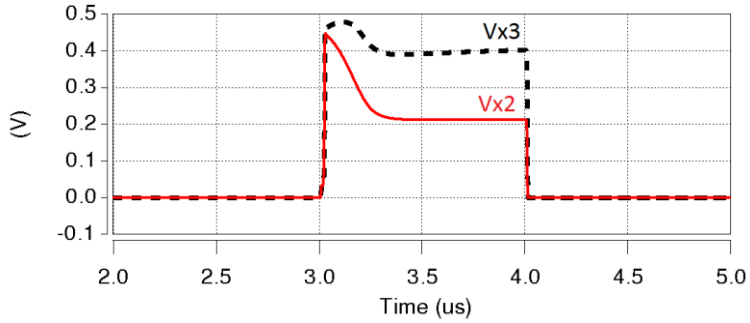
شبیه‌سازی عملیات نوشتن و نگه‌داری در شکل (۳) نشان داده شده است. در حالی که همه‌ی ترانزیستورها روشن بوده‌اند و BLB=0 بوده است، خط BL را با یک پالس تحریک نموده‌ایم. همان‌طور که مشاهده می‌شود، ممریستور MEM1 در بایاس مستقیم است و مرز آن به سمت روشنی کامل می‌رود و چون مقاومت روشن آن خیلی کم است، ولتاژ مرز آن تغییر زیادی نداشته است. اما ولتاژ مرز در ممریستور MEM2 پس از هر بار یک شدن ولتاژ BL افزایش یافته است که به معنی افزایش مقاومت ممریستور MEM2 است. دیده می‌شود که هنگامی که BL=0 شده است، ولتاژ مرز در مقدار خود باقی مانده است. به عبارت دیگر مقاومت ممریستور MEM2 پس از هر بار نوشتن افزایش یافته و در مقدار خود باقی مانده است.



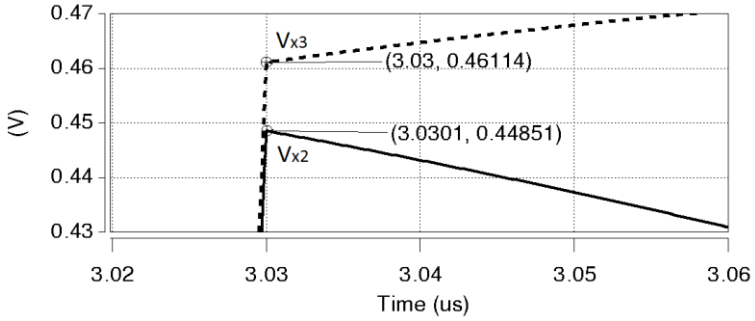
شکل (۳): عملیات نوشتن و نگه‌داری در سلول حافظه پیشنهادی

Figure (3): Writing and storage operations in the proposed memory cell.

شکل (۴) عملیات خواندن در سلول حافظه پیشنهادی را نشان می‌دهد. همان‌طور که مشخص است، با دستور خواندن، ولتاژ دو گره X3 و X2 در سر ممریستورهای MEM2 وMEM1 با اندازه و سرعت مناسب از یکدیگر فاصله می‌گیرند.
شکل (۵) سرعت عملیات خواندن در سلول را نشان می‌دهد. با دستور خواندن در طی ۰/۰۳ ۳ میکرو-ثانیه عملیات خواندن شروع شده و ولتاژ دو گره X3 و X2 در سر ممریستورهای MEM2 و MEM1 پس از گذشت تنها ۱۰۰ پیکو-ثانیه (در زمان ۰/۰۳۰۱ ۳ میکرو-ثانیه) بیش از ۱۲ میلی-ولت از یکدیگر فاصله دارند. در این لحظه ترانزیستور N3 خاموش می‌شود تا مقدار داده‌ی ذخیره شده از بین نرود. این میزان تغییرات ولتاژ در زمان کم، به خوبی سرعت مدار پیشنهادی در عملیات خواندن را نشان می‌دهد. همچنین تقویت‌کننده حسگر یا یک مقایسه‌کننده به‌راحتی می‌تواند این تغییرات را در ورودی حس کرده و بر اساس آن خروجی منطقی 0 یا 1 را نشان دهد.



شکل (۴): عملیات خواندن در سلول حافظه پیشنهادی
Figure (4): Read operation in the proposed memory cell.

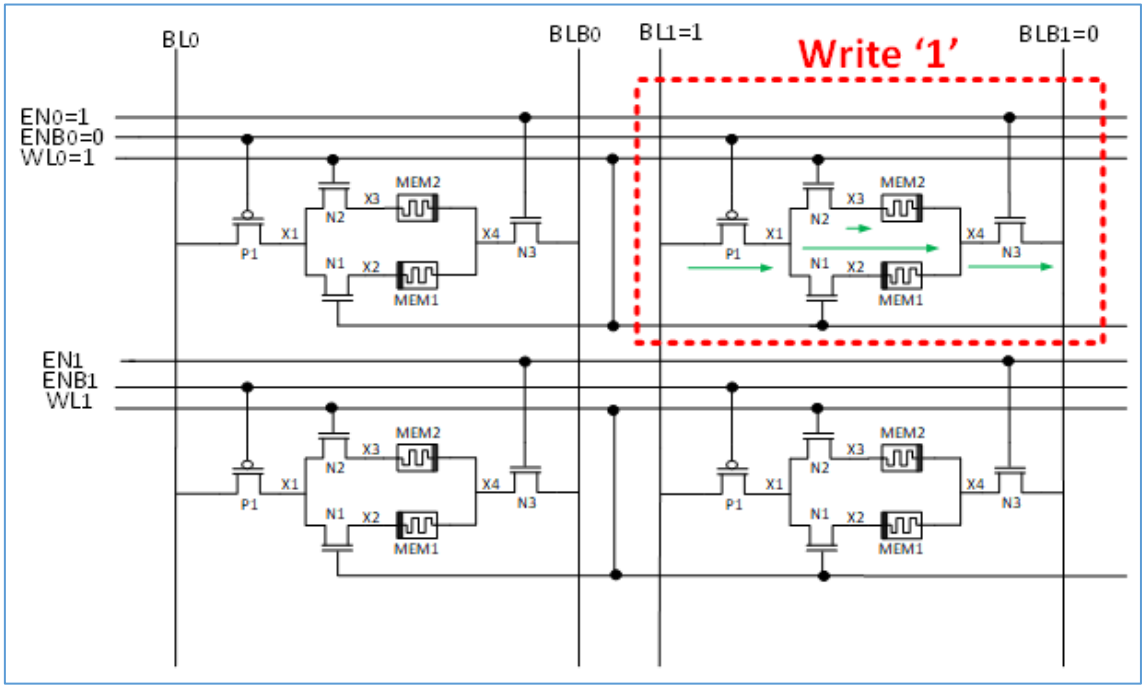


شکل (۵): اندازه‌گیری تاخیر خواندن در سلول حافظه پیشنهاد شده
Figure 5: Measurement of reading delay in the proposed memory cell.

۱-۴- شبیه‌سازی سلول به‌صورت آرایه‌ای

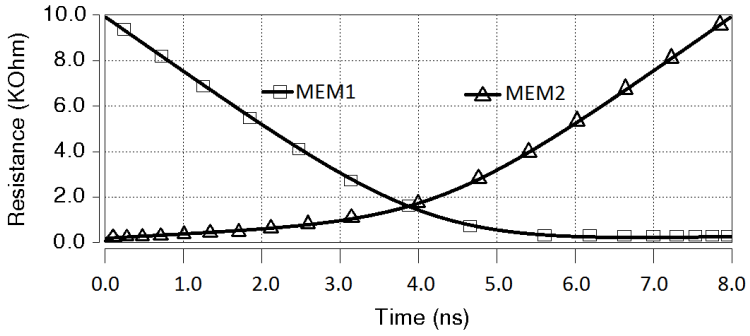
هدف از این شبیه‌سازی، مشاهده تاثیر احتمالی سلول‌ها و گره‌های مدار بر روی عملیات نوشتن، خواندن و یا نگهداری هر سلول است. برای پرهیز از پیچیدگی مدار، تنها یک آرایه ۲×۲ از سلول حافظه پیشنهادی در شکل (۶) دیده می‌شود. مشخص است که خطهای WL و EN و ENB به‌صورت سطری به یکدیگر و خطهای BL و BLB به‌صورت عمودی به یکدیگر ارتباط دارند. بنابراین می‌توان با انتخاب سطر و ستون مناسب، به سلول حافظه متناظر دسترسی یافت و عملیات خواندن و نوشتن را بر روی همان سلول انجام داد. به‌عنوان نمونه، در اینجا بر روی سلول حافظه سمت راست بالا، عملیات نوشتن 1 منطقی در حال انجام است. لذا تغییر مقاومت ممریستورهای سلول هدف اندازه‌گیری شد. تاخیر نوشتن 1 و 0، از دیگر پارامترهایی است که برای سلول حافظه اهمیت دارد که به‌صورت جداگانه اندازه‌گیری شد. انتظار می‌رود مقاومت ممریستور MEM1 از یک مقاومت زیاد به مقاومت کم حرکت کند و مقاومت MEM2، به‌تدریج افزایش یابد.
شبیه‌سازی‌های انجام شده برای تغییر مقاومت دو ممریستور این آرایه در شکل (۷) نشان داده شده است. همچنین به‌عنوان نمونه شبیه‌سازی مقدار مقاومت دو ممریستور در آرایه پائین سمت چپ در شکل (۸) نشان داده شده است. از آنجایی که هیچ

عملیاتی روی این سلول‌ها انجام نمی‌شود، مقاومت ممریستورها در ۲۵۰ اهم و ۱۰ کیلو-اهم برای حالت‌های روشن و خاموش قرار دارد.



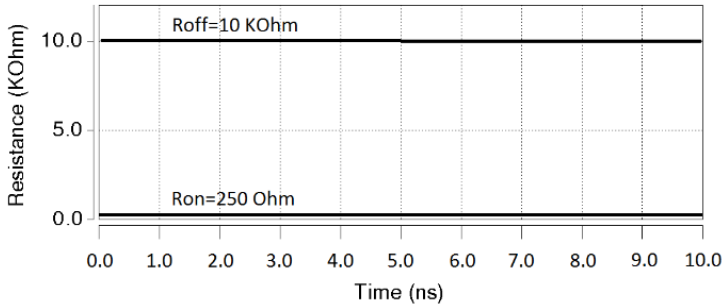
شکل (۶): سلول حافظه پیشنهادی به‌صورت آرایه ۲×۲

Figure (6): The proposed memory cell as a 2x2 array



شکل (۷): شبیه‌سازی تغییر مقاومت ممریستورها در سلول حافظه سمت راست ردیف بالا از آرایه پیشنهادی

Figure (7): Simulation of the resistance change of memristors in the upper right memory cell of the proposed array

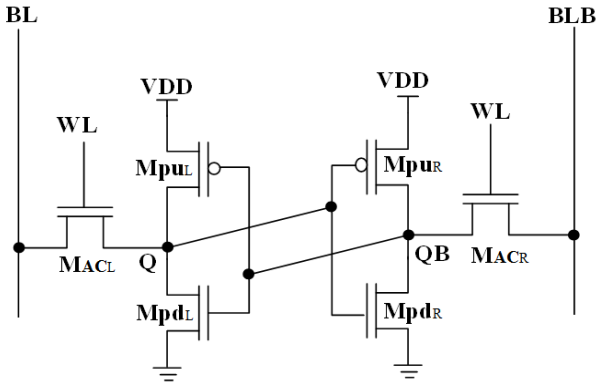


شکل (۸): شبیه‌سازی مقاومت MEM1 و MEM2 در سلول حافظه سمت چپ ردیف پایین از آرایه پیشنهادی

Figure (8): Simulation of the resistance of MEM1 and MEM2 in the lower left memory cell of the proposed array

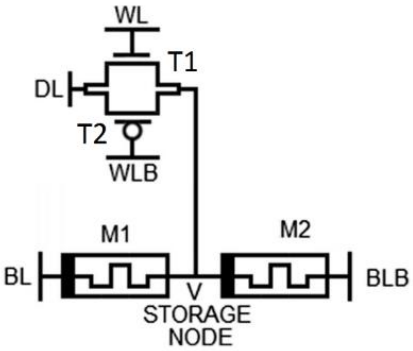
۵- مقایسه با ساختارهای متعارف و کارهای قبلی

در این بخش، دو سلول شامل حافظه SRAM شش ترانزیستوری متداول و حافظه با دو ترانزیستور و دو ممریستور مورد شبیه‌سازی قرار می‌گیرند تا نتایج این مدارها با نتایج سلول پیشنهاد شده مقایسه شود. شکل (۹) سلول حافظه SRAM شش ترانزیستوری متداول را نشان می‌دهد. همچنین شکل (۱۰) سلول حافظه 2T2M را نشان می‌دهد که در آن از دو ممریستور و دو ترانزیستور استفاده شده است.



شکل (۹): سلول حافظه SRAM شش ترانزیستوری متداول [۱۱]

Figure (9): Common six transistors SRAM memory cell [11]

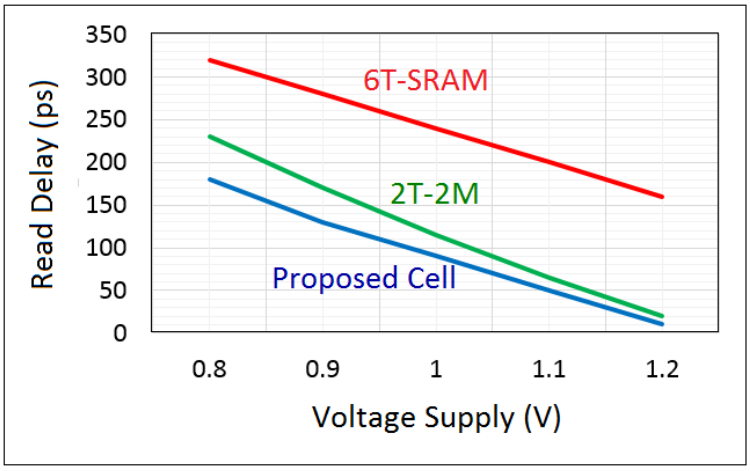


شکل (۱۰): سلول حافظه دو ترانزیستور و دو ممریستور [۲۳]

Figure (10): Memory cell with two transistors and two memristors [23]

مدار شکل (۹) یک مدار متعارف و شناخته شده است. لذا در ادامه به اختصار طرز کار مدار شکل (۱۰) مرور می‌شود. برای عملیات نوشتن در مدار شکل (۱۰) ابتدا هر دو ترانزیستور دسترسی T1 و T2 روشن می‌شوند. یعنی WL=1 و WLB=0 می‌شود. سپس DL برابر مقدار داده‌ای انتخاب می‌شود که قصد نوشتن آن را داریم. BL و BLB معکوس DL می‌شود. به‌این ترتیب یکی از ممریستورها به Roff و دیگری به Ron می‌رود چون ممریستورها با هم موازی ولی با پلاریته‌های مخالف می‌شوند. همچنین برای عملیات خواندن ابتدا هر دو خط BL و BLB تا مقدار GND دشارژ می‌شوند. سپس DL=1 می‌شود و برای یک لحظه بسیار کوتاه دو ترانزیستور دسترسی روشن و بعد خاموش می‌شوند. در همان زمان کوتاه، دو خط BL و BLB با سرعت متفاوت شروع به شارژ می‌کنند چرا که دو مقاومت متفاوت در مسیر آن‌ها دیده می‌شود. در این لحظه یک مدار حسگر و تقویت‌کننده یا یک مقایسه‌کننده این اختلاف ولتاژ در شارژ شدن دو خط BL و BLB را به یک یا صفر منطقی تبدیل می‌کند. زمان روشن و خاموش شدن ترانزیستورهای دسترسی در این مدارها در فاز خواندن باید خیلی کوچک انتخاب شوند تا داده‌ی ذخیره شده از بین نرود. در ادامه، سلول پیشنهادی و دو سلول بالا ازنظر تاخیر خواندن، تاخیر نوشتن، توان استاتیک و آثار حرارتی بررسی و مقایسه می‌شوند. شکل (۱۱) تاخیر خواندن در در ولتاژهای مختلف تغذیه برای هر سه سلول را نشان می‌دهد. مشخص است که مدار

پیشنهاد شده نسبت به هر دو مدار قبلی تاخیر کمتری دارد. این مطلب در مدارهای ولتاژ پائین محسوس‌تر است. به‌عنوان نمونه، مدار پیشنهادی حتی نسبت به مدار 2T-2M در ولتاژ یک ولت حدود ۳۰ پیکو-ثانیه تاخیر کمتر در خواندن دارد.

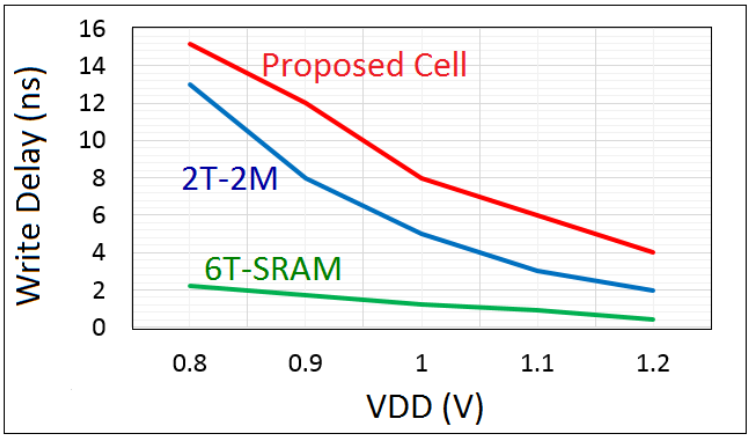


شکل (۱۱): مقایسه تاخیر خواندن (و اثر ولتاژ تغذیه بر آن) در سلول پیشنهادی و دو سلول متعارف موجود

Figure (11): Comparison of reading delay (and the effect of supply voltage on it) in the proposed cell and two existing conventional cells

شکل (۱۲) تاخیر نوشتن در سه سلول را نشان می‌دهد. دلیل تاخیر کمتر دو مدار قبلی آن است که مدار حافظه 6T با استفاده از فیدبک مثبت (شامل دو اینورتر) تاخیر خیلی کمتری در نوشتن دارد و مدار 2T-2M نیز نسبت به مدار پیشنهاد شده، در مسیر نوشتن، تعداد المان کمتری استفاده می‌کند. جدول (۲) مقدار توان ایستای مصرفی در سه سلول حافظه را به‌ازای مقادیر ولتاژ تغذیه متفاوت نشان می‌دهد. بر اساس شبیه‌سازی‌های انجام شده، مدار سلول حافظه شش ترانزیستوری، به علت استفاده از دو معکوس‌کننده پشت به پشت، هرچند تاخیر نوشتن را کاهش می‌دهد اما، مقدار توان مصرفی مدار را افزایش می‌دهد. توان مصرفی مدار پیشنهاد شده نیز نسبت به مدار 2T-2M حدود ۵۰ درصد کمتر است. دلیل این موضوع، جریان‌های نشتی کمتر مدار پیشنهاد شده است چرا که در زمان نگه‌داری، مدار پیشنهاد شده در دو خط BL و BLB پتانسیل یکسانی دارد اما در مدار 2T-2M در زمان نگه‌داری، تنها ترانزیستورهای دسترسی قطع می‌شوند.

اثر تغییرات دما بر تاخیر نوشتن در هر سه سلول در شکل (۱۳) به‌ازای ولتاژهای تغذیه یک ولت نشان داده شده است. همان‌طور که مشخص است، هر سلول حافظه، با افزایش دما، تاخیر نوشتن بیشتری دارد. خوشبختانه این تغییرات در محدوده دمایی استاندارد ۲۵- تا ۱۰۰ درجه سانتی گراد ناچیز است.



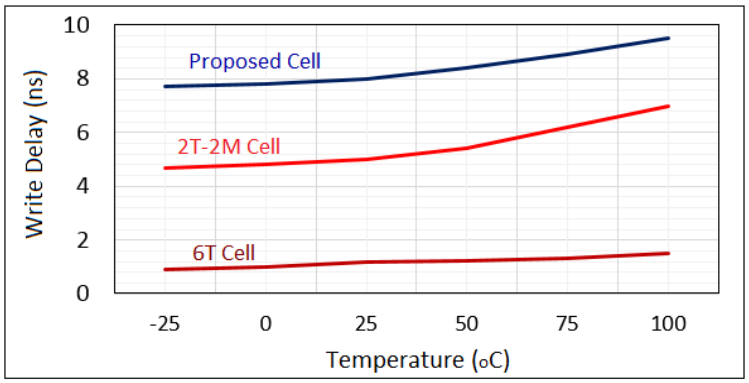
شکل (۱۲): مقایسه تاخیر نوشتن (و اثر ولتاژ تغذیه بر آن) در سلول پیشنهادی و دو سلول متعارف موجود

Figure (12): Comparison of write delay (and the effect of supply voltage on it) in the proposed cell and the two existing conventional cells.

Table (2): Comparison of power consumption of three circuits at different supply voltages

جدول (۲): مقایسه توان مصرفی سه مدار در ولتاژهای تغذیه مختلف

ولتاژ تغذیه (ولت)	توان مصرفی مدار 6T (نانو-وات)	توان مصرفی مدار 2T-2M (پیکو-وات)	توان مصرفی مدار پیشنهادی (پیکو-وات)
۰/۸	۶/۲	۱۸/۸	۷/۳
۰/۹	۶/۸	۱۹/۲	۸/۵
۱	۷/۸	۲۱/۶	۱۰/۲
۱/۱	۱۰/۲	۲۳/۴	۱۱/۱
۱/۲	۱۳/۴	۲۶/۵	۱۲/۸



شکل (۱۳): اثر دما بر تاخیر نوشتن در سلول پیشنهادی و دو سلول متعارف

Figure (13): Effect of temperature on writing delay in the proposed cell and two conventional cells

یکی دیگر از پارامترهای مفید برای مقایسه مدارهای حوزه دیجیتال حاصل ضرب تاخیر در توان است. جدول (۳) مقدار PDP برای هر سه مدار را در ولتاژ تغذیه یک ولت و دمای ۲۵ درجه سانتی‌گراد را نشان می‌دهد. واضح است که سلول حافظه پیشنهادی نسبت به مدار 2T-2M حدود ۲۷ درصد حاصل‌ضرب تاخیر کل در توان را بهبود داده است.

Table (3): Comparison of power, delay in writing and reading, as well as PDP of the proposed cell with previous tasks

جدول (۳): مقایسه توان، تاخیر در نوشتن و خواندن و نیز حاصل‌ضرب تاخیر در توان سلول پیشنهادی با کارهای گذشته

پارامتر	سلول حافظه 6T	سلول حافظه 2T-2M	سلول حافظه پیشنهادی
توان مصرفی (پیکو-وات)	۷۸۰۰	۲۱/۶	۱۰/۲
تاخیر نوشتن (نانو-ثانیه)	۱/۶	۵/۱	۸
حاصل ضرب توان در تاخیر نوشتن (ژول)	$۱۲/۴\times۱۰^{-۱۸}$	۱۱۰×۱۰^{-۲۱}	$۸۱/۶\times۱۰^{-۲۱}$
تاخیر خواندن (پیکو-ثانیه)	۲۴۱	۱۲۹	۱۰۰
حاصل ضرب توان در تاخیر خواندن (ژول)	$۱/۸۷\times۱۰^{-۱۸}$	$۲/۷۸\times۱۰^{-۲۱}$	۱×۱۰^{-۲۱}
میانگین توان در تاخیر (ژول)	$۷/۱۳\times۱۰^{-۱۸}$	$۵۶/۴\times۱۰^{-۲۱}$	$۴۱/۳\times۱۰^{-۲۱}$

۶- نتیجه‌گیری

نتایج شبیه‌سازی‌های انجام شده برای هر سه مدار نشان می‌دهد که مدار پیشنهادی در خواندن اطلاعات نسبت به دو مدار دیگر با تاخیر کمتری عمل می‌کند ولی در عملیات نوشتن، این سلول حافظه شش ترانزیستوری است که با تاخیر کمتر به نوشتن اطلاعات می‌پردازد. این در حالی است که سلول حافظه SRAM شش ترانزیستوری توان مصرفی خیلی بیشتری نسبت به مدار پیشنهادی و دیگر مدار مورد بحث دارد. در مجموع، مدار پیشنهادی نسبت به همتای خود، یعنی سلول حافظه 2T-2M دارای حاصل‌ضرب تاخیر میانگین در توان کمتری است. به‌طور خلاصه نتایج شبیه‌سازی نشان می‌دهد مدار پیشنهادی مقدار PDP را

حدود ۲۳ درصد نسبت به رقیب خود بهبود داده است. این در حالی است که هر دو مدار مبتنی بر ممریستور می‌توانند در هنگام قطع شدن تغذیه، اطلاعات خود را به خوبی حفظ کنند ولی SRAM شش ترانزیستوری این ویژگی مهم را ندارد.

References

مراجع

[1] S.M.A. Zanjani, M. Dousti, M. Dolatshahi, "A CNTFET universal mixed-mode biquad active filter in subthreshold region", International Journal of RF and Microwave Computer-Aided Engineering, vol. 28, no. 9, Article Number: e21574, Nov. 2018 (doi:10.1002/mmce.21574).

[2] N. Shaarawy, M. Ghoneima, A.G. Radwan, "2T2M Memristor-based memory cell for higher stability RRAM modules", Proceeding of the IEEE/ISCAS, pp. 1418-1421, Lisbon, Portugal, May 2015 (doi: 10.1109/ISCAS-.2015.7168909).

[3] A. Baghi-Rahin, V. Baghi-Rahin, "A new 2-input CNTFET-based XOR cell with ultra-low leakage power for low-voltage and low-power full adders", Journal of Intelligent Procedures in Electrical Technology, vol. 10, no. 37, pp. 13-22, Spring 2019 (in Persian).

[4] N. Dehabadi, R. Faghih-Mirzaee, "Ternary DCVS half adder with built-in boosters", Journal of Intelligent Procedures in Electrical Technology, vol. 11, no. 42, pp. 41-56, Summer 2020(in Persian).

[5] A.M.S. Tosson, A. Neale, M. Anis, L. Wei, "8T1R: A novel low-power high-speed RRAM-based non-volatile SRAM design", Proceeding of the IEEE/GLSVLSI, pp. 239-244, Boston, MA, USA, May 2016 (doi: 10.1145/2902961.2903016).

[6] S. Pal, S. Bose, W.-H. Ki, A. Islam, "Design of power- and variability-aware nonvolatile RRAM cell using memristor as a memory element", IEEE Journal of the Electron Devices Society, vol. 7, pp. 701-709, July 2019 (doi: 10.1109/JEDS.2019.2928830).

[7] S. Bhatti, R. Sbiaa, A. Hirohata, H. Ohno, S. Fukami, S.N. Piramanayagam, "Spintronic based random access memory: A review", Materials Today, vol. 20, no. 9, pp. 530-548, Nov. 2017 (doi: 10.1016/j.mattod.2017.0-7.007).

[8] K. Eshraghian, K. Cho, O. Kavehei, S. Kang, D. Abbott, S.S. Kang, "Memristor MOS content addressable memory (MCAM): Hybrid architecture for future high performance search engines", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 19, no. 8, pp. 1407-1417, Aug. 2011 (doi: 10.1109/TVLSI.2010-.2049867).

[9] K. Takeda, Y. Aimoto, N. Nakamura, H. Toyoshima, T. Iwasaki, K. Noda, K. Matsui, S. Itoh, S. Masuoka, T. Horiuchi, A. Nakagawa, K. Shimogawa, H. Takahashi, "A 16 Mb 400 MHz loadless CMOS four-transistor SRAM macro", IEEE Journal of Solid-State Circuits, vol. 35, no. 11, pp. 1631-1640, Nov. 2000 (doi: 10.11-09/4.881209).

[10] I. Carlson, S. Andersson, S. Natarajan, A. Alvandpour, "A high density, low leakage, 5T SRAM for embedded caches", Proceedings of the IEEE/ESSCIR, pp. 215-218, Leuven, Belgium, Sept. 2004 (doi: 10.1109/ESSCI-R.2004.1356656).

[11] G.M.S. Reddy, P.C. Reddy, "Design and implementation of 8k-bits low power SRAM in 180nm technology", Proc. Of the IMCECS, vol. 18, no. 2, pp. 1-8, March 2009.

[12] R.E. Aly, M.A. Bayoumi, "Low-power cache design using 7T SRAM cell", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 54, no. 4, pp. 318-322, April 2007 (doi: 10.1109/TCSII.2006.877276).

[13] L. Wen, X. Cheng, K. Zhou, S. Tian, X. Zeng, "Bit-interleaving-enabled 8T SRAM with shared data-aware write and reference-based sense amplifier", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 63, no. 7, pp. 643-647, July 2016 (doi: 10.1109/TCSII.2016.2530881).

[14] M. Hemmati, M. Dolatshahi, S.M.A. Zanjani, "Design and optimization of non-volatile memory based on Memristor System", Proceeding of the IEEE/ICCKE, pp. 654-659, Mashhad, Iran, Oct. 2020 (doi: 10.1109-/ICCKE50421.2020.9303681).

[15] I. Vourkas, G.C. Sirakoulis, "A novel design and modeling paradigm for memristor-based crossbar circuits", IEEE Trans. on Nanotechnology, vol. 11, no. 6, pp. 1151-1159, Nov. 2012 (doi: 10.1109/TNANO.2012.2-217153).

[16] G. Papandroulidakis, A. Serb, A. Khiat, G. V. Merrett, T. Prodromakis, "Practical implementation of mem-ristor-based threshold logic gates", IEEE Trans. on Circuits and Systems I: Regular Papers, vol. 66, no. 8, pp. 3041-3051, Aug. 2019 (doi:10.1109/TCSI.2019.2902475).

[17] I. Vourkas, G. C. Sirakoulis, "Memristor-based nanoelectronic computing circuits and architectures", vol. 19: Springer, Switzerland, 2016 (ISBN: 978-3-319-22647-7).

[18] G. Papandroulidakis, I. Vourkas, N. Vasileiadis, G.C. Sirakoulis, "Boolean logic operations and computing circuits based on memristors", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 61, no. 12, pp. 972-976, Sept. 2014 (doi: 10.1109/TCSII.2014.2357351).

[19] S.S. Sarwar, S.A.N. Saqueb, F. Quaiyum, A. Rashid, "Memristor-based nonvolatile random access memory: hybrid architecture for low power compact memory design", IEEE Access, vol. 1, no. 23, pp. 29-35, May 2013 (doi: 10.1109/ACCESS.2013.2259891).
[20] V. Saminathan, K. Parasamivam, "Design and analysis of low power hybrid memristor-CMOS based distinct binary logic nonvolatile SRAM cell", Circuit and System, vol. 7, no. 8, pp. 119-127, March 2016 (doi: 10.42-36/cs.2016.73012).
[21] M. N. Sakib, R. Hassan, S. Biswas, "A memristor-based 6T1M hybrid memory cell without state drift during successive read", Proceeding of the IEEE/ICECE, pp. 202-205, Dhaka, Dec. 2016 (doi: 10.1109/ICECE.201-6.7853891).
[22] J. Singh, B. Raj, "Design and investigation of 7T2M-NVSRAM with enhanced stability and temperature impact on store/restore energy", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 27, no 6, pp. 1322-1328, June 2019 (doi: 10.1109/TVLSI.2019.2901032).
[23] C. Roy, A. Islam, "TG based 2T2M RRAM using Memristor as memory element", Indian Journal of Science and Technology. Paper, vol. 9, no. 33, pp. 123-137, 2016 (doi: 10.17485/ijst/2016/v9i33/99508).
[24] A. Ebrahimi, E. Kargaran, A. Golmakani, "Design and analysis of three new SRAM cells", Majlesi Journal of Electrical Engineering, vol. 6, no. 4, pp. 30-38, Dec. 2012.
[25] A. Rezaei, S.M.A. Zanjani, "Design and analysis of 2 memristor-based nonvolatile SRAM cells", Journal of Novel Researches on Electrical Power, vol. 9, no. 2, pp. 47-56, Summer 2020 (in Persian).
[26] Z. Lin, Y. Wang, C. Peng, X. Wu, X. Li, J. Chen, "Multiple sharing 7T1R nonvolatile SRAM with an improved read/write margin and reliable restore yield", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 28, no. 3, pp. 607-619, March 2020 (doi: 10.1109/TVLSI.2019.2953005).
[27] N. S. Soliman, M. E. Fouda, A. G. Radwan, "Memristor-CNTFET based ternary logic gates", Microelectronics journal, vol. 72, pp. 74-85, 2018 (doi: 10.1016/j.mejo.2017.12.008).
[28] C. Sun, K. Han, X. Gong, "Performance evaluation of static random access memory (SRAM) based on negative capacitance finFET", Proceeding of the IEEE/ICICDT, pp. 1-4, SUZHOU, China, 2019 (doi: 10.1109/ICICDT.2019.8790831).
[29] D. Batas, H. Fiedler, "A memristor SPICE implementation and a new approach for magnetic flux controlled memristor modeling", IEEE Trans. on Nanotechnology, vol. 10, no. 2, pp. 250-255, March 2011 (doi: 10.1109/TNANO.2009.2038051).
[30] Z. Kolka, D. Biolek, V. Biolkova, "Hybrid modelling and emulation of mem-systems", International Journal of Numerical Modelling: Electronic Networks, Devices and Fields, vol. 25, no. 3, pp. 216-225, May/June 2012 (doi: 10.1002/jnm.825).
[31] Y.V. Pershin, M.D. Ventra, "Spice model of memristive devices with threshold", Radio Engineering, vol. 22, no. 2, pp. 485-489, May 2013.

زیرنویس‌ها

1. Low voltage/ low power (LV/ LP)
2. Threshold voltage (Vth)
3. Leakage current
4. Ferro-electronic random access memory (FeRAM)
5. Magnetic random access memory (MRAM)
6. Resistive random access memory (RRAM)
7. Dynamic random access memory (DRAM)
8. Static random access memory (SRAM)
9. Volatile
10. Memory resistor (Memristor)
11. Power delay product (PDP)
12. Carbon nano-tube field effect transistor (CNTFET)