فصل نامه تخصصی مهندسی مخابرات جنوب
دانشگاه آزاد اسلامی واحد بوشهر

فصل نامه تخصصی مهندسی مخابرات جنوب

صاحب امتیاز : دانشگاه آزاد اسلامی واحد بوشهر

سردبیر:	دکتر محمد ناصرمقدسی	دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران
مدیر مسئول :	دکتر نجمه چراغی شیرازی	دانشگاه آزاد اسلامی واحد بوشهر
مدیر داخلی :	دکتر روزبه حمزه ئیان	دانشگاه آزاد اسلامی واحد بوشهر
دبیر تخصصی:	دکتر عبدالرسول قاسمی	دانشگاه آزاد اسلامی واحد بوشهر

اعضای هیئت تحریریه:

دکتر محمد ناصرمقدسی	استاد	دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران
دکتر همایون عریضی	استاد	دانشگاه علم و صنعت
دکتر سراج الدین کاتبی	استاد	دانشگاه شیراز
دکتر ابراهیم عبیری	استاد	دانشگاه صنعتی شیراز
دکتر کریم محمدی	استاد	دانشگاه علم و صنعت
دکتر عبدالرضا نبوی	استاد	دانشگاه تربیت مدرس تهران
دکتر مسعود دوستی	دانشیار	دانشگاه آزاد اسلامی واحد علوم و تحقیقات تهران
دکتر علیرضا بهراد	استاد	دانشگاه شاهد
دکتر محمد مردانه	استاد	دانشگاه صنعتی شیراز
دکتر غضنفر شاهقلیان	استاد	دانشگاه آزاد اسلامی واحد نجف آباد
دکتر رمضانعلی صادقزاده	استاد	دانشگاه صنعتی خواجه نصیرالدین طوسی
دکتر اسماعیل نجفی اقدم	استاد	دانشگاه صنعتی سهند تبریز
دکتر مجتبی نجفی	دانشیار	دانشگاه آزاد اسلامی واحد بوشهر
دکتر بال ویردی	استاد	دانشگاه متروپولیتن لندن
دکتر محمد علی بخشی کناری	استاد	دانشگام رم، ایتالیا
دکتر حمیدرضا عرب نیا	استاد	دانشگاه جورجیا
دکتر علی تیموری	دانشیار	دانشگاه ادینبرا اسکاتلند

نشانی : بوشهر، دانشگاه آزاد اسلامی واحد بوشهر، حوزه معاونت پژوهشی، دفتر مجله تخصصی مهندسی مخابرات جنوب

تلفن : ۰۹۱۰۷۸۳۷٤۲۰ **فاکس** :۰۷۷۳۳۵۵۵٤۱۳

سایت نشریه: https://jce.bushehr.iau.ir **شاپا الکترونیکی**: ۲۹۸۰-۹۲۳۱

نشانی الکترونیکی : jce.iaub@gmail.com - jce@iaubusher.ac.ir

نشریه در پایگاههای ملی و بین المللی زیر نمایه شده است:

DOAJ DIRECTORY OF OPEN ACCESS JOURNALS | معاونت پژوهشی دفتر سیاست گذاری و برنامه ریزی امور پژوهشی | magiran | پایگاه اطلاعات علمی جهاد دانشگاهی SID

Google Scholar | پایگاه استنادی علوم جهان اسلام ISC | CIVILICA We Respect the Science | ACADEMIA

این مجله بر اساس مجوز انتشارشماره ۸۷/٤۲۲۰۹۲ تاریخ ۸۹/۱۰/۲۲ مدیر کل دفتر گسترش تولید علم دانشگاه آزاد اسلامی انتشار می یابد.

فصل‌نامه تخصصی مهندسی مخابرات جنوب
دانشگاه آزاد اسلامی واحد بوشهر

شاپا: ۹۲۳۱-۲۹۸۰

سال چهاردهم، شماره پنجاه و چهار، زمستان ۱۴۰۳

فهرست

پیش‌بینی قیمت منابع در شبکه ابری با پیشنهاد ساختار جدیدی در یادگیری عمیق با در نظر گرفتن سطح کیفیت خدمات..... ۱
سیدسروش نظام دوست؛ محمدعلی پورمینا؛ فربد رزازی

طراحی کارآمد تقسیم‌کننده غیربازیابی برگشت‌پذیر با قابلیت حفظ توازن..... ۱۷
محمد طالبی؛ محمد مصلح؛ محسن چکین

استفاده از مدل وینر-همرشتاین بهینه شده با الگوریتم ژنتیک در شناسایی سیستم فتوولتائیک ۳۵
ایمان سهرابی مقدم چافجیری؛ علیرضا آزادبر؛ عباس قدیمی؛ سید جواد موسوی

نوسان‌ساز حلقوی تفاضلی کنترل‌شده با ولتاژ توان پایین مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی..... ۴۷
صبا ناصری اکبر

بهبود فراتفکیک پذیری در تصاویر چهره به وسیله مدلسازی خرابی تصویر با استفاده از زوج تصاویر با کیفیت و بی‌کیفیت..... ۶۹
احمد دولت خواه

بازشناخت تصور حرکتی در افراد دارای معلولیت با استفاده از الگوی طیفی فضای پراکنده مشترک (CSSSP) و انتخاب ویژگی‌های متوالی (SFS)..... ۸۳
علیرضا پیراسته؛ منوچهر شمسینی غیاثوند؛ مجید پولادیان

طراحی و پیاده سازی مبدل دیجیتال به آنالوگ دلتا- سیگما ۱۶ بیتی چند حالته با ساختار بهم ریخته زمانی چند کاناله و جبران سازی غیرآرمانی آن مبتنی بر FPGA ۹۳
ابوالفضل روشن پناه؛ پویا ترک زاده؛ خسرو حاج صادقی؛ مسعود دوستی

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2025.1993480.1327

Vol. 14/ No. 54/Winter 2025

Research Article

Spot Price Prediction of Resources in Cloud Computing by Proposing a New Structure in Deep Learning Method Considering the Level of QOS

Seyed Soroush Nezamdoust, Ph.D. Student[1] | Mohammad Ali Pourmina, Associate Professor[2] | Farbod Razzazi, Associate Professor[3]

[1]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University (IAU), Tehran, Iran, soroush.nezamdoust@srbiau.ac.ir

[2]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University (IAU), Tehran, Iran, pourmina@srbiau.ac.ir

[3]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University (IAU), Tehran, Iran, razzazi@srbiau.ac.ir

Correspondence
Mohammad Ali Pourmina, Associate Professor of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University (IAU), Tehran, Iran,
pourmina@srbiau.ac.ir

Received: 5 November 2023
Revised: 13 January 2024
Accepted: 17 February 2024

Abstract

Cloud computing is a computing model that uses three instance, on-demand, reserved, and spot, to provide resources to users. The price of spot instances is on average lower than other patterns and fluctuates based on supply and demand. When a user requests a spot instance, they must provide an offer. Only if the price offered by the user is higher than the spot price, the user can use this type of resources. Therefore, predicting the price of spot instances is very important and challenging. Forecasting such dynamic time series that follow the nonlinear model requires intelligent tools such as neural networks to be able to predict the future values with the least error by observing the values of a time series. Therefore, the reliability and as a result the quality of the service is improved. For this purpose, we considered Amazon EC2 as an experimental platform and used the spot price history to predict the future price by building a new model based on deep learning. The obtained results showed that the model presented in the article based on the proposed structure of MGRU(modified GRU) can well predict nonlinear values and perform better than other methods used in this field.

Keywords: Spot price prediction, Cloud computing, Deep neural network, Modified GRU(MGRU).

Highlights

- Examining deep learning structures for predicting time series.
- Providing an efficient and powerful algorithm to analyze the historical developments of Amazon EC2 spot prices and predict the future price of resources.
- Presenting a proposed architecture based on modified GRU (MGRU).
- Forecasting price trends in the future with the aim of improving the quality of services.
- Accurate prediction of real-world time series with highly volatile data.

Citation: SS. Nezamdoust, MA. Pourmina, and F. Razzazi, "Spot Price Prediction of Resources in Cloud Computing by Proposing a New Structure in Deep Learning Method Considering the Level of QOS," *Journal of Southern Communication Engineering*, vol. 14, no. 54, pp. 1–16, 2025, doi:10.30495/jce.2025.1993480.1327, [in Persian].

مقاله پژوهشی

پیش‌بینی قیمت منابع در شبکه ابری با پیشنهاد ساختار جدیدی در یادگیری عمیق با در نظر گرفتن سطح کیفیت خدمات

سیدسروش نظام دوست[۱] | محمدعلی پورمینا*[۲] | فربد رزازی[۳]

[۱]دانشجو دکتری مهندسی برق، دانشکده برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران ، ایران،
soroush.nezamdoust@srbiau.ac.ir

[۲]دانشیار گروه برق، دانشکده برق و کامپیوتر، واحد علوم وتحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
pourmina@srbiau.ac.ir

[۳]دانشیار گروه برق، دانشکده برق و کامپیوتر، واحد علوم وتحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
razzazi@srbiau.ac.ir

نویسنده مسئول
*محمدعلی پورمینا، دانشیار گروه برق، دانشکده برق و کامپیوتر، واحد علوم وتحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
pourmina@srbiau.ac.ir

تاریخ دریافت: ۱۴ آبان ۱۴۰۲
تاریخ بازنگری: ۲۳ دی ۱۴۰۲
تاریخ پذیرش: ۲۸ بهمن ۱۴۰۲

https://doi.org/10.30495/jce.2025.1993480.1327

چکیده:

رایانش ابری یک مدل محاسباتی است که برای ارائه منابع به کاربران از سه الگوی برحسب تقاضا، رزرو شده و نقطه‌ای بهره می‌برد. قیمت نمونه‌های نقطه‌ای به طور متوسط کمتر از سایر الگوها بوده و بر اساس عرضه و تقاضا دارای نوسان است. هنگامی که کاربر یک نمونه نقطه‌ای را درخواست کند، باید پیشنهادی ارائه دهد. تنها در صورتی که قیمت پیشنهادی کاربر بالاتر از قیمت نقطه‌ای باشد، کاربر می‌تواند از این نوع منابع استفاده کند. لذا پیش‌بینی قیمت نمونه‌های نقطه‌ای بسیار مهم و چالش‌برانگیز است. پیش‌بینی این‌گونه سری‌های زمانی پویا که از مدل غیرخطی پیروی می‌کنند، نیازمند ابزار هوشمندی مانند شبکه‌های عصبی است تا بتواند با مشاهده مقادیری از یک سری زمانی، مقادیر آتی را با کم‌ترین خطا پیش‌بینی کنند. بنابراین قابلیت اطمینان و در نتیجه کیفیت سرویس ارتقاء می‌یابد. بدین منظور، ما آمازون EC2 را به عنوان یک بستر آزمایشی در نظر گرفتیم و از تاریخچه قیمت نقطه‌ای برای پیش‌بینی قیمت آینده با ساخت مدلی نوین مبتنی بر یادگیری عمیق استفاده کردیم. نتایج به دست آمده نشان داد که مدل ارائه شده مقاله بر پایه ساختار پیشنهادی MGRU (GRU اصلاح شده) به خوبی می‌تواند پیش‌بینی مقادیر غیرخطی را انجام دهد و عملکرد بهتری نسبت به سایر روش‌های مورد استفاده در این حوزه داشته باشد.

کلیدواژه‌ها: پیش‌بینی قیمت نقطه‌ای، رایانش ابری، شبکه عصبی عمیق، GRU اصلاح شده(MGRU)

۱-مقدمه

رایانش ابری[1] ساختاری است که دسترسی آسان به منابع را بر اساس تقاضای کاربر از طریق بستر شبکه بدون نیاز به سرمایه اولیه میسر می‌کند. ابرها دارای محیطی مقیاس‌پذیر و انعطاف‌پذیر بوده و الگوهای متنوع و به‌صرفه پرداخت دارند. لذا در سال‌های اخیر رشد چشمگیری با توجه به مزیت‌های خود داشته و به الگوی مناسبی جهت اجرای برنامه‌هایی با قابلیت اطمینان و امنیت بالا تبدیل شده است. امروزه رایانش ابری توانسته است برای دسترسی به زیرساخت‌ها، بسترهای نرم‌افزاری و نرم‌افزار به عنوان سرویس به عنوان یک گزینه قابل توجه و مناسب جهت استفاده شرکت‌های تجاری و مباحث تحقیقاتی شناخته گردد[۱].

[1] Cloud computing

مدل زیرساخت به عنوان سرویس IaaS[۱]، PaaS[۲]، SaaS[۳] امکانات پردازشی و فضای ذخیره‌سازی را به‌صورت سرویس‌های استاندارد در شبکه به کاربر ارائه می‌دهد. به این ترتیب کاربران به جای خرید سرورها، فضای مرکز داده و تجهیزات شبکه این منابع را به عنوان سرویس زیرساخت از فراهم‌کننده سرویس ابر دریافت می‌کنند. وب سرورهای آمازون[۴] (AWS) مجموعه‌ای از سرویس‌های ابری است که توسط سایت آمازون ارائه می‌شود. در این مدل، ارائه‌دهنده خدمات IaaS به‌عنوان مالک تجهیزات شناخته می‌شود و مسئولیت تهیه مکان فیزیکی، راه‌اندازی و نگهداری تجهیزات را بر عهده دارد[۲].

در مدل بسترکاری به‌عنوان سرویس PaaS، مسئولیت اجرا و نگهداری سیستم نرم‌افزاری و زیرساخت منابع رایانشی را فراهم‌کننده سرویس ابر بر عهده دارد. این سرویس یک لایه نرم‌افزاری را به صورت بسته ارائه می‌دهد که می‌توان از آن برای تولید سرویس‌های سطح بالاتر استفاده کرد. در این مدل به کاربر فرصت داده می‌شود تا مستقیماً بر روی ابر به طراحی، توسعه و آزمایش برنامه موردنظر خود بپردازد. یک نمونه کاربردی در این زمینه، موتور برنامه گوگل است که امکان پیاده‌سازی و اجرای برنامه‌های کاربردی توسط زیرساخت ایجاد شده توسط گوگل را فراهم می‌کند[۳-۲].

نرم‌افزار به عنوان سرویس SaaA، به فراهم کردن برنامه‌های کاربردی برحسب تقاضا در بستر اینترنت اطلاق می‌گردد. این برنامه‌ها نیازی به نصب و راه‌اندازی بر روی رایانه‌های مشتری ندارند. SaaS، نرم‌افزارها را به صورت یک سرویس بر روی اینترنت تحویل داده و بدین وسیله کاربر می‌تواند به آن متصل شده و از آن بهره ببرد. بدین شکل ، سرویس‌دهی نرم‌افزار بر روی ابر بسیار آسان بوده و بروز رسانی ، نگه‌داری و پشتیبانی به صورت متمرکز تنها بر روی ابر صورت می‌گیرد ولیکن امکان تغییر و سفارشی‌سازی در این برنامه وجود ندارد. از CRM، Salesforce، Youtube، Gmail می‌توان به‌عنوان نمونه‌های کاربردی این شیوه که امروزه استفاده می‌شود، نام برد[۳-۲].

هم اکنون درامد خدمات ابری و پیش‌بینی‌های مربوط به آن نشان می‌دهد که IaaS سریع‌ترین بخش در حال رشد است، مدلی که منابع زیرساختی را بر اساس ماشین‌های مجازی در اختیار کاربران قرار داده و امکان اجاره ماشین‌های مجازی با ظرفیت‌های متفاوت را به صورت کشسان فراهم می‌کند[۳]. سرویس‌های محاسباتی با مدل‌های متنوع قیمت‌گذاری به کاربران ارائه می‌شود. مسئله تعیین قیمت سرویس با رویکردی که سرویس‌دهنده به بیشترین منفعت ممکن دست پیدا کند و از طرف دیگر موجب حفظ کیفیت سرویس و رضایت کاربران شود، یکی از مهم‌ترین چالش‌های اساسی برای ارائه‌دهندگان سرویس‌های ابری است.

در مدل قیمت‌گذاری ایستا، منابع مورد تقاضا با دریافت مبلغی مشخص در مدت زمان توافق شده ارائه می‌شود که می‌توان به مکانیسم قیمت‌گذاری پرداخت به میزان استفاده[۵] (OD) اشاره کرد. در الگوی قیمت‌گذاری مورد تقاضا، کاربران نرخ ثابتی با توجه به نوع منطقه[۶] و ناحیه در دسترس[۷] پرداخت می‌کنند که هزینه آن‌ها نسبت به تعداد هسته‌های پردازنده مورد نیاز، سرعت اجرای پردازنده، اندازه حافظه و سایر پارامترهای مؤثر متفاوت است. ماشین‌های مجازی قیمت ثابت از ویژگی قابلیت اطمینان[۸] و دسترسی‌پذیری بالا برخوردار هستند اما قیمت بالاتری نسبت به سایر الگوها دارند[۴].

هم چنین ارائه یک مدل محاسباتی بر اساس میزان عرضه و تقاضا و شرایط حاکم در محیط، مفهوم جدیدی را با نام قیمت‌گذاری پویا مطرح نموده است. قیمت‌گذاری نقطه‌ای[۹] بر پایه مدل قیمت‌گذاری پویا است و با هدف ایجاد انگیزه برای کاربران به منظور استفاده از منابع اضافی پیشنهاد شده است. سرویس‌دهنده (مانند آمازون) منابع مازاد خود را که اجاره داده نشده، مجدداً قیمت‌گذاری می‌کند و از طریق اجاره منابع با ارائه بیشترین تخفیف ممکن(قیمت پایه) کسب سود کرده و از هزینه‌های اضافی نگهداری منابع جلوگیری می‌نماید.

فرایند قیمت‌گذاری این منابع هر یک ساعت یک‌بار صورت می‌گیرد و کاربران متقاضی بایستی برای منبع مورد نظر خود پیشنهاد قیمت ارائه کنند، در صورتی که پیشنهاد ارائه شده از قیمت پایه بیشتر باشد منبع برای مدت یک ساعت در اختیار وی قرار داده

[1] Infrastructure as a service
[2] Platform as a service
[3] Software as a service
[4] Amazon Web Services
[5] On-demand instance
[6] Region
[7] Availability zone
[8] Reliability
[9] Spot pricing

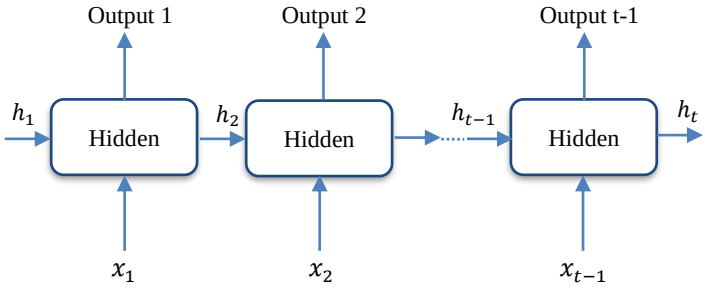
می‌شود. در پایان یک ساعت مجدداً قیمت‌گذاری جدید انجام شده و در صورتی که پیشنهاد قیمت قبلی کاربر از قیمت جدید بیشتر باشد اجاره منبع برای یک ساعت دیگر ادامه می‌یابد تا زمانی که قیمت پیشنهادی کاربر به زیر قیمت پایه برود. در صورتی که قیمت کاربر کم‌تر از قیمت پایه جدید شود، منابع از کاربر پس گرفته می‌شوند. این وضعیت با نام شکست خارج از قیمت پیشنهادی شناخته می‌شود و آمازون، هشداری را دو دقیقه قبل از این اتفاق فعال می‌کند. این قطع می‌تواند منجر به از دست رفتن داده‌ها و غیر قابل اعتماد کردن این روش شود و چالش‌هایی را در پی دارد[۵-۴]. از همین رو در پیشنهادات مختلف در سال‌های گذشته به موارد بیشتری در رابطه با نحوه‌ی در اختیار گرفتن این نمونه‌ها و راهکارهای ارتقاء عملکرد آن‌ها پرداخته شده است.

یکی از راهکارهای مورداستفاده در سال‌های اخیر پیش‌بینی دقیق قیمت نقطه‌ای بوده است. به طور کلی پیش‌بینی دقیق این الگوی قیمت‌گذاری، منجر به کاهش ریسک، افزایش قابلیت اطمینان، افزایش دسترسی‌پذیری و در نتیجه کیفیت سرویس الگوی نقطه‌ای می‌شود. تنظیم زمان خرید بهینه با آگاهی از روند آتی قیمت‌گذاری الگوی نقطه‌ای، مزیت دیگر پیش‌بینی دقیق قیمت است. در نتیجه تمایل کاربران به استفاده از این الگو افزایش یافته و می‌توانند از هزینه‌های پایین‌تر آن در کنار حفظ کیفیت سرویس خود بهره ببرند.

از طرف دیگر، موضوع پیش‌بینی در پژوهش‌های زیادی بررسی شده است. در این میان تکنیک‌های پیش‌بینی سری زمانی در دسته‌های مختلفی قرار می‌گیرند. مدل‌های آماری سنتی مانند مدل میانگین متحرک یکپارچه خود بازگشتی[۱] (ARIMA) به دلیل آنکه شامل اجزای خطی هستند در دنیای واقعی استفاده کمی دارند. از طرف دیگر، برای پیش‌بینی سری‌های زمانی با الگوهای غیرخطی چندین روش آماری غیرخطی مانند مدل خود رگرسیون واریانس ناهمسان شرطی[۲] (ARCH) و مدل خود رگرسیونی واریانس ناهمسان شرطی تعمیم‌یافته[۳](GARCH) پیشنهادشده است که معمولاً در مدل‌های غیرخطی خاص مناسب هستند. روند یافتن یک مدل مناسب برای سری‌های زمانی در دنیای واقعی پیچیدگی‌هایی دارد. در سیستم محاسبات ابری نیز واریانس زیادی در دیتاسنترها وجود دارد لذا برای انجام پیش‌بینی مؤثر بایستی از روش‌هایی استفاده کرد که با داده‌های بسیار متغیر محیط رایانش ابری سازگار باشند[۷-۶].

در سال‌های اخیر برای مسائل پیش‌بینی زمانی، از تکنیک‌های هوش محاسباتی مانند شبکه‌های عصبی مصنوعی[۴] استفاده شده است. شبکه‌های عصبی مصنوعی چشم‌انداز فناوری اطلاعات را ارتقا داده و با توجه به ویژگی‌های تقریب عمومی[۵]، داده محور بودن[۶] و توانایی الگو گرفتن مدل‌های غیرخطی منجر به پیشرفت‌های زیادی در پیش‌بینی سری‌های زمانی شده است. در سال ۱۹۸۰ شبکه عصبی بازگشتی[۷](RNN) مطرح شدند که توسعه هدفمندی از شبکه‌های عصبی است و با اتصال بین لایه‌ها و اتصال بین نرون‌های داخل لایه، امکان مدل‌سازی رابطه‌های پیچیده موجود در داده‌های سری زمانی را فراهم می‌کند. شبکه‌های عصبی بازگشتی با استفاده از یک حلقه بازگشتی این امکان را به وجود می‌آورد تا اطلاعات به دست آمده توسط شبکه در پایان هر محاسبه برای محاسبات آتی مورد استفاده قرار گیرد. بنابراین می‌توان اطلاعات را در طول مراحل، گره به گره منتقل کرد. تمامی شبکه‌های عصبی بازگشتی به شکل زنجیره‌ای از تکرار ماژول‌های شبکه‌های عصبی هستند. در شبکه‌های عصبی بازگشتی استاندارد این ماژول‌های تکرارشونده ساختار بسیار ساده‌ای همانند یک تابع tanh دارند. ساختارRNN ساده در شکل ۱ نشان داده شده است. شبکه‌های عصبی بازگشتی ساده در مواقعی که ما به اطلاعات بیشتر و دورتری نیاز داریم، ناکارآمد است زیرا مکانیزمی جهت مقابله با محوشدگی گرادیان وجود ندارد[۲۱]. در فاز آموزش مجموعه‌های بزرگ داده، مقادیر گرادیان‌ها به‌تدریج با حرکت به سمت ابتدای شبکه به حدی کوچک می‌شوند که تغییرات وزن به‌صورت ناچیزی صورت می‌گیرد و به این علت فرایند آموزش بشدت کند می‌شود و در حالات شدیدتر این مسئله باعث متوقف شدن فرایند آموزش می‌گردد.

[1] Autoregressive Integrated Moving Average
[2] Auto Regressive Conditional Heteroscedacstic
[3] General Autoregressive Conditional Heteroscedastic
[4] Artificial Neural Network
[5] Approximation universal
[6] Being data driven
[7] Recurrent Neural Network

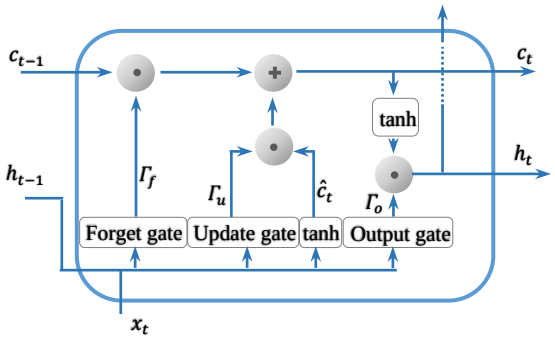


شکل ۱: ساختار بازشده دنباله‌ای شبکه عصبی بازگشتی

Figure 1. RNN unfolded structure

در سال‌های گذشته، پیشرفت‌هایی در مدل‌های برگرفته از شبکه‌های بازگشتی به وجود آمده که عملکرد مناسبی در رفع کاستی‌های کاربرد توالی بلند مدت مدل RNN داشته‌اند. به عنوان مثال هوخرایتر[۱] و اشمیدهوبر[۲] [۲۲] در سال ۱۹۹۷ میلادی، معماری برای شبکه‌های عصبی بازگشتی پیشنهاد کردند که به شبکه حافظه طولانی کوتاه مدت[۳] (LSTM) معروف شد. این معماری به این علت طراحی شد تا توالی‌های طولانی را به خاطر بسپارد و پدیده محو شدگی گرادیان در شبکه‌های بازگشتی، از طریق تغییر لایه میانی شبکه حل شود.

شبکه‌های LSTM نیز همانند شبکه بازگشتی ساده، حالت تکرار شدنی خود را دارد اما ماژول تکرارشونده آن اندکی تفاوت دارد. همان‌گونه که در شکل (۲) نشان داده شده است.



شکل ۲: ساختار مدل LSTM

Figure 2. Structure of LSTM

در این شبکه اصطلاحاً سه دروازه[۴] وجود دارد که از طریق آن، شبکه نسبت به کنترل جریان داده درون خود اقدام می‌کند. این سه دروازه عبارت‌اند از: دروازه فراموشی[۵]، دروازه به‌روزرسانی[۶] یا دروازه ورودی[۷] و دروازه خروجی[۸].

علاوه بر سه دروازه مذکور، یک سلول حافظه[۹] نیز در آن وجود دارد که به اختصار C گفته می‌شود. شبکه علاوه بر چهار مفهوم ذکر شده جدید، از یک ورودی از حافظه پنهان h و همچنین ورودی x نیز بهره برده و دو خروجی تولید می‌کند که یک خروجی C_t و خروجی دیگر h_t است که خود به دو بخش تقسیم می‌شود بخشی به گام زمانی بعد منتقل شده و بخشی نیز در صورت نیاز به تولید خروجی در گام زمانی فعلی مورد استفاده قرار می‌گیرد. دروازه‌های فراموشی(Γ_f) وظیفه کنترل جریان اطلاعات از گام زمانی قبلی داشته و دروازه ورودی یا به‌روزرسانی (Γ_u) وظیفه کنترل جریان اطلاعات جدید را بر عهده دارد.

[1] Hochreiter
[2] Schmidhuber
[3] Long Short Term Memory
[4] Gate
[5] Forget gate
[6] Update gate
[7] Input gate
[8] Output gate
[9] Memory Cell

همچنین دروازه خروجی(Γ_o) مشخص می‌کند چه میزان از اطلاعات گام زمانی قبل با اطلاعات گام زمانی فعلی به گام زمانی بعد منتقل شود. این خروجی با در نظر گرفتن مقدار سلول حالت خواهد بود، ولی از فیلتر مشخصی عبور خواهد کرد[۲۳] .

ادامه روند تکامل مدل‌های RNN برای افزایش سرعت محاسبات و بهره‌وری، به ارائه‌ی شبکه عصبی واحد بازگشتی گیتی[۱](GRU) منجر شد. مدل GRU که در سال ۲۰۱۴ توسط Cho و همکارانش[۲۴] معرفی شد برگرفته از مدل LSTM است. این معماری به منظور برطرف سازی کاستی‌های شبکه عصبی بازگشتی RNN نظیر مشکل محوشدگی گرادیان و همچنین کاهش سربار موجود در معماری LSTM ارائه شده است.

عملکرد بنیادی واحد سلول و گیت‌های GRU مشابه LSTM است. همان گونه که در شکل ۳ نشان دادیم، این نوع معماری که قابلیت یادگیری وابستگی بلندمدت را دارد، از مفاهیمی بنام گیت به‌روزرسانی و گیت بازنشانی استفاده می‌کند. این دو گیت مورد استفاده در اصل دو بردار هستند که با استفاده از آن‌ها تصمیم گرفته می‌شود چه اطلاعاتی به خروجی منتقل شده و چه اطلاعاتی منتقل نشود. نکته خاص درباره این گیت‌ها این است که آن‌ها را می‌توان آموزش داد تا اطلاعات مربوط به گام‌های زمانی بسیار قبل را بدون آن که در گذر زمان دستخوش تغییر شوند، حفظ کرد[۲۵] . فرم ریاضی برای گام زمانی t با فرض آن که ورودی مجموعه یک مینی بچ[۲] X_t بوده و C_{t-1} نشان دهنده مقدار گام زمانی قبلی است، به صورت زیر نمایش داده می‌شود:

$$\Gamma_u = \sigma\left(W_2.\left[C_{t-1}, X_t\right] + b_u\right) \quad (۱)$$

$$\Gamma_r = \sigma\left(W_3.\left[C_{t-1}, X_t\right] + b_r\right) \quad (۲)$$

دروازه به‌روزرسانی(Γ_u) اصطلاحاً سوییچی است که مشخص می‌کند در یک گام زمانی، حالت قبلی یا ورودی و یا ترکیبی از آن‌ها مورد استفاده قرار گیرد. با استفاده از این قابلیت شبکه قادر خواهد بود تا المان‌هایی را از گذشته دور در حافظه خود نگه داشته و از آن‌ها بهره‌برداری کند. این وظایف در شبکه‌های LSTM توسط دو دروازه مجزای فراموشی و ورودی انجام می‌شود.

دروازه ریسیت(Γ_r) همانند سوییچی عمل می‌کند که شبکه با کمک آن مشخص کند چه میزان از اطلاعات گذشته در گام فعلی مورد نیاز نیست و در گام فعلی از چه میزان از اطلاعات گام قبل استفاده شود. به‌طور دقیق‌تر با صفر بودن این سوییچ این دروازه در عمل شبکه را وادار می‌کند به‌گونه‌ای عمل کند که گویا در حال خواندن اولین بخش از دنباله ورودی است و این‌طور شبکه را قادر به فراموشی حالت محاسبه شده قبلی می‌کند.

کاندیدای برای مقدار جاری از گیت ریسیت برای ذخیره اطلاعات قبل استفاده می‌کند. ورودی در وزنش ضرب شده و همچنین گیت ریسیت و مقدار گام زمانی قبلی در هم ضرب می‌شود. سپس از طریق تابع فعال‌سازی تانژانت هایپربولیک، مقدار کاندیدای[۳] $\hat{C}_t$ به دست می‌آید:

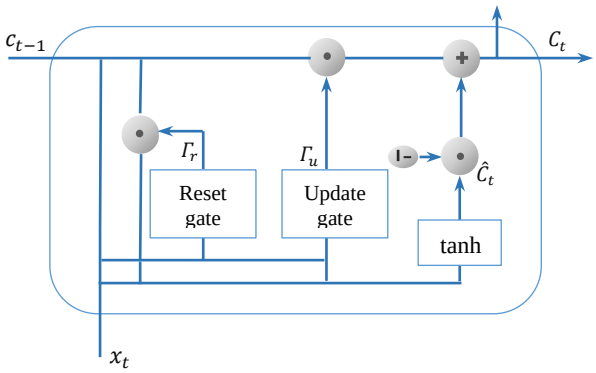
$$\hat{C}_t = \tanh\left(W_1.\left[\Gamma_r \odot C_{t-1}, X_t\right] + b_C\right) \quad (۳)$$

در پایان تأثیر دروازه به‌روزرسانی در نظر گرفته می‌شود که در تعیین مقدار جدید (C_t) میزان اطلاعات مورد استفاده هریک از مقادیر کاندیدای‌چه میزان است.

$$C_t = \Gamma_u \odot C_{t-1} + \left(1 - \Gamma_u\right) \odot \hat{C}_t \quad (۴)$$

معرفی مدل‌های حافظه طولانی کوتاه مدت (LSTM) و شبکه عصبی واحد بازگشتی گیت (GRU) به دلیل ظرفیت وسیع مدیریت اطلاعات آن‌ها، بسیاری از مشکلات شبکه‌های عصبی بازگشتی برطرف کرد[۹-۸]. ولیکن این روش‌ها نیز در پیش‌بینی سری‌های زمانی محدودیت‌هایی دارند که پژوهش‌های مختلفی در این راستا با توجه به اهمیت موضوع انجام شده است.

[1] Gated Recurrent Unit
[2] Mini-batch
[3] Candidate Value



شکل۳: ساختار کلی شبکه GRU
Figure 3. Structure of GRU

در این مطالعه، نویسندگان مدل جامعی را برای پیش‌بینی قیمت منابع در شبکه ابری با استفاده از روش یادگیری عمیق با در نظر گرفتن سطح کیفیت خدمات پیشنهاد داده‌اند. پس از انجام اصلاحات لازم جهت افزایش دقت و انعطاف‌پذیر کردن ساختارها، آزمایش‌ها انجام شده و نتایج بر اساس معیارهای مورد استفاده در مقاله با سایر روش‌های مطرح در این حوزه مقایسه می‌گردد. بقیه مقاله به شرح زیر تنظیم شده است. بخش ۲ بررسی مختصری از پیشینه مربوط به این مطالعه را ارائه می‌دهد. معماری و تشریح روش پیشنهادی ما در بخش ۳ نشان داده شده است. ما نتایج ارزیابی عملکرد را در بخش ۴ ارائه و تجزیه و تحلیل می‌کنیم و در نهایت، نتیجه‌گیری در بخش ۵ ارائه شده است.

۲- پیشینه تحقیق

همان گونه که اشاره شد، ویژگی متمایزکننده‌ی نمونه‌های نقطه‌ای، قیمت‌گذاری پویای آن‌ها است. قیمت این نمونه‌ها با توجه به عرضه و تقاضای منابع تغییر می‌کند. چالش اصلی مشتریان در استفاده از این منابع، پیش‌بینی قیمت قبل از ارائه‌ی پیشنهاد است. با توجه به این که پیش‌بینی دقیق قیمت نقطه‌ای موجب کاهش هزینه استفاده کاربران از منابع و صرفه‌جویی در زمان محاسباتی وظیفه می‌شود، بسیار مهم است. لذا در سال‌های گذشته تکنیک‌هایی در کارهای پژوهشی مختلف پیشنهاد شده است.

در مقاله [۱۰]، Singh و Dutta مدلی بر پایه روش اتورگرسیو[1] جهت پیش‌بینی قیمت نقطه‌ای منابع پیشنهاد داده‌اند. در حالی که مدل‌های خطی عملکرد مناسبی در فضای پیچیده ابر ندارند. نویسندگان در [۱۱] از تکنیک‌های میانگین متحرک (مانند ساده، وزنی و نمایی) برای پیش‌بینی قیمت‌های نقطه‌ای در ساعت بعدی خود با استفاده از برآوردها استفاده می‌کنند. هم چنین مقاله‌ی [۱۲] با استفاده از مدل رگرسیون جنگل تصادفی به پیش‌بینی قیمت نمونه‌های نقطه‌ای منابع ابری برای یک هفته و یک روز پیشرو می‌پردازد. ابتدا یک مجموعه داده با استفاده از دنباله‌ی قیمت نمونه‌ها تشکیل می‌شود که بردار پیش‌بینی حاصل از آن نشان‌دهنده‌ی زمان‌هایی است که قیمت تغییر می‌کند. هم چنین Alkharif و همکارانش در [۱۳] یک مدل میانگین متحرک خود همبسته یکپارچه فصلی[2](SARIMA) جهت بهبود دقت پیش‌بینی تغییر قیمت نمونه‌های نقطه‌ای پیشنهاد کرده‌اند. این مدل‌ها معمولاً قابلیت سازگاری بهینه‌ای با توجه به وجود نوسان زیاد قیمت‌های نقطه‌ای در پلت فرم ابر ندارند.

در مقاله [۱۴] که در سال ۲۰۲۰ برای به دست آوردن عملکرد بهینه پیش‌بینی قیمت نقطه‌ای منتشر شده، مدل نزدیک‌ترین همسایه K (KNN) برای پیش‌بینی قیمت منابع ابری پیشنهاد شده است. Knn با وجود مزایایی که دارد، معمولاً منجر به هزینه‌های بالای محاسباتی نیز می‌شود.

پژوهش انجام شده Wallaceو همکاران در [۱۵] پیش‌بینی قیمت نقطه‌ای را بر اساس پرسپترون[3] چند لایه استاندارد پیشنهاد داده است در حالی که در این گونه ساختارهای شبکه عصبی نمی‌توان به صورت مؤثر مسئله توالی بلند را پردازش کرد.

[1] Autoregressive
[2] Seasonal Auto-Regressive Integrated Moving Average
[3] Perceptron

به طورکلی در اغلب روش‌های کلاسیک پیشنهادی توسط محققین، نیاز به مجموعه سری‌هایی با ترتیب مشخص برای پیش‌بینی دقیق است. ولیکن در مراکز ابری مشاهده می‌شود که سری‌های بزرگی با نوسان بالا وجود دارد و به همین دلیل اغلب شاهد پیش‌بینی‌های بهینه‌ای از طریق این گونه روش‌ها نیستیم. لذا جهت ارتقاء عملکرد پیش‌بینی قیمت‌های نقطه‌ای که نوسان زیادی دارند نیاز به استراتژی‌های هوشمندانه‌تری است.

شبکه‌های عصبی بازگشتی(RNN) نسخه قدرتمندی از شبکه‌های عصبی مصنوعی با توانایی مدیریت الگوهای زمانی است. به دلیل ساختار داخلی‌شان، ورودی قبلی خود را به خاطر سپرده و از این حافظه برای پردازش دنباله‌ای از ورودی‌ها استفاده می‌کند. RNN در سری‌های با وابستگی کوتاه مدت کارکرد مناسبی دارد ولیکن پژوهشگران در [۱۶] عدم توانایی مناسب آن‌ها را در مسئله وابستگی‌های بلندمدت به اثبات رساندند و نشان دادند در کارهایی که فاصله بین اطلاعات مرتبط با نقطه‌ای که این اطلاعات مورد نیاز است زیاد باشد RNN دچار مشکل محو تدریجی در آموزش شده و هم‌زمان با افزایش داده‌ها عدم توانایی به خاطر سپردن وابستگی طولانی مدت جدی‌تر شده و مانع آموزش بیشتر RNN می‌شود.

بنابراین شبکه‌های LSTM با توانایی یادگیری وابستگی‌های بلندمدت برای توالی‌های سری زمانی برای رفع مشکل RNN پیشنهاد شد. در مقاله [۱۷] از ساختار شبکه عصبی عمیق LSTM در Amazon EC2 جهت پیش‌بینی قیمت نقطه‌ای استفاده کرده‌اند. همچنین مقاله‌ی [۱۸] با در نظر گرفتن قیمت نمونه‌های نقطه‌ای به صورت سری زمانی و با استفاده از یک معماری شبکه‌ی عصبی، قیمت‌های آینده را پیش‌بینی می‌کند. این معماری شبکه‌ی عصبی، متشکل از ۳ لایه است، دو لایه LSTM و یک لایه برای متراکم و یکی کردن خروجی‌های دولایه‌ی قبلی. نتایج مقاله نشان از عملکرد مناسب روش دارد.

ساختار GRU مدل دیگری برگرفته از RNN است که علی‌رغم مزایای ساختاری و کارایی محاسباتی آن، کارهای تحقیقاتی کمی جهت پیش‌بینی در فضای ابری با استفاده از آن انجام شده است[۱۹]. Kong و همکارانش در سال ۲۰۲۱ از داده‌های تاریخی قیمت نقطه‌ای آمازون استفاده کرده و با استفاده از مدل GRU به پیش‌بینی قیمت نقطه‌ای منابع ابری و بررسی عملکرد آن‌ها در قیاس با روش‌های دیگر پرداخته‌اند[۲۰].

به طور کلی در کارهای تحقیقاتی محدودی که به بررسی و پیش‌بینی قیمت‌های نقطه‌ای پرداخته شده، به صورت جامع و دقیق چالش‌های این حوزه مورد توجه قرار نگرفته است که ممکن است موجب افزایش بار محاسباتی، صرف زمان بیش از حد و پایین آمدن دقت پیش‌بینی شود. لذا ما با در نظر گرفتن دغدغه‌های مختلف، ساختاری ساختیم تا منجر به بهینه‌سازی دقت پیش‌بینی و بهره‌وری محاسباتی در محیط رایانش ابری شود. دقت مدل ما در مقایسه با چندین مدل دیگر تأیید می‌شود.

۳- روش پیشنهادی

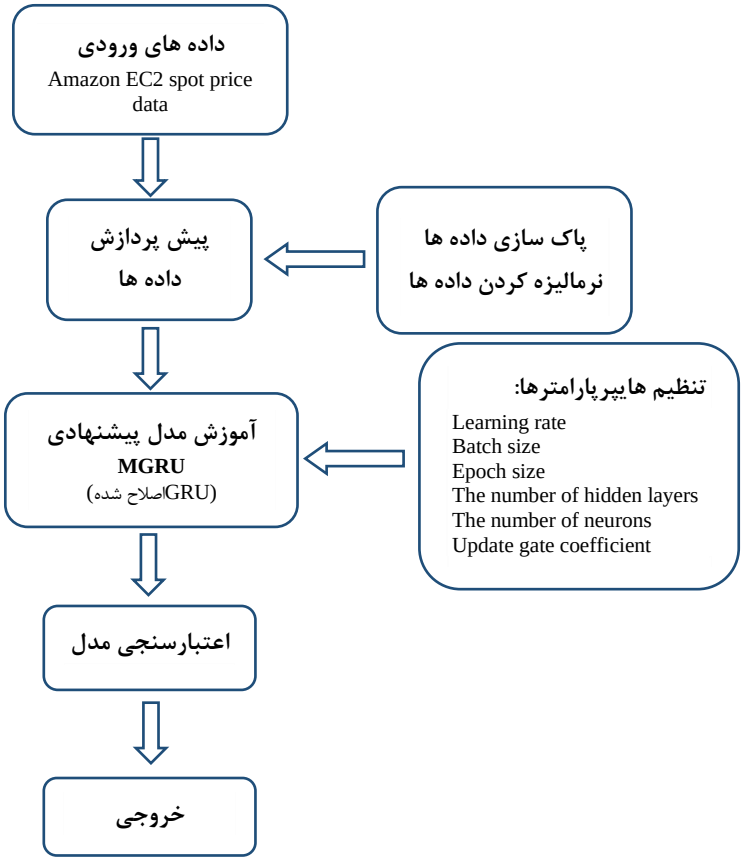
در مدل قیمت‌گذاری نقطه‌ای پلتفرم ابر، بهره‌برداری از روشی بهینه جهت پیش‌بینی دقیق و سریع قیمت با هدف افزایش قابلیت اطمینان و حفظ سطح کیفیت خدمات، یک گام اساسی در راستای کمک به کاربر در روند تصمیم‌گیری استفاده از منابع است تا بتوان با کم‌ترین ریسک از مزیت هزینه پایین این الگو بهره برد.

ساختار کلی مدل ارائه شده پیشنهادی که مبتنی بر یادگیری عمیق است در شکل ۴ نشان داده شده است. در فصل قبل مقاله، مدل‌های شبکه‌های عصبی بازگشتی RNN، LSTM و GRU به اختصار بیان شد و در ادامه فصل جاری با استفاده از مفاهیم مذکور به ارائه روش نوینی بر اساس اصلاح مدل GRU می‌پردازیم.

۳-۱- تشریح روش پیشنهادی

در شکل چهار به صورت فلوچارت روش پیشنهادی مقاله ارائه شد. اولین مرحله بعد از ورود داده‌های اولیه (مجموعه قیمت‌های نقطه‌ای)، پیش‌پردازش آن‌ها است. داده‌های خام ورودی در اغلب موارد مشکلاتی مانند نویز، بایاس، تغییرات شدید در بازه دینامیکی دارند که استفاده از آن‌ها به همین شکل باعث تضعیف مدل پیشنهادی در مراحل بعد خود می‌شود. در مدل ارائه شده مقاله از اطلاعات تاریخچه قیمت نقطه‌ای مراکز داده ابری آمازون استفاده شده است. ابتدا می‌بایست داده های سری زمانی داده شده $(x_1,x_2,x_3,\ldots,x_n)$ به طول n را پیش‌پردازش کنیم. بدیهی است عملیات پیش‌پردازش بر روی داده‌های قیمت منجر به بهبود کیفی و کمی آن‌ها شده و نتایج بهتری در پی خواهد داشت. در روش پیشنهادی با هدف آماده‌سازی داده‌های ورودی از دو روش

پاک‌سازی[1] و نرمال‌سازی داده در مرحله پیش‌پردازش بهره گرفته می‌شود. پاک‌سازی داده‌ها می‌تواند برای کنترل نویز در داده‌ها به کار گرفته شود. اگر سری زمانی مورد استفاده حاوی نویز و مقادیر از دست رفته باشد، نویز باید هموار شود و هم چنین مقادیر از دست رفته قبل از نرمال‌سازی داده‌ها، جایگزین شوند. در این مقاله، داده‌های ورودی قیمت‌های منابع ابری که دچار ناسازگاری و مشکل شده و یا ناموجود شده‌اند را شناسایی کرده و آن‌ها را حذف، جایگزین و یا اصلاح می‌کنیم.



شکل۴: ساختار کلی مدل پیشنهادی
Figure 4. Architecture Overview

هم چنین، از آنجایی که شرط اصلی و لازمه استفاده از داده‌های ورودی در تجزیه و تحلیل‌های آماری و مدل‌سازی، نرمال بودن داده‌ها است، لذا قبل از استفاده داده‌ها باید از نرمال بودن آن‌ها مطمئن شویم. دقت و کارایی الگوریتم‌های استخراج داده، شامل سنجش فاصله توسط نرمال‌سازی بهبود می‌یابد. روش‌های مختلفی در چند سال اخیر پیشنهاد شده است که می‌توان به تبدیل مینیمم-ماکزیمم، نرمال‌سازی Score-Z، نرمال‌سازی رتبه‌ای و ... اشاره کرد. از آنجایی که پیش‌بینی بهینه قیمت با استفاده از شبکه‌های عصبی مصنوعی هدف مقاله است، ورود داده‌ها به صورت استاندارد و انجام پیش‌پردازش اصولی کمک زیادی به کاهش خطا می‌کند.

همان‌طور که در شکل ۴ مشاهده می‌گردد، قبل از مرحله آموزش در مدل پیشنهادی بایستی زیرمجموعه‌ای از مقادیر برای هر هایپرپارامتر تعریف و ترکیبی از بهترین هایپرپارامترها در هر تکرار تخمین زده شود. تنظیم و یافتن مقادیر هایپرپارامترها، یک فرایند قدرتمند برای شناسایی و یافتن بهترین مقادیر ممکن داده‌ها با هدف دستیابی به نتیجه بهینه مدل‌سازی است. با

[1] Data cleaning

استفاده از روش گریدسرچ[1]، ما شش پارامتر شامل تعداد نمونه‌ها در هر دسته[2]، تعداد لایه‌های پنهان[3]، تعداد نرون‌ها در هر لایه[4]، نرخ یادگیری[5]، تعداد دوره[6] و ضریب گیت به‌روزرسانی[7] مدل پیشنهادی را قبل آموزش تعیین می‌کنیم.

در مرحله بعد به آموزش ساختار پیشنهادی مقاله می‌پردازیم. با توجه به ویژگی‌ها و قابلیت‌های مدل GRU که در رابطه با آن صحبت شد، در این مقاله با ارائه تغییرات ساختاری و اصلاحات لازم در آن، ساختار پیشنهادی MGRU (GRU اصلاح شده) پیشنهاد گردید. درکنار مزایایی که مدل GRU دارد، نقص‌هایی نیز در آن مشاهده می‌شود که رفع آن‌ها می‌تواند قابلیت این روش را در بسیاری از کاربردهای موجود، افزایش دهد.

همان‌طور که قبلاً گفته شد، در شبکه‌های LSTM گیت فراموشی و گیت به‌روزرسانی به صورت مستقل وظیفه فراموشی و به‌روزرسانی جریان اطلاعات را برعهده دارند و مکانیزم کنترل میزان نرخ کارکرد هر گیت به صورت دلخواه تنظیم می‌شود. این در حالی است که GRU هر دو عملیات را از طریق گیت بروز رسانی انجام می‌دهد و اطلاعات مقدار جدید از طریق بده و بستان بین مقدار گام زمانی قبلی و $\hat{C}_t$ کنترل می‌شود.

با توجه به روابط ۱، ۲، ۳ و ۴ اگر غال با دروازه گیت‌های ریسیت فعال باشند، واحد مستعد یادگیری وابستگی‌های کوتاه مدت است . لذا اگر Γ_u به سمت صفر برود شاهد افزایش تأثیر $\hat{C}_t$ هستیم و عبور زودهنگام اطلاعات وجود دارد. از طرف دیگر اگر غالباً گیت‌های آپدیت فعال باشند شاهد وجود وابستگی بلند مدت هستیم. پس اگر Γ_u به سمت یک میل کند شبکه به حفظ C_{t-1} تمایل بیشتری داشته و از عبور زود هنگام اطلاعات جلوگیری می‌کند.

C_t تعامل خطی بین مقدار گام زمانی قبلی و مقدار کاندیدای است که می‌توان در رابطه ۴ جهت سادگی تحلیل، Γ_u و Γ_u-۱ را به ترتیب با α_1 و α_2 جایگزین کرد. بدیهی است که مجموع این دو مؤلفه برابر با یک بوده و نسبت به یکدیگر تأثیر عکس دارند بدین صورت که اگر α_1 با یک نرخ ثابت به سمت صفر برود، α_2 با همان نرخ در جهت خلاف یعنی به سمت مقدار یک می‌رود که این موضوع در رابطه با یادگیری و گردش اطلاعات مشکلاتی را به وجود می‌آورد[۲۶]. هنگام آموزش مدل، ارتباط متقابل پارامترهای α_1 و α_2 ممکن است مانع گردش مناسب اطلاعات شود و در نتیجه شاهد کاهش سرعت یادگیری باشیم.

$$C_t = \alpha_1 \odot C_{t-1} + \alpha_2 \odot \hat{C}_t \quad (۵)$$

لذا با هدف تغییر محدودیت خطی و افزایش سرعت یادگیری در ساختار ارائه شده در مقاله دو پیشنهاد ارائه گردید. پیشنهاد اول بدین شکل بیان می‌گردد. در ابتدای کار، جایگزین رابطه $\alpha_1 + \alpha_2 = 1$، رابطه زیر پیشنهاد می‌گردد:

$$\sqrt[2]{\alpha_1^{\,2} + \frac{1}{\alpha_2}^{\,2}} = 1 \quad (۶)$$

سپس در پیشنهاد دوم، فاکتوری به نام γ به عنوان ضریب گیت بروز رسانی تعریف می‌کنیم که تنظیم‌کننده حافظه بوده و مقدار آن بین ۰ تا ۱ با توجه به نوع ساختار و شرایط مورد استفاده متغیر است.

$$\alpha_1 = \gamma \Gamma_u \quad (۷)$$

با توجه به رابطه ۶و ۷ مقدار α_2 به شکل زیر تعریف می‌شود:

$$\alpha_2 = \sqrt{1 - \gamma^2 \Gamma_u^{\,2}} \quad (۸)$$

سپس با جایگزینی روابط۷ و ۸ در رابطه ۵ داریم:

$$C_t = \gamma \Gamma_u \odot C_{t-1} + \sqrt{1 - \gamma^2 \Gamma_u^{\,2}} \odot \hat{C}_t \qquad \gamma \epsilon (0,1) \quad (۹)$$

همان طور که در رابطه‌ی ۹ مشاهده می‌گردد اندازه هایپرپارامترهای متغیر ضریب گیت به‌روزرسانی (γ) پیشنهادی می‌توانند وابستگی‌های کوتاه مدت یا بلند مدت را ایجاد کند. به طور کلی با اعمال تغییرات در ساختار پیشنهادی MGRU می‌توان با حفظ مزایای قابل توجه GRU، محدودیت‌های آن را تا حد زیادی رفع کرد. در ساختار GRU یک محدودیت خطی بین حالت

[1] Grid Search
[2] Batch size
[3] The number of hidden layers
[4] The number of neurons in each layer
[5] Learning rate
[6] Epoch size
[7] Update gate coefficient

قبل و جاری وجود دارد که این معضل موجب عدم بهینگی گردش اطلاعات می‌گردد. با انجام تغییراتی در ساختار پایه‌ای و ارائه مدل پیشنهادی MGRU، گردش اطلاعات افزایش داشته و در نتیجه سرعت یادگیری بالاتر می‌رود. همان‌گونه که در رابطه ۹ ساختار اصلاح شده GRU مشاهده شد، هایپرپارامتر پیشنهادی ضریب گیت بروزرسانی(γ) موجب اصلاح محدودیت خطی با تنظیم حافظه می‌گردد. این قابلیت موجب می‌شود تا مقدار بهینه ضریب پیشنهادی متناسب با ساختارهای متفاوت، داده‌های متنوع و ... تعیین شود که در نتیجه مزیت قابل توجه انعطاف‌پذیری و بهینگی مدل ارائه شده در هر شرایطی ایجاد می‌گردد.

الگوریتم۱: GRU اصلاح شده (MGRU)

Algorithm 1. Modified Gated Recurrent Unit (MGRU)

Require: *input,* $\boldsymbol{Cell_{last}, W_1, W_2, W_3, b_u, b_r, b_C, \gamma}$
Ensure: $\boldsymbol{Cell_{Value}}$
while When having input do
$\boldsymbol{temp_{update} = (W_2 . [Cell_{last}, input] + b_u)}$
$\boldsymbol{temp_{reset} = (W_3 . [Cell_{last}, input] + b_r)}$
$\boldsymbol{update_{gate}}$ *= sigmoid(*$\boldsymbol{temp_{update}}$*)*
$\boldsymbol{reset_{gate}}$ *= sigmoid(*$\boldsymbol{temp_{reset}}$*)*
$\boldsymbol{\alpha_1 = \gamma(update_{gate})}$
$\boldsymbol{\alpha_2 = \sqrt{1 - \gamma^2 (update_{gate})^2}}$
$\boldsymbol{temp_{cell} = (W_1 . [reset_{gate} \odot Cell_{last}, input] + b_C)}$
$\boldsymbol{Cell_{Value} = activate(temp_{cell}) \odot \alpha_1 + C_{t-1} \odot \alpha_2}$
end while

۴- نتایج آزمایش

آمازون وب سرویس (AWS) از چندین منطقه و ناحیه در دسترس برای بهبود خطا، کاهش تأخیر و مدیریت ترافیک تشکیل شده است. کاربران می‌توانند مکان منابع خود را در الگوهای متنوع EC2 مشخص کنند که هر الگو شامل ویژگی‌های مختلفی در CPU، RAM، Storage و غیره است.

برای اعتبارسنجی مدل پیشنهادی، ما از داده‌های واقعی قیمت‌های نقطه‌ای آمازون EC2 در انواع ماشین‌های مجازی C3.2xlarge، M3.2xlarge و M3.medium در دیتاهای سری‌های زمانی متعلق به دوره بین ۷مارس الی ۷ژوئن ۲۰۱۶ US-west region (Oregon) استفاده کردیم [۲۷]. با توجه به این که فاصله زمانی به‌روزرسانی قیمت نقطه‌ای متنوع و نامشخص است، تاریخچه قیمت را به‌صورت بازه یک ساعته بازنمونه‌گیری[1] می‌کنیم و حداکثر قیمت هر بازه یک ساعته را به عنوان مقدار آن نمونه تعیین می‌کنیم.

همچنین لازم به ذکر است که برای به دست آوردن یک نتیجه دقیق‌تر در مدل پیشنهادی، از روش نمودار جعبه[2] برای از بین بردن داده‌های پرت و دورافتاده[3] استفاده می‌شود و سپس بر اساس درون‌یابی خطی[4] جایگزینی مقادیر از دست رفته انجام می‌گردد.

با توجه به این که در بازه‌های زمانی مختلف تفاوت زیادی در محدوده‌ی مقدار داده‌های نقطه‌ای وجود دارد، لذا داده‌های اصلی باید قبل از رفتن به مرحله بعدی نرمالیزه شوند که باعث افزایش سرعت همگرایی می‌شود. روش نرمال‌سازی در این مقاله از رابطه زیر پیروی می‌کند:

$$x' = \frac{x - \text{mean}(\vec{X})}{\sigma} \qquad (۱۰)$$

[1] Resample
[2] Box plot
[3] Outlier
[4] Linear interpolation

$$\sigma = \sqrt{E\left(\vec{X}^2\right) - E\left(\vec{X}\right)^2} \quad (۱۱)$$

در این روابط σ انحراف معیار است.

در مدل پیش‌بینی مقاله، داده‌ها به صورت دسته‌بندی وارد می‌شوند. با جزئیات بیشتر، ما مجموعه داده‌های خود را به صورت تصادفی به این صورت تقسیم می‌کنیم: مجموعه آموزش که برای محاسبه وزن و در نتیجه آموزش مدل بکار می‌رود ۶۰ درصد داده‌ها را به خود اختصاص می‌دهد. مجموعه اعتبارسنجی که برای انتخاب ابرپارامترها و سایر وظایف انتخاب مدل بکار می‌رود ۲۰ درصد و در پایان پس از گزینش مدل بهینه، مجموعه تست که وظیفه ارزیابی عملکرد مدل انتخابی را بر عهده دارد ۲۰ درصد از مجموعه داده‌ها را به خود اختصاص می‌دهد. به طور کلی ۸۰ درصد داده‌ها جهت آموزش و ۲۰ درصد داده‌ها در مجموعه تست بکار می‌روند.

در ساختار پیشنهای، انتخاب مقادیر هایپرپارامترهای مختلف برای حل مسائل overfitting و underfitting بسیار قابل اهمیت است. در این مقاله از روش جستجوی شبکه‌ای برای ارزیابی تمام ترکیبات هایپرپارامترها استفاده شد. ابتدا زیرمجموعه‌ای از هایپرپارامترهای مورد استفاده تعریف و سپس بهترین ترکیب برای فرایند یادگیری انتخاب و اعمال گردید. لذا در روش ارائه شده مقاله پس از تعیین زیر مجموعه برای هریک از هایپرپارامترهای مدل پیشنهادی شامل بچ سایز، تعداد لایه‌های پنهان، تعداد نرون‌ها در هر لایه، نرخ یادگیری و تعداد دوره‌ها، به ترتیب مقادیر ۵، ۳، ۶۴، ۰/۰۰۱ و ۱۰۰ از طریق روش گرید سرچ ارزیابی و انتخاب گردید. هم چنین در هایپرپارامتر ضریب گیت بروزرسانی مدل پیشنهادی MGRU، ابتدا پس از انتخاب زیر مجموعه ی صفر تا یک با فاصله ۰/۱ می‌باشد (۰/۹ ,۰/۸ ,... ۰/۱,۰/۲) که به مقدار بهینه ۰/۸ در مجموعه هایپرپارامترهای ساختار مقاله رسیدیم.

ما در این مقاله از روش‌های هوش محاسباتی RNN، LSTM، GRU، Transformer و همچنین روش آماری ARIMA برای ارزیابی عملکرد روش پیشنهادی استفاده کردیم. صحت پیش‌بینی برای ارزیابی همه مدل‌ها با استفاده از معیارهای عملکرد مختلف به نام‌های مجذور میانگین مربعات خطا[1] (RMSE)، میانگین خطای مطلق[2] (MAE) و ضریب R^2[3] به دست می‌آید.

رابطه مجذور میانگین مربعات خطا (RMSE) برابر است با :

$$RMSE = \sqrt{MSE} = \sqrt{\frac{\sum\left(y_i - \hat{y}_i\right)^2}{n}} \quad (۱۲)$$

همچنین میانگین خطای مطلق (MAE) به شکل زیر بیان می‌شود:

$$MAE = \frac{\sum|y_i - \hat{y}_i|}{n} \quad (۱۳)$$

و در آخر ضریب R^2 با رابطه زیر محاسبه می‌شود:

$$R^2 = 1 - \frac{\sum\left(y_i - \hat{y}_i\right)^2}{\sum\left(\hat{y}_i - \bar{y}_i\right)^2} \quad (۱۴)$$

در روابط فوق y_i، $\hat{y}_i$ و $\bar{y}_i$ به ترتیب مقادیر واقعی ، پیش‌بینی‌شده و میانگین را نشان می‌دهد. هم چنین تعداد نمونه داده‌های ارزیابی‌شده با n نشان داده شده است.

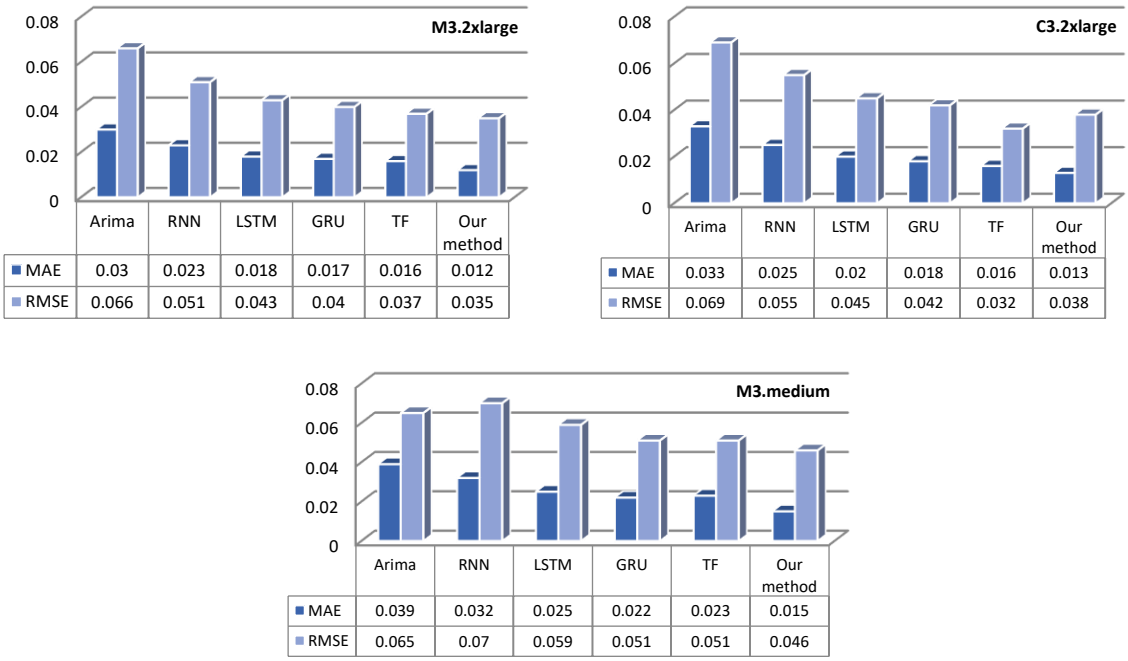
۴-۱-تجزیه و تحلیل عملکرد

در این بخش، یافته‌های خود را نشان داده و عملکرد چارچوب پیشنهادی خود را ارزیابی می‌کنیم.

ابتدا برای بررسی قدرت پیش‌بینی مدل پیشنهادی، آن را با پنج روش پیشرفته RNN، LSTM، Transformer، GRU، ARIMA مقایسه می‌کنیم. لازم به ذکر است که جهت مقایسه دقیق و عادلانه نتایج بین روش‌های مورد بررسی، پارامترهای بهینه‌ای که

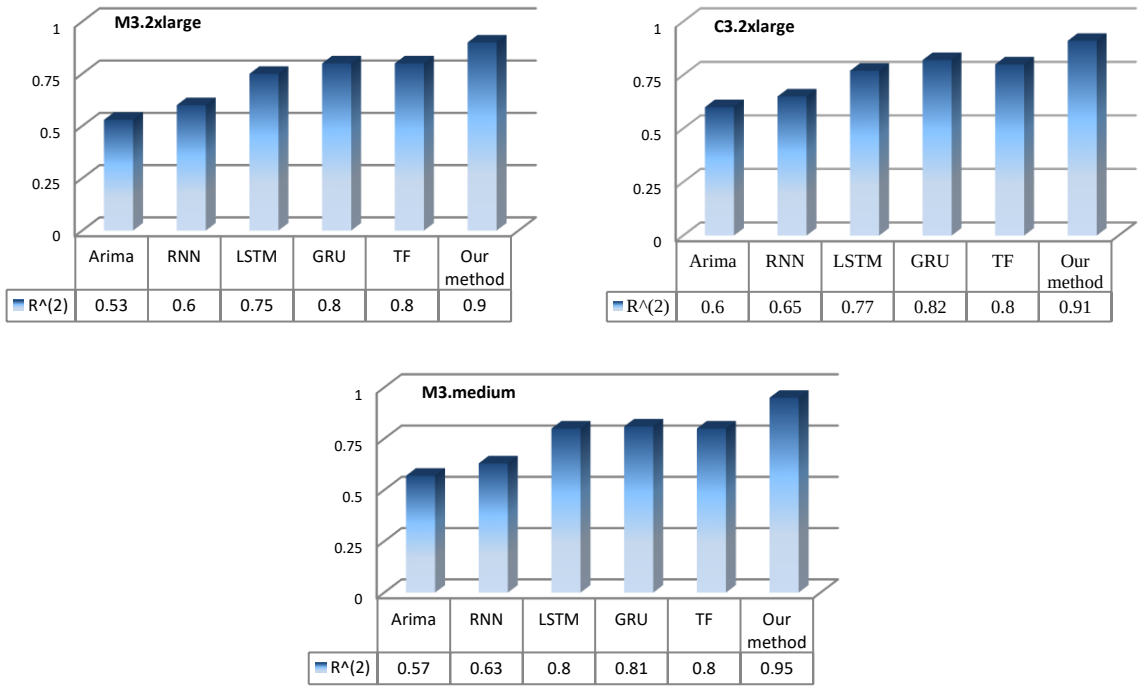
[1] Root Mean Square Error
[2] Mean Absolute Error
[3] The Coefficient of Determination

بهترین عملکرد را در آن روش بر روی مقادیر دارد جستجو و تعیین کردیم. عملکرد سه ماشین مجازی مشخص شده بررسی و در شکل‌های ۵ و ۶ عملکرد روش‌های مربوطه مشخص شده است.



شکل۵: مقایسه عملکرد پیش‌بینی(RMSE,MAE) قیمت نقطه‌ای شش روش مختلف روی سه ماشین مجازی

Figure 5. Comparison of predicting performance (RMSE, MAE) of the Spot price of six different methods on three virtual machines



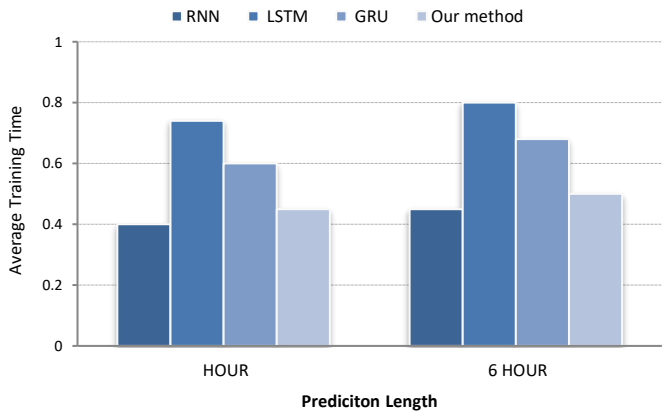
شکل۶: مقایسه عملکرد پیش‌بینی R^2 قیمت نقطه‌ای شش روش مختلف روی سه ماشین مجازی

Figure 6. Comparison of predicting performance (R-Square) of the Spot price of six different methods on three virtual machine

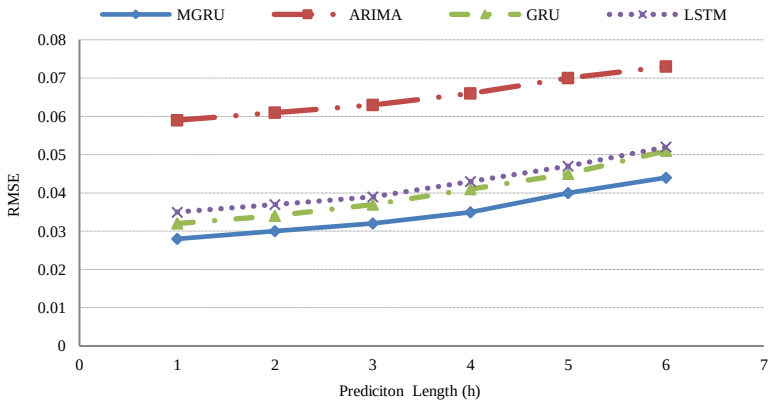
نتایج نشان می‌دهد که روش پیشنهادی مقاله کم‌ترین خطا (RMSE and MAE) و بالاترین دقت (R^2) را دارد. خروجی‌های آزمایش مشهود است که اصلاحات انجام‌شده و مکانیزم پیشنهادی در بهبود عملکرد ساختار اولیه کاملاً مفید و تأثیرگذار است.

به طور کلی می‌توان دو نتیجه مهم از شکل‌های ۵ و ۶ دریافت کرد. اولاً مدل‌های مبتنی بر یادگیری عمیق عملکرد بهتری در مقایسه با مدل‌های مبتنی بر آمار (ARIMA) دارند. ثانیاً در میان تمام روش‌های بررسی شده، مدل پیشنهادی مقاله بر پایه GRU اصلاح شده (MGRU) به نتایج بهتری دست یافت. خروجی‌ها نشان داد که مدلمان به خوبی می‌تواند وابستگی‌های بلندمدت از داده‌های متوالی دریافت کند. هم چنین، مدل TF در آزمایش‌های انجام شده دارای خروجی مناسبی است. البته با توجه به ساختار ترانسفورمرها، این روش در توالی‌های بلندمدت دارای سرعت پایین بوده و هنگام مدل‌سازی دنباله‌های طولانی بسیار کند می‌شود. هم چنین حافظه آن‌ها در این نوع مسائل ناکافی و ناکارآمد است که در نتیجه روش بهینه‌ای در این‌گونه سری‌ها به نظر نمی‌رسد.

در ادامه بررسی نتایج، عملکرد مدل پیشنهادی و سایر روش های مبتنی بر شبکه های عصبی بازگشتی را برای پیش بینی قیمت نقطه ای با سطوح مختلف طول پیش بینی در شکل های ۷ و ۸ نشان داده ایم. ابتدا در شکل۷ مشاهده می کنیم که روش RNN در مقایسه با روش های دیگری که بررسی شده کم ترین زمان آموزش را به دلیل سادگی ساختار خود دارد و پس از آن مدل پیشنهادی ما دارای زمان آموزشی کم تری به دلیل نوع ساختار آن است. این ویژگی هنگامی دارای اهمیت است که تواما خطای کم تری هم داشته باشد.



شکل۷: میانگین زمان آموزش چهار روش مختلف بر پایه شبکه عصبی بازگشتی با دو طول پیش بینی مختلف
Figure 7. Average training time of four different methods based on RNN with two different prediction lengths



شکل۸: دقت پیش‌بینی (RMSE) روش‌های مختلف مبتنی بر یادگیری عمیق با سطوح مختلف طول پیش‌بینی
Figure 8. Prediction accuracy (RMSE) of different RNN-based methods with various levels of prediction length

در شکل ۸ می بینیم که با توجه به نوسان بالای مقادیر در دیتا سنترهای ابر، استفاده از روش RNN موجب پیش بینی داده با خطای بیشتر نسبت به سایر روش های در نظر گرفته شده است در حالی که روش پیشنهادی مقاله کم ترین خطا را دارد. لذا دو ویژگی توام دقت و سرعت ، کارایی مدلمان را تایید می کند. هم چنین در شکل۸ واضح است برای همه مدل ها خطا با

مقیاس زمانی افزایش می یابد اما دقت پیش بینی مدلمان با افزایش طول پیش بینی عملکرد بهتری نسبت به سایر روش های بررسی شده دارد که نشان دهنده ویژگی موثر ساختار آن در محوشدگی گرادیان است.

۵- نتیجه‌گیری

برای ارزیابی عملکرد مدل پیشنهادی از چهار روش یادگیری عمیق RNN، LSTM، Transformer، GRU و همچنین روش آماری ARIMA با استفاده از مجموعه داده های مشابه جهت مقایسه عملکرد استفاده گردید. نتایج نشان می دهد پیش بینی قیمت نقطه ای با استفاده از روش پیشنهادی دقت بالاتری نسبت به سایر روش های مورد بررسی دارد. نتایج نشان داد که تکنیک های یادگیری عمیق توانایی خوبی در پیش بینی داده های دنیای واقعی داشته که در این بین ساختار پیشنهادی بهترین عملکرد را نمایش می دهد. دقت روش پیشنهادی نشان از قابلیت اطمینان بالاتر و در نتیجه حفظ کیفیت سرویس دارد. علاوه بر این با رشد طول پیش بینی، در بررسی مدل های مختلف خطای پیش بینی در مدل پیشنهادی رشد کم تری داشت که نشان دهنده توانایی بالای آن در مسائلی با وابستگی های حافظه بلند مدت است. این ویژگی می تواند به حفظ شرایط تغییر پویا در طول دوره های تاریخچه قیمت کمک کند و پیش بینی دقیق با کم ترین خطا انجام شود. استفاده از یک روش کارامد، به کاربران امکان غلبه بر نوسان بالای نمونه نقطه ای و در نتیجه پیش بینی دقیق روند قیمت در آینده را می دهد. از این طریق می توان با تنظیم زمان خرید بهترین قیمت را ارائه نمود تا از قیمت پیشنهادی بیش از حد که منجر به هزینه بالا و یا پیشنهادی کم تر از حد که منجر به عدم امکان استفاده از نمونه شود، جلوگیری کرد. در نتیجه کاربر می تواند با اطمینان بیشتری جهت حفظ کیفیت سرویس خود از مزیت قیمت پایین این الگو بهره مند گردد. هدف کار آینده مطالعه بیشتر بر پیش بینی دقیق تر و موثر قیمت نقطه ای از جنبه های دیگر و گسترش آن به سری های زمانی دیگر است. علاوه بر این به بررسی تلفیقی سایر مدل های قیمت گذاری خواهیم پراخت.

مراجع

[1] L. Teylo, L. Arantes, P. Sens and L. Drummond, “A dynamic task scheduler tolerant to multiple hibernations in cloud environments,” *Cluster Computing*, vol. 24, no. 2, pp. 1051-1073, 2021, doi: 10.1007/s10586-020-03175-2

[2] J.P.A. Neto, D.M. Pianto and C.G. Ralha, “A prediction approach to define checkpoint intervals in spot instances,” *11th International Conference on Cloud Computing (CLOUD SCF). Springer*, vol. 10967, 2018, pp 84–93, doi: 10.1007/978-3-319-94295-7_6.

[3] J. Lancon, J. Kunwar, D. Stroud, M. McGee and R. Slater, “AWS EC2 instance spot price forecasting using LSTM networks,” *SMU Data Science Review*, vol. 2, no. 2, 2019.

[4] V. K. Singh and K. Dutta, “Dynamic Price Prediction for Amazon Spot Instances,” *48th Hawaii International Conference on System Sciences, Kauai*, HI, USA, 2015, pp. 1513-1520, doi: 10.1109/HICSS.2015.184.

[5] P. Varshney and Y. Simmhan, “AutoBoT: Resilient and Cost-Effective Scheduling of a Bag of Tasks on Spot VMs,” in *IEEE Transactions on Parallel and Distributed Systems*, vol. 30, no. 7, pp. 1512-1527, July 2019, doi: 10.1109/TPDS.2018.2889851.

[6] M. Khashei and M. Bijari, “A novel hybridization of artificial neural networks and ARIMA models for time series forecasting,” *Applied Soft Computing*, vol. 11, no. 2, pp. 2664-2675, 2011, doi: 10.1016/j.asoc.2010.10.015.

[7] Y. Liu, Z. Wang and B. Zheng, “Application of Regularized GRU-LSTM Model in Stock Price Prediction,” *IEEE 5th International Conference on Computer and Communications (ICCC)*, Chengdu, China, 2019, pp. 1886-1890, doi: 10.1109/ICCC47050.2019.9064035.

[8] G. Dai, C. Ma and X. Xu, “Short-Term Traffic Flow Prediction Method for Urban Road Sections Based on Space–Time Analysis and GRU,” in *IEEE Access*, vol. 7, pp. 143025-143035, 2019, doi:

10.1109/ACCESS.2019.2941280.

[9] A. Vaswani, N. Shazeer, N. Parmar, J. Uszkoreit, L. Jones and A. Gomez, "Attention is all you need," *31st Conference on Neural Information Processing Systems (NIPS 2017)*, Long Beach, CA, USA, pp 5998–6008, 2017.

[10] V. K. Singh and K. Dutta, "Dynamic Price Prediction for Amazon Spot Instances," *48th Hawaii International Conference on System Sciences, Kauai*, HI, USA, 2015, pp. 1513-1520, doi: 10.1109/HICSS.2015.184.

[11] J.L. Lucas-Simarro, R. Moreno-Vozmediano, R.S. Montero and I.M. Llorente, "Cost optimization of virtual infrastructures in dynamic multi-cloud scenarios," *Concurr Comput Pract Exp*, vol. 27, no. 9. pp. 2260–2277, doi: 10.1002/cpe.2972.

[12] V. Khandelwal, A.K. Chaturvedi and C. P. Gupta, "Amazon EC2 Spot Price Prediction Using Regression Random Forests," in *IEEE Transactions on Cloud Computing*, vol. 8, no. 1, pp. 59-72, Jan.-March 2020, doi: 10.1109/TCC.2017.2780159.

[13] S. Alkharif, K. Lee and H. Kim, "Time-series analysis for price prediction of opportunistic Cloud computing resources," *7th International Conference on Emerging Databases. Springer*, vol. 461, pp. 221–229, 2018, doi: 10.1007/978-981-10-6520-0_23.

[14] W. Liu, P. Wang, Y. Meng, C. Zhao and Z. Zhang, "Cloud spot instance price prediction using kNN regression," *Hum Cent Comput Inf Sci*, no. 10, no. 1, pp.10–34, 2020, doi: 10.1186/s13673-020-00239-5.

[15] R. M. Wallace *et al.*, "Applications of neural-based spot market prediction for cloud computing," 2013 *IEEE 7th International Conference on Intelligent Data Acquisition and Advanced Computing Systems (IDAACS)*, Berlin, Germany, 2013, pp. 710-716, doi: 10.1109/IDAACS.2013.6663017.

[16] W. Kong, Z. Y. Dong, Y. Jia, D. J. Hill, Y. Xu and Y. Zhang, "Short-Term Residential Load Forecasting Based on LSTM Recurrent Neural Network," in *IEEE Transactions on Smart Grid*, vol. 10, no. 1, pp. 841-851, Jan. 2019, doi: 10.1109/TSG.2017.2753802.

[17] H. Al-Theiabat, M. Al-Ayyoub, M. Alsmirat and M. Aldwair, "A Deep Learning Approach for Amazon EC2 Spot Price Prediction," *IEEE/ACS 15th International Conference on Computer Systems and Applications (AICCSA)*, Aqaba, Jordan, 2018, pp. 1-5, doi: 10.1109/AICCSA.2018.8612783.

[18] A. Adebiyi, A. Adewumi and C. Ayo, "Comparison of ARIMA and artificial neural networks models for stock price prediction," *Journal of Applied Mathematics*, vol. 1, pp. 1-7, 2014, doi: 10.1155/2014/614342.

[19] Y. Guo and W. Yao, "Applying gated recurrent units pproaches for workload prediction," *IEEE/IFIP Network Operations and Management Symposium*, Taipei, Taiwan, 2018, pp. 1-6, doi: 10.1109/NOMS.2018.8406290.

[20] D. Kong, S. Liu and L. Pan, "Amazon Spot Instance Price Prediction with GRU Network," *IEEE 24th International Conference on Computer Supported Cooperative Work in Design (CSCWD)*, Dalian, China, 2021, pp. 31-36, doi: 10.1109/CSCWD49262.2021.9437881.

[21] B. Song, Y. Yu, Y. Zhou, Z. Wang and S. Du, "Host load prediction with long short-term memory in cloud computing," *The Journal of Supercomputing*, vol. 74, no. 12, pp. 6554–6568, 2018, doi: 10.1007/s11227-017-2044-4.

[22] S. Hochreiter and J. Schmidhuber, "Long short-term memory," *Neural Comput*, vol. 9, no. 8, pp.1735–1780, 1997, doi: 10.1162/neco.1997.9.8.1735.

[23] H. Abbasimehr and R. Paki, "Improving time series forecasting using LSTM and attention models," *J. Ambient Intell Human Comput*, vol. 13, no. 1, pp. 673-691, 2022, doi: 10.1007/s12652-020-02761-x.

[24] K. Cho, B.V. Merrienboer, C. Gulcehre, F. Bougares, H. Schwenk and Y. Bengio, "Learning phrase

representations using RNN encoder decoder for statistical machine translation," *arXiv* , 2014, doi: 10.48550/arXiv.1406.1078.

[25] Z. Chen, J. Hu, G. Min, A. Y. Zomaya and T. El-Ghazawi, "Towards Accurate Prediction for High-Dimensional and Highly-Variable Cloud Workloads with Deep Learning," in *IEEE Transactions on Parallel and Distributed Systems*, vol. 31, no. 4, pp. 923-934, April 2020, doi: 10.1109/TPDS.2019.2953745.

[26] T. Pham, T. Tran, D. Phung and S. Venkatesh, "Faster training of very deep networks via p-Norm gates," in *23rd International Conference on Pattern Recognition (ICPR)*, 2016, pp. 3542-3547, doi: 10.1109/ICPR.2016.7900183.

[27] D.A. Monge, E. Pacini, C. Mateos and C.G. Garino, " Meta-heuristic based autoscaling of cloud-based parameter sweep experiments with unreliable virtual machines instances," *Comput. Electr. Eng.*, vol. 69, pp. 364–377, 2019, doi: 10.1016/j.compeleceng.2017.12.007.

COPYRIGHTS
©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2024.2000184.1235

Vol. 14/ No. 54/Winter 2025

Research Article

Efficient Design of Parity-Preserving Reversible Non-Restoring Divider

Mohammad Talebi, Ph.D. Student[1] | Mohammad Mosleh, Associate Professor[2*] | Mohsen Chekin, Assistant Professor[3]

[1]Department of Computer Engineering, Dezful Branch, Islamic Azad University, Dezful, Iran, mtalebi@iaud.ac.ir

[2]Department of Computer Engineering, Dezful Branch, Islamic Azad University, Dezful, Iran, Mohammad.Mosleh@iau.ac.ir

[3]Department of Computer Engineering, Dezful Branch, Islamic Azad University, Dezful, Iran, Chegin@iaud.ac.ir

Correspondence
Mohammad Mosleh, Associate Professor of Computer Engineering, Dezful Branch, Islamic Azad University, Dezful, Iran,
Mohammad.Mosleh@iau.ac.ir

Received: 31 October 2023
Revised: 1 January 2024
Accepted: 15 January 2024

Abstract

One of the basic challenges in high-density integrated circuits is loss of power consumption, which is caused by presence of transistors in circuits and causes the temperature of the circuit to increase. The design of digital circuits in a reversible way can be used as one of efficient approaches to solve this challenge. In addition, the design of parity-preserving reversible circuits can be very effective in detecting faults in circuits. Dividers are used as one of the most widely used circuits in digital computing systems. Divider circuits include an adder, a multiplexer and two sequential register and parallel-in to parallel-out left shift register circuits. This paper is presented a new and efficient design of a parity-preserving reversible non-restoring divider. For this purpose, first, a parity-preserving reversible D-latch is proposed. second, a parity-preserving reversible n-bit register is presented using the proposed reversible D-latch. Third, a parity-preserving reversible (n+1) bit shift register using the proposed reversible D-latch and other reversible gates is proposed. Finally, a parity-preserving reversible n bit divider is developed based on the non-restoring algorithm. The results of comparisons show that the proposed circuit is superior in terms of evaluation criteria of reversible circuits such as quantum cost, number of constant inputs and number of garbage outputs compared to previous works.

Keywords: Divider, non-restoring algorithm, Parity-preserving reversible circuit, Quantum computing, Reversible logic.

Highlights

- Proposing a reversible D-latch memory with parity preserving ability.
- Introducing a reversible register with parity preserving ability.
- Providing a parity preserving reversible left-shift register with parallel load capability (PIPO).
- Development of an efficient parity preserving reversible non-restoring divider using the proposed circuits.

Citation: M. Talebi, M. Mosleh, and M. Chegin, "Efficient Design of Parity-Preserving Reversible Non-Restoring Divider," *Journal of Southern Communication Engineering*, vol. 14, no. 54, pp. 17–34, 2025, doi:10.30495/jce.2024.2000184.1235, [in Persian].

مقاله پژوهشی

طراحی کارآمد تقسیم‌کننده غیربازیابی برگشت‌پذیر با قابلیت حفظ توازن

محمد طالبی[۱] | محمد مصلح*[۲] | محسن چکین[۳]

[۱]گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران، Mtalebi@iaud.ac.ir

[۲]گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران، Mohammad.Mosleh@iau.ac.ir

[۳] گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران، Chegin@iaud.ac.ir

نویسنده مسئول

*محمد مصلح، دانشیار، گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران،
Mohammad.Mosleh@iaud.ac.ir

تاریخ دریافت: ۹ آبان ۱۴۰۲
تاریخ بازنگری: ۱۱ دی ۱۴۰۲
تاریخ پذیرش: ۲۵ دی ۱۴۰۲

https://doi.org/10.30495/jce.2024.2000184.1235

چکیده

یکی از چالش‌های اساسی در مدارات مجتمع پرتراکم، اتلاف توان مصرفی است که به واسطه وجود ترانزیستورها در مدارات ایجاد می‌شود و موجب می‌گردد دمای مدار افزایش یابد. طراحی مدارات دیجیتال به شیوه برگشت‌پذیر می‌تواند به عنوان یکی از رویکردهای کارآمد برای رفع این چالش به کار گرفته شود. علاوه بر این، طراحی مدارات برگشت‌پذیر با قابلیت حفظ توازن می‌تواند در تشخیص اشکالات در مدارات بسیار مؤثر باشد. تقسیم‌کننده‌ها به عنوان یکی از مدارات پرکاربرد در سیستم‌های محاسباتی دیجیتال مورد استفاده قرار می‌گیرند. مدارات تقسیم‌کننده متشکل از واحدهای پایه‌ای جمع‌کننده، مالتی‌پلکسر و دو مدار ترتیبی ثبات و ثبات شیفت به چپ با قابلیت بار شدن موازی هستند. این مقاله یک طراحی جدید و کارآمد از تقسیم‌کننده غیربازیابی برگشت‌پذیر با قابلیت حفظ توازن ارائه می‌کند. برای این منظور در ابتدا یک نگهدارنده حالت نوع D برگشت‌پذیر با قابلیت حفظ توازن پیشنهاد شده است. سپس یک ثبات n بیتی برگشت‌پذیر با قابلیت حفظ توازن با استفاده از نگهدارنده حالت برگشت‌پذیر پیشنهادی ارائه گردیده است. در ادامه یک شیفت ثبات n+1 بیتی برگشت‌پذیر با قابلیت حفظ توازن با استفاده از نگهدارنده پیشنهادی و سایر دروازه‌های برگشت‌پذیر پیشنهاد شده است. در نهایت تقسیم‌کننده برگشت‌پذیر n بیتی با قابلیت حفظ توازن بر اساس الگوریتم غیربازیابی توسعه یافته است. نتایج حاصل از مقایسه‌ها نشان می‌دهند مدار پیشنهادی از لحاظ معیارهای ارزیابی مدارات برگشت‌پذیر همچون هزینه کوانتومی، تعداد ورودی‌های ثابت و تعداد خروجی‌های زائد در مقایسه با کارهای پیشین برتری دارند.

کلیدواژه‌ها: تقسیم‌کننده، الگوریتم با روش غیربازیابی، محاسبات کوانتومی، منطق‌برگشت‌پذیر، مدار برگشت پذیر با قابلیت حفظ‌توازن

۱- مقدمه

امروزه یکی از چالش‌های مهم در توسعه مدارهای مجتمع پرتراکم مسئله اتلاف توان است که موجب افزایش دمای مدارات شده که این مسئله به عنوان یک نگرانی اساسی در طراحی مدارهای کلاسیک به شمار می‌رود. از این رو طراحی مدارها در ابعاد نانو از اهمیت ویژه‌ای برخوردار است [۱-۳]. طراحی مدارها با استفاده از منطق برگشت‌پذیر[1] می‌تواند بر چالش اساسی توان مصرفی فائق آمده و نیز به سبب قابلیت پیاده‌سازی کوانتومی، پیچیدگی و تراکم مدارها را نیز به میزان قابل توجهی کاهش دهد [۴].

[1] reversible

بنابراین در آینده نزدیک شاهد بهره‌گیری گسترده از منطق برگشت‌پذیر و محاسبات کوانتومی در طراحی مدارهای دیجیتال خواهیم بود [۵, ۶]. علاوه بر این، به منظور طراحی مدارات محاسباتی با قابلیت تحمل‌پذیری خطا، می‌توان از مدارهای برگشت‌پذیر با قابلیت حفظ توازن[۱] استفاده کرد[۷].

لاندور[۲] در سال ۱۹۶۱ ثابت کرد که در محاسبات کلاسیک امروزی، بابت هر بیت از اطلاعات که از بین می‌رود، به میزان KTLn2 ژول انرژی به‌صورت انرژی گرمایی آزاد می‌شود، که K به ثابت بولتزمن و T به دمای مطلق محیط اشاره دارد [۸]. در سال ۱۹۶۵، مور[۳] نظریه اینکه افزایش صددرصدی تعداد ترانزیستورها در حدود هر ۱۸ ماه موجب تولید حرارت و اتلاف انرژی می‌شود و چالشی با اهمیت در طراحی مدارهای مجتمع خواهد شد را ارائه داد [۹]. در سال ۱۹۷۳، بنت[۴] پیشنهاد داد که استفاده از منطق برگشت‌پذیر باعث کاهش توان مصرفی در مدارات خواهد شد [۱۰].

عملیات کوانتومی ذاتاً برگشت‌پذیر است و دروازه‌های برگشت‌پذیر با قابلیت حفظ توازن فاکتورهای با اهمیتی در طراحی مدارهای برگشت‌پذیر هستند. همچنین ویژگی قابلیت حفظ توازن با استفاده از دروازه‌هایی که قابلیت حفظ توازن دارند با مقایسه حفظ توازن بین ورودی‌ها و خروجی‌ها به تشخیص خطاهای محاسباتی دائمی و گذرا در مدارهای برگشت‌پذیر کمک می‌کند. بنابراین طراحی‌های دروازه‌های برگشت‌پذیر باقابلیت حفظ توازن از احتمال بروز خطاهای محاسباتی کم می‌کند [۱۱]. مدارات تقسیم‌کننده به عنوان یکی از بخش‌های اساسی واحدهای محاسباتی دیجیتال محسوب می‌شوند. تقسیم‌کننده‌ها می‌توانند با استفاده از یکی از رویکردهای بازگردانی[۵] و یا غیربازیابی[۶] عملیات تقسیم را انجام دهند [۱۲]، که شامل مجموعه‌ای از عملیات‌های جابجایی، تفریق و جمع هستند. از این رو مدارات تقسیم‌کننده از واحدهایی ترتیبی همچون ثبات، شیفت ثبات و نیز واحدهای ترکیبی همچون جمع کننده و مالتی‌پلکسر تشکیل شده است. در سال ۲۰۰۹، نایم و همکارانش اولین طرح تقسیم‌کننده‌ی n بیتی برگشت پذیر را برای انجام عملیات تقسیم در بازه اعداد صحیح مثبت با بهره‌گیری از الگویتم غیربازیابی ارائه نمودند [۱۳]. در طراح ارائه شده مالتی‌پلکسر n بیتی، ثبات برگشت‌پذیر n بیتی و ثبات شیفت به چپ n+1 بیتی بر مبنای گیت FRG[۷] و از گیت جمع کننده برگشت‌پذیر MTSG و گیت TS-3 برای طراحی جمع‌کننده موازی برگشت‌پذیر n+1 بیتی استفاده شده است. در تقسیم‌کننده ارائه شده ورودی‌های ثابت برابر 11 + 10n، خروجی‌های زائد برابر 11n+18 و هزینه‌ی کوانتومی برابر 61n+50 است. اگرچه تقسیم‌کننده ارائه شده برگشت‌پذیر است ولیکن از قابلیت حفظ توازن[۸] برخوردار نیست. در سال ۲۰۱۱، دستان و حق‌پرست برای اولین بار یک تقسیم‌کننده n بیتی برگشت‌پذیر غیربازیابی با قابلیت حفظ توازن را ارائه نمودند [۱۴]. در این مقاله، دو طراحی متفاوت با استفاده از حافظه نگهدارنده حالت[۹] و بدون استفاده از حافظه نگهدارنده حالت ارائه شده است. در ساختار ارائه شده با استفاده از گیت‌های FRG و DFG[۱۰] و با پیشنهاد گیت‌های متنوع برگشت‌پذیر، یک مدار جمع کننده n+1 بیتی و یک ثبات شیفت به چپ n+1 بیتی پیشنهاد شده است. طراحی اول شامل 11n+14 ورودی ثابت، 12n+18 خروجی زائد و هزینه‌ی کوانتومی 75n+60 است. رویکرد دوم نیز دارای 11n+12 ورودی ثابت، 12n+16 خروجی زائد و هزینه‌ی کوانتومی 75n+53 است. در سال ۲۰۱۶، بابو و همکارانش یک تقسیم‌کننده غیربازیابی برگشت‌پذیر ممیز شناور n بیتی با قابلیت حفظ توازن ارائه نمودند [۱۵]. در طراحی تقسیم‌کننده معرفی شده، با ارائه گیت‌های برگشت‌پذیر[۱۱] از پیش طراحی شده و استفاده از گیت DFG یک ثبات شیفت به چپ برگشت پذیر n+1 بیتی، و با ارائه یک تمام جمع کننده تحمل پذیر خطا با عنوان NFTFAG[۱۲] و استفاده از گیت DFG یک جمع کننده موازی n+1 بیتی برگشت پذیر طراحی شده است. تقسیم‌کننده معرفی شده دارای 17 + 10n ورودی های ثابت، 17 + 12n خروجی‌های زائد و هزینه‌ی کوانتومی 69 + 67n است. در سال ۲۰۲۲، طالبی و همکارانش یک تقسیم‌کننده n بیتی ممیز شناور برگشت پذیر با قابلیت حفظ توازن پیشنهاد نمودند

[1] parity-preserving
[2] Landauer
[3] Moore
[4] Bennett
[5] restoring
[6] non-restoring
[7] Fredkin Gate
[8] parity-preserving
[9] Latch
[10] Double Feynman Gate
[11] reversible gates
[12] New Fault Tolerant Full Adder Gate

[۱۶]. در این تقسیم‌کننده طراحی‌های کارامدی برای واحدهای سازنده آن شامل جمع کننده، ثبات شیفت به چپ و ثبات n بیتی صورت گرفته است. در این تقسیم‌کننده با ارائه یک جمع‌کننده برگشت پذیر و یک ثبات شیفت به چپ بر اساس گیت‌های برگشت‌پذیر FRG، DFG و یک نگهدارنده حالت پیشنهادی ارائه گردیده است. مدار پیشنهادی شامل 18 + 13n ورودی‌های ثابت، 18 + 15n خروجی‌های زائد و هزینه‌ی کوانتومی برابر 68 + 66n است. در این مقاله به ارائه یک تقسیم‌کننده برگشت‌پذیر با قابلیت حفظ توازن بر اساس رویکرد غیربازیابی پرداخته می‌شود که در آن اصول طراحی برگشت‌پذیر به درستی رعایت شده است. ایده ها و نوآوری‌های این مقاله به شرح زیر هستند:

- طراحی یک نگهدارنده حالت نوع D[1] برگشت‌پذیر تک بیتی کارآمد با قابلیت حفظ توازن
- ارائه یک ثبات n بیتی برگشت‌پذیر با استفاده از نگهدارنده حالت نوع D پیشنهادی با n ورودی ثابت، n خروجی زائد و هزینه کوانتومی برابر 6n
- پیشنهاد یک ثبات شیفت به چپ با قابلیت بار موازی[2] برگشت‌پذیر با قابلیت حفظ توازن با استفاده از هم‌افزایی حافظه نگهدارنده حالت D پیشنهادی و گیت‌های برگشت‌پذیر FRG و DFG
- توسعه یک تقسیم‌کننده برگشت‌پذیر غیربازیابی کارآمد با قابلیت حفظ توازن به کمک مدارات پیشنهاد شده

مقاله به صورت ذیل سازماندهی شده است: در بخش دوم اصول منطق برگشت‌پذیر و روش تقسیم اعداد به شیوه غیربازیابی پرداخته می‌شود. در بخش سوم، به توسعه یک تقسیم کننده برگشت پذیر با قابلیت حفظ توازن به کمک تکنیک تقسیم غیربازیابی پرداخته می‌شود. در بخش چهارم، به ارزیابی و مقایسه طرح‌های پیشنهادی با کارهای پیشین می‌پردازد. در آخر، مقاله با بخش نتیجه‌گیری خاتمه می‌یابد.

۲-منطق برگشت‌پذیر و روش تقسیم اعداد

در این بخش در ابتدا به بیان مفاهیم پایه‌ای در منطق برگشت‌پذیر شامل مفهوم برگشت‌پذیری، دروازه‌های برگشت‌پذیر و نمایش‌های کوانتومی دروازه‌های برگشت‌پذیر پرداخته می‌شود. در ادامه به معرفی تقسیم بر اساس الگوریتم غیربازیابی پرداخته خواهد شد.

دروازه‌ای برگشت‌پذیر است که یک نگاشت یک به یک بین ورودی‌ها و خروجی‌های آن برقرار باشد؛ به عبارتی هرخروجی به طور منحصر به فرد به یک ورودی منتسب شود [۱۷, ۱۸]. یک دروازه برگشت‌پذیر دارای قابلیت حفظ توازن است اگر بین ورودی و خروجی های دروازه برگشت پذیر $n \times n$ با بردار ورودی $\{I_1,I_2\ldots I_n\}$ و بردار خروجی $\{Q_1,Q_2\ldots Q_n\}$رابطه متوازن $\{I_1\oplus I_2\oplus\ldots\oplus I_{n-1}\oplus I_n\}=\{O_1\oplus O_2\oplus\ldots\oplus O_{n-1}\oplus O_n\}$ برقرار باشد [۷, ۱۹-۲۱]. مدارهای برگشت‌پذیر با قابلیت حفظ توازن قادر به شناسایی اشکالات در سطح مدار برگشت‌پذیر است [۲۲-۲۹].

برخی از معیارهای مهم جهت ارزیابی مدارهای برگشت‌پذیر به شرح زیر هستند:

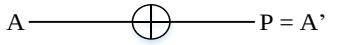
تعداد ورودی‌های ثابت شامل ورودی‌های تنظیم شده مدار برگشت‌پذیر با مقادیر ثابت صفر و یا یک، تعداد خروجی زائد شامل خروجی‌های بلااستفاده هستند و به عنوان ورودی به سایر دروازه های برگشت پذیر استفاده نمی‌شود. هزینه کوانتومی شامل هزینه کوانتومی یک مدار برگشت‌پذیر به مجموع دروازه‌های برگشت پذیر ۲×۲ و دروازه‌های کنترلی V و V†، فینمن[3] (CNOT) و دروازه ۱×۱ وارونگر (NOT) که می‌توان هزینه آن را نادیده گرفت، و سایر دروازه‌های کوانتومی در نظر گرفته می‌شود [۳۰, ۳۱]. تاخیر عامل مهمی در طراحی مدارهای متوالی است، تعداد انجام مراحل از ورودی به خروجی در یک مدار کوانتومی را عمق مدار گویند و به این ترتیب تاخیر ورودی به خروجی یک مدار کوانتومی متناسب با عمق مدار است [۳۲].

۲-۱- دروازه‌های پایه

- دروازه وارونگر کوانتومی(NOT) :

یک دروازه کوانتومی ۱×۱ با هزینه کوانتومی برابر با یک می‌باشد که نمایش کوانتومی آن در شکل ۱ نشان داده شده است [۳۱].

[1] D-Latch
[2] Parallel-In Parallel-Out (PIPO)
[3] Feynman Gate

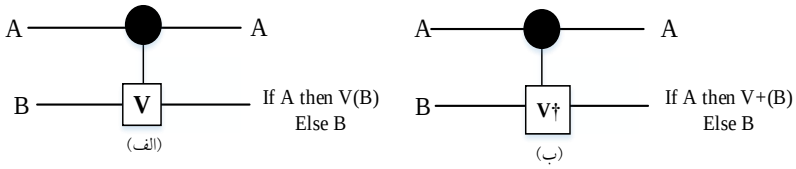


شکل۱: نمایش کوانتومی دروازه NOT [۳۱]

Figure 1: quantum realization of NOT gate [31]

-دروازه‌های کنترل شونده V و $V^{\dagger}$:

دروازه‌های کوانتومی ۲×۲ با هزینه کوانتومی یک و تاخیر V برابر یک و $V^{\dagger}$ برابر ۲△ هستند [۳۲]که نمایش کوانتومی آن‌ها در شکل۲ نشان داده شده است [۳۱, ۳۳-۳۵]. همانطوری که ملاحظه می‌شود، زمانی که خط کنترل A برابر صفر باشد ورودی بدون تغییر به خروجی منتقل می‌شود؛ اگر ورودی کنترل A برابر با یک باشد، دروازه‌های کنترل شونده Controlled-V و Controlled-$V^{\dagger}$ به ترتیب بصورت خروجی‌های V(B) و $V^{\dagger}$(B) به خروجی ارسال می‌شوند.



شکل۲: نمایش کوانتومی (الف) دروازه کنترلی V ، (ب) دروازه کنترلی $V^{\dagger}$ [۳۱, ۳۵-۳۳]

Figure 2: quantum realization of (a) Controlled-V gate and (b) Controlled-$V^{\dagger}$ gate [31,33-35]

اگر V و $V^{\dagger}$ به ترتیب مبین ماتریس‌های دروازه‌های کنترل شونده Controlled-V و Controlled-$V^{\dagger}$ باشند آن‌گاه روابط زیر برقرار است [۳۶, ۳۷].

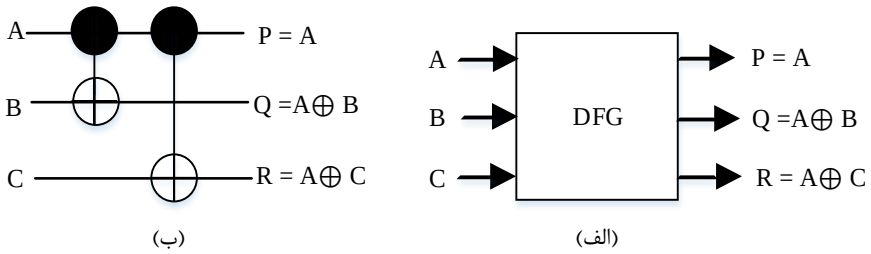
$$V \times V = NOT \quad (۱)$$

$$V^{\dagger} \times V = V \times V^{\dagger} = I \quad (۲)$$

$$V^{\dagger} \times V^{\dagger} = NOT \quad (۳)$$

- دروازه برگشت‌پذیر DFG:

یک دروازه برگشت‌پذیر ۳×۳ با قابلیت حفظ توازن است که دارای هزینه کوانتومی برابر دو و تاخیر آن برابر ۲△ است. نمایش کوانتومی در شکل۳ و درستی آن در جدول۱ نمایش داده شده است[۱۹].



شکل۳: دروازه برگشت‌پذیر DFG: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۱۹]

Figure 3: reversible DFG gate (a) block diagram and (b) quantum realization [19]

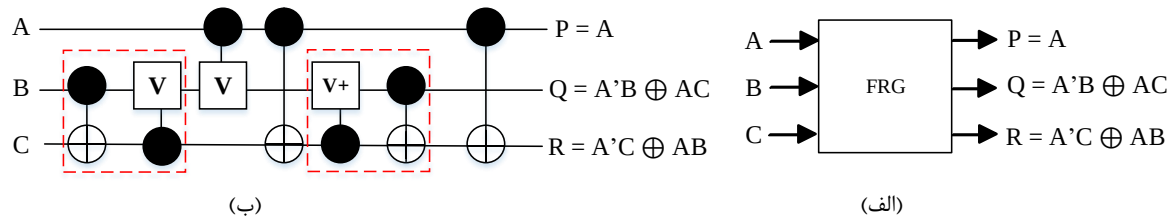
جدول۱: جدول درستی دروازه DFG

Table 1: truth table of the DFG gate

ورودی			خروجی		
A	B	C	P	Q	R
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	1	1
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	0	0

-دروازه برگشت‌پذیر FRG:

یک دروازه برگشت‌پذیر ۳×۳ با قابلیت حفظ توازن است که دارای هزینه کوانتومی برابر پنج و تاخیر برابر۴△ است. نمایش کوانتومی در شکل۴ و درستی آن در جدول۲ نمایش داده شده است [۳۸].



شکل۴: دروازه برگشت پذیر FRG: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۳۸]

Figure 4: reversible FRG gate (a) block diagram and (b) quantum realization [38]

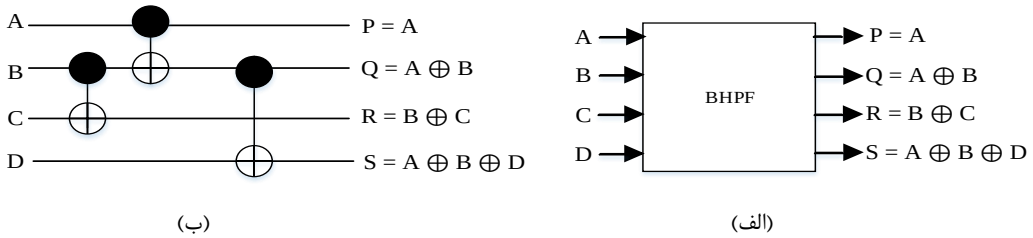
جدول۲: جدول درستی دروازه FRG

Table 2: truth table of the FRG gate

ورودی			خروجی		
A	B	C	P	Q	R
0	0	0	0	0	0
0	0	1	0	0	1
0	1	0	0	1	0
0	1	1	0	1	1
1	0	0	1	0	0
1	0	1	1	1	0
1	1	0	1	0	1
1	1	1	1	1	1

- دروازه برگشت‌پذیر BHPF[1]

یک بلوک برگشت‌پذیر ۴×۴ با قابلیت حفظ توازن است که هزینه کوانتومی آن برابر سه و تاخیر آن برابر ۳△ است. نمایش کوانتومی در شکل ۵ و درستی آن در جدول ۳ نشان داده شده است[۲۴].



شکل۵: دروازه برگشت‌پذیر BHPF: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۲۴]

Figure 5: reversible BHPF gate (a) block diagram and (b) quantum realization [24]

جدول۳: جدول درستی بلوک دیاگرامBHPF

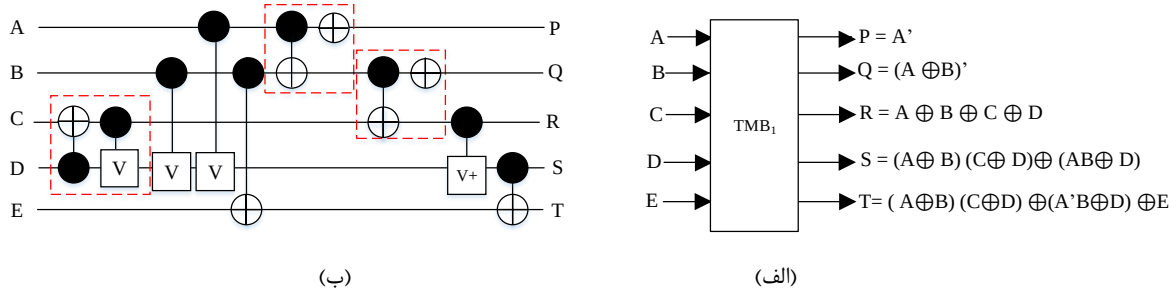
Table 3: truth table of the BHPF gate

ورودی				خروجی			
A	B	C	D	P	Q	R	S
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	0	0	1	1
0	1	0	0	0	1	1	1
0	1	0	1	0	1	1	0
0	1	1	0	0	1	0	1
0	1	1	1	0	1	0	0
1	0	0	0	1	1	0	1
1	0	0	1	1	1	0	0
1	0	1	0	1	1	1	1
1	0	1	1	1	1	1	0
1	1	0	0	1	0	1	0
1	1	0	1	1	0	1	1
1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	1

[1] Bolhassani Haghparast Parity-Preserving Full-adder (BHPF)

- بلوک برگشت‌پذیر TMB1[1]:

یک بلوک برگشت‌پذیر ۵×۵ با قابلیت حفظ توازن است که هزینه کوانتومی برابر با هشت و تاخیر ۶△ برخوردار است؛ نمایش کوانتومی بلوک TMB1 در شکل ۶ و درستی آن در جدول ۴ نشان داده شده است[۱۶].



شکل۶: بلوک منطقی برگشت‌پذیر TMB1: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۱۶]

Figure 6: reversible TMB1 logical block: (a) block diagram and (b) quantum realization [16]

جدول۴: جدول درستی بلوک TMB1

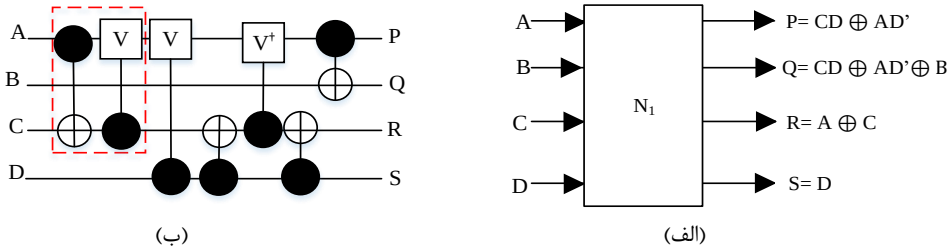
Table 4: truth table of the TMB1 block

ورودی					خروجی				
A	B	C	D	E	P	Q	R	S	T
0	0	0	0	0	1	1	0	0	0
0	0	0	0	1	1	1	0	0	1
0	0	0	1	0	1	1	1	1	1
0	0	0	1	1	1	1	1	1	0
0	0	1	0	0	1	1	1	0	0
0	0	1	0	1	1	1	1	0	1
0	0	1	1	0	1	1	0	1	1
0	0	1	1	1	1	1	0	1	0
0	1	0	0	0	1	0	1	0	1
0	1	0	0	1	1	0	1	0	0
0	1	0	1	0	1	0	0	0	1
0	1	0	1	1	1	0	0	0	0
0	1	1	0	0	1	0	0	1	0
0	1	1	0	1	1	0	0	1	1
0	1	1	1	0	1	0	1	1	0
0	1	1	1	1	1	0	1	1	1
1	0	0	0	0	0	0	1	0	0
1	0	0	0	1	0	0	1	0	1
1	0	0	1	0	0	0	0	0	0
1	0	0	1	1	0	0	0	0	1
1	0	1	0	0	0	0	0	1	1
1	0	1	0	1	0	0	0	1	0
1	0	1	1	0	0	0	1	1	1
1	0	1	1	1	0	0	1	1	0
1	1	0	0	0	0	1	0	1	0
1	1	0	0	1	0	1	0	1	1
1	1	0	1	0	0	1	1	0	1
1	1	0	1	1	0	1	1	0	0
1	1	1	0	0	0	1	1	1	0
1	1	1	0	1	0	1	1	1	1
1	1	1	1	0	0	1	0	0	1
1	1	1	1	1	0	1	0	0	0

-بلوک منطقی برگشت‌پذیر N1 :

یک بلوک برگشت‌پذیر ۴×۴ با قابلیت حفظ توازن است که دارای هزینه کوانتومی برابر با شش و تاخیر ۵△ بوده و نمایش کوانتومی در شکل ۷ و درستی آن در جدول ۵ نشان داده شده است[۳۹].

[1] Talebi Mosleh Block1 (TMB1)



شکل۷: بلوک منطقی برگشت‌پذیرN1: (الف) بلوک دیاگرام و (ب) مدار کوانتومی [۳۹]

Figure 7: reversible N1 logical block: (a) block diagram and (b) quantum realization [39]

جدول ۵: جدول درستی بلوک N1

Table 5: truth table of the N1 block

ورودی				خروجی			
A	B	C	D	P	Q	R	S
0	0	0	0	0	0	0	0
0	0	0	1	0	0	0	1
0	0	1	0	0	0	1	0
0	0	1	1	1	1	1	1
0	1	0	0	0	1	0	0
0	1	0	1	0	1	0	1
0	1	1	0	0	1	1	0
0	1	1	1	1	0	1	1
1	0	0	0	1	1	1	0
1	0	0	1	0	0	1	1
1	0	1	0	1	1	0	0
1	0	1	1	1	1	0	1
1	1	0	0	1	0	1	0
1	1	0	1	0	1	1	1
1	1	1	0	1	0	0	0
1	1	1	1	1	0	0	1

۲-۲-الگوریتم تقسیم‌کننده غیربازیابی

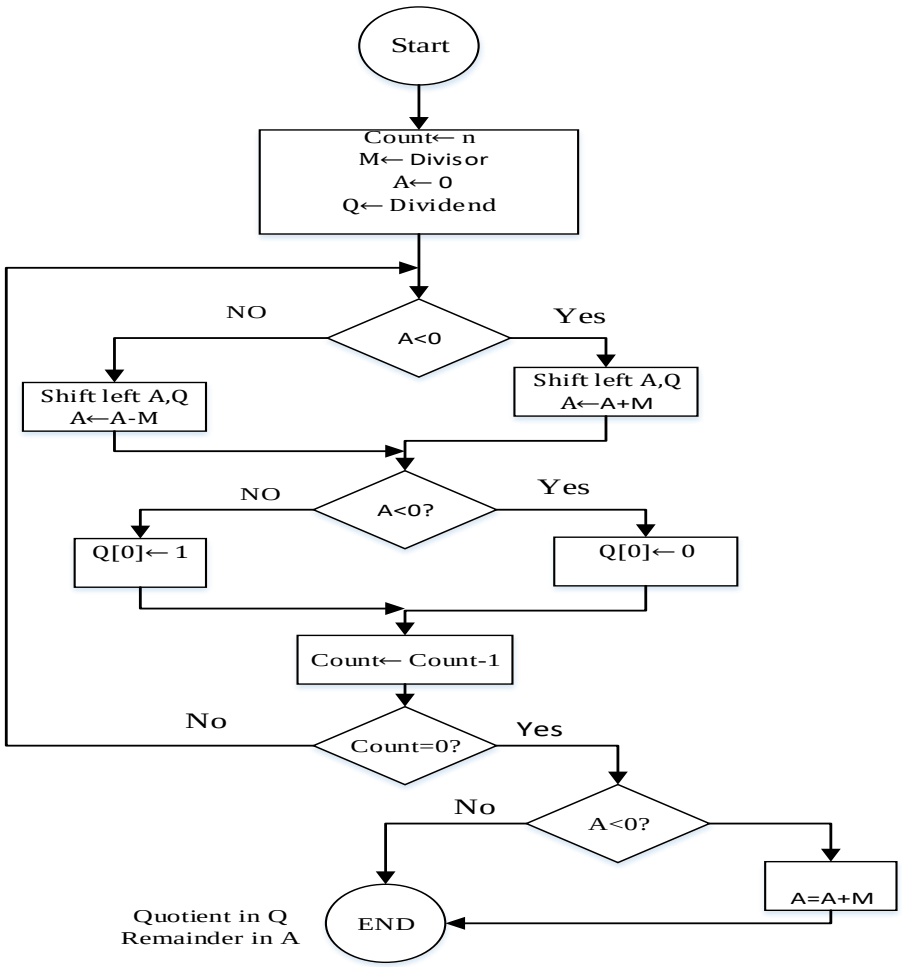
عمل تقسیم به عنوان یکی از عملیات‌های مهم و با پیچیدگی بالا در سیستم‌های محاسباتی محسوب می‌شود. یکی از متداول‌ترین الگوریتم‌های تقسیم، الگوریتم غیربازیابی است [۱۳]. روش کار در این الگوریتم به این‌صورت است که پس از عملیات شیفت به چپ عملیات بازگردانی را می‌توان از طریق معادله $R_{i+1}=2R_i+V$ پیاده‌سازی نمود. در این تکنیک اگر نتیجه معادله منفی شد، باقیمانده جزئی سریعاً ذخیره نخواهد شد و عملیات جمع، تفریق و بازیابی به وسیله معادلات $R_i=R_i+V$ و $R_{i+1}=2R_i-V$ انجام می‌شود. بنابراین اگر خارج قسمت $q_i=1$ شد، باقیمانده جزئی توسط عمل تفریق حساب می‌شود و اگر خارج قسمت $q_i=0$ شود، بجای ذخیره مقدار باقیمانده جزئی یک عملیات جمع مقسوم علیه با باقیمانده جزئی انجام می‌شود. شکل(۸) فلوچارت الگوریتم تقسیم کننده غیربازیابی را نمایش می‌دهد [۱۶, ۴۰].

۳- تقسیم‌کننده برگشت‌پذیر پیشنهادی

در این بخش به تشریح فرآیند طراحی تقسیم‌کننده پیشنهادی پرداخته خواهد شد. برای این منظور در ابتدا واحدهای تشکیل‌دهنده تقسیم‌کننده پیشنهادی طراحی می‌شوند و سپس با استفاده از اجزا طراحی‌شده به توسعه تقسیم‌کننده غیربازیابی برگشت‌پذیر با قابلیت حفظ توازن پرداخته می‌شود.

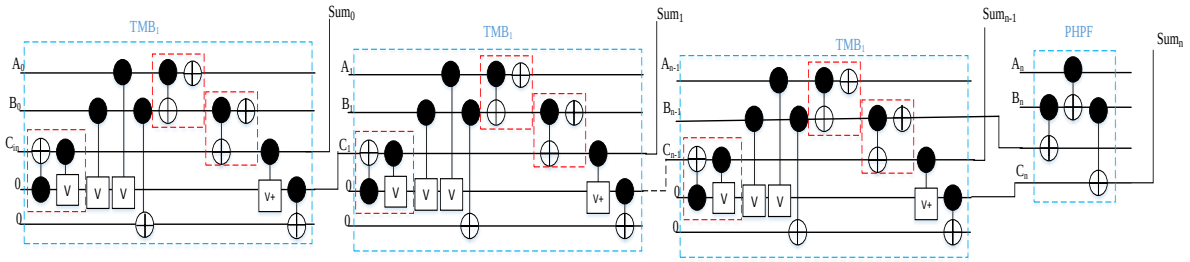
۳-۱- جمع‌کننده موج گونه برگشت‌پذیر با قابلیت حفظ توازن

در تقسیم‌کننده پیشنهادی از جمع‌کننده موج گونه n+1 بیتی برگشت پذیر کارامد با قابلیت حفظ توازن که در مرجع [۱۶] ارائه گردیده استفاده می‌شود که نمایش کوانتومی آن در شکل ۹ نشان داده شده است.



شکل۸: فلوچارت تقسیم‌کننده غیربازیابی [۱۶, ۴۰]

Figure 8: flowchart of non-restoring divider [16, 40]

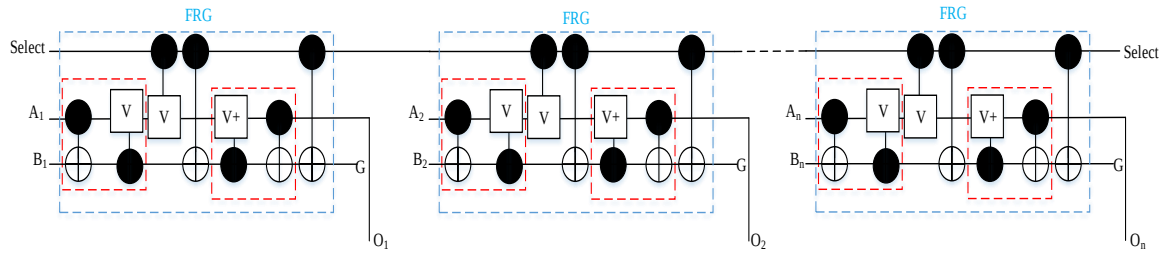


شکل۹: جمع کننده موج گونه برگشت پذیر n+1 بیتی با قابلیت حفظ توازن

Figure 9: parity-preserving reversible (n+1)-bit RCA adder

۳-۲- مالتی پلکسر برگشت‌پذیر با قابلیت حفظ توازن

یک مالتی پلکسر n بیتی برگشت‌پذیر با استفاده از پشت سرهم قراردادن n دروازه FRG همانند شکل ۱۰ طراحی می‌شود. خطوط A (A1, A2,…, An) و B (B1, B2,…, B3) ورودی‌های مالتی پلکسر و Select ورودی انتخاب آن می‌باشد که اگر برابر صفر باشد، خروجی مالتی پلکسر برابر A و اگر برابر یک باشد، خروجی مالتی پلکسر برابر B است. مالتی پلکسر برگشت‌پذیر معرفی شده فاقد ورودی ثابت، n خروجی زائد و هزینه کوانتومی برابر 5n و با فرض n برابر با یک تاخیر آن برای یک بیت مالتی پلکسر برابر ۴△ است [۱۳].

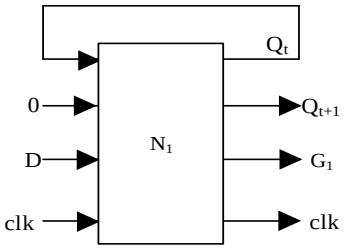


شکل ۱۰: نمایش کوانتومی مالتی پلکسر برگشت پذیر n بیتی با قابلیت حفظ توازن
Figure 10: quantum realization of parity-preserving reversible n-bit multiplexer

۳-۳-ثبات برگشت‌پذیر پیشنهادی با قابلیت حفظ توازن

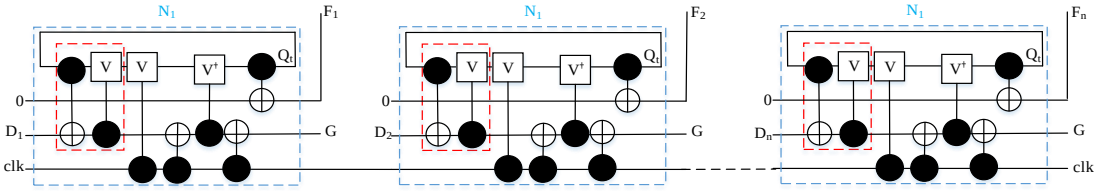
یکی از اجزا اساسی در مدارات تقسیم کننده، وجود عناصر حافظه است. برای این منظور یک نگهدارنده حالت نوع D[1] کارامد با استفاده از بلوک N1 معرفی شده در مرجع[۳۹] طراحی می‌شود. بلوک برگشت پذیر نگهدارنده حالت نوع D پیشنهادی بر اساس بلوک برگشت‌پذیر N1 در شکل ۱۱ نشان داده شده است؛ و همانطوری که در شکل مشاهده می‌شود، اگر خروجی P بلوک N1 به ورودی A وصل شود و مقدار ورودی B برابر با مقدار صفر شود؛ همچنین ورودی C به مقدار D ، و ورودی/خروجی D به Clk تنظیم گردند، طبق رابطه ۴ و بر اساس خروجی Q بلوک فوق یک نگهدارنده حالت از نوع D بدست خواهد آمد. نگهدارنده حالت پیشنهادی دارای یک ورودی ثابت، یک خروجی زائد و هزینه کوانتومی برابر شش و تاخیر آن برابر ۵△ است.

$$Q_{t+1} = D.CLK + \overline{CLK}.Q_t \qquad (۴)$$



شکل ۱۱: بلوک برگشت پذیر نگهدارنده حالت نوع D پیشنهادی
Figure 11: reversible block of proposed D-latch

همانطوری که در شکل ۱۲ نشان داده شده است، ثبات n بیتی پیشنهادی با استفاده از پشت سرهم قرار دادن n بلوک نگهدارنده حالت پیشنهادی طراحی شده است. ثبات پیشنهادی دارای n ورودی ثابت، n خروجی زائد و هزینه کوانتومی برابر 6n و تاخیر آن با فرض n مساوی با یک، برای یک بیت رجیستر برابر ۵△ است.



شکل ۱۲: نمایش کوانتومی ثبات n بیتی پیشنهادی با استفاده از نگهدارنده حالت نوع D برگشت‌پذیر پیشنهادی
Figure 12: quantum realization of proposed n-bit register using proposed reversible D-latch

[1] D-Latch

۳-۴-ثبات شیفت به چپ با قابلیت بار موازی برگشت‌پذیر پیشنهادی با قابلیت حفظ توازن

ثبات شیفت به چپ با قابلیت بار موازی برای ذخیره‌سازی موقت و همچنین تاخیر زمانی داده‌ها در مدار تقسیم‌کننده استفاده شده است. عملکرد آن به این صورت است که همه بیت‌ها با لبه اولین کلاک به صورت موازی در ثبات بارگذاری خواهند شد و بعد از عملیات شیفت همه بیت‌ها یکباره به خروجی ارسال می‌گردند. ورودی‌های کنترلی SV و E بر اساس رابطه ۵ عملکرد خروجی ثبات را با توجه به مقادیر ورودی توابع کنترلی در جدول ۶ نشان می‌دهند [۱۳].

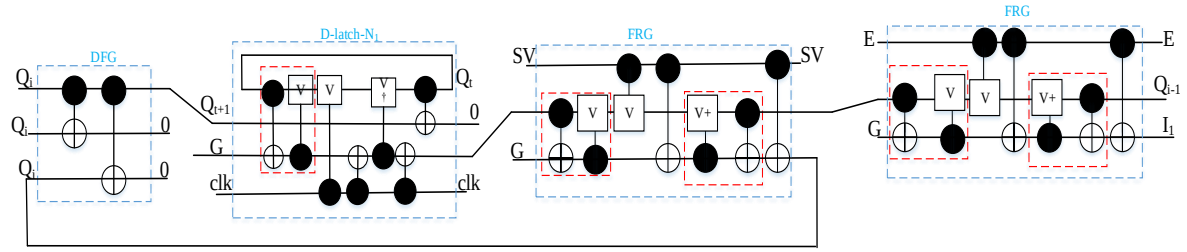
$$Q_i = SV'.E.I_i + SV'.E'.Q_{i-1} + SV.Q_i \quad (۵)$$

جدول۶: توابع کنترلی ورودی های ثبات شیفت به چپ

Table 6: Control functions of left-shift register inputs

Mode control		Output Q_i	عملیات
E	**SV**		
0	0	Q_{i-1}	**شیفت به چپ**
1	0	I_i	**بار موازی**
×	1	Q_i	**بدون تغییر**

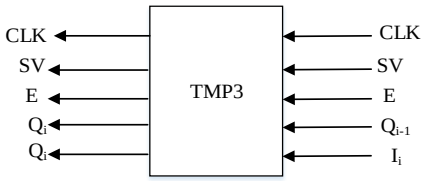
در ادامه ثبات شیفت به چپ برگشت پذیر با قابلیت بار شدن موازی و توانایی حفظ توازن با استفاده از نگهدارنده حالت نوع D پیشنهادی، دو دروازه FRG و یک دروازه DFG مطابق شکل ۱۳ طراحی شده است. مدار پیشنهادی دارای سه ورودی ثابت، سه خروجی زائد و هزینه کوانتومی برابر ۱۸ و تاخیر آن با فرض n مساوی با یک، برای یک بیت رجیستر شیفت به چپ برابر ۱۵△ است.



شکل۱۳: نمایش کوانتومی ثبات شیفت به چپ با قابلیت بار موازی برگشت پذیر با قابلیت حفظ توازن پیشنهادی

Figure 13: quantum realization of proposed parity-preserving reversible PIPO left-shift register

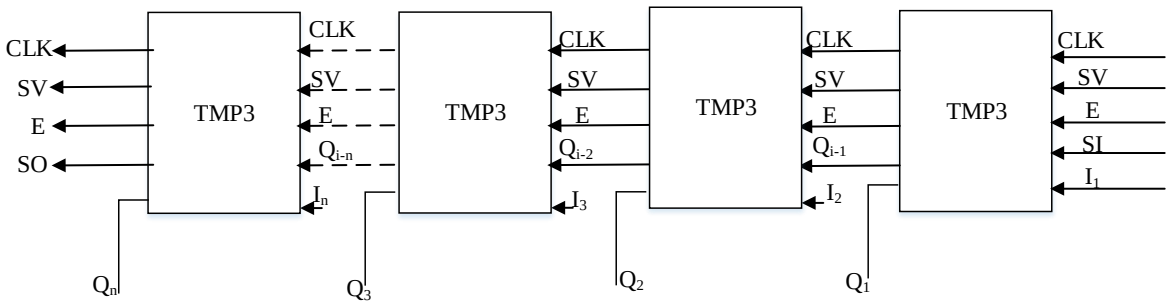
به منظور بکارگیری مدار معرفی‌شده در طراحی یک سلول ثبات شیفت به چپ n بیتی، مدار ثبات شیفت پیشنهادی به صورت یک بلوک ۵×۵ با نام TMP3 در شکل ۱۴ نشان داده شده است.



شکل ۱۴: سلول تک بیتی ثبات شیفت به چپ با قابلیت بار موازی برگشت‌پذیر پیشنهادی با قابلیت حفظ توازن

Figure 14: one-bit cell of proposed parity-preserving reversible PIPO left-shift register

به منظور طراحی یک ثبات شیفت به چپ n+1 بیتی برگشت‌پذیر با قابلیت بار موازی و توانایی حفظ توازن، n بلوک پیشنهادی TMP3 به صورت آبشاری به یکدیگر متصل می‌شوند (مطابق شکل ۱۵). لازم به ذکر است مدار پیشنهادی دارای 3n ورودی ثابت، 3n+5 خروجی زائد و هزینه کوانتومی برابر 18n+18 است.



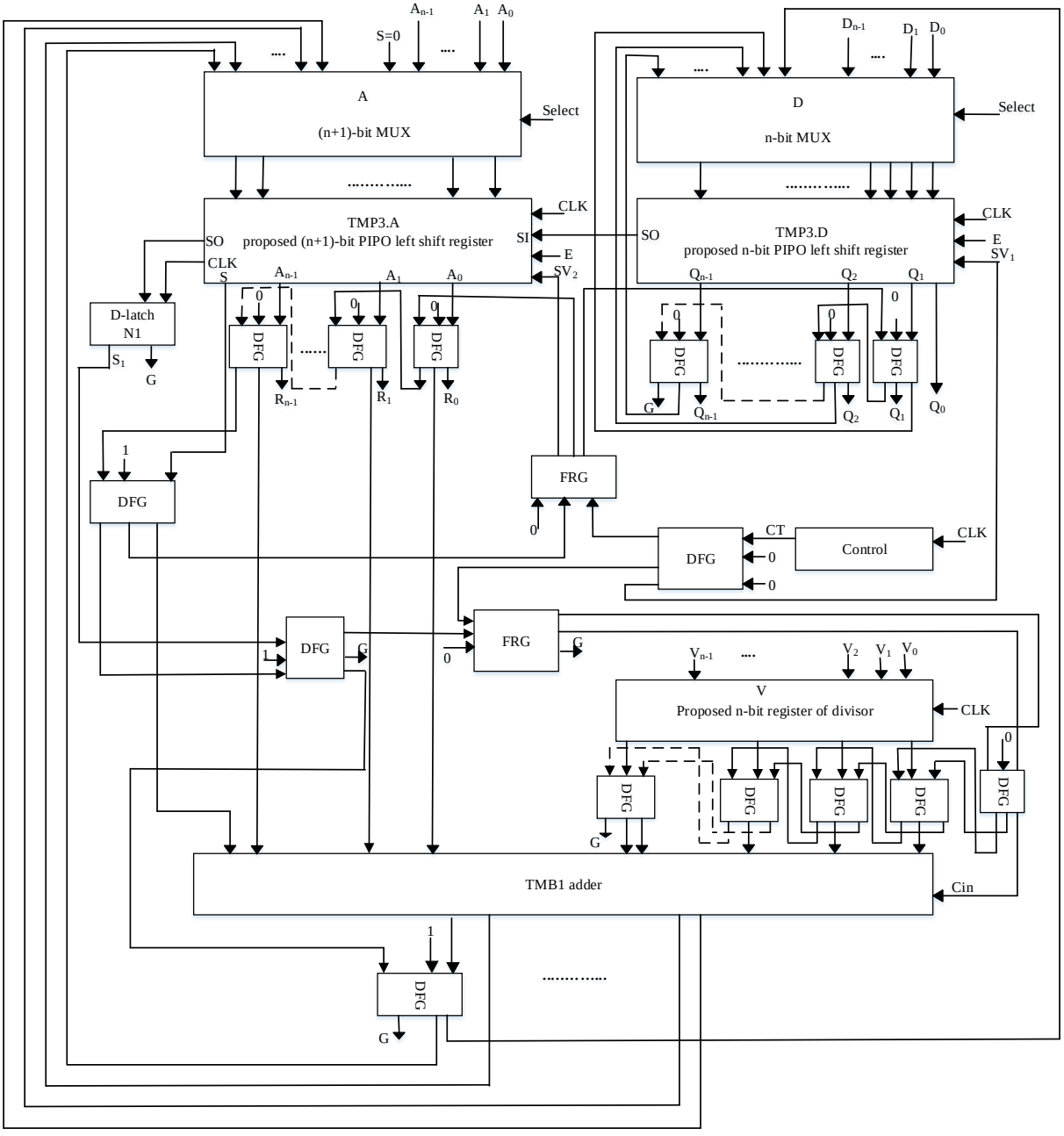
شکل۱۵: ثبات n+1 بیتی شیفت به چپ برگشت‌پذیر پیشنهادی با قابلیت بار موازی و توانایی حفظ توازن
Figure 15: proposed parity-preserving reversible PIPO left-shift (n+1)-bit register

۳-۵- تقسیم‌کننده پیشنهادی

در این بخش به ارائه یک طراحی بهینه از مدار تقسیم‌کننده غیربازیابی برگشت پذیرn بیتی برگشت پذیر با قابلیت حفظ توازن برای تقسیم اعداد صحیح مثبت مبتنی بر معماری معرفی شده در [۱۳, ۱۴] پرداخته می‌شود. معماری تقسیم‌کننده برگشت‌پذیر بر اساس طراحی پیشنهادی در شکل۱۶، شامل دو مالتی پلکسر n بیتی با نام D و مالتی پلکسر n+1 بیتی با نام A، ثبات شیفت به چپ با قابلیت بار موازی n بیتی باعنوان TMP3.A و ثبات شیفت n+1 بیتی با عنوان TMP3.D نام‌گذاری شده‌اند. یک ثبات n بیتی با عنوان V جهت ذخیره مقسوم علیه، یک نگهدارنده حالت D با عنوان N1 به منظور نگهداری S_1 (S_1 مقدار سرریزی که از سمت ثبات شیفت TMP3.A در نگهدارنده حالت N1 نگهداری می‌شود) و یک جمع کننده موج گونه n+1 بیتی می‌باشد. مقادیر اولیه مالتی پلکسرهای A برابر $A(A_{n-1}\ A_{n-2}\ldots A_0)=0$ و S=0 (ورودی S وصل است به مالتی پلکسر A) است. مقسوم[1] برابر با $D(D_{n-1}D_{n-2}\ldots D_0)$، مقسوم علیه[2] برابر با $V(V_{n-1}V_{n-2}\ldots V_0)$ وکنترل برابر با صفر است. ثبات‌های شیفت به چپ به ترتیب عبارتند از: خارج قسمت[3] تقسیم‌کننده برابر با $(Q_{n-1}Q_{n-2}\ldots Q_0)$ TMP3.D و باقیمانده[4] برابر با $(A_{n-1}A_{n-2}\ldots A_0)$ TMP3.A هستند. وقتی پالس ساعت اعمال شود: اگر SV2=0 و E=1 باشد، ورودی S=1 می‌شود و خروجی از مالتی‌پلکسر n+1 بیتی A بصورت موازی در ثبات TMP3.A جایگذاری می‌شود. اگر E=1 و SV1=0 باشد، خروجی از مالتی‌پلکسر n بیتی در ثبات TMP3.D به صورت موازی جایگذاری می‌شود. اگر E=0 باشد هر دو ثبات شیفت به چپ عملیات شیفت را انجام می‌دهند. خروجی SO از ثبات شیفت به چپ n بیتی TMP3.D به SI از ثبات شیفت به چپ n+1 بیتی TMP3.A وصل است. همچنین SO از خروجی ثبات TMP3.A به نگهدارنده حالت N1 وصل است. اگر واحد کنترل select=1 شود E=0 خواهد شد، و عملیات شیفت از خروجی SO از ثبات n بیتی TMP3.D به SI از ثبات n+1 بیتی TMP3.A انجام خواهد شد. پس از عملیات شیفت مقدار SO از ثبات TMP3.A به نگهدارنده حالت N1 منتقل می‌شود و عملیات جمع‌کننده را تعیین می‌کند. خروجی نگهدارنده حالت N1 مکمل می‌شود، اگر خروجی نگهدارنده حالت برابر با 1 باشد سپس عملیات TMP3.D + V محاسبه می‌شود در غیر اینصورت اگر صفر باشد عملیات TMP3.D - V محاسبه خواهد شد و نتیجه‌ی عملیات جمع یا تفریق به جمع‌کننده n+1 بیتی ارسال می‌شود. در این روش بعد از 2n+1 کلاک پالس فرآیند تقسیم پایان می‌یابد، اگر سیگنال خروجی بلوک کنترل در مدار به 1 تغییر یابد در این شرایط اگر S=0 باشد؛ SV2=1 خواهد بود و TMP3.A باقیمانده جزئی را ذخیره می‌کند؛ اما اگر S=1 باشد بعد از 2n+1 کلاک پالس باقیمانده جزئی باید به وسیله جمع باقیمانده جزئی و خارج قسمت (جمع V با TMP3.D) بازگردانی شود. سپس با کلاک بعدی وقتی select=0 باشد، متمم پر ارزشترین بیت (MSB) حاصل از محاسبه جمع کننده در بیت Q_0 ثبات TMP3.D جایگذاری می‌شود و با کلاک بعدی حاصل محاسبه جمع‌کننده به کم ارزش‌ترین بیت (LSB) از ثبات TMP3.A شیفت پیدا می‌کند. در طراحی، از بلوک DFG برای کپی‌کردن سیگنال CT به دروازه FRG استفاده شده است. دروازه FRG می‌تواند عملگر AND را پیاده‌سازی کند و دو خروجی یکسان تولید کند که یکی از خروجی‌ها به ورودی SV2 و دیگری به جمع‌کننده متصل

[1] dividend
[2] divisor
[3] quotient
[4] remainder

شده است. زمانیکه TMP3.D مقدار خارج قسمت را ذخیره می‌کند و پس از بازگردانی باقیمانده، S باید برابر صفر باشد. در شکل ۱۶، مدار تقسیم کننده n بیتی برگشت‌پذیر پیشنهادی با قابلیت حفظ توازن نشان داده شده است. در طراحی ساختار تقسیم‌کننده پیشنهادی از ترکیب اجزای پیشنهادشده، استفاده شده است.



شکل ۱۶: مدار تقسیم‌کننده غیربازیابی n بیتی برگشت‌پذیر پیشنهادی با قابلیت حفظ توازن

Figure 16: proposed parity-preserving reversible n-bit non-restoring divider circuit

۴-مقایسه و ارزیابی

در این بخش به بررسی ارزیابی کارایی طرح‌های پیشنهادی از دیدگاه معیارهای ارزیابی مدارات برگشت پذیر شامل ورودی ثابت، خروجی زائد و هزینه کوانتومی پرداخته می‌شود. معیارهای استفاده شده بصورت مستقل از فناوری ساخت هستند.

ثبات برگشت‌پذیر پیشنهادی با دو ثبات برگشت‌پذیر ارائه شده در مراجع [۴۱, ۴۲] مورد بررسی و مقایسه قرار گرفته است که نتایج حاصله در جدول ۷ و با فرض n=1 در نمودار شکل ۱۷ نشان داده شده است.

جدول۷: مقایسه ثبات برگشت پذیر پیشنهادی با کارهای پیشین
Table 7: comparison of proposed reversible register with previous works

طراحی	هزینه کوانتومی	تعداد خروجی زائد	تعداد ورودی ثابت	تاخیر با فرض n=1	قابلیت حفظ توازن
پیشنهادی	6n	n	n	5△	دارد
ارائه شده در مرجع [41]	7n	n+1	n	6△	دارد
ارائه شده در مرجع [42]	5n	n+1	n	5△	ندارد

شکل ۱۷: نمودار مقایسه ثبات برگشت‌پذیر
Figure 17: comparison chart of reversible register

همان‌طور که در جدول ۷ ملاحظه می‌گردد، ثبات برگشت‌پذیر پیشنهادی در مقایسه با مرجع[۴۱] از لحاظ کمتر شدن پارامترهای هزینه کوانتومی، خروجی زائد و تاخیر و در مقایسه برتری دارد و در مقایسه با مرجع [۴۲] از لحاظ کمتر بودن پارامترهای خروجی زائد و داشتن قابلیت حفظ توازن برتری دارد.

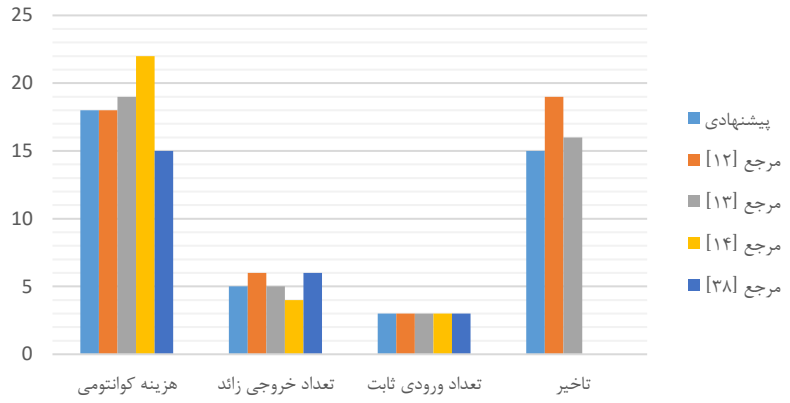
ثبات شیفت به چپ n+1 بیتی با قابلیت بار موازی برگشت‌پذیر پیشنهادی با چهار طرح موجود در مراجع[۱۳-۱۵, ۴۲] مورد ارزیابی و مقایسه قرار گرفته است که نتایج آن در جدول ۸ و با فرض n=1 در نمودار شکل ۱۸ نشان داده شده است.

جدول۸: مقایسه ثبات شیفت به چپ با قابلیت بار موازی برگشت‌پذیر پیشنهادی با کارهای پیشین
Table 8: comparison of proposed reversible PIPO left-shift register with previous works

طراحی	هزینه کوانتومی	تعداد خروجی زائد	تعداد ورودی ثابت	تاخیر با فرض n=1	قابلیت حفظ توازن
پیشنهادی	18n	3n + 2	3n	15△	دارد
ارائه شده در مرجع [13]	18n	3n + 3	3n	19△	ندارد
ارائه شده در مرجع [14]	19n	3n + 2	3n	16△	دارد
ارائه شده در مرجع [15]	22n	3n + 1	3n	-	دارد
ارائه شده در مرجع [42]	15n	3n + 3	3n	14△	ندارد

همان‌طور که در جدول ۸ ملاحظه می‌شود، ثبات شیفت پیشنهادی در مقایسه با طرح ارائه شده در مرجع[۱۳] از نظر تعداد خروجی‌های زائد و تاخیر، در مقایسه با طرح ارائه شده در مرجع [۱۴] از لحاظ هزینه کوانتومی و تاخیر، در مقایسه با طرح ارائه شده در مرجع [۱۵] از لحاظ هزینه کوانتومی، و نهایتاً در مقایسه با طرح ارائه شده در مرجع [۴۲] از لحاظ کمتر شدن خروجی زائد و داشتن قابلیت حفظ توازن برتری دارد.

در نهایت به مقایسه تقسیم‌کننده n بیتی برگشت‌پذیر پیشنهادی با طرح‌های ارائه شده در مراجع [۱۴-۱۶] پرداخته می‌شود. با توجه به پیچیدگی بالای مدارا تقسیم‌کننده، در ابتدا یک ارزیابی دقیق از اجزا تشکیل‌دهنده تقسیم‌کننده پیشنهادی در جدول ۹ ارائه شده است.



شکل ۱۸: نمودار مقایسه ثبات شیفت به چپ با قابلیت بار موازی برگشت‌پذیر
Figure 18: comparison chart of reversible PIPO left-shift register

جدول۹: نتایج حاصل از ارزیابی تقسیم‌کننده برگشت‌پذیر پیشنهادی با قابلیت حفظ توازن
Table 9: results of evaluation of proposed parity-preserving reversible divider

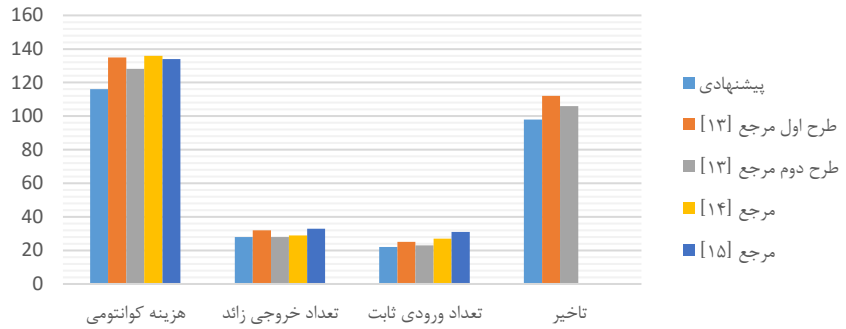
طرح	هزینه کوانتومی	تعداد خروجی زائد	تعداد ورودی ثابت	تاخیر با فرض n=1	قابلیت حفظ توازن
مالتی پلکسر n بیتی	5n	n	0	4△	دارد
مالتی پلکسر (n+1) بیتی	5n+5	n+1	0	4△+4△	دارد
ثبات n بیتی	6n	n	n	5△	دارد
ثبات شیفت به چپ n بیتی	18n	3n+2	3n	15△	دارد
ثبات شیفت به چپ (n+1) بیتی	18n+18	3n+5	3n	15△+15△	دارد
جمع کننده (n+1) بیتی	8n+3	3n+2	n+4	9△	دارد
سایر دروازه ها/بلوک	6n+24	6	2n+8	27△	دارد

طبق محاسبات جدول ۹ تقسیم‌کننده n بیتی پیشنهادی دارای هزینه کوانتومی برابر 66n+50، خروجی زائد برابر 12n+16، ورودی ثابت برابر 10n+12 و تاخیر برابر 98△ می‌باشد. نتایج حاصل از مقایسه تقسیم‌کننده پیشنهادی با طراحی‌های ارائه شده در مراجع [۱۴-۱۶] در جدول ۱۰ و با فرض n=1 در نمودار شکل ۱۹ نشان داده شده است.

جدول۱۰: نتایج مقایسه تقسیم کننده برگشت پذیر پیشنهادی با کارهای پیشین
Table 9: comparison results of proposed reversible divider with previous works

طرح	هزینه کوانتومی	خروجی زائد	ورودی ثابت	تاخیر با فرض n=1	قابلیت حفظ توازن
طرح پیشنهادی	66n + 50	12n+16	10n+12	98△	دارد
طرح اول موجود در [۱۴]	75n + 60	12n + 20	11n + 14	112△	دارد
طرح دوم موجود در [۱۴]	75n + 53	12n+16	11n+12	106△	دارد
طرح موجود در [۱۵]	67n + 69	12n+17	10n+17	-	دارد
طرح موجود در [۱۶]	66n + 68	15n+18	13n+18	110△	دارد

همان‌طور که در جدول ۱۰ ملاحظه می‌شود، تقسیم‌کننده پیشنهادی در مقایسه با طرح اول ارائه شده در مرجع [۱۴] از لحاظ هزینه کوانتومی، خروجی زائد، ورودی ثابت و تاخیر، و در مقایسه با طرح دوم ارائه شده در مرجع [۱۴] نیز از لحاظ هزینه کوانتومی، ورودی ثابت و تاخیر بهبود داده شده است. در مقایسه با طرح ارائه شده در مرجع [۱۵] از لحاظ هزینه کوانتومی، خروجی زائد و ورودی ثابت، و در مقایسه با طرح ارائه شده در مرجع [۱۶] از لحاظ هزینه کوانتومی، خروجی زائد، ورودی ثابت و تاخیر بهینه شده است. نتایج حاصل نشان می‌دهد طرح پیشنهادی نسبت به طرح‌های موجود پارامترهای ارزیابی بهینه و هزینه کوانتومی کمتری دارد.



شکل ۱۹: نمودار مقایسه تقسیم‌کننده برگشت‌پذیر
Figure 19: comparison chart of reversible divider

۵- نتیجه‌گیری و پیشنهادات آتی

در این مقاله یک طراحی بهینه از مدار تقسیم‌کننده برگشت‌پذیر غیربازیابی n بیتی با قابلیت حفظ توازن برای تقسیم اعداد صحیح مثبت پیشنهاد شد. برای این منظور، در ابتدا یک حافظه نگهدارنده حالت نوع D برگشت‌پذیر با قابلیت حفظ توازن پیشنهاد شده است، سپس با استفاده از نگهدارنده حالت پیشنهادی، یک ثبات برگشت‌پذیر کارامد ارائه گردید. در ادامه یک ثبات شیفت به کمک هم‌افزایی گیت‌های برگشت پذیر FRG و DFG و نگهدارنده حالت نوع D پیشنهادی ارائه شد. در نهایت با کمک مدارات برگشت‌پذیر پیشنهادی، یک تقسیم کننده غیربازیابی برگشت‌پذیر بهینه توسعه یافت. همچنین به منظور کاهش پیچیدگی تقسیم‌کننده پیشنهادی، از بهترین مدارات جمع‌کننده و مالتی پلکسرهای برگشت‌پذیر موجود استفاده گردید. نتایج حاصل از ارزیابی‌ها نشان می‌دهد تقسیم‌کننده پیشنهادی دارای 10n+12 ورودی ثابت، 12n+16 خروجی زائد، و هزینه کوانتومی 66n+50 است. نتایج حاصل از مقایسه‌ها نشان از برتری طرح پیشنهادی در بسیاری از معیارهای ارزیابی در مقایسه با بهترین طراحی پیشین است. برای کارهای آتی، پیاده‌سازی تقسیم‌کننده غیربازیابی پیشنهادی با استفاده از آتوماتای سلولی نقطه کوانتومی می‌تواند مورد توجه قرار گیرد.

مراجع:

[1] S. R. Heikalabad, F. Salimzadeh and Y. Z. Barughi, "A unique three-layer full adder in quantum-dot cellular automata," *Computers & Electrical Engineering*, vol. 86, p. 106735, 2020, doi: 10.1016/j.compeleceng.2020.106735.

[2] S.-S. Ahmadpour, M. Mosleh and S. R. Heikalabad, "An efficient fault-tolerant arithmetic logic unit using a novel fault-tolerant 5-input majority gate in quantum-dot cellular automata," *Computers & Electrical Engineering*, vol. 82, p. 106548, 2020, doi: 10.1016/j.compeleceng.2020.106548.

[3] R. Binaei and M. Gholami, "Design of novel D flip-flops with set and reset abilities in quantum-dot cellular automata nanotechnology," *Computers & Electrical Engineering*, vol. 74, pp. 259-272, 2019, doi: 10.1016/j.compeleceng.2019.02.002.

[4] M. Noorallahzadeh, M. Mosleh and S.-S. Ahmadpour, "Efficient designs of reversible synchronous counters in nanoscale," *Circuits, Systems, and Signal Processing*, vol. 40, no. 11, pp. 5367-5380, 2021, doi: 10.1007/s00034-021-01719-4.

[5] M. Noorallahzadeh and M. Mosleh, "Efficient designs of reversible shift register circuits with low quantum cost," *Journal of Circuits, Systems and Computers*, vol. 30, no. 12, p. 2150215, 2021, doi: 10.1142/S0218126621502157.

[6] T. Liu *et al.*, "Efficient scheme for implementing a hybrid Toffoli gate with two NV ensembles simultaneously controlling a single superconducting qubit," *Applied Physics Letters*, vol. 123, no. 13, 2023, doi: 10.1063/5.0169902.

[7] M. Noorallahzadeh and M. Mosleh, "Parity-preserving reversible flip-flops with low quantum cost in nanoscale," *The Journal of Supercomputing,* vol. 76, no. 3, pp. 2206-2238, 2020, doi: 10.1007/s11227-019-03074-3.

[8] R. Landauer, "Irreversibility and heat generation in the computing process," *IBM journal of research and development,* vol. 5, no. 3, pp. 183-191, 1961, doi: 10.1147/rd.53.0183.

[9] G. E. Moore, "Cramming more components onto integrated circuits," ed: McGraw-Hill New York, NY, USA:, 1965.

[10] C. H. Bennett, "Logical reversibility of computation," *IBM journal of Research and Development,* vol. 17, no. 6, pp. 525-532, 1973, doi: 10.1147/rd.176.0525.

[11] M. Noorallahzadeh and M. Mosleh, "Parity-preserving reversible flip-flops with low quantum cost in nanoscale," *The Journal of Supercomputing,* pp. 1-33, 2019, doi: 10.1007/s11227-019-03074-3.

[12] S. Sayedsalehi, M. R. Azghadi, S. Angizi and K. Navi, "Restoring and non-restoring array divider designs in quantum-dot cellular automata," *Information sciences,* vol. 311, pp. 86-101, 2015, doi: 10.1016/j.ins.2015.03.030.

[13] N. M. Nayeem, A. Hossain, M. Haque, L. Jamal and H. M. H. Babu, "Novel reversible division hardware," in *52nd IEEE International Midwest Symposium on Circuits and Systems*, 2009, pp. 1134-1138, doi: 10.1109/MWSCAS.2009.5235968.

[14] F. Dastan and M. Haghparast, "A novel nanometric fault tolerant reversible divider," *International Journal of Physical Sciences,* vol. 6, no. 24, pp. 5671-5681, 2011, doi: 10.5897/IJPS11.981.

[15] H. M. H. Babu and M. S. Mia, "Design of a compact reversible fault tolerant division circuit," *Microelectronics Journal,* vol. 51, pp. 15-29, 2016, doi: 10.1016/j.mejo.2016.01.003.

[16] M. Talebi, M. Mosleh, M. Haghparast and M. Chekin, "Effective scheme of parity-preserving-reversible floating-point divider," *The European Physical Journal Plus,* vol. 137, no. 9, pp. 1-13, 2022, doi: 10.1140/epjp/s13360-022-03212-6.

[17] M. Valinataj, M. Mirshekar and H. Jazayeri, "Novel low-cost and fault-tolerant reversible logic adders," *Computers & Electrical Engineering,* vol. 53, pp. 56-72, 2016, doi: 10.1016/j.compeleceng.2016.06.008.

[18] A. Sarker, H. M. Hasan Babu and S. M. M. Rashid, "Design of a DNA-based reversible arithmetic and logic unit," *IET nanobiotechnology* ,vol. 9, no. 4, pp. 226-238, 2015, doi: 10.1049/iet-nbt.2014.0056.

[19] B. Parhami, "Fault-tolerant reversible circuits," in *2006 fortieth asilomar conference on signals, systems and computers*, 2006, pp. 1726-1729, doi: 10.1109/ACSSC.2006.355056.

[20] E. PourAliAkbar, K. Navi, M. Haghparast and M. Reshadi, "Novel Optimum Parity-Preserving Reversible Multiplier Circuits," *Circuits, Systems, and Signal Processing,* vol. 39, no. 10, pp. 5148-5168, 2020, doi: 10.1007/s00034-020-01406-w

[21] E. PourAliAkbar, K. Navi, M. Haghparast and M. Reshadi, "Novel Designs of Fast Parity-Preserving Reversible Vedic Multiplier," E. PourAliAkbar, K. Navi, M. Haghparast, and M. Reshadi, "Novel Designs of Fast Parity-Preserving Reversible Vedic Multiplier", *The CSI Journal on Computer Science and Engineering*, vol. 17, no. 1, 2019.

[22] S. R. Arabani, M. R. Reshadinezhad and M. Haghparast, "Design of a parity preserving reversible full adder/subtractor circuit," *International Journal of Computational Intelligence Studies,* vol. 7, no. 1, pp. 19-32, 2018, doi: 10.1504/IJCISTUDIES.2018.090164.

[23] N. K. Misra, B. Sen, S. Wairya and B. Bhoi, "Testable novel parity-preserving reversible gate and low-cost quantum decoder design in 1D molecular-QCA," *Journal of Circuits, Systems and Computers,* vol. 26, no. 09, p. 1750145, 2017, doi: 10.1142/S0218126617501456.

[24] M. Haghparast and A. Bolhassani, "On design of parity preserving reversible adder circuits," *International Journal of Theoretical Physics*, vol. 55, no. 12, pp. 5118-5135, 2016, doi: 10.1007/s10773-016-3133-5.

[25] R.-G. Zhou, Y.-C. Li and M.-Q. Zhang, "Novel designs for fault tolerant reversible binary coded decimal adders," *International Journal of Electronics*, vol. 101, no. 10, pp. 1336-1356, 2014, doi: 10.1080/00207217.2013.832388.

[26] M. Islam and Z. Begum, "Reversible logic synthesis of fault tolerant carry skip BCD adder," *arXiv preprint arXiv:1008.3288*, 2010, doi: 10.48550/arXiv.1008.3288.

[27] S. Hod, "Best approximation to a reversible process in black-hole physics and the area spectrum of spherical black holes," *Physical Review D*, vol. 59, no. 2, p. 024014, 1998, doi: 10.1103/PhysRevD.59.024014.

[28] R. C. Merkle, "Two types of mechanical reversible logic," *Nanotechnology*, vol. 4, no. 2, p. 114, 1993, doi: 10.1088/0957-4484/4/2/007.

[29] M. Noorallahzadeh, M. Mosleh and K. Datta, "A new design of parity-preserving reversible multipliers based on multiple-control toffoli synthesis targeting emerging quantum circuits," *Frontiers of Computer Science*, vol. 18, no. 6, p. 186908, 2024, doi: 10.1007/s11704-023-2492-3.

[30] A. Bolhassani and M. Haghparast, "Optimised reversible divider circuit," *International Journal of Innovative Computing and Applications*, vol. 7, no. 1, pp. 13-33, 2016, doi: 10.1504/IJICA.2016.075465.

[31] H. Thapliyal and N. Ranganathan, "Design of reversible sequential circuits optimizing quantum cost, delay, and garbage outputs," *ACM Journal on Emerging Technologies in Computing Systems (JETC)*, vol. 6, no. 4, pp. 1-31, 2010, doi: 10.1145/1877745.1877748.

[32] M. Mohammadi and M. Eshghi, "On figures of merit in reversible and quantum logic designs," *Quantum Information Processing*, vol. 8, pp. 297-318, 2009, doi: 10.1007/s11128-009-0106-0.

[33] A. Barenco *et al.*, "Elementary gates for quantum computation," *Physical review A*, vol. 52, no. 5, p. 3457, 1995, doi: 10.1103/PhysRevA.52.3457.

[34] M. Morrison and N. Ranganathan, "Design of a reversible ALU based on novel programmable reversible logic gate structures," in *IEEE computer society annual symposium on VLSI*, 2011, pp. 126-131, doi: 10.1109/ISVLSI.2011.30.

[35] M. Morrison and N. Ranganathan, "A novel optimization method for reversible logic circuit minimization," in *IEEE Computer Society Annual Symposium on VLSI (ISVLSI)*, 2013, pp. 182-187, doi: 10.1109/ISVLSI.2013.6654656.

[36] D. M. Miller, M. Soeken and R. Drechsler, "Mapping NCV circuits to optimized Clifford+T circuits," in *International Conference on Reversible Computation*, 2014, pp. 163-175, doi: 10.1007/978-3-319-08494-7_13.

[37] M. Noorallahzadeh and M. Mosleh, "Efficient designs of reversible BCD to EX-3 Converter with low quantum cost in nanoscale," *International Journal of Quantum Information*, vol. 18, no. 05, p. 2050020, 2020, doi: 10.1142/S0219749920500203.

[38] E. Fredkin and T. Toffoli, "Conservative logic," *Int. J. of Theoretical Physics*, vol. 21, pp. 219-253, 1982, doi: 10.1007/BF01857727.

[39] M. Noorallahzadeh, M. Mosleh, S. S. Ahmadpour, J. Pal and B. Sen, "A new design of parity preserving reversible Vedic multiplier targeting emerging quantum circuits," *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, p. e3089, 2023, doi: 10.1002/jnm.3089.

[40] B. K. Bhoi, N. K. Misra and M. Pradhan, "Synthesis and simulation study of non-restoring cell architecture layout in perpendicular nano-magnetic logic," *Journal of Computational Electronics*, vol. 19, no. 1, pp. 407-418, 2020, doi: 10.1007/s10825-019-01432-1.

[41] M. Haghparast and K. Navi, "Novel reversible fault tolerant error coding and detection circuits," *International Journal of Quantum Information*, vol. 9, no. 02, pp. 723-738, 2011, doi: 10.1142/S0219749911007447.

[42] A. Banerjee, "Reversible cryptographic hardware with optimized quantum cost and delay," in *Annual IEEE India Conference (INDICON)*, 2010, pp. 1-4, doi: 10.1109/INDCON.2010.5712605.

COPYRIGHTS
©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2025.1993480.1328

Vol. 14/ No. 54/Winter 2025

Research Article

Use of Wiener-Hammerstein (WH) Model Optimized with Genetic Algorithm in Identification of Photovoltaic System

Iman Sohrabi Moghadam Chafjiri, PhD Student [1] | Alireza Azadbar, Assistant Professor[2*] | Abbas Ghadimi, Assistant Professor[3] | Seyed Javad Mousavi, Assistant Professor[4]

[1] Department of Electrical Engineering, Rasht Branch, Islamic Azad university, Rasht, Iran, sohrabimoghadam68@gmail.com

[2] Department of Medical Radiation Engineering, Lahijan Branch, Islamic Azad university, Lahijan, Iran, Al.azadbar@iau.ac.ir

[3] Department of Electrical Engineering, Lahijan Branch, Islamic Azad university, Lahijan, Iran, abbas.ghadimi@iau.ac.ir

[4]Department of Physics, Rasht Branch, Islamic Azad university, Rasht, Iran, jm6197@gmail.com

Correspondence
Alireza Azadbar, Assistant Professor, Department of Medical Radiation Engineering, Lahijan Branch, Islamic Azad university, Lahijan, Iran, Al.azadbar@iau.ac.ir

Received: 14 November 2023
Revised: 8 January 2024
Accepted: 17 February 2024

Abstract

System identification is a method of identification or measuring a mathematical model of a system by measuring the inputs and outputs of the system. In this paper we apply the Genetic Algorithm (GA) approach to model a photovoltaic (PV) systems with a Wiener-Hammerstein structure. Non-linear dynamic systems have both dynamic elements (energy storage elements) and in these types of systems there are non-linear relationships between some variables. If in such systems it can be assumed that dynamic parts and non-linear parts are separable, they can be modeled with the structures of block-oriented models. These types of models are composed of a combination of linear dynamic block(s) and static nonlinear block(s). This approach is concerned with the estimation of a photovoltaic (PV) system based on observed data. The nonlinear input and output are taken from the irradiance and DC output current data of the real system, respectively. The simulation results revealed the effectiveness and robustness of the proposed model using a genetic algorithm. The simulation results show an MSE value of 0.000774 for normal operation of the PV system and 0.009863 for the shading effect between the estimated and reference information rates.

Keywords: System Identification, Wiener-Hammerstein Model, Photovoltaic (PV) System, Genetic Algorithm.

Highlights

- Identifying the photovoltaic system in normal and shadow operating conditions.
- Using the block-oriented model.
- Using Wiener-Hammerstein model optimized with genetic algorithm.

Citation: I. Sohrabi Moghadam Chafjiri, A. Azadbar, A. Ghadimi, and SJ. Mousavi, "Use of Wiener-Hammerstein (WH) Model Optimized with Genetic Algorithm in Identification of Photovoltaic System," *Journal of Southern Communication Engineering*, vol. 14, no. 54, pp. 35–46, 2025, doi:10.30495/jce.2025.1993480.1328, [in Persian].

مقاله پژوهشی

استفاده از مدل وینر-همرشتاین بهینه شده با الگوریتم ژنتیک در شناسایی سیستم فتوولتائیک

ایمان سهرابی مقدم چافجیری[۱] | علیرضا آزادبر*[۲] | عباس قدیمی[۳] | سید جواد موسوی[۴]

[۱] گروه مهندسی برق، واحد رشت، دانشگاه آزاد اسلامی، رشت، ایران sohrabimoghadam68@gmail.com

[۲] گروه مهندسی پرتوپزشکی، واحد لاهیجان، دانشگاه آزاد اسلامی، لاهیجان، ایران al.azadbar@iau.ac.ir

[۳] گروه مهندسی برق، واحد لاهیجان، دانشگاه آزاد اسلامی، لاهیجان، ایران abbas.ghadimi@iau.ac.ir

[۴] گروه فیزیک، واحد رشت، دانشگاه آزاد اسلامی، رشت، ایران jm6197@gmail.com

نویسنده مسئول

*علیرضا آزادبر، استادیار، گروه مهندسی پرتوپزشکی، واحد لاهیجان، دانشگاه آزاد اسلامی، لاهیجان، ایران al.azadbar@iau.ac.ir

تاریخ دریافت: ۲۳ آبان ۱۴۰۲
تاریخ بازنگری: ۱۸ دی ۱۴۰۲
تاریخ پذیرش: ۲۸ بهمن ۱۴۰۲

https://doi.org/10.30495/jce.2025.1993480.1328

چکیده:

شناسایی سیستم بدست آوردن مدل ریاضی یک پدیده (مثلاً سیستم دینامیکی) به کمک اطلاعات آزمایشگاهی است. در این مقاله از الگوریتم ژنتیک (GA) برای مدل‌سازی سیستم فتوولتائیک (PV) با استفاده از ساختار وینر- همرشتاین استفاده شده است. سیستم‌های دینامیکی غیرخطی دارای هر دو عنصر پویا (عناصر ذخیره انرژی) هستند و در این نوع سیستم‌ها بین برخی از متغیرها روابط غیرخطی وجود دارد. اگر در چنین سیستم‌هایی بتوان فرض کرد که قسمت دینامیکی و غیرخطی قابل تفکیک هستند، می‌توان آن‌ها را با ساختارهای مدل‌های بلوک‌گرا مدل‌سازی کرد. این نوع مدل‌ها از ترکیب بلوک(های) دینامیک خطی و بلوک(های) غیرخطی استاتیک تشکیل شده‌اند. این رویکرد به تخمین یک سیستم فتوولتائیک براساس داده‌های مشاهده شده مربوط می‌شود. ورودی و خروجی غیرخطی به ترتیب از داده‌های تابش و جریان خروجی DC سیستم واقعی گرفته شده است. نتایج شبیه‌سازی اثربخشی مدل پیشنهادی را با استفاده از الگوریتم ژنتیک نشان می‌دهد. نتایج شبیه‌سازی مقدار میانگین مربعات خطا (MSE) ۰/۰۰۰۷۷۴ را برای عملکرد عادی سیستم فتوولتائیک و ۰/۰۰۹۸۶۳ را برای اثر سایه بین نرخ‌های اطلاعات تخمینی و واقعی نشان می‌دهد.

کلیدواژه‌ها: شناسایی سیستم، مدل وینر-همرشتاین، سیستم فتوولتائیک، الگوریتم ژنتیک.

۱-مقدمه

هدف از شناسایی سیستم[1]، به دست آوردن یک مدل ریاضی از یک پدیده با استفاده از اطلاعات آزمایشگاهی است. این تعریف نشان‌دهنده اهمیت این تکنیک در زمینه‌های مختلف مهندسی از جمله شناسایی سیستم‌های بیولوژیکی، فرآیندهای صنعتی، سیستم‌های اقتصادی، هوافضا و خودروسازی است. هدف از مدل‌سازی، تحلیل مهندسی، شبیه‌سازی، اندازه‌گیری وضعیت، پیش‌بینی و کنترل است. مراحل زیر برای شناسایی سیستم انجام می‌شود:

۱. انتخاب یک کلاس مدل براساس دانش پایه
۲. طراحی ورودی، آزمایش و جمع‌آوری داده‌ها
۳. پارامترسازی کلاس مدل
۴. تخمین پارامترهای مدل

[1] System identification

۵. ارزیابی مدل براساس تابع هدف

اخیراً شناسایی سیستم توجه بسیاری از محققین و دست‌اندرکاران را به خود جلب کرده است زیرا در مدل‌سازی بسیاری از سیستم‌ها با استفاده از رویکردهای مدل‌سازی فیزیکی مشکل وجود دارد. مدل‌های ریاضی تجربی خوب که کاربردهای عملی متنوعی را در زمینه‌های مختلف مهندسی نشان می‌دهند، برای رفع نیازهای مختلف موردنیاز هستند [۱]. این نیازها ممکن است شامل درک و تحلیل محدودیت‌های سیستم‌های موجود، پیش‌بینی و شبیه‌سازی آزمایش‌های جدید، یا طراحی یا اصلاح آزمایش‌های جدید باشد. برخلاف بسیاری از روش‌های یادگیری ماشین، شناسایی سیستم بینش بیشتری در مورد ساختار و پویایی سیستم می‌دهد. یک رویکرد بسیار رایج در شناسایی سیستم‌ها استفاده از روش‌های ساختار مدل مورد استفاده در این کار است. از آنجایی که مدل تقریبی از سیستم واقعی است، باید تعادلی بین پیچیدگی ساختار مدل و ساختار مدل ایجاد شود. صحت این پیش‌بینی‌ها در بسیاری از موارد می‌توان از مدل‌های خطی برای ایجاد پیش‌بینی‌های دقیق از رفتار یک سیستم استفاده کرد، به ویژه اگر عملکرد آن محدود به یک منطقه کوچک باشد. با این حال، اگر مدل موردنیاز برای پوشش یک محدوده بزرگتر باشد، یک مدل غیرخطی مورد نیاز است. یکی از چالش برانگیزترین مشکلات در شناسایی یک سیستم غیرخطی، انتخاب ساختار مدل مناسب است. در حال حاضر، چندین ساختار مبتنی بر شبکه‌های عصبی [۲]، مدل‌های بلوک‌گرا [۳-۴]، سری ولترا[1] [۵]، مدل‌سازی سری‌های زمانی [۶] و مدل‌های فازی [۷] وجود دارد. مطالعه‌ای بر روی روش‌های جعبه سیاه برای شناسایی غیرخطی توسط [۸] انجام شد. سیستم‌های دینامیکی غیرخطی هم دارای عناصر دینامیکی (عناصر ذخیره انرژی) هستند و هم روابط غیرخطی بین برخی از متغیرها در این نوع سیستم‌ها وجود دارد. در چنین سیستم‌هایی می‌توان فرض کرد که بخش‌های دینامیکی و غیرخطی قابل تفکیک هستند و می‌توان آن‌ها را با استفاده از مدل‌های بلوک‌گرا مدل‌سازی کرد. این مدل‌ها از ترکیب بلوک‌های دینامیکی خطی و بلوک‌های غیرخطی استاتیک تشکیل شده‌اند. مدل‌های بلوک‌گرا را می‌توان براساس نحوه قرارگیری عوامل دینامیکی غیرخطی و خطی تقسیم کرد:

مدل وینر: در این مدل سیگنال ورودی ابتدا توسط تابع تبدیل خطی فیلتر شده و سپس وارد ضریب غیر خطی می شود. این مدل یک حالت ساده شده از مدل سری وینر است [۹-۱۷].

مدل همرشتاین: در این مدل ابتدا ورودی وارد بلوک غیرخطی می‌شود و سپس سیگنال حاصل توسط تابع تبدیل خطی فیلتر می‌شود. [۱۸-۲۶]،

مدل همرشتاین- وینر: این مدل از ترکیب یک سری دو عامل غیرخطی با یک تابع تبدیل خطی بین آن‌ها تشکیل شده است. [۲۷-۳۰]،

مدل وینر- همرشتاین[2]: چنین مدلی با ترکیب سری مدل وینر و مدل همرشتاین ایجاد می‌شود. یعنی از دو تابع تبدیل خطی تشکیل شده است که بین آن‌ها یک ضریب غیرخطی وجود دارد. [۳۱-۴۰]

در این مقاله، ما در درجه اول با سیستم‌های غیرخطی از نوع وینر- همرشتاین سروکار داریم. این نوع سیستم‌ها دارای ساختارهای ساده‌ای هستند که از یک سری ترکیب یک قسمت غیرخطی استاتیک با دو قسمت خطی دینامیک تشکیل شده است. در بسیاری از موارد، بخش خطی به عنوان فیلتر مدل‌سازی می‌شود و اصطلاحات سیستم خطی و فیلتر به جای یکدیگر استفاده می‌شوند. یکی از مزایای این مدل این است که رفتار غیرخطی را به صورت استاتیک و رفتار خطی را به صورت دینامیکی در نظر می‌گیرد. این ساختارها بسیار ساده هستند و به طور مکرر در بسیاری از کاربران کنترلی استفاده شده است. شناسایی‌های زیادی برای این سازه‌ها ایجاد شده است. رویکردهای بسیاری برای شناسایی پارامترهای سیستم‌های وینر-همرشتاین توسط دانشگاهیان و مهندسان ارائه شده است.

در [۳۱]، یک رویکرد جدید برای شناسایی ساختارهای مدل وینر- همرشتاین توسعه داده شده است. در مرحله اول، سیستم توسط مجموعه‌ای از ورودی‌های ثابت راه‌اندازی می‌شود تا غیرخطی بودن سیستم را به تصویر بکشد. در مرحله دوم، یک رویکرد شناسایی مبتنی بر تحلیل طیفی با استفاده از سیگنال‌های ورودی دوره‌ای برای تعیین پارامترهای عناصر خطی ایجاد می‌شود. در روش حاضر از مفاهیم بسیار جالبی مانند تحلیل فوریه، رویکرد فرکانس و تحلیل طیف استفاده شده است. در [۳۲]،

[1] Volterra

[2] Wiener-Hammerstein

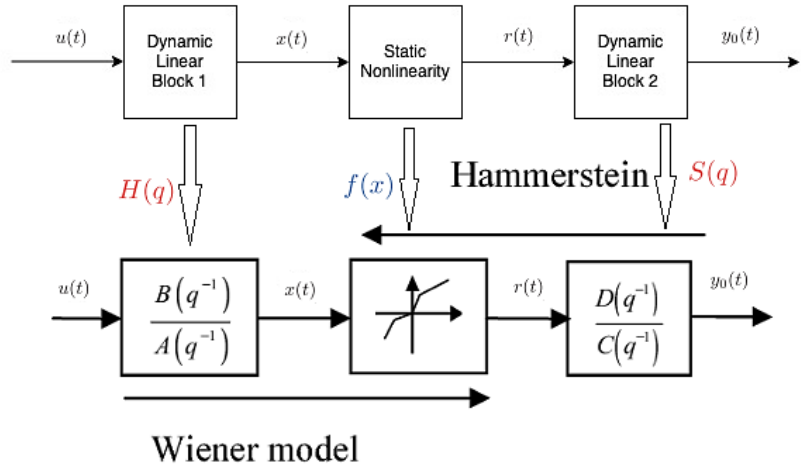
سیستم‌های دینامیکی غیرخطی توسط یک سری ولترا تقریبی شده‌اند. برای استفاده از نمایش ولترا، پیوندی بین نمایش ولترا و مدل موازی وینر- همرشتاین براساس جداسازی چندجمله‌ای چند متغیره برقرار می‌شود. سپس مشکل جداسازی اصلاح شده پارامترهای مدل موازی وینر- همرشتاین سیستم حل می‌شود. در [۳۳]، شناسایی مدل وینر- همرشتاین به عنوان یک مسأله بهینه‌سازی چند هدفه بیان شده است. دقت با میانگین مربعات خطا[1] بین خروجی واقعی و تخمین کمی محاسبه شده است. در [۳۴]، یک روش یادگیری ترکیبی برای دسته‌بندی، بنام جنگل تصادفی تکرارشونده[2] (RF) را به عنوان جایگزینی برای انتخاب دینامیکی ترکیبی پیشنهاد شده است.

در این مطالعه نشان می‌دهیم که می‌توان با حل یک مسئله بهینه‌سازی، یک مدل وینر- همرشتاین را با الگوریتم ژنتیک[3] به دست آورد. با توجه به ماهیت غیرخطی سیستم و پیچیدگی ریاضی روش‌های کلاسیک و یا خطای تخمین بالای این روش‌ها در شناسایی سیستم‌های غیرخطی، در این مقاله از الگوریتم ژنتیک که در دسته‌بندی روش های مدرن قرار می‌گیرد، استفاده می‌شود.

بقیه این مقاله به شرح زیر سازماندهی شده است. در بخش ۲، روشی برای شناسایی سیستم‌های وینر- همرشتاین معرفی شده است. بیان مسئله بهینه‌سازی در بخش ۳ ارائه شده است تا نتایج خوب و کاربرد عملی روش‌های شناسایی پیشنهادی را نشان دهد. بخش ۴ نتایج شبیه‌سازی را ارائه می‌کند. در نهایت، در بخش ۵، نتیجه‌گیری ارائه شده است.

۲- شرح سیستم مورد مطالعه

هدف از شناسایی سیستم، یافتن مدلی است که بهترین پیش‌بینی‌ها را از خروجی یک سیستم داشته باشد. روش کار به این صورت است که یک تابع هزینه مشخص می‌شود و مدلی جستجو می‌شود که این تابع هزینه را به حداقل می‌رساند. از آنجایی که مدل تقریبی از سیستم واقعی است، باید تعادلی بین پیچیدگی ساختار مدل و دقت این پیش‌بینی‌ها برقرار شود. در بسیاری از موارد می‌توان از مدل‌های خطی برای تولید پیش‌بینی‌های دقیق از رفتار یک سیستم استفاده کرد. یکی از مدل‌های غیرخطی رایج، مدل‌های بلوک‌دار، از جمله مدل‌های وینر و همرشتاین است. (شکل ۱) [۴۱]. در مدل وینر- همرشتاین ارائه شده در شکل ۱، ورودی u(t) و خروجی $y_0(t)$ قابل اندازه‌گیری هستند در حالی که متغیرهای داخلی x(t) و r(t) قابل اندازه‌گیری نیستند.



شکل ۱: مدل وینر- همرشتاین

Figure 1: Wiener-Hammerstein model

ساختار مدل کلاسیک نوع وینر- همرشتاین توسط [۴۲-۴۳] شرح داده شده است:

$$x(t) = H(q)u(t) \quad (۱)$$

[1] Mean Square Error
[2] Random Forest
[3] Genetic Algorithm

$$r(t) = f(x(t)) \quad (۲)$$

$$y_0(t) = s(q)\, r(t) \quad (۳)$$

فرض کنید که توابع انتقال S(q) و H(q) به صورت زیر داده شده‌اند:

$$s(q) = \frac{D(q^{-1})}{C(q^{-1})} = \frac{b_0+b_1q^{-1}+...+b_{nb}q^{-nb}}{a_0+a_1q^{-1}+...+b_{na}q^{-na}} \quad (۴)$$

$$H(q) = \frac{B(q^{-1})}{A(q^{-1})} = \frac{d_0+d_1q^{-1}+...+d_{nd}q^{-nd}}{c_0+c_1q^{-1}+...+c_{nc}q^{-nc}} \quad (۵)$$

بر این اساس، خروجی سیستم $y_0(t)$ به صورت تحلیلی با ورودی سیستم u(t) با معادله زیر مرتبط است:

$$y_0(t) = s(q)\, f(H(q)\, u(t)) \quad (۶)$$

آنچه مسلم است این است که هرچه درجه چندجمله‌ای بالاتر باشد، مدل دقیق‌تر است، اما از طرف دیگر، هرچه درجه چند جمله‌ای کمتر باشد، مدل ساده‌تر و قابل استفاده‌تر است. بنابراین در شناسایی سیستم ابتدا ساده ترین ساختار (مدل چند جمله‌ای درجه یک - خطی) در نظر گرفته می‌شود. اگر از چنین مدلی جواب مثبت نگیریم، به سراغ چند جمله‌ای‌های مرتبه بالاتر (سه، چهار،...) می‌رویم.

۳- بیان مسئله بهینه‌سازی

روش شناسایی وینر- همرشتاین ارائه شده در بخش‌های قبلی با استفاده از مجموعه‌ای از داده‌های اندازه‌گیری واقعی به دست آمده از یک سیستم فتوولتائیک[1] تأیید شد. در بسیاری از موارد، بخش خطی به عنوان یک فیلتر مدل‌سازی می‌شود و اصطلاحات سیستم خطی و فیلتر به جای یکدیگر استفاده می‌شوند. معادلات حاکم برای مدل غیرخطی وینر- همرشتاین به شرح زیر است:

$$x = a_1u^2 + a_2u + a_3 \quad (۷)$$

$$F[x] = \frac{b_1z + b_2}{c_1z^2 + c_2z + c_3} \quad (۸)$$

$$y_{estimated} = d_1r^2 + d_2r + d_3 \quad (۹)$$

تابع هزینه که میانگین مربعات خطا نامیده می‌شود، معمولاً به عنوان یک تابع میانگین زمانی بیان می‌شود که با معادله ۱۰ تعریف می‌شود. در این مطالعه، یک رویکرد جستجوی کاملاً متفاوت، مبتنی بر نظریه محاسبات تکاملی، توسط الگوریتم ژنتیک توسعه یافته است. در نهایت، منحصر به فرد بودن تابع هزینه تعریف شده توسط معادله ۱۰ تضمین شده است.

$$\text{cost function} = \min(J(\theta_{estimated})) = \min((\frac{1}{N_e}\sum_{t=1}^{N_e}(y(t) - y_{estimated}(t/\theta_{estimated}))^2)) \quad (۱۰)$$

$$\theta = [b_0\ b_1\ b_2\ ...b_{nb}\ a_0\ a_1\ a_2\ ...a_{na}\ d_0\ d_1\ d_2\ ...d_{nd}\ c_0\ c_1\ c_2\ ...c_{nc}]^T$$

که در آن N_e تعداد نقاط داده در رکورد ورودی- خروجی اندازه‌گیری شده است. جایی که $Y_{estimated}/\theta_{estimated}$ نشان‌دهنده بهترین پیش‌بینی خروجی سیستم $y_0(t)$ با استفاده از مدل القا شده توسط تخمین بردار پارامتر تخمین شده است.

الگوریتم ژنتیک یک تکنیک جستجو در علوم کامپیوتر برای یافتن راه‌حل تقریبی برای مسائل بهینه‌سازی است. الگوریتم ژنتیک نوع خاصی از الگوریتم تکاملی است که از تکنیک‌های بیولوژیکی مانند وراثت و جهش استفاده می‌کند.

۴- نتایج حاصل از شبیه‌سازی

در این مقاله از الگوریتم ژنتیک به عنوان بهینه‌ساز در فرآیند شناسایی برای به حداقل رساندن خطای خروجی استفاده شده است. پارامترهای الگوریتم ژنتیک به ترتیب ۵۰، ۰.۷، ۰.۲ و ۵۰ برای اندازه جمعیت، احتمال تقاطع، احتمال جهش و تعداد تکرار انتخاب شدند.

[1] Photovoltaic

مورد ۱: سیستم فتوولتائیک تحت عملکرد عادی: تابع انتقال از ورودی و خروجی برای شرایط عملکرد عادی به صورت [۴۴] داده می‌شود:

$$F[z]=\frac{z}{z^3+0.02566z^2+0.08104z-0.03689} \quad (۱۱)$$

داده‌های ورودی: تابش (W/m^2)

داده‌های خروجی: جریان خروجی DC.

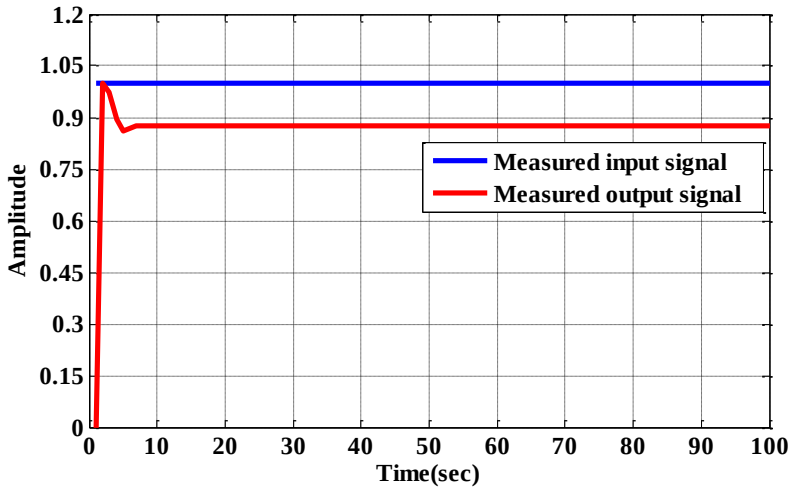
حالت ۲: عملیات سایه‌زنی سیستم فتوولتائیک: توابع انتقال از ورودی و خروجی برای عملیات سایه‌زنی برای مدل سیستم فتوولتائیک برای تک ورودی- تک خروجی به شرح زیر است [۴۴]:

$$F[z]=\frac{z^2}{z^3+0.144z^2-0.5278z-0.03807} \quad (۱۲)$$

داده‌های ورودی: تابش (W/m^2)

داده‌های خروجی: جریان خروجی DC.

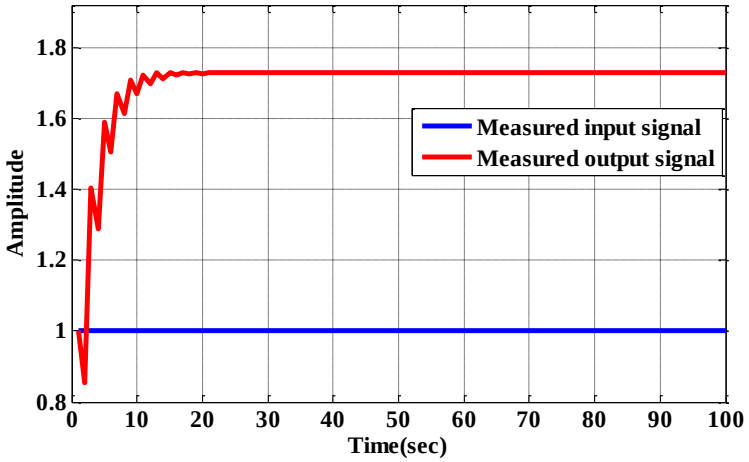
سیگنال‌های اندازه‌گیری شده برای تابع انتقال ۱۱ در شکل ۲ نشان داده شده است.



شکل ۲: سیگنال ورودی و خروجی اندازه‌گیری شده

Figure 2: Measured input and output signal

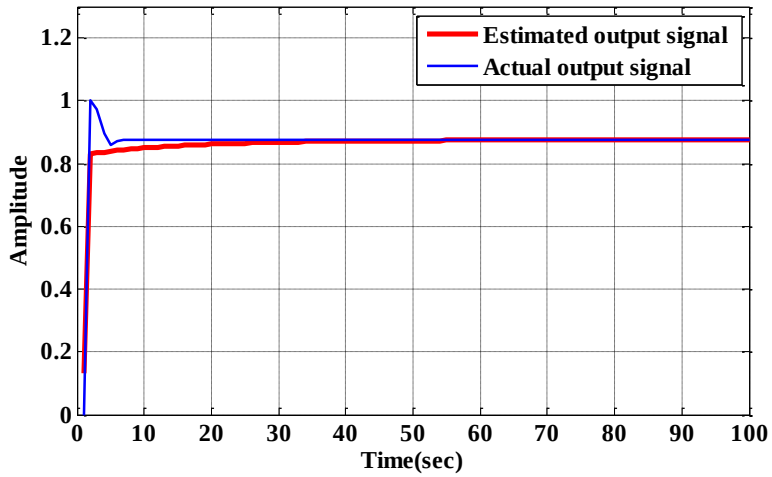
سیگنال‌های اندازه‌گیری شده برای تابع انتقال ۱۲ در شکل ۳ نشان داده شده است.



شکل ۳: سیگنال ورودی و خروجی اندازه‌گیری شده

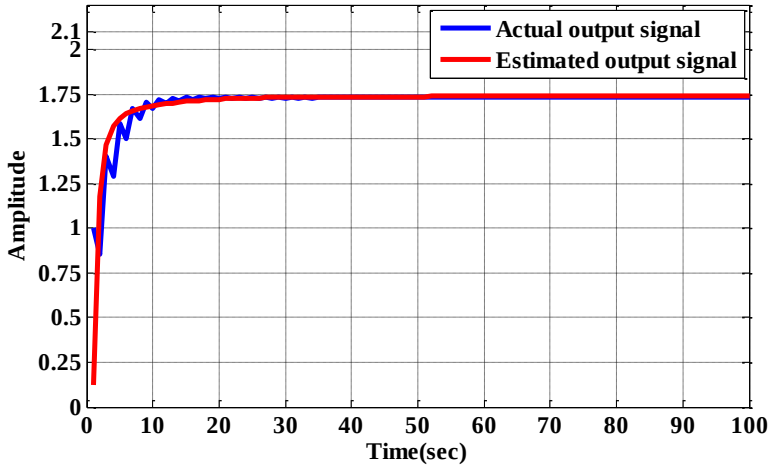
Figure 2: Measured input and output signal

علاوه بر این، خروجی‌های مدل آزمایشی برای ۱۰۰ نقطه داده برای تحت عملکرد عادی در شکل ۴ و برای عملیات سایه‌زنی سیستم در شکل ۵ نشان داده شده است که یک خطای کوچک در شکل مشخص شده است.



شکل ۴. مقایسه پاسخ‌های شبیه‌سازی شده

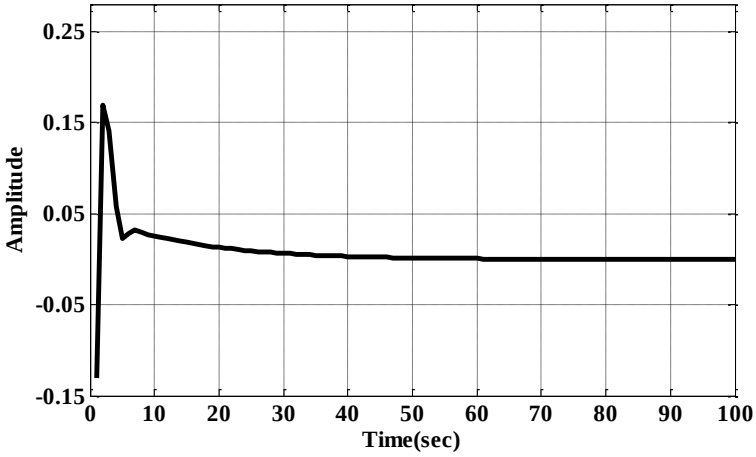
Figure 4. Comparison of simulated responses



شکل ۵. مقایسه پاسخ‌های شبیه‌سازی شده

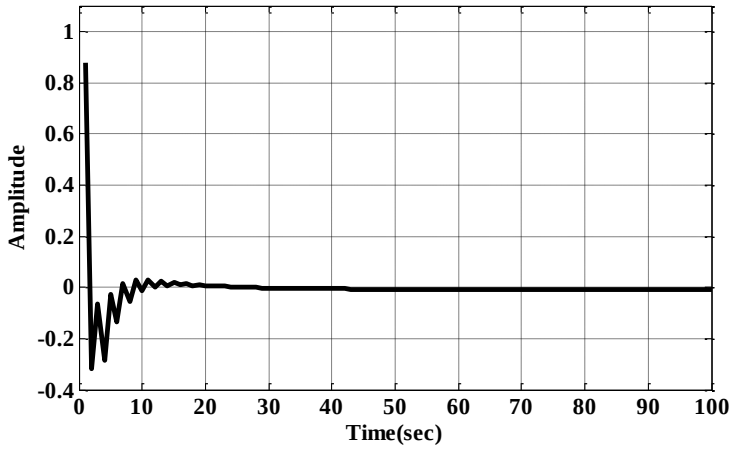
Figure 4. Comparison of simulated responses

اعتبارسنجی مدل با استفاده از خروجی واقعی و خروجی‌های به دست آمده از مدل برای تأیید عملکرد طرح پیشنهادی، همانطور که نشان داده شده است، انجام شد. مشاهده می‌شود که خروجی‌های مدل الگوریتم‌های شناسایی بهتر می‌توانند با خروجی‌های واقعی سیستم مطابقت داشته باشند. الگوریتم پیشنهادی کمترین خطای مدل را دارد که نشان می‌دهد یک الگوریتم شناسایی برجسته است. تفاوت بین خروجی‌های اندازه‌گیری شده و تخمینی برای تحت عملکرد عادی در شکل ۶ و برای عملیات سایه‌زنی سیستم در شکل ۷ نشان داده شده است.



شکل ۶. خطای تخمین

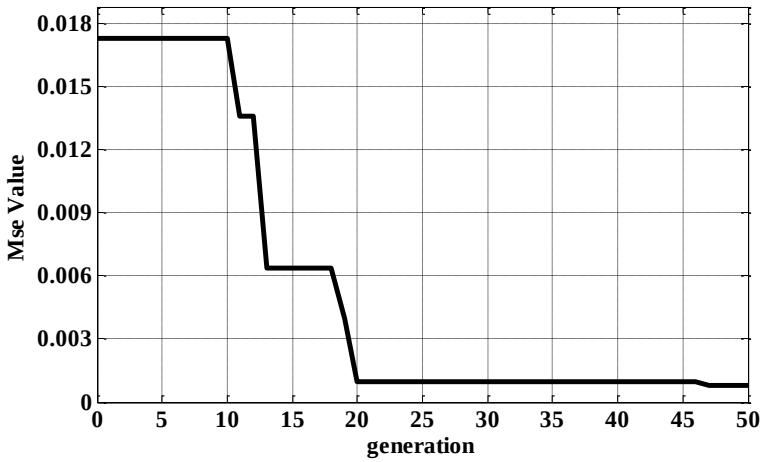
Figure 6. Estimation Error



شکل ۷. خطای تخمین

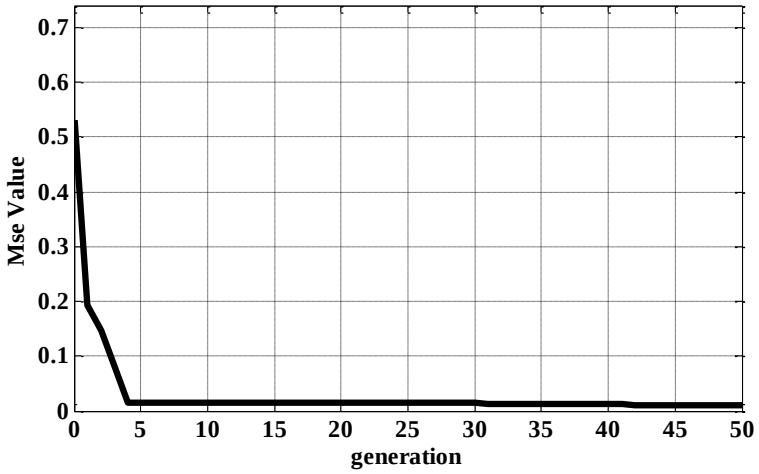
Figure 6. Estimation Error

تغییرات در میانگین مربعات خطا برای تحت عملکرد عادی در شکل ۸ و برای عملیات سایه‌زنی سیستم در شکل ۹ به صورت گرافیکی برای ۵۰ عدد نسل ارائه شده است. مدل وینر- همرشتاین براساس عملکرد عادی سیستم فتوولتائیک دارای مقادیر میانگین مربعات خطا ۰/۰۰۰۷۷٤ و ۰/۰۰۹۸٦۳ برای اثر سایه‌زنی است.



شکل ۸. میانگین مربعات خطا در نسل‌های مختلف الگوریتم ژنتیک

Figure 8. Mean square error in different generations of genetic algorithm



شکل ۹. میانگین مربعات خطا در نسل‌های مختلف الگوریتم ژنتیک
Figure 8. Mean square error in different generations of genetic algorithm

بردار پارامتر ناشناخته θ که با استفاده از الگوریتم ژنتیک تخمین زده می شود در جدول ۱ برای سیستم فتوولتائیک در شرایط عملیاتی عادی و سیستم های فتوولتائیک تحت سایه در جدول ۲ آورده شده است.

جدول ۱. پارامترهای مدل (تحت عملکرد عادی)
Table 1. Model parameters (under normal operation)

Parameters	Values	Equations for the nonlinear Wiener-Hammerstein model
a_1	-1.11	$x = -1.11u^2 - 1.12u + 0.59$
a_2	-1.12	
a_3	0.59	
b_1	-0.31	$F[x] = \frac{-0.31z - 0.22}{0.02z^2 + 3.57z + 2.36}$
b_2	-0.22	
c_1	0.02	
c_2	3.57	
c_3	2.36	
d_1	3.51	$y_{estimated} = 3.51r^2 + 4.26r - 0.86$
d_2	4.26	
d_3	-0.86	
Mean Square Error (MSE)	**0.000774**	

جدول ۲. پارامترهای مدل (تحت عملکرد سایه)
Table 2. Model parameters (under shadow function)

Parameters	Values	Equations for the nonlinear Wiener-Hammerstein model
a1	-0.37	$x = -0.37u^2 - 3.74u + 0.086$
a2	3.74	
a3	0.086	
b1	1.126	$F[x] = \frac{1.126z + 1.545}{0.44z^2 + 4.43z + 4.18}$
b2	1.545	
c1	0.44	
c2	4.43	
c3	4.18	
d1	-0.751	$y_{estimated} = -0.7511r^2 + 2.22r - 0.81$
d2	2.22	
d3	-0.81	
Mean Square Error (MSE)	**0.009863**	

در این مقاله، میانگین مربعات خطای الگوریتم ژنتیک طراحی شده برای داده های ورودی و خروجی، معیار ارزیابی شبکه است. در این مقاله، زمان اجرای الگوریتم ژنتیک برای سیستم فتوولتائیک در حالت عملیات عادی ۸۵/۵۲ ثانیه و سیستم فتوولتائیک تحت عملیات سایه‌اندازی ۹۴/۱۶ ثانیه است.

۵- نتیجه‌گیری

در این مقاله، شناسایی یک سیستم فتوولتائیک در شرایط عملیاتی نرمال و سایه با استفاده از مدل وینر- همرشتاین براساس الگوریتم ژنتیک ارائه شده است. سیستم‌های وینر- همرشتاین مدل‌های غیرخطی هستند که به دلیل سادگی و معنای فیزیکی در بسیاری از حوزه‌ها استفاده می‌شوند. در این مقاله به دلیل غیرخطی بودن سیستم و پیچیدگی ریاضی روش‌های کلاسیک یا خطای تخمین، از الگوریتم ژنتیک در دسته روش‌های نوین استفاده شده است. نتایج پاسخ مرحله‌ای از ابزار شناسایی سیستم برای هر دو شرایط، واکنش خوبی به مقدار ثابت نهایی نشان داد. نتایج شبیه‌سازی مقدار میانگین مربعات خطا را برای عملکرد عادی سیستم ۰/۰۰۰۷۷۴ و برای اثر سایه ۰/۰۰۹۸۶۳ نشان داد. نتایج شبیه‌سازی دقت بالای روش پیشنهادی را در شناسایی سیستم فتوولتائیک نشان می‌دهد. پیشنهاد برای کار بیشتر:

۱- استفاده از روش ارائه شده برای شناسایی آنلاین سیستم هم از نظر دقت و هم از نظر سرعت قابل بررسی است.

۲- در مقالات جدید نشان داده شده است که سیستم‌های دنیای واقعی همگی دارای درجه ای از کسری هستند، بنابراین برای افزایش دقت پیشنهاد می‌شود از تابع تبدیل مرتبه کسری استفاده شود.

مراجع

[1] L. Jin, Z. Liu and L. Li, “Prediction and identification of nonlinear dynamical systems using machine learning approaches,” *J. Ind. Inf. Integr*, vol. 35, p. 100503, 2023, doi: 10.1016/j.jii.2023.100503 .

[2] A. Cheng and Y. M. Low, “Improved generalization of NARX neural networks for enhanced metamodeling of nonlinear dynamic systems under stochastic excitations,” *Mech. Syst. Signal Process*, vol. 200, p. 110543, 2023, doi: 10.1016/j.ymssp.2023.110543.

[3] H.V.A. Truong; M. H. Nguyen, D.T. Tran and K.K. Ahn, “A novel adaptive neural network-based time-delayed estimation control for nonlinear systems subject to disturbances and unknown dynamics,” *ISA Trans*, vol. 142, pp. 214-227, 2023, doi: 10.1016/j.isatra.2023.07.032.

[4] Z. Sheikhlar, M. Hedayati; A. D. Tafti and H. F. Farahani, “Fuzzy Elman Wavelet Network: Applications to function approximation, system identification, and power system control,” *Inf. Sci*, vol. 583, pp. 306-331, 2022, doi: 10.1016/j.ins.2021.11.009.

[5] M.H. Hamedani, M. Zekri, F. Sheikholeslam, M. Selvaggio, F. Ficuciello and B. Siciliano, “Recurrent fuzzy wavelet neural network variable impedance control of robotic manipulators with fuzzy gain dynamic surface in an unknown varied environment,” *Fuzzy Sets Syst.*, vol. 416, pp. 1-26, 2021, doi: 10.1016/j.fss.2020.05.001.

[6] R. Kumar, "Memory Recurrent Elman Neural Network-Based Identification of Time-Delayed Nonlinear Dynamical System," in *IEEE Transactions on Systems, Man, and Cybernetics: Systems*, vol. 53, no. 2, pp. 753-762, Feb. 2023, doi: 10.1109/TSMC.2022.3186610.

[7] S. Luo, F.L Lewis, Y. Song and R. Garrappa, “Dynamical analysis and accelerated optimal stabilization of the fractional-order self-sustained electromechanical seismograph system with fuzzy wavelet neural network,” *Nonlinear Dyn*. vol. 104,no. 2, pp. 1389–1404, 2021, doi: 10.1007/s11071-021-06330-5.

[8] J. Fei and L. Liu, "Real-Time Nonlinear Model Predictive Control of Active Power Filter Using Self-Feedback Recurrent Fuzzy Neural Network Estimator," in *IEEE Transactions on Industrial Electronics*, vol. 69, no. 8, pp. 8366-8376, Aug. 2022, doi: 10.1109/TIE.2021.3106007.

[9] W.L. Xiong, X.Q. Yang, L. Ke and B.G. Xu, “EM algorithm-based identification of a class of nonlinear Wiener systems with missing output data,” *Nonlinear Dyn*. vol. 80, no. 1, pp. 329–339, 2015.

[10] M. Kazemi and M.M. Arefi, “A fast iterative recursive least squares algorithm for Wiener model identification of highly nonlinear systems” *ISA Trans*. vol. 67, pp. 382–388, 2017, doi: 10.1016/j.isatra.2016.12.002.

[11] P.S. Pal, R. Kar, D. Mandal and S.P. Ghoshal, “Parametric identification with performance assessment of Wiener systems using brain storm optimization algorithm,” *Circuits Syst. Signal Process*. Vol. 36, no. 8, pp. 3143–3181, 2017, doi: 10.1007/s00034-016-0464-7.

[12] J.H. Li and X. Li, “Particle swarm optimization iterative identification algorithm and gradient iterative identification algorithm for Wiener systems with colored noise,” *Complexity* , vol. 2018, Article Number : 7353171,pp. 1-8, 2018, doi: 10.1155/2018/7353171.

[13] G. Bottegal, R. Castro-Garcia and J.A.K. Suykens, “A two-experiment approach to Wiener system identification,” *Automatica*, vol. 93, pp. 282–289, 2018, doi: 10.1016/j.automatica.2018.03.069.

[14] J. Li, T. Zong, J. Gu and L. Hua, “Parameter Estimation of Wiener Systems Based on the Particle Swarm Iteration and Gradient Search Principle,” *Circuits, Systems, and Signal Processing*, vol. 39, no. 10, 2020, doi: 10.1007/s00034-019-01329-1.

[15] G. Mzyk and P. Wachel, “Wiener system identification by input injection method,” *Int. J. Adapt. Control Signal Process*., vol. 34, pp. 1105–1119, 2020.

[16] S. Mete, H. Zorlu and Ş. Özer, “An improved wiener model for system identification,” *NÖHÜ Müh. Bilim. Derg. / NOHU J. Eng. Sci*., vol. 9, no. 2, pp. 796-810, 2020, doi: 10.28948/ngumuh.553279.

[17] S. Gupta, A. Kumar Sahoo and U. Kumar Sahoo, “Volterra and Wiener Model Based Temporally and Spatio-Temporally Coupled Nonlinear System Identification: A Synthesized Review,” *IETE Technical Review*, vol. 38, no. 3, pp. 303-327, 2020, doi: 10.1080/02564602.2020.1732233.

[18] R. Castro-Garcia, K. Tiels, J. Schoukens and J. A. K. Suykens, "Incorporating Best Linear Approximation within LS-SVM-based Hammerstein System Identification," in *IEEE Conference on Decision and Control (CDC)*, Osaka, Japan, 2015, pp. 7392-7397, doi: 10.1109/CDC.2015.7403387.

[19] H. Ase and T. Katayama, “A subspace-based identification of Wiener-Hammerstein benchmark model,” *Control Engineering Practice*, vol. 44, pp. 126–137, 2015, doi: 10.1016/j.conengprac.2015.07.011 .

[20] B. Aissaoui, M. Soltani and A. Chaari, “Subspace Identification of Hammerstein Model with Unified Discontinuous Nonlinearity,” *Mathematical Problems in Engineering*, vol. 2016, Article Number: 1794921, pp. 1-10, 2016, doi: 10.1155/2016/1794921.

[21] R. Castro-Garcia, K. Tiels, O. Mauricio Agudelo and J. A. K. Suykens, “Hammerstein system identification through best linear approximation inversion and regularisation,” *International Journal of Control*, vol. 91, no. 8, pp. 1757-1773, 2018, doi: 10.1080/00207179.2017.1329550.

[22] R. Castro-Garcia, O. Mauricio Agudelo and J. A.K. Suykens, “Impulse response constrained LS-SVM modeling for Hammerstein system identification,” *IFAC-PapersOnLine*, vol. 50, no. 1, pp. 14046-14051, doi: 10.1016/j.ifacol.2017.08.2435.

[23] I. A. Aljamaan, M. M. Al-Dhaifallah and D. T. Westwick, “Hammerstein Box-Jenkins System Identification of the Cascaded Tanks Benchmark System,” Mathematical Problems in Engineering, vol. 2021, Article Number: 6613425, 2021, doi: 10.1155/2021/6613425.

[24] R. Castro-Garcia, O. Mauricio Agudelo and J. A.K. Suykens, “Impulse response constrained LS-SVM modelling for MIMO Hammerstein system identification,” *International Journal of Control*, vol. 92, no. 4, pp. 908-925, 2017, doi: 10.1080/00207179.2017.1373862.

[25] V. Prasad, K. Kothari and U. Mehta, “Parametric Identification of Nonlinear Fractional Hammerstein Models,” *fractal and fractional*, vol. 4, no. 1, pp. 1-12, 2020, doi: 10.3390/fractalfract4010002.

[26] A. Mehmood, A. Zameer, N.I. Chaudhary and M.A.Z. Raja, “Backtracking search heuristics for identification of electrical muscle stimulation models using Hammerstein structure,” *Appl. Soft Comput.* vol. 84, p. 105705, 2019, doi: 10.1016/j.asoc.2019.105705.

[27] F. Yu, Z. Mao and D. He, "Identification of Time-Varying Hammerstein-Wiener Systems," in *IEEE Access*, vol. 8, pp. 136906-136916, 2020, doi: 10.1109/ACCESS.2020.3011608.

[28] R. Moriyasu, T. Ikeda, S. Kawaguchi and K. Kashima, "Structured Hammerstein-Wiener Model Learning for Model Predictive Control," in *IEEE Control Systems Letters*, vol. 6, pp. 397-402, 2022, doi: 10.1109/LCSYS.2021.3077201.

[29] B. D. S. Pês, E. Oroski, J. G. Guimarães and M. J. C. Bonfim, "A Hammerstein–Wiener Model for Single-Electron Transistors," in *IEEE Transactions on Electron Devices*, vol. 66, no. 2, pp. 1092-1099, Feb. 2019, doi: 10.1109/TED.2018.2885060.

[30] T. Bogodorova and L. Vanfretti, "Model Structure Choice for a Static VAR Compensator Under Modeling Uncertainty and Incomplete Information," in *IEEE Access*, vol. 5, pp. 22657-22666, 2017, doi: 10.1109/ACCESS.2017.2758845.

[31] A. Brouri, "Wiener–Hammerstein nonlinear system identification using spectral analysis," *International Journal of Robust and Nonlinear Control*, 2022, doi: 10.1002/rnc.6135.

[32] P. Dreesen and M. Ishteva, "Parameter Estimation of Parallel Wiener-Hammerstein Systems by Decoupling their Volterra Representations," *IFAC-PapersOnLine*,vol. 54, no. 7, pp. 457-462, 2021, doi: 10.1016/j.ifacol.2021.08.402.

[33] J. Zambrano, J. Sanchis, J. M. Herrero and M. Martínez, "WH-MOEA: A Multi-Objective Evolutionary Algorithm for Wiener-Hammerstein System Identification. A Novel Approach for Trade-Off Analysis Between Complexity and Accuracy," in *IEEE Access*, vol. 8, pp. 228655-228674, 2020, doi: 10.1109/ACCESS.2020.3046352.

[34] M. A. H. Shaikh and K. Barbé, "Study of Random Forest to Identify Wiener–Hammerstein System," in *IEEE Transactions on Instrumentation and Measurement*, vol. 70, pp. 1-12, 2021, Article Number: 6500712, doi: 10.1109/TIM.2020.3018840.

[35] M. A. H. Shaikh and K. Barbé, "Wiener–Hammerstein System Identification: A Fast Approach Through Spearman Correlation," in *IEEE Transactions on Instrumentation and Measurement*, vol. 68, no. 5, pp. 1628-1636, May 2019, doi: 10.1109/TIM.2019.2896366.

[36] M. A. H. Shaikh and K. Barbé, "Spearman correlation for initial estimation of Wiener-Hammerstein system,"in *IEEE International Instrumentation and Measurement Technology Conference (I2MTC)*, Houston, TX, USA, 2018, pp. 1-6, doi: 10.1109/I2MTC.2018.8409602.

[37] J. Zambrano, J. Sanchis, J. M. Herrero and M. Martínez, "WH-EA: An Evolutionary Algorithm for Wiener-Hammerstein System Identification," vol. 2018, Article Number: 1753262, 2018, doi: 10.1155/2018/1753262.

[38] L. Li and X. Ren, "Identification of nonlinear Wiener-Hammerstein systems by a novel adaptive algorithm based on cost function framework," *ISA Transactions*, vol. 80, pp. 146-159, 2018, doi: 10.1016/j.isatra.2018.07.015.

[39] G. Giordano, Sébastien. Gros and J. Sjöberg, "An improved method for Wiener–Hammerstein system identification based on the Fractional Approach," *Automatica*, vol. 94, pp. 349-360, 2018, doi: 10.1016/j.automatica.2018.04.046.

[40] G. Mzyk and P. Wachel, "Kernel-based identification of Wiener–Hammerstein system," *Automatica*, vol. 83, pp. 275-281, 2017, doi: 10.1016/j.automatica.2017.06.038.

[41] G. Giordano and J. Sjoberg, "A Time-Domain Fractional Approach for Wiener-Hammerstein Systems Identification," *IFAC-PapersOnLine*, vol. 48, pp. 1232-1237, doi: 10.1016/j.ifacol.2015.12.300.

[42] E. Zhang, M. Schoukens and J. Schoukens, "Structure Detection of Wiener–Hammerstein Systems With Process Noise," in *IEEE Transactions on Instrumentation and Measurement*, vol. 66, no. 3, pp. 569-576, March 2017, doi: 10.1109/TIM.2016.2647418.

[43] M. Schoukens and K. Tiels, “Identification of block-oriented nonlinear systems starting from linear approximations: A survey,” *Automatica*, vol. 85, pp. 272-292, 2017, doi: 10.1016/j.automatica.2017.06.044 .

[44] M. N. Mohd Hussain, A. Maliki Omar and P. Saidin, “Samat and Zakaria Hussain, “Identification of Hammerstein-Weiner System for Normal and Shading Operation of Photovoltaic System,” *International Journal of Machine Learning and Computing*, vol. 2, no. 3, June 2012, doi: 10.7763/IJMLC.2012.V2.122.

COPYRIGHTS
©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2023.1996352.1223

Vol. 14/ No. 54/Winter 2025

Research Article

Low-Power Differential Voltage-Controlled Ring Oscillator Based on Carbon Nanotube Field-Effect Transistor (CNTFET)

Saba Naseri Akbar, MsC [1]

[1] Department of Electrical Engineering, Islamshahr Branch, Islamic Azad University, Tehran, Iran, sabsen1394@gmail.com

Correspondence
Saba Naseri Akbar, MsC of Electrical Engineering, Department of Electrical Engineering, Islamshahr Branch, Islamic Azad University, Tehran, Iran
Email: sabsen1394@gmail.com

Received: 13 September 2023
Revised: 2 December 2023
Accepted: 20 December 2023

Abstract

Due to the better common-mode elimination of power supply voltage and sub-substrate noise, the differential ring oscillator (DRO) performs better than the single-ended ring oscillator (SERO) in both analog and digital integrated circuits. Also, it is easy to achieve high frequency performance with in-phase and quadrature outputs in a differential ring oscillator. For this purpose, in this research, the design and simulation of a three-stage differential voltage controlled circular oscillator (DVCRO) based on carbon nanotube field effect transistor (CNTFET) is presented, whose oscillation frequency can be changed by changing the control voltage of the proposed delay cell structure. A very wide range changed from 45.7 GHz to 110.18 GHz, and at the same time, its power consumption is in the range of 5.17 µW to 32.68 µW. Based on the results obtained at the supply voltage of 0.9 V, the proposed voltage controlled ring oscillator (VCRO) based on carbon nanotube field effect transistor shows promising characteristics compared to its counterpart based on metal-oxide-semiconductor field effect transistor (MOSFET). Also, it performs exceptionally well compared to other existing oscillators.

Keywords: Carbon Nanotube Field Effect Transistor (CNTFET), Power Delay Product (PDP), delay cell, Differential Voltage Controlled Ring Oscillator (DVCRO), Single Ended Ring Oscillator (SERO).

Highlights

- Presentation of a new 9-transistor delay cell based on carbon nanotube field effect transistor (CNTFET).
- The changeability of the delay characteristic in the proposed delay cell by changing the control voltage.
- Providing a three-stage differential Voltage Controlled Oscillator (VCO) based on carbon nanotube field effect transistor in the high frequency range and beyond.
- Achieving a wide adjustment range with low power consumption in the proposed voltage-controlled oscillator.

Citation: S. Naseri Akbar, "Low-Power Differential Voltage-Controlled Ring Oscillator Based on Carbon Nanotube Field-Effect Transistor (CNTFET)," *Journal of Southern Communication Engineering*, vol. 14, no. 54, pp. 47–68, 2025, doi: 10.30495/jce.2023.1996352.1223, [in Persian].

مقاله پژوهشی

نوسان‌ساز حلقوی تفاضلی کنترل‌شده با ولتاژ توان پایین مبتنی بر ترانزیستورهای اثر میدان نانولوله کربنی

صبا ناصری اکبر [۱]

[۱] گروه برق، دانشکده فنی و مهندسی، دانشگاه ازاد اسلامی واحد اسلامشهر، تهران، ایران،
sabsen1394@gmail.com

نویسنده مسئول
* صبا ناصری اکبر، کارشناسی ارشد، دانشگاه آزاد اسلامی واحد اسلامشهر، تهران، ایران
sabsen1394@gmail.com

چکیده:

به دلیل حذف حالت مشترک بهتر تغذیه و نویز زیر بستر، نوسان‌ساز حلقوی تفاضلی (DRO) عملکرد بهتری نسبت به نوسان‌ساز حلقوی تک‌سر (SERO) هم در مدارات مجتمع آنالوگ و هم مدارات دیجیتال از خود نشان می‌دهد. همچنین، دستیابی به عملکرد فرکانس بالا با خروجی‌های هم‌فاز و متعامد در نوسان‌ساز حلقوی تفاضلی آسان است. بدین منظور در این پژوهش، طراحی و شبیه‌سازی یک نوسان‌ساز حلقوی تفاضلی کنترل‌شده با ولتاژ (DVCRO) سه‌طبقه بر اساس ترانزیستور اثر میدان نانولوله کربنی (CNTFET) ارائه می‌شود که فرکانس نوسان آن را با تغییر ولتاژ کنترل ساختار سلول تأخیر پیشنهادی می‌توان در بازه بسیار وسیعی از ۴۵/۷ گیگاهرتز تا ۱۱۰/۱۸ گیگاهرتز تغییر داد و درعین‌حال توان مصرفی آن در بازه ۵/۱۷ میکرو وات تا ۳۲/۶۸ میکرو وات باشد. بر اساس نتایج به دست آمده در ولتاژ تغذیه ۰/۹ ولت، نوسان‌ساز حلقوی کنترل‌شده با ولتاژ (VCRO) پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی ویژگی‌های امیدوارکننده‌ای نسبت به همتای مبتنی بر ترانزیستور اثر میدان نیمه هادی-اکسید-فلز (MOSFET) خود نشان می‌دهد. همچنین، نسبت به سایر نوسان‌سازهای موجود عملکرد فوق‌العاده خوبی از خود نشان می‌دهد.

کلیدواژه‌ها: ترانزیستور اثر میدان نانولوله کربنی (CNTFET)، حاصل‌ضرب تأخیر در توان (PDP)، سلول تأخیر، نوسان‌ساز حلقوی تفاضلی کنترل‌شده با ولتاژ (DVCRO)، نوسان‌ساز حلقوی تک‌سر (SERO).

تاریخ دریافت: ۲۲ شهریور ۱۴۰۲
تاریخ بازنگری: ۱۱ آذر ۱۴۰۲
تاریخ پذیرش: ۲۹ آذر ۱۴۰۲

https://doi.org/10.30495/jce.2023.1996352.1223

۱- مقدمه

با پیشرفت در مدل‌سازی نیمه‌رساناها، کوچک‌سازی اندازه ترانزیستورها، پیشرفت‌ها در فرآیندهای ساخت و با توسعه سریع ابزارهای طراحی کامپیوتری، بازار مدار مجتمع در حال رشد سریع است. امروزه فنّاوری CMOS به دلیل گرایش صنعت به اعمال فنّاوری‌های فرآیند استاندارد به پیاده‌سازی مدارات آنالوگ و دیجیتال در یک تراشه واحد، در طراحی مدارات آنالوگ و در سیستم‌های سیگنال مخلوط بر سایر فنّاوری‌ها چیره شده است. با اینکه مدارات دیجیتال زیادی را با توان مصرفی کوچک‌تر می‌توان در سطح کوچک‌تری جا داد، اما اکثر مدارات آنالوگ موجود به تغییرات زیاد یا حتی طراحی دوباره نیاز دارند. به دلیل ترارسانایی ذاتی کمتر افزاره‌های CMOS و نیز کاهش بهره به دلیل اثرات کانال کوتاه که در فرآیندهای CMOS زیر میکرون پدیدار می‌شود، بهینه‌سازی مدارات آنالوگ با کاهش طول کانال ترانزیستور به چند ده نانومتر بسیار مشکل می‌شود [۱].

کاهش مقیاس ترانزیستور اثر میدان نیمه هادی-اکسید-فلز[۱] (MOSFET) در حوزه نانو بسیاری از چالش‌ها مانند جریان نشتی گیت، نشتی درین ایجاد شده توسط گیت[۲] (GIDL)، جریان نشتی حالت خاموش، تأخیرها، اتلاف توان، اثرات کانال کوتاه و بسیاری دیگر را آشکار می‌کند [۲]. این چالش‌ها اجتناب‌ناپذیر هستند، به‌طوری که اندازه ترانزیستور مهم‌ترین پارامتری است که باید توسط طراح‌ها در فرآیند کاهش اندازه در نظر گرفته شود. همچنین تکامل مدارهای مجتمع از یک سو و نیاز به کاهش ابعاد ترانزیستورها به‌منظور افزایش سرعت و کاهش مصرف توان سبب توسعه نسل جدیدی از افزاره‌های الکترونیکی شده که از آن تحت عنوان نانو افزاره یاد می‌شود. گر چه امروزه تمایل به استفاده از افزاره‌های مبتنی بر CMOS رشد روزافزونی داشته است، اما شرایط فیزیکی این دسته از افزاره‌ها محدودیت‌هایی را در کوچک‌سازی به وجود می‌آورند. به‌طوری‌که برای افزاره‌های با طول گیت پایین‌تر از ۲۰ نانومتر به‌ندرت می‌توان از CMOS بهره جست؛ بنابراین یکی از ایده‌هایی که برای استفاده از خواص الکترونیکی نانولوله‌ها وجود دارد، استفاده از آن‌ها به‌جای سیلیکون در مدارهای الکترونیکی است [۳]. ابعاد نانومتری این مواد و تئوری‌های کوانتومی حاکم بر این نوع از مواد سبب شده تا نانولوله‌های کربنی به‌عنوان ماده‌ای مناسب در فنّاوری نیمه‌هادی مدنظر قرار گیرند [۴].

مسئله اصلی طراحی آنالوگ، موقع سروکار داشتن با فنّاوری نانولوله کربنی، تعیین اندازه ترانزیستورها به‌منظور دستیابی به مشخصات الکتریکی موردنظر است. در هنگام کار با فنّاوری CMOS مرسوم، به‌طور کلی متغیرهای آزاد W (عرض کانال گیت) و L (طول کانال گیت) در طراحی مدار نقش دارند؛ اما برای فن‌آوری ترانزیستور اثر میدان نانولوله کربنی، قطر یک نانولوله ثابت بوده و طول کانال متغیر است. به‌منظور دستیابی به جریان‌های بالاتر، ممکن است چندین نانولوله (N) به‌صورت موازی پیوند شوند؛ بنابراین، متغیرهای آزاد L و N هستند. در یک ترانزیستور CMOS، W را می‌توان به‌طور مداوم تغییر داد. در فنّاوری ترانزیستور اثر میدان نانولوله کربنی، عرض کانال با تعداد نانولوله‌هایی که نواحی سورس و درین را به‌طور موازی متصل می‌کنند تعیین می‌شود. با این حال، هنگام تجزیه و تحلیل ویژگی‌های الکتریکی، این هم ارزی از بین می‌رود. قطر CNT را می‌توان بر اساس معادله‌ی زیر محاسبه کرد [۵]:

$$D_{CNT} = \frac{a \times \sqrt{n_1^2 + n_1 n_2 + n_2^2}}{\pi} \approx 0.0783 \times \sqrt{n_1^2 + n_1 n_2 + n_2^2} \quad (۱)$$

در اینجا a=0.249 nm فاصله‌ی بین‌اتمی بین اتم کربن و همسایه‌ی آن است. n_1 و n_2 اعداد مربوط به بردار کایرالیتی[۳] هستند. ولتاژ آستانه به‌عنوان ولتاژی که برای روشن کردن ترانزیستور به آن نیاز است. ولتاژ آستانه یک کانال نانولوله‌کربنی ذاتی را می‌توان در قدم اول، به‌صورت نصف شکاف انرژی تقریب زد (که شکاف انرژی با قطر نسبت معکوس دارد). با تعیین قطر نانولوله کربنی، ولتاژ آستانه[۴] (V_{th}) به‌صورت زیر تعریف می‌شود [۵]:

$$V_{th} \approx \frac{E_g}{2e} = \frac{\sqrt{3}}{3} \frac{a\, V_\pi}{e\, D_{CNT}} \quad (۲)$$

در اینجا a=0.249 nm، V_π=3.033eV انرژی پیوند کربن π-π و e واحد بار الکترون و D_{CNT} قطر نانولوله است [۵].

نوسان‌ساز حلقوی تفاضلی[۵] (DRO) مجتمع سازی شده در فنّاوری CMOS در محصولات متعددی در طول سالیان متمادی استفاده شده است. استفاده از آن در مدارات سرعت بالای کلاک و بازیابی داده[۶] (CDR) مخابرات نوری، نوسان‌سازهای کنترل‌شده به‌طور دیجیتالی و آنالوگ، مقسم‌های فرکانسی ترکیب‌کننده‌های[۷] فرکانس بالا، مولدهای کلاک برای مدارات دیجیتال، مبدل‌های آنالوگ به دیجیتال[۸] (ADC) و بسیاری از کاربردها توسعه یافته است [۱۰-۶]. پیاده‌سازی نوسان‌سازهای حلقوی در فنّاوری‌های

[1] Metal-Oxide-Semiconductor Field-Effect Transistor
[2] Gate-Induced Drain Leakage
[3] Chirality
[4] Threshold Voltage
[5] Differential Ring Oscillator
[6] Clock and Data Recovery
[7] Synthesizers
[8] Analog-to-Digital Converters

نوظهور از قبیل باند فوق‌العاده وسیع[1] (UWB) و تشخیص فرکانس رادیویی[2] (RFID) و نیز شبکه‌های حسگر بی‌سیم[3] (WSN) و ادوات مخابراتی برد کوتاه مشاهده شده است [۱۱،۱۲]. نوسان‌ساز حلقوی تفاضلی یک انتخاب طراحی خوب برای طراحان مدار مجتمع، به دلیل استفاده متمادی آن در فنّاوری‌های CMOS مختلف، است.

در مرجع [۱۳] یک نوسان‌ساز حلقوی موج میلی‌متری بر اساس ترانزیستور اثر میدان نانولوله کربنی[4] (CNTFET) در فنّاوری ۳۲ نانومتر ارائه شده است که در محدوده فرکانسی ۱۵۰ گیگاهرتز و فراتر کار می‌کند. اتصال‌های نانولوله کربنی بین ترانزیستورها نیز در شبیه‌سازی‌های انجام‌گرفته در این مقاله در نظر گرفته شده‌اند، که فرض می‌شود یک لایه واحد از نانولوله‌های کربنی فلزی بالستیک به‌صورت موازی باشد. به خاطر سادگی در طراحی RF، نوسان‌ساز طراحی‌شده در مرجع [۱۳] بر اساس وارونگرهای مبتنی ترانزیستور اثر میدان نانولوله کربنی است. وارونگرها با بهره DC برابر ۸۷/۵ دسی‌بل با طراحی مناسب با تأخیر بدون بارگذاری حدود ۰/۶ پیکوثانیه در نظر گرفته شده‌اند که حداقل یک مرتبه بهتر از همان وارونگرها با فنّاوری ۳۲ نانومتر مبتنی بر ماسفت (MOSFET) است. توان مصرفی میانگین این نوسان‌ساز کمتر از ۴۰ میکرو وات با دامنه هارمونیک پایه حدود ۶/۵- دسی‌بل است. همچنین، به‌طور متوسط، عملکرد این نوسان‌ساز ۵ تا ۶ برابر بهتر از طراحی‌های مبتنی بر ماسفت است. با توجه به گسترش دستگاه‌های الکترونیکی قابل‌حمل و همچنین کاهش مقیاس فنّاوری و محدودیت‌های کاهش طول کانال ماسفت، طراحی نوسان‌ساز حلقوی توان پایین با محدوده فرکانسی وسیع و دارا بودن قابلیت تنظیم فرکانسی برای بسیاری از کاربردها ضروری بوده و تلاش‌های زیادی در این زمینه توسط طراحان صورت گرفته است [۲۰-۱۴]. برای پاسخ به چالش‌های موجود در مرجع [۱۴] دو نوسان‌ساز حلقوی[5] (RO) قابل تنظیم مبتنی بر وارونگر FGMOS/CNTFET پیشنهاد شده و از مزایای ترانزیستورهای اثر میدان نانولوله کربنی و تکنیک ترانزیستور MOS با گیت شناور (FGMOS) بهره گرفته است. وارونگرهای پیشنهادی در ساختار این نوسان‌سازهای حلقوی به‌صورت ترکیبی از تکنیک ترانزیستور MOS با گیت شناور و ترانزیستور اثر میدان نانولوله‌کربنی است که به محدودیت کاهش طول کانال ماسفت غلبه کرده و نوسان‌سازهای حلقوی فرکانس بالا و توان پایین با قابلیت تنظیم فرکانسی و بدون هرگونه مکانیسم اضافی برای تنظیم فرکانسی معرفی نموده است. در مرجع [۱۵] چندین نوسان‌ساز حلقوی هیبرید مبتنی بر ترانزیستور اثر میدان نانولوله کربنی و ماسفت معرفی شده است. طبق بررسی‌های انجام‌شده بر روی یک نوسان‌ساز حلقوی سه‌طبقه، در مرجع [۱۵] گزارش‌شده که محل قرارگیری وارونگرهای مبتنی بر ترانزیستور اثر میدان نانولوله کربنی و MOSFET می‌تواند تأثیر بسزایی بر روی فرکانس نوسان نوسان‌ساز حلقوی سه‌طبقه داشته باشد و نوسان‌سازهایی با فرکانس نوسان در محدوده چند گیگاهرتز معرفی شده‌اند. در مرجع [۱۶] چندین نوسان‌ساز حلقوی ۷ طبقه مبتنی بر ترانزیستور اثر میدان نانولوله‌کربنی دو گیتی (DG-CNTFET) ارائه‌شده که در آن‌ها از ترانزیستورهای اثر میدان نانولوله کربنی دو گیتی برای افزودن ویژگی تنظیم فرکانسی به مدار نوسان‌ساز استفاده شده است. در مرجع [۱۷]، نوسان‌ساز حلقوی قابل تنظیم با استفاده از ترانزیستور اثر میدان نانونوارگرافینی[6] (GNRFET) ارائه شده است که سلول تأخیر در این نوسان‌ساز حلقوی مبتنی بر گیت NAND و Inverter است. شایان‌ذکر است که گرافین شکل باز شده‌ای از نانولوله کربنی است. حاصل‌ضرب تأخیر در توان (PDP) نوسان‌سازهای پیشنهادی در مرجع [۱۷] در مقایسه با تکنیک‌های پیشرفته و به‌روز فوق‌العاده پایین است که این طرح را برای کاربردهای توان پایین و فرکانس‌های در محدوده موج میلی‌متری بسیار مناسب می‌سازد. در مرجع [۱۸]، نوسان‌ساز حلقوی قابل تنظیم با استفاده از ترانزیستور اثر میدان نانولوله کربنی معرفی شده است که در آن سلول تأخیر مبتنی بر گیت NAND سه ترانزیستوری بوده و مدارهای نوسان‌ساز کنترل‌شده با ولتاژ سه، پنج و هفت طبقه‌ای بر اساس این سلول تأخیر طراحی شده‌اند. بر اساس نتایج حاصله حاصل‌ضرب تأخیر در توان نوسان‌سازهای پیشنهادی در مرجع [۱۸] در مقایسه با تکنیک‌های پیشرفته و به‌روز فوق‌العاده پایین بوده و برای کاربردهای توان پایین و فرکانس بس‌بالا بسیار مناسب هستند. در مرجع [۱۹]، نوسان‌ساز حلقوی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با قابلیت پیکربندی مجدد و تنظیم فرکانسی ارائه شده است که در آن سلول تأخیر پیشنهادی در آن مبتنی بر گیت NAND و NOR سوئیچ شده است که در هر لحظه از زمان

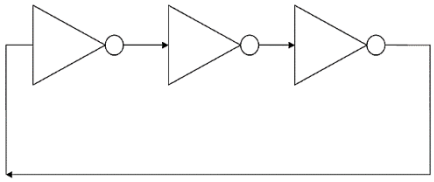
[1] Ultra Wideband
[2] Radio Frequency Identification
[3] Wireless Sensor Networks
[4] Carbon NanoTube FET
[5] Ring Oscillator
[6] Graphene Nano-Ribbon Field-Effect Transistor

فقط یکی از این سلول‌ها با استفاده از سوئیچ‌های در نظر گرفته‌شده فعال می‌شوند تا عمل پیکربندی مجدد در ساختار نوسان‌ساز رخ دهد. همچنین با اعمال یک سیگنال کنترلی به یکی از پایانه‌های ورودی گیت NAND و NOR مشخصه تأخیر این سلول‌ها تغییر کرده و بدین نحو عمل تنظیم فرکانسی در نوسان‌ساز پیشنهادی صورت می‌گیرد. این طرح برای کاربردهای توان پایین، چند استانداردی و طیف فرکانسی در محدوده‌های فرکانس بالا[1] (HF) و فرکانس خیلی بالا[2] (VHF) بسیار مناسب است. در مرجع [۲۰]، نوسان‌ساز حلقوی کنترل‌شده با ولتاژ[3] (VCRO) با استفاده از ترانزیستور اثر میدان نانو نوار گرافینی ارائه شده که در آن سلول تأخیر استفاده شده در ساختار نوسان‌ساز مبتنی بر گیت NAND دو ترانزیستوری مبتنی بر تکنیک GDI[4] است. نوسان‌ساز کنترل‌شده با ولتاژ سه‌طبقه در مرجع [۲۱] با شش عدد ترانزیستور تحقق یافته است که این طرح را برای کاربردهای توان پایین مناسب ساخته و فرکانس‌های در محدوده فرکانس بالا و فراتر از آن تا محدوده موج میلی‌متری[5] (EHF) را پوشش می‌دهد.

همان‌طور که در بالا اشاره شد، گرایش به کاربردهای توان پایین و افزایش مجتمع‌سازی به ساختارهای جدید برای مدارات نیاز دارد. به این دلیل در این پژوهش قصد داریم تا یک نوسان‌ساز حلقوی تفاضلی جدید را با استفاده از ترانزیستور اثر میدان نانولوله کربنی معرفی نموده و مزیت‌های طرح پیشنهادی را در افزایش و بهبود پارامترهای اصلی یک نوسان‌ساز نشان دهیم. دید کلی از این پژوهش به‌صورت زیر است. در بخش دوم نوسان‌ساز حلقوی تفاضلی کنترل‌شده با ولتاژ جدید بر اساس ترانزیستورهای نانولوله کربنی ارائه می‌شود. در بخش سوم نتایج شبیه‌سازی ارائه شده و در بخش چهارم، نتیجه‌گیری ارائه خواهد شد.

۲- طرح پیشنهادی

یک نوسان‌ساز حلقوی با به‌کارگیری تعداد زوج یا فردی از تقویت‌کننده وارونگر حلقه باز یا سلول‌های تأخیر (طبقات تأخیر) که در یک حلقه فیدبک مثبت وصل شده‌اند ساخته می‌شود (شکل ۱). در طی عملکرد اگر یکی از گره‌های نوسان‌ساز حلقوی تحریک شود، پالس از طریق تمامی سلول‌ها انتشار یافته و سرانجام پلاریته گره تحریک‌شده اصلی را معکوس می‌کند. لازم به ذکر است معیار بارک‌هاوزن[6] برای پایداری نوسان لازم است اما برای شرایط راه‌اندازی کافی نیست. برای تضمین هر نوعی از راه‌اندازی نوسان‌ساز در آغاز، بهره حلقه باز نوسان‌ساز باید همیشه بزرگ‌تر از واحد باشد. هنگامی‌که این شرط برقرار شد، ممکن است نوسان‌ساز توسط نویز مدار، یک شرط اولیه یا یک پالس جریان کوچک در یکی از گره‌های آن نوسان‌ساز یا یک پالس کوتاه به ولتاژ تغذیه ضربه بخورد. این پدیده‌ها در هر نوسان‌ساز عملی واضح هستند [۲۲].



شکل ۱: یک نوسان‌ساز حلقوی تحقق‌یافته با استفاده از سه وارونگر دیجیتال

Figure 1. A ring oscillator realized using three digital inverters

در نوسان‌ساز حلقوی، سیگنال انتشار دو مرتبه از طریق زنجیره‌ای از N سلول تأخیر، برای تأخیر کل $2Nt_p$، به‌منظور کامل کردن یک پریود (T_{osc}) عبور می‌کند؛ t_p زمان انتشار یک سلول تأخیر واحد است. فرکانس (f) این نوسان‌ساز معیاری از زمان سیر از طریق حلقه بوده و می‌تواند به‌صورت زیر استنتاج شود:

$$f = \frac{1}{T_{osc}} = \frac{1}{2Nt_p} \quad (۳)$$

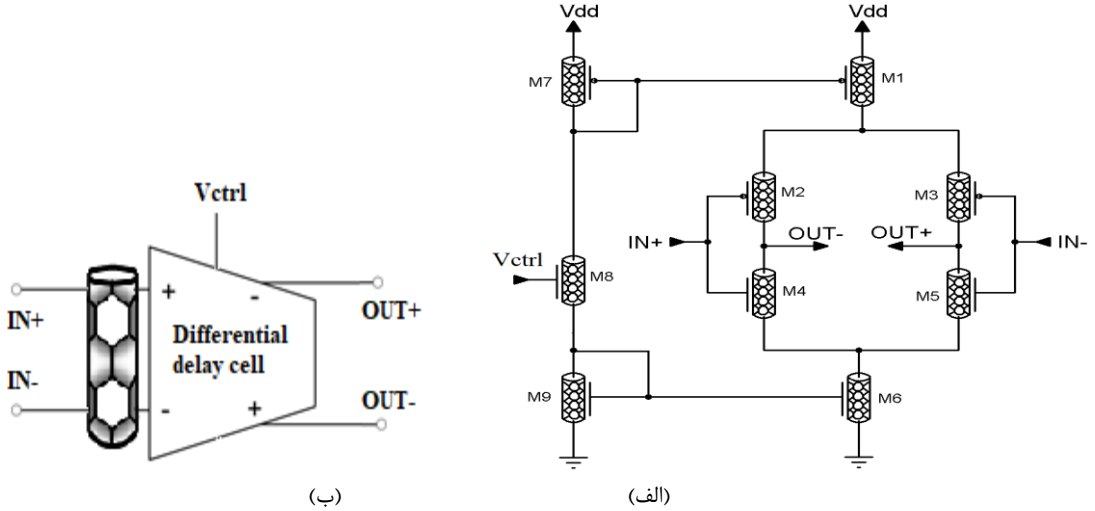
[1] High Frequency
[2] Very High Frequency
[3] Voltage Controlled Ring Oscillator
[4] Gate Diffusion Input
[5] Extremely High Frequency (Millimeter Wave)
[6] Barkhausen

معمولاً، t_p یک نوسان‌ساز حلقوی با حاصل‌ضرب بار مقاومتی (R_{Load}) و خازن کل (C_{total}) بار و خازن‌های پارازیتی ادوات اکتیو در یک مدار سلول تأخیر با یک ضریب ثابت محاسبه می‌شود. علاوه بر این، R_{Load} را می‌توان با سوئینگ[1] ولتاژ خروجی نسبت به جریان (بایاس) بار کل در هر سلول تأخیر نمایش داد [۲۲].

سلول‌های تأخیر نوسان‌ساز حلقوی می‌توانند تک‌سر یا تفاضلی باشند. نوسان‌ساز حلقوی تک‌سر[2] (SERO) زنجیره‌ای از وارونگرهای تشکیل‌شده از یک ترانزیستور NMOS و PMOS است و تعداد سلول‌های تأخیر باید فرد باشد. سلول‌های تأخیر نوسان‌ساز حلقوی تفاضلی می‌تواند فرد یا حتی تعداد زوجی باشد و با به‌کارگیری یک بار (المان‌های فعال و غیرفعال) با یک زوج ورودی زوج‌های تفاضلی NMOS یا وارونگر پوش پول[3] ساخته شود. زمان انتشار در این نوع از سلول با بار در هر گره و جریان گذرنده از بار که ممکن است یک مقاومت برای فرکانس ثابت یا ترانزیستورهای PMOS باشد تنظیم شود. هر دو توپولوژی تک سر و تفاضلی می‌توانند در طراحی نوسان‌سازهای کنترل‌شده با ولتاژ CMOS کاملاً مجتمع استفاده شوند. بر اساس خروجی‌های ساختارهای سلول تأخیر آن، نوسان‌ساز حلقوی تفاضلی می‌تواند به سه گروه تقسیم‌بندی شود: اشباع‌شده، اشباع‌نشده و غیر اشباع‌شده [۶]. طبقه خروجی نوسان‌ساز حلقوی تک‌سر همیشه اشباع‌نشده است. به این دلیل، نوسان‌ساز حلقوی تک سر عملکرد نویز فاز بهتری برای تعداد برابری از طبقات ارائه می‌کند در حالی که توان مصرفی خیلی پایین است و عملکرد نویز حرارتی فوق‌العاده‌ای از خود نشان می‌دهد [۱۳]. به دلیل حذف مد مشترک بهتر تغذیه و نویز زیر بستر، نوسان‌ساز حلقوی تفاضلی عملکرد بهتری نسبت به نوسان‌ساز حلقوی تک‌سر هم در مدارات مجتمع آنالوگ و هم مدارات دیجیتال از خود نشان می‌دهد [۸]. علاوه بر این، دستیابی به عملکرد فرکانس بالا با خروجی‌های هم‌فاز و متعامد در نوسان‌ساز حلقوی تفاضلی آسان است [۹]. نوسان‌ساز حلقوی در شکل ۱ بر اساس ساختار مبتنی بر وارونگر[4] است که شامل سه وارونگر سری در یک حلقه بسته است. حداقل تعداد سه وارونگر انتخاب می‌شود تا به بیشترین فرکانس نوسان دست‌یابیم. فرکانس نوسان این نوسان‌ساز به‌صورت زیر تعیین می‌شود [۱۳]:

$$f_{osc} = \frac{1}{2\pi N\left(\tau_{PHL} + \tau_{PLH}\right)} \qquad (۴)$$

که در اینجا N تعداد گیت‌های وارونگر در حلقه، τ_{PHL} تأخیر High به Low، τ_{PLH} تأخیر Low به High هر وارونگر دارای تمامی بارهای پارازیتی در گره‌های ورودی و خروجی است. ساختار اتصال بین سه وارونگر مابین سه وارونگر نقش مهمی در تعریف تأخیر کل هر وضعیت و در نتیجه ماکزیمم فرکانس نوسان دست‌یافتنی بازی می‌کند.



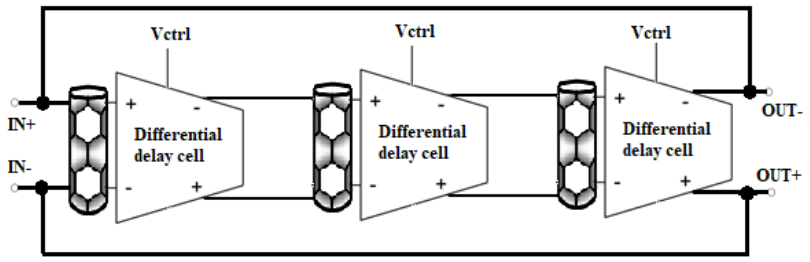
(ب) (الف)

شکل ۲: سلول تأخیر تفاضلی پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی و سمبل آن

Figure 2. Proposed differential delay cell based on CNTFET and its symbol

[1] Swing
[2] Single-Ended RO
[3] Push-Pull
[4] Inverter

در ادامه یک نوسان‌ساز سه‌طبقه تفاضلی را پیشنهاد می‌کنیم. سلول تأخیر پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی برای استفاده در ساختار نوسان‌ساز پیشنهادی در شکل ۲ نشان داده شده است که قابلیت تنظیم تأخیر آن توسط ولتاژ کنترلی V_{ctrl} وجود دارد. ترانزیستور اثر میدان نانولوله کربنی مورداستفاده در اینجا ترانزیستور اثر میدان نانولوله کربنی شبه ماسفت[1] است. این امر به دلیل پارامترهای برتر افزاره و راحتی ساخت ترانزیستور اثر میدان نانولوله کربنی‌های شبه ماسفت در مقایسه با FETهای با سد شاتکی کنترل شده است که ترانزیستور اثر میدان نانولوله کربنی شبه ماسفت را برای اهداف عملکرد در فرکانس بالاتر مناسب می‌سازد. در شکل ۳ ساختار نوسان‌ساز تفاضلی کنترل‌شده با ولتاژ پیشنهادی سه‌طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی نشان داده شده که در آن از سلول تأخیر پیشنهادی شکل ۲ استفاده شده است.



شکل ۳: بلوک دیاگرام نوسان‌ساز حلقوی تفاضلی پیشنهادی سه‌طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی
Figure 3. Block diagram of proposed three-stage DRO based on CNTFET

۳- نتایج شبیه‌سازی

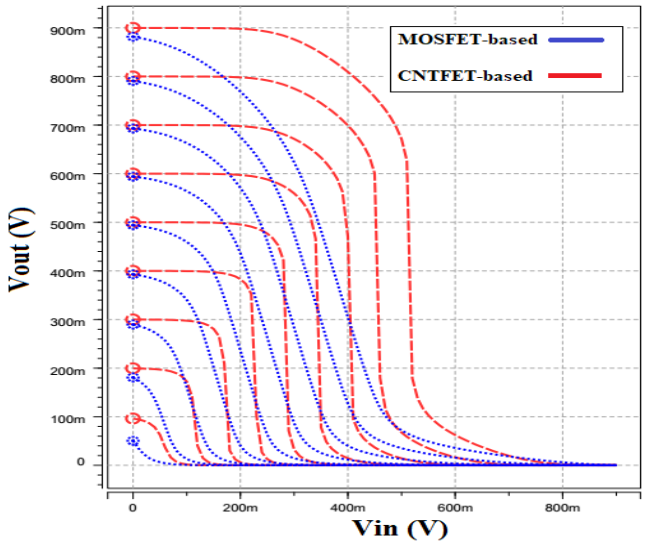
در این بخش عملکرد نوسان‌ساز حلقوی تفاضلی کنترل‌شده با ولتاژ سه‌طبقه پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با استفاده از فنّاوری ۳۲ نانومتر و ولتاژ تغذیه ۰/۹ ولت و با آزمایش‌های مختلف موردبررسی قرار خواهد گرفت. سپس برای بررسی بیشتر با ماسفت نیز پیاده‌سازی شده و عملکرد دو فنّاوری ماسفت و ترانزیستور اثر میدان نانولوله کربنی در ساختار نوسان‌ساز پیشنهادی مورد ارزیابی قرار خواهد گرفت.

۳-۱-شبیه‌سازی طرح پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی

برای عملکرد مناسب سلول تأخیر نشان داده‌شده در شکل ۲ تعداد نانولوله‌های کربنی استفاده‌شده در ترانزیستورهای M1، M6 و M7 تا M9 را برابر ۳ در نظر می‌گیریم. برای سایر ترانزیستورها تعداد نانولوله‌های کربنی زیر گیت را برابر ۱ در نظر می‌گیریم. در شکل ۴ نتیجه شبیه‌سازی تابع انتقال ولتاژ سلول تأخیر مبتنی بر ترانزیستور اثر میدان نانولوله کربنی و ماسفت با تغییر ولتاژ تغذیه نشان داده شده است. با توجه به شکل ۴ عملکرد مناسب سلول تأخیر پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی نسبت به نمونه ماسفت واضح و آشکار است.

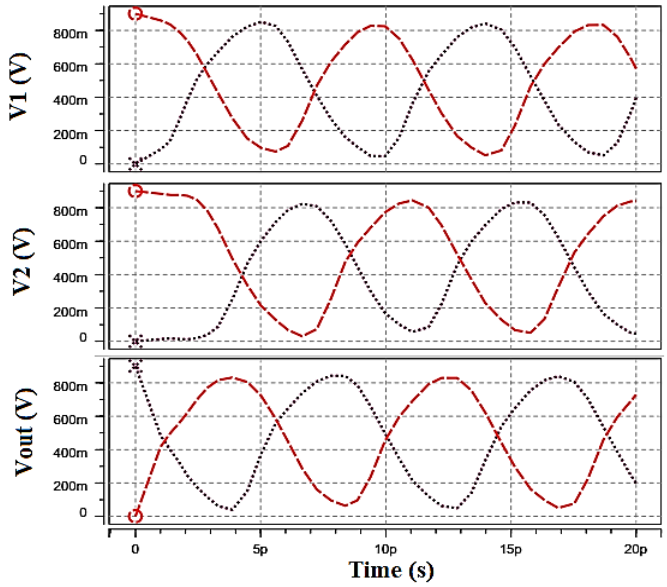
در شکل ۵ ولتاژ گره‌های داخلی نوسان‌ساز تفاضلی پیشنهادی ۳ طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی نشان داده شده است. در این شکل V1، V2 و Vout به ترتیب به ولتاژ خروجی تفاضلی طبقات اول، دوم و سوم اشاره می‌کند. در شکل ۶ نتیجه شبیه‌سازی نوسان‌ساز تفاضلی پیشنهادی ۳ طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با افزایش ۱ تا ۵ برابری تعداد نانولوله‌های کربنی در زیر گیت هر ترانزیستور و با طول گیت ۳۲ نانومتر و ولتاژ کنترل Vctrl =0.9V نشان داده شده است. افزایش تعداد نانولوله‌های کربنی، به دلیل افزایش قابلیت درایو نمودن وارونگر سوم و کاهش مقاومت اتصال، فرکانس نوسان را افزایش خواهد داد؛ اما در نهایت، افزایش تعداد نانولوله‌های کربنی خازن‌های پارازیتی بیشتری را ایجاد خواهد نمود و در نتیجه عملکرد نوسان‌ساز کاهش خواهد یافت.

[1] MOSFET-like



شکل ۴: منحنی مشخصه انتقال ولتاژ سلول تأخیر پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی و ماسفت به ازای ولتاژهای تغذیه مختلف

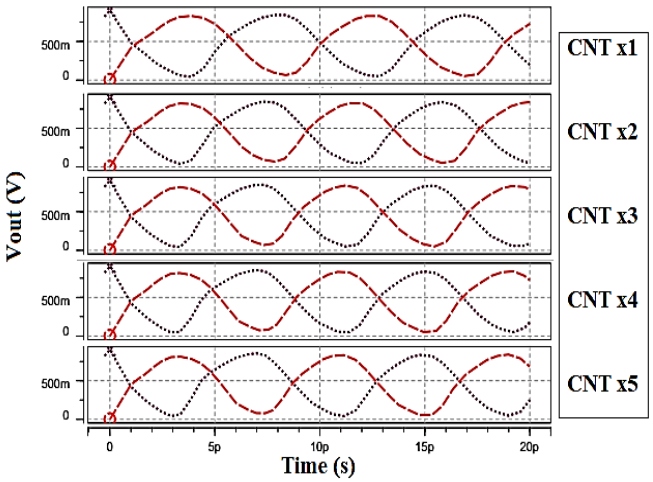
Figure 4. Voltage transfer characteristic curve of the proposed delay cell based on CNTFET and MOSFET for different supply voltages



شکل ۵: ولتاژ خروجی هر یک از طبقات نوسان‌ساز تفاضلی پیشنهادی ۳ طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی

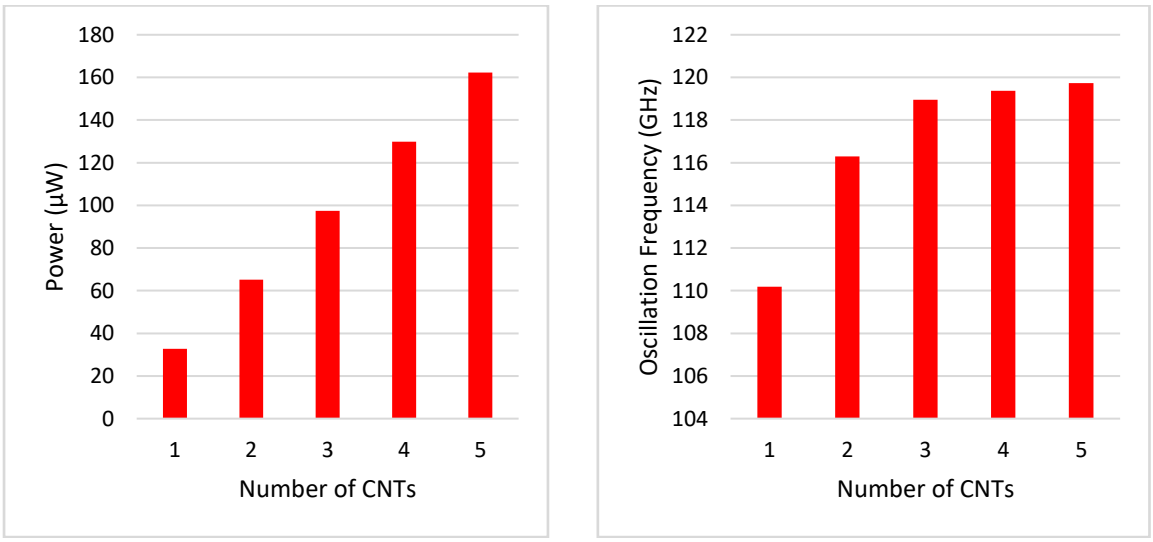
Figure 5. The output voltage of each stage of the proposed 3-stage DRO based on CNTFET

منحنی‌های فرکانس نوسان و توان مصرفی این آزمایش در شکل ۷ نمایش داده شده است. با توجه به این شکل مشخص می‌شود که با افزایش ۱ تا ۵ برابری تعداد نانولوله‌های‌کربنی در نوسان‌ساز تفاضلی پیشنهادی فرکانس نوسان در بازه ۱۱۰ گیگاهرتز تا ۱۲۰ گیگاهرتز تغییر خواهد کرد. همچنین با افزایش تعداد نانولوله کربنی فرکانس نوسان افزایش یافته و توان مصرفی در بازه ۳۳/۳ میکرو وات تا ۱۶۲ میکرو وات تغییر خواهد نمود.



شکل ۶: آنالیز زمانی نوسان‌ساز حلقوی تفاضلی پیشنهادی سه‌طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با یک تا پنج برابر کردن تعداد نانولوله‌های کربنی در زیر گیت با ولتاژ کنترلی برابر ۰/۹ ولت

Figure 6. Transient analysis of proposed three-stage DRO based on CNTFET by increasing the number of CNT under the gate by 1 to 5 times with Vctrl =0.9V



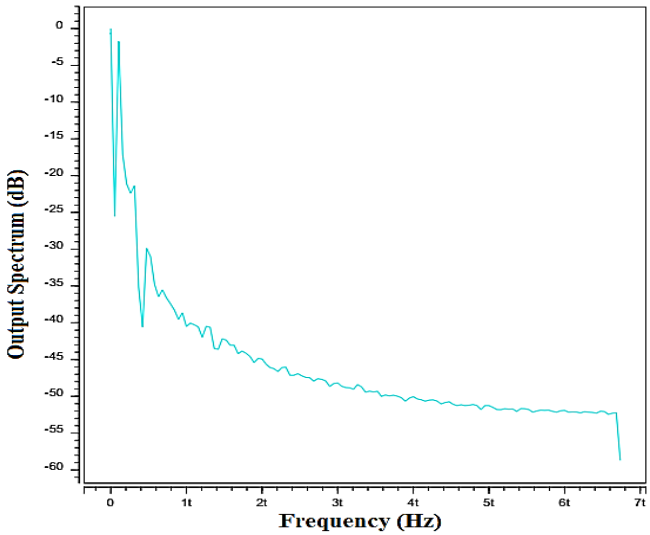
(ب) (الف)

شکل ۷: (الف) فرکانس نوسان، (ب) توان مصرفی میانگین نوسان‌ساز حلقوی تفاضلی پیشنهادی سه‌طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با یک تا ۵ برابر کردن نانولوله‌های زیر گیت با ولتاژ کنترلی برابر ۰/۹ ولت

Figure 7. (a) Frequency of oscillation, (b) average power consumption of the proposed three-stage DRO based on CNTFET by multiplying the number of CNTs under the gate by 1 to 5 with Vctrl =0.9V

در شکل ۸ طیف خروجی برای نوسان‌ساز تفاضلی پیشنهادی سه‌طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با طول گیت ۳۲ نانومتر و تعداد یک برابری نانولوله کربنی در زیر گیت نشان داده شده است که بر اساس آنالیز فوریه در HSPICE بوده است. بر اساس این شکل دامنه هارمونیک اصلی ۱/۷۶دسی‌بل و THD برابر ۳/۵۶۷ درصد است. برای تعداد نانولوله‌های کربنی بیشتر نتایج به‌صورت خلاصه در جدول ۱ نشان داده شده است. ضریب شایستگی وابسته به خطینگی (FoM_{THD}) با عنوان معیار شایستگی هارمونیک در جدول ۱ به‌صورت زیر محاسبه می‌شود که در آن FHM دامنه هارمونیک اصلی، $f_{osc.}$ فرکانس نوسان، THD اعوجاج هارمونیک کلی و $P_{avg.}$ توان مصرفی میانگین است [۱۳].

$$FoM_{THD} = \frac{FHM \times f_{osc.}}{THD \times P_{avg.}} \quad (۵)$$



شکل ۸: طیف خروجی برای نوسان‌ساز حلقوی تفاضلی پیشنهادی ۳ طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با طول گیت ۳۲ نانومتر و با تعداد ۱ برابری نانولوله کربنی زیر گیت

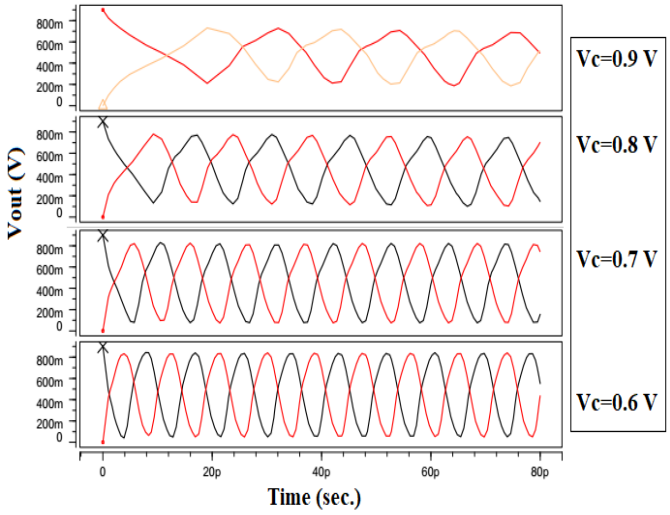
Figure 8. The output spectrum for the proposed 3-stage DRO based on CNTFET with a gate length of 32 nm and with 1 times the number of CNTs under the gate

جدول ۱: فرکانس نوسان، دامنه هارمونیک اصلی، اعوجاج هارمونیک کل، توان مصرفی میانگین و FoM_{THD} برای تعداد مختلف نانولوله‌های کربنی زیر گیت و طول گیت ۳۲ نانومتر برای نوسان‌ساز تفاضلی پیشنهادی سه‌طبقه

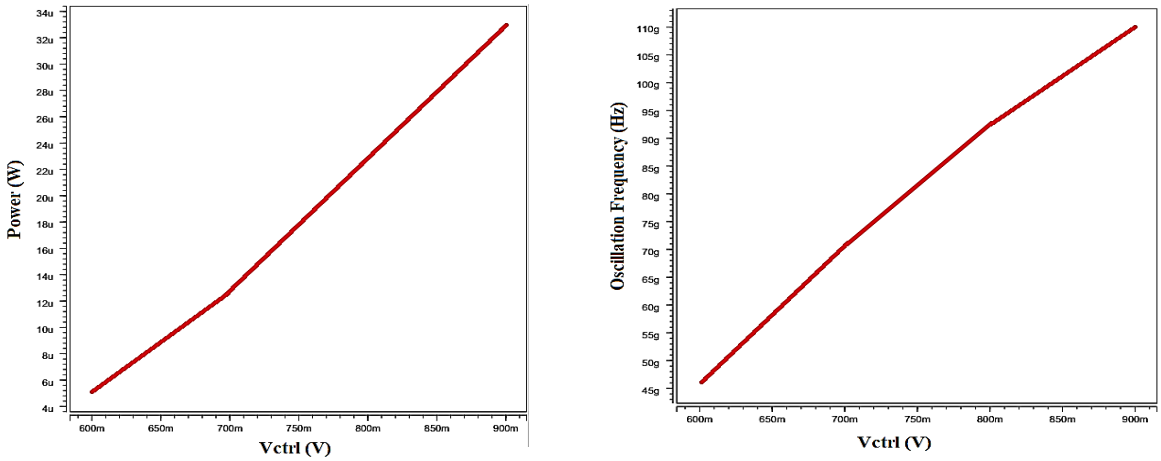
Table 1. Oscillation frequency, fundamental harmonic amplitude, total harmonic distortion, average power consumption and FoM_{THD} for different number of CNTs under the gate and 32 nm gate length for the proposed three-stage DRO

تعداد نانولوله‌های کربنی در زیر گیت	فرکانس نوسان (گیگاهرتز)	دامنه هارمونیک پایه (دسی‌بل)	اعوجاج هارمونیک کل (درصد)	توان مصرفی میانگین (میکرو وات)	معیار شایستگی هارمونیک
×۱	۱۱۰/۱۸	−۱/۷۶	۳/۵۶۷	۳۲/۶۸	۰/۷۷
×۲	۱۱۶/۲۹	−۱/۸۳	۲/۵۶۶	۶۵/۱٤	۰/۵٦
×۳	۱۱۸/۹۵	−۱/۹۰	۲/۹۵۳	۹۷/۵۱	۰/۳۳
×٤	۱۱۹/۳۷	−۲/۰۷	۱/۰۳٦	۱۲۹/۸٤	۰/٦۹
×۵	۱۱۹/۷۳	−۲/۱۳	۱/۲۵۸	۱٦۲/۲٤	۰/٤۵

در شکل ۹ آنالیز زمانی نوسان‌ساز تفاضلی پیشنهادی سه‌طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با تغییر ولتاژ کنترل Vctrl در بازه ۰/۶ ولت تا ۰/۹ ولت نشان داده شده است. در نمودارهای شکل ۱۰ تأثیر تغییر ولتاژ کنترل Vctrl بر روی فرکانس نوسان و توان مصرفی نوسان‌ساز پیشنهادی نشان داده شده است. با توجه به این شکل با تغییر ولتاژ کنترلی Vctrl در بازه ۰/۶ ولت تا ۰/۹ ولت فرکانس نوسان و توان مصرفی میانگین به ترتیب در بازه ۴۵/۷۰ گیگاهرتز تا ۱۱۰/۱۸ گیگاهرتز و در بازه ۵/۱۷ میکرو وات تا ۳۲/۶۸ میکرو وات تغییر می‌کند.



شکل ۹: آنالیز زمانی نوسان‌ساز حلقوی تفاضلی پیشنهادی سه‌طبقه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با تغییر ولتاژ کنترل
Figure 9. Transient analysis of the proposed three-stage DRO based on CNTFET with control voltage change



(ب) (الف)

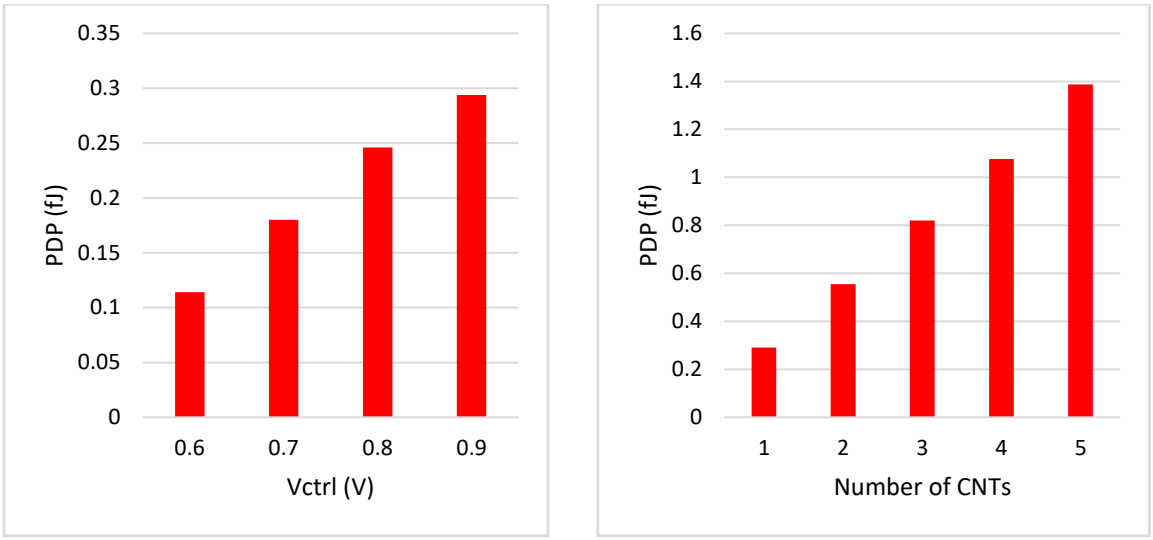
شکل ۱۰: تأثیر تغییرات ولتاژ کنترلی Vctrl بر روی (الف) فرکانس نوسان، (ب) توان مصرفی
Figure 10. Effect of control voltage changes (Vctrl) on (a) oscillation frequency, (b) power consumption

برای مقایسه بهتر، PDP به‌عنوان معیار انرژی در نظر گرفته شده است که به‌صورت حاصل‌ضرب توان میانگین (P_{avg}) و تأخیر گیت (t_d) تعریف می‌شود. برای کاربردهای توان پایین، مقدار PDP باید به حداقل رسانده شود. برای یک نوسان‌ساز حلقوی، این معیار به‌صورت زیر تعیین می‌شود [۲۰]:

$$PDP = P_{avg.} \times t_d = \frac{P_{avg.}}{2 \times N \times f_{osc.}} \quad (۶)$$

که در اینجا N تعداد طبقات و $f_{osc.}$ فرکانس نوسان است.

در شکل ۱۱ تأثیر تغییرات تعداد نانولوله کربنی و تغییر ولتاژ کنترل Vctrl بر روی مقدار PDP نشان داده شده است. با توجه به شکل ۱۱-الف مشخص است که با افزایش تعداد نانولوله‌های کربنی وضعیت معیار PDP بدتر می‌شود و کمترین مقدار PDP به تعداد نانولوله کربنی برابر یک تعلق دارد. همچنین با توجه به شکل ۱۱(ب) مقدار PDP برای ولتاژ کنترل ۰/۶ ولت کمترین مقدار است. برای ولتاژ کنترل ۰/۹ ولت نیز همچنان مقدار PDP عدد کوچکی است.

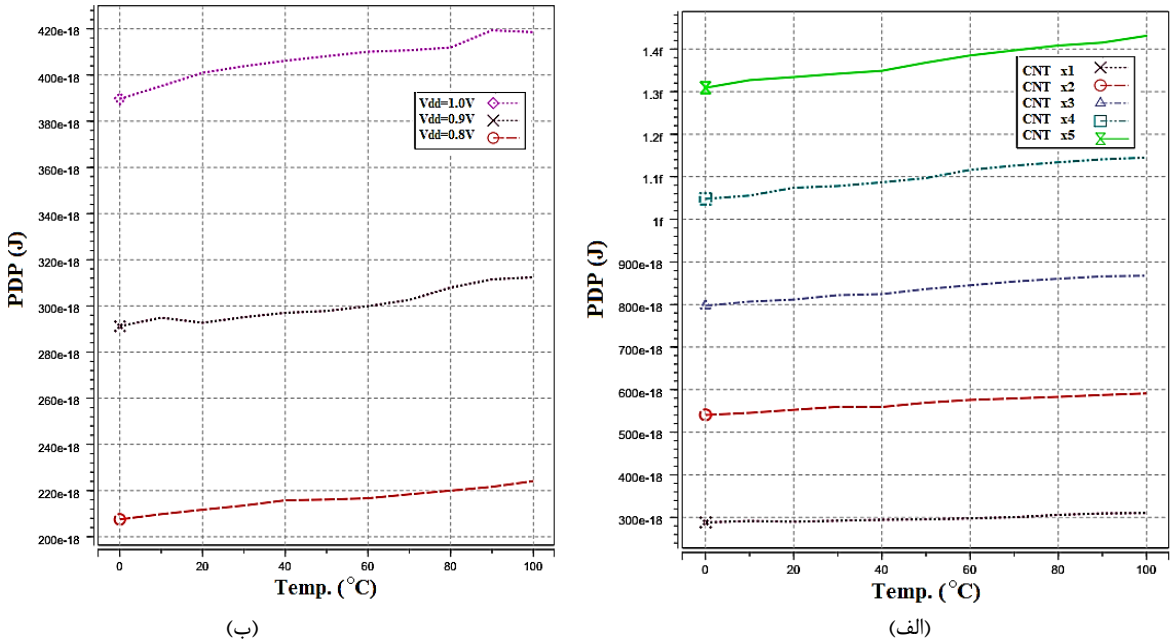


(ب) (الف)

شکل ۱۱: تغییرات PDP نوسان‌ساز حلقوی تفاضلی پیشنهادی برحسب (الف) تعداد نانولوله‌های کربنی، (ب) ولتاژ کنترل Vctrl

Figure 11: PDP variations of the proposed DRO in terms of (a) number of carbon nanotubes, (b) control voltage (Vctrl)

در ادامه تأثیر تغییرات دما بر روی عملکرد نوسان‌ساز سه‌طبقه تفاضلی پیشنهادی موردبررسی قرار گرفته است. در شکل ۱۲ تأثیر تغییرات دما بر روی PDP نوسان‌ساز پیشنهادی با در نظر گرفتن تعداد نانولوله‌های کربنی مختلف (افزایش ۱ تا ۵ برابری تعداد نانولوله‌های کربنی) و ولتاژهای تغذیه مختلف (۰/۸ ولت تا ۱ ولت با گام‌های ۰/۱ ولت) نشان داده شده است. نتایج بیانگر آن است که PDP طرح پیشنهادی نسبت به تغییرات دما مقاوم است.

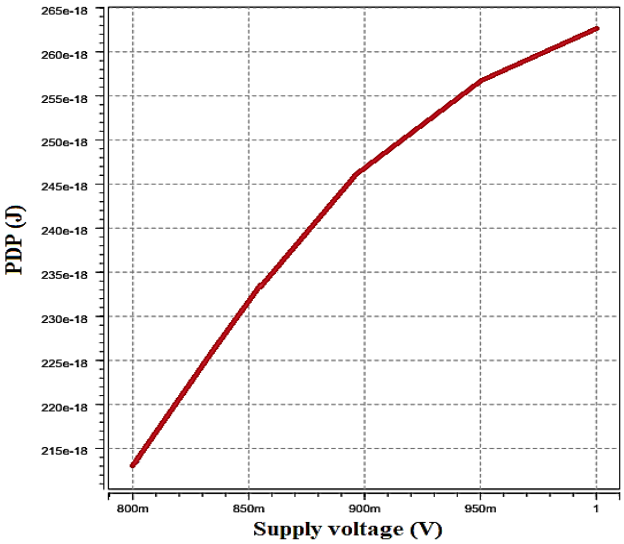


(ب) (الف)

شکل ۱۲: تأثیر تغییرات دما بر روی PDP نوسان‌ساز حلقوی تفاضلی پیشنهادی (الف) با تغییر تعداد نانولوله‌های کربنی، (ب) با تغییر ولتاژ تغذیه

Figure 12: Effect of temperature changes on the PDP of the proposed DRO (a) by changing the number of carbon nanotubes, (b) by changing the supply voltage (V_{dd})

در شکل ۱۳ تأثیر تغییرات ولتاژ تغذیه بر روی PDP نوسان‌ساز پیشنهادی نشان داده شده است. با توجه به شکل ۱۳ با تغییر ولتاژ تغذیه در بازه ۰/۸ ولت تا ۱ ولت مقدار PDP از ۲۱۳ آتو ژول تا ۲۶۳ آتو ژول تغییر می‌کند. تغییر ۲۵ درصدی در ولتاژ تغذیه به تغییر ۲۳/۴۷ درصدی در مقدار PDP می‌شود و همچنان مقدار PDP بسیار پایین است.

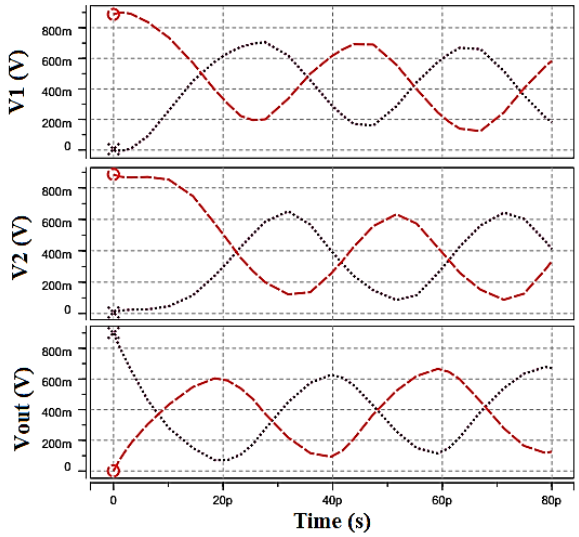


شکل ۱۳: تأثیر تغییرات ولتاژ تغذیه بر روی PDP نوسان‌ساز حلقوی تفاضلی پیشنهادی
Figure 13: Effect of supply voltage changes on the PDP of the proposed DRO

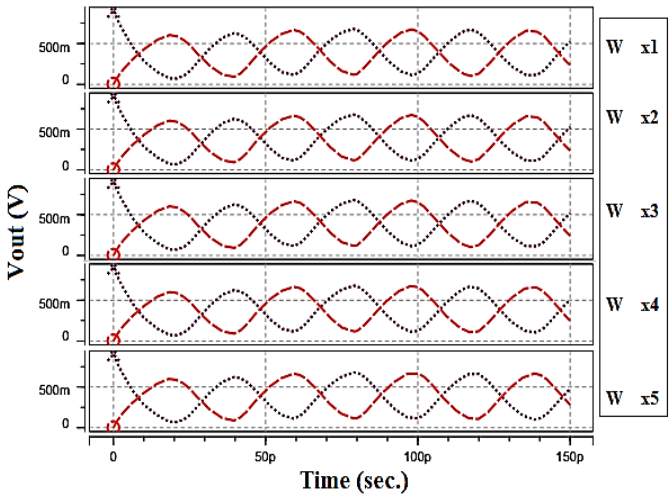
۳-۲- شبیه‌سازی طرح پیشنهادی با ماسفت

در ادامه نوسان‌ساز سه‌طبقه تفاضلی (پیشنهادشده در شکل ۳) را، که مبتنی بر ترانزیستور اثر میدان نانولوله کربنی بود، با استفاده از ترانزیستورهای ماسفت موردبررسی قرار می‌دهیم. برای عملکرد مناسب سلول تأخیر عرض ترانزیستورهای M1 و M7 را برابر ۲/۷ میکرومتر، عرض ترانزیستورهای M2، M4، M6 و M9 را برابر ۰/۹ میکرومتر و عرض ترانزیستورهای M3، M5 و M8 را برابر ۰/۳ میکرومتر در نظر می‌گیریم. طول کانال تمامی ترانزیستورها ۳۲ نانومتر در نظر گرفته شده است.

در شکل ۱۴ ولتاژ گره‌های داخلی نوسان‌ساز تفاضلی پیشنهادی ۳ طبقه مبتنی بر ماسفت نشان داده شده است. در این شکل V1، V2 و Vout به ترتیب به ولتاژ خروجی تفاضلی طبقات اول، دوم و سوم اشاره می‌کند. در شکل ۱۵ نتیجه شبیه‌سازی نوسان‌ساز تفاضلی پیشنهادی ۳ طبقه مبتنی بر ماسفت با افزایش ۱ تا ۵ برابری عرض هر ترانزیستور و با طول گیت ۳۲ نانومتر و ولتاژ کنترل Vctrl =0.9V نشان داده شده است. با توجه به شبیه‌سازی مشابهی که با استفاده از ترانزیستور اثر میدان نانولوله کربنی با افزایش یک تا ۵ برابری تعداد نانولوله‌های کربنی در نوسان‌ساز تفاضلی پیشنهادی انجام دادیم متوجه می‌شویم که تغییر عرض ترانزیستور در نوسان‌ساز تفاضلی مبتنی بر ماسفت تأثیر قابل‌توجهی بر روی فرکانس نوسان ندارد.



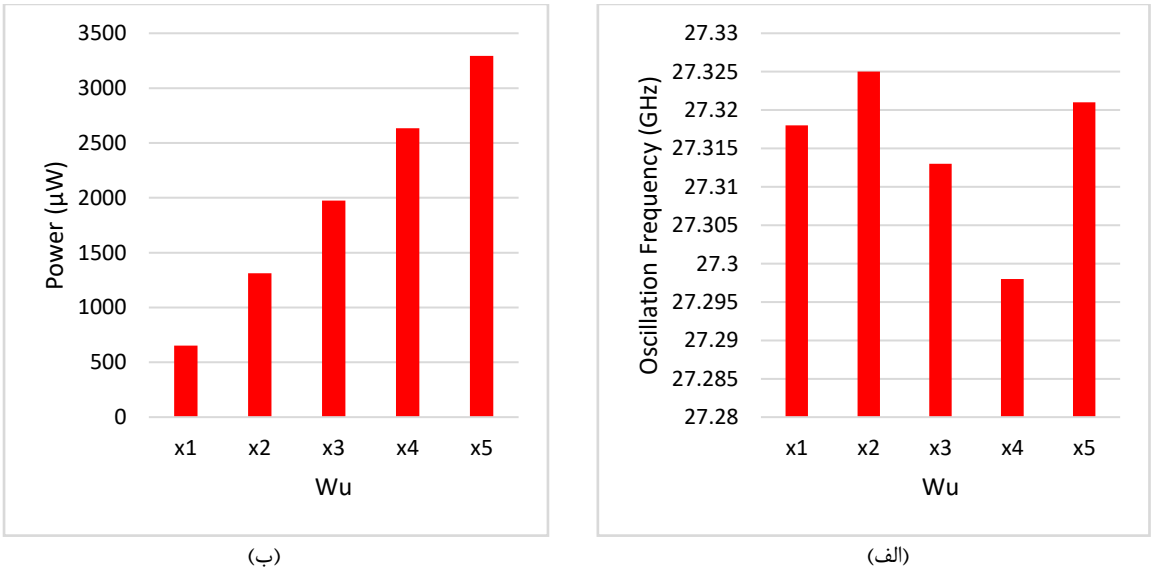
شکل ۱۴: ولتاژ خروجی هر یک از طبقات نوسان‌ساز تفاضلی پیشنهادی ۳ طبقه مبتنی بر ماسفت
Figure 14. The output voltage of each stage of the proposed 3-stage DRO based on MOSFET



شکل ۱۵: آنالیز زمانی نوسان‌ساز حلقوی تفاضلی پیشنهادی سه‌طبقه مبتنی بر ماسفت با افزایش یک تا ۵ برابری عرض ترانزیستورها با ولتاژ کنترلی برابر ۰/۹ ولت

Figure 15. Transient analysis of the proposed three-stage DRO based on MOSFET with one to five times the width of the transistors with Vctrl =0.9V

منحنی‌های فرکانس نوسان و توان مصرفی این آزمایش در شکل ۱۶ نشان داده شده‌اند. با توجه به این شکل مشخص می‌شود که با افزایش یک تا ۵ برابری عرض ترانزیستورها در نوسان‌ساز تفاضلی مبتنی بر ماسفت فرکانس نوسان در بازه ۲۷/۲۹ گیگاهرتز تا ۲۷/۳۲ گیگاهرتز تغییر خواهد کرد. در اینجا چون تأخیر بزرگی با توجه به تغییر اندازه ترانزیستورها ایجاد نمی‌شود به تغییرات زیاد در فرکانس نوسان منجر نمی‌شود. همچنین توان مصرفی در بازه ۶۵۱/۱۲ میکرو وات تا ۳/۲۹ میلی وات تغییر خواهد نمود. در حالی که در نوسان‌ساز تفاضلی پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با افزایش یک تا ۵ برابری تعداد نانولوله‌های کربنی فرکانس نوسان در بازه ۱۱۰ گیگاهرتز تا ۱۲۰ گیگاهرتز تغییر کرد. همچنین توان مصرفی در بازه ۳۳/۳ میکرو وات تا ۱۶۲ میکرو وات تغییر کرد.

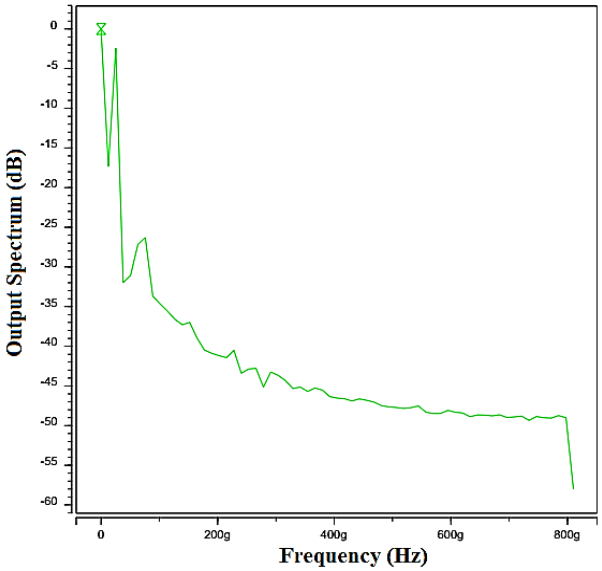


شکل ۱۶: (الف) فرکانس نوسان، (ب) توان مصرفی میانگین نوسان‌ساز حلقوی تفاضلی پیشنهادی سه‌طبقه مبتنی بر ماسفت با یک تا ۵ برابر کردن عرض ترانزیستورها با ولتاژ کنترلی برابر ۰/۹ ولت

Figure 16. (a) Oscillation frequency, (b) average power consumption of the proposed MOSFET-based three-stage DRO with one to five times the width of the transistors with Vctrl =0.9V

در شکل ۱۷ طیف خروجی برای نوسان‌ساز تفاضلی سه‌طبقه مبتنی بر ماسفت با طول گیت ۳۲ نانومتر و تعداد یک برابری عرض ترانزیستورها نشان داده شده است که بر اساس آنالیز فوریه در HSPICE بوده است. بر اساس این شکل دامنه هارمونیک اصلی

۲/۴۳- دسی‌بل و THD برابر ۲/۲۵ درصد است. برای عرض ترانزیستور چند برابر شده نتایج به‌صورت خلاصه در جدول ۲ نشان داده شده است.

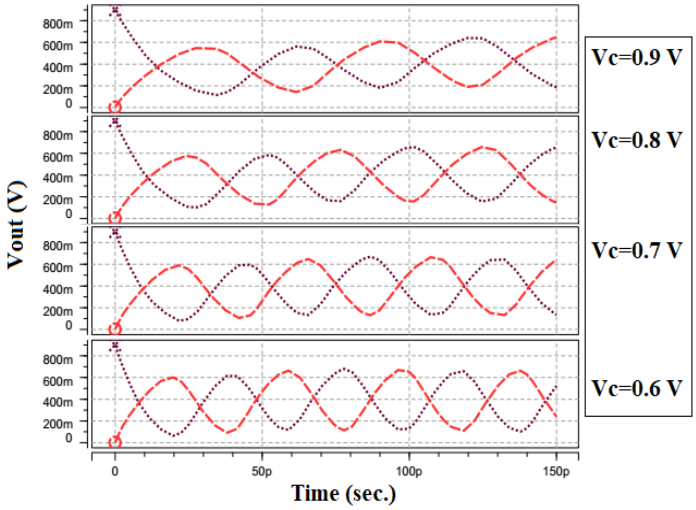


شکل ۱۷: طیف خروجی برای نوسان‌ساز حلقوی تفاضلی ۳ طبقه مبتنی بر ماسفت با طول گیت ۳۲ نانومتر و با تعداد ۱ برابری عرض ترانزیستورها
Figure 17. Output spectrum for MOSFET-based 3-stage DRO with gate length of 32 nm and number of transistors width 1 times

جدول ۲: فرکانس نوسان، دامنه هارمونیک اصلی، اعوجاج هارمونیک کل، توان مصرفی میانگین و FOM برای عرض‌های مختلف ترانزیستورها و طول گیت ۳۲ نانومتر برای نوسان‌ساز حلقوی تفاضلی سه‌طبقه مبتنی بر ماسفت
Table 2. Oscillation frequency, fundamental harmonic amplitude, total harmonic distortion, average power consumption and FOM for different transistor widths and 32 nm gate length for MOSFET-based three-satge DRO

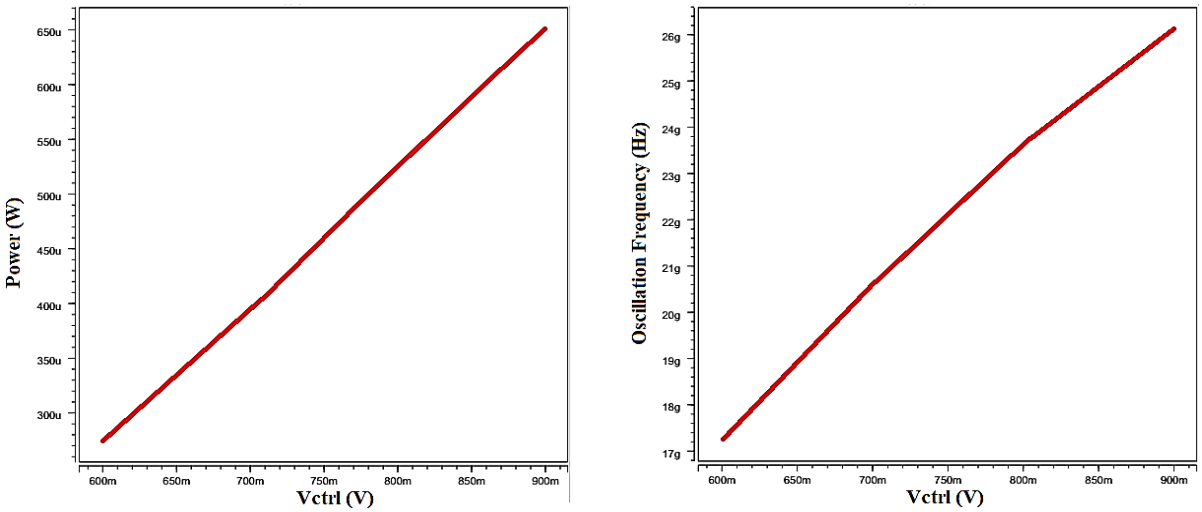
افزایش عرض ترانزیستور	فرکانس نوسان (گیگاهرتز)	دامنه هارمونیک پایه (دسی‌بل)	اعوجاج هارمونیک کل (درصد)	توان مصرفی میانگین (میکرو وات)	معیار شایستگی هارمونیک
×۱	۲۷/۳۱۸	-۲/٤۳	۲/۲٥	٦٥۱/۱۳	۰/۰۱٤
×۲	۲۷/۳۲٥	-۲/٤۳	۲/۲۳	۱۳۱۲/٤	۰/۰۰۷
×۳	۲۷/۳۱۳	-۲/٤۲	۲/۱۹	۱۹۷۳/۲	۰/۰۰٤
×٤	۲۷/۲۹۸	-۲//٤۲	۲/۱٥	۲٦۳۳/٤	۰/۰۰۳٦
×٥	۲۷/۳۲۱	-۲/٤۲	۲/۱۲	۳۲۹۲/۹	۰/۰۰۲۹

در شکل ۱۸ آنالیز زمانی نوسان‌ساز تفاضلی سه‌طبقه مبتنی بر ماسفت با تغییر ولتاژ کنترل Vctrl در بازه ۰/۶ ولت تا ۰/۹ ولت نشان داده شده است. در نمودارهای شکل ۱۹ تأثیر تغییر ولتاژ کنترل Vctrl بر روی فرکانس نوسان و توان مصرفی نوسان‌ساز تفاضلی مبتنی بر ماسفت نشان داده شده است. با توجه به این شکل با تغییر ولتاژ کنترلی Vctrl در بازه ۰/۶ ولت تا ۰/۹ ولت فرکانس نوسان و توان مصرفی میانگین به ترتیب در بازه ۱۷/۲۵ گیگاهرتز تا ۲۶/۱۴ گیگاهرتز و در بازه ۲۷۴/۹۷ میکرو وات تا ۶۵۱/۴۹ میکرو وات تغییر می‌کند. برای نوسان‌ساز تفاضلی پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با تغییر ولتاژ کنترلی Vctrl در بازه ۰/۶ ولت تا ۰/۹ ولت فرکانس نوسان و توان مصرفی میانگین به ترتیب در بازه ۴۵/۷۰ گیگاهرتز تا ۱۱۰/۱۸ گیگاهرتز و در بازه ۵/۱۷ میکرو وات تا ۳۲/۶۸ میکرو وات تغییر نمود. با توجه به این نتایج مشاهده می‌شود که در نوسان‌ساز تفاضلی پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با تغییر ولتاژ کنترل می‌توان حدود ۲/۴۱ برابر فرکانس نوسان را تغییر داد در حالی‌که در نوسان‌ساز مبتنی بر ماسفت حدود ۱/۵ برابر می‌توان فرکانس نوسان را تنظیم کرد؛ بنابراین می‌توان نتیجه گرفت که نوسان‌ساز پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی قابلیت تنظیم بالایی از خود نشان می‌دهد و از لحاظ توان مصرفی نسبت به نوسان‌ساز مبتنی بر ماسفت حدود ۱۹/۹ برابر توان کمتر مصرف می‌کند.



شکل ۱۸: آنالیز زمانی نوسان‌ساز حلقوی تفاضلی سه‌طبقه مبتنی بر ماسفت با تغییر ولتاژ کنترلی در بازه ۰/۶ تا ۰/۹ ولت

Figure 18. Transient analysis of MOSFET-based three-stage DRO with control voltage change in the range of 0.6 to 0.9 V



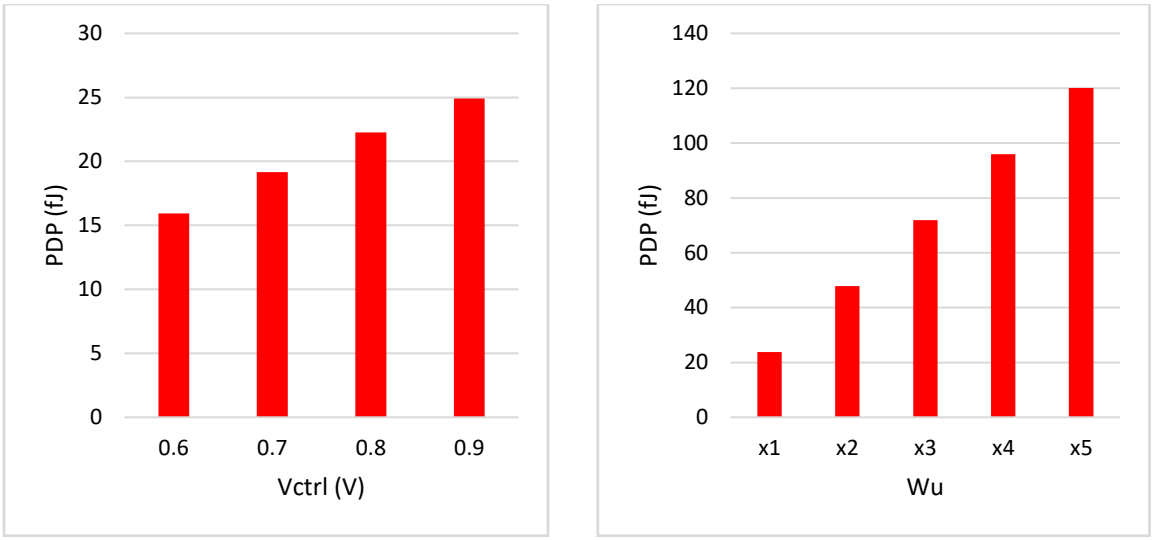
(ب) (الف)

شکل ۱۹: تأثیر تغییرات ولتاژ کنترلی Vctrl در نوسان‌ساز حلقوی تفاضلی مبتنی بر ماسفت بر روی (الف) فرکانس نوسان، (ب) توان مصرفی

Figure 19. The effect of changes in control voltage Vctrl in MOSFET-based DRO on (a) oscillation frequency, (b) power consumption

در شکل ۲۰ تأثیر تغییرات ابعاد ترانزیستور و تغییر ولتاژ کنترل Vctrl بر روی مقدار PDP نوسان‌ساز پیشنهادی مبتنی بر ماسفت نشان داده شده است. با توجه به شکل ۲۰(الف) مشخص است که با افزایش ابعاد ترانزیستور وضعیت معیار PDP بدتر می‌شود و همچنین در مقایسه با نمونه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی معیار PDP آن بدتر است. همچنین با توجه به شکل ۲۰(ب) مقدار PDP برای ولتاژ کنترل ۰/۶ ولت کمترین مقدار است؛ اما همچنان مقدار PDP نسبت به نمونه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی بدتر است.

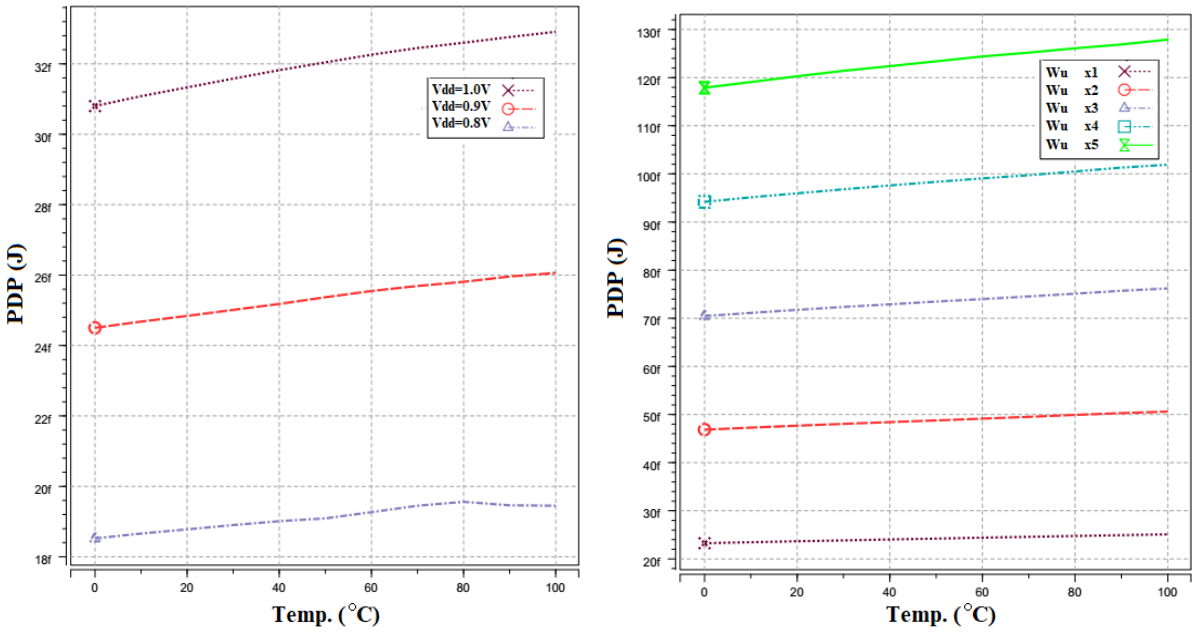
در ادامه تأثیر تغییرات دما بر روی عملکرد نوسان‌ساز سه‌طبقه تفاضلی مبتنی بر ماسفت موردبررسی قرار گرفته است. در شکل ۲۱ تأثیر تغییرات دما بر روی PDP نوسان‌ساز پیشنهادی مبتنی بر ماسفت با در نظر گرفتن ابعاد مختلف (افزایش ۱ تا ۵ برابری ابعاد ترانزیستورهای سلول تأخیر) و ولتاژهای تغذیه مختلف (۰/۸ ولت تا ۱ ولت با گام‌های ۰/۱ ولت) نشان داده شده است. نتایج بیانگر آن است که PDP نسبت به تغییرات دما مقاوم است اما نسبت به نمونه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی مقدار آن بالاتر است.



(ب) (الف)

شکل ۲۰: تغییرات PDP نوسان‌ساز حلقوی تفاضلی مبتنی بر ماسفت برحسب (الف) تغییر عرض ترانزیستور، (ب) ولتاژ کنترل

Figure 20: PDP changes of MOSFET-based DRO in terms of (a) transistor width change, (b) control voltage

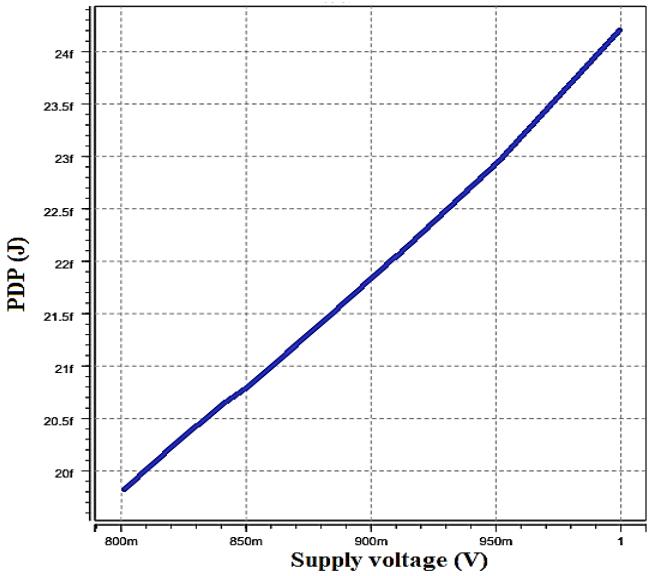


(ب) (الف)

شکل ۲۱: تأثیر تغییرات دما بر روی PDP نوسان‌ساز حلقوی تفاضلی مبتنی بر ماسفت (الف) با تغییر عرض ترانزیستورها، (ب) با تغییر ولتاژ تغذیه

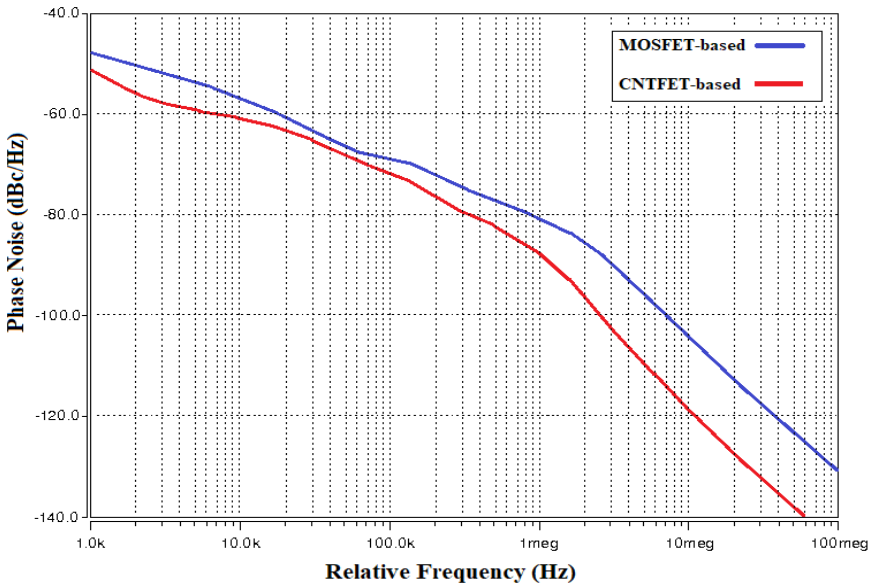
Figure 21: The effect of temperature changes on the PDP of the MOSFET-based DRO (a) by changing the width of the transistors, (b) by changing the supply voltage

در شکل ۲۲ تأثیر تغییرات ولتاژ تغذیه بر روی PDP نوسان‌ساز پیشنهادی مبتنی بر ماسفت نشان داده شده است. با توجه به شکل ۲۲ با تغییر ولتاژ تغذیه در بازه ۰/۸ ولت تا ۱ ولت مقدار PDP از ۲۴/۲ فمتو ژول تا ۱۹/۸ فمتو ژول تغییر می‌کند. تغییر ۲۵ درصدی در ولتاژ تغذیه به تغییر ۲۲ درصدی در مقدار PDP می‌شود و محدوده تغییرات PDP پایین است؛ اما در مقایسه با نمونه مبتنی بر ترانزیستور اثر میدان نانولوله کربنی مقدار PDP بالا است.



شکل ۲۲: تأثیر تغییرات ولتاژ تغذیه بر روی PDP نوسان‌ساز حلقوی تفاضلی مبتنی بر ماسفت
Figure 22: Effect of supply voltage changes on PDP of MOSFET-based DRO

در شکل ۲۳ نویز فاز نوسان‌ساز پیشنهادی مبتنی بر CNTFET با نمونه پیاده‌سازی شده با ماسفت جهت مقایسه نشان داده شده است. با توجه به شکل ۲۰، نویز فاز نوسان‌ساز پیشنهادی مبتنی بر CNTFET در آفست‌های ۱ مگاهرتز و ۱۰ مگاهرتز به ترتیبdBc/Hz -88 و dBc/Hz -118.75 است. همچنین، نویز فاز نوسان‌ساز پیشنهادی مبتنی بر ماسفت در آفست‌های ۱ مگاهرتز و ۱۰ مگاهرتز به ترتیب dbc/Hz -81.25 و dBc/Hz -105 است. با بررسی نتایج نویز فاز نیز مشاهده می‌کنیم که طرح پیشنهادی مبتنی بر CNTFET عملکرد بهتری نسبت به نمونه ماسفت از خود نشان می‌دهد.



شکل ۲۳: نویز فاز نوسان‌ساز حلقوی تفاضلی پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی و مقایسه آن با نمونه مبتنی بر ماسفت
Figure 23: Phase noise of the proposed DRO based on CNTFET and its comparison with the MOSFET-based implementation

برای مقایسه بهتر با سایر کارها معیار شایستگی دیگری بر اساس تأثیرگذاری نویز فاز به‌صورت رابطه (۷) در نظر گرفته می‌شود. این معیار شایستگی در جدول ۳ با عنوان معیار شایستگی نویز مشخص شده است.

$$FoM_{Ph.} = L(\Delta f_{offset}) - 20\log(\frac{f_0}{\Delta f_{offset}}) + 10\log(P_{DC}) \quad (۷)$$

که در اینجا Δf_{offset} نویز فاز اندازه‌گیری شده در فرکانس افست Δf_{offset}، f_0 فرکانس نوسان و P_{DC} توان مصرفی برحسب میلی وات است.

جدول ۳: مقایسه طرح پیشنهادی با سایر کارهای پیشین

Table 3. Comparison of the proposed design with other previous works

ساختار	فناوری	تغذیه (ولت)	فرکانس نوسان (گیگاهرتز)	توان مصرفی (میکرو وات)	نویز فاز در ۱ مگاهرتز (dBc/Hz)	معیار شایستگی PDP (فمتو ژول)	معیار شایستگی نویز فاز (dBc/Hz)
[۱۵]	32 nm DG-CNTFET	۰/۷	۱۱۰/۹۱	۲۵/۵۰۲	–	۰/۰۱۶۲	–
			۷۷/۶۱	۲۴/۸۸۸	–	۰/۰۲۲۲	–
[۱۴]	32nm CMOS-CNTFET	۰/۸	۱۰۷/۶-۱۱۰/۹	۲۵/۵۱-۲۸/۴۹	–	۰/۰۱۸۹-۰/۰۱۶۴	–
			۶/۳۹	۲/۸۷۲	–	۰/۰۷۴۸	–
			۲۰/۰۹۳	۴/۹۷۳	–	۰/۰۴۱۲	–
			۲۲/۳۳	۳/۹۱۷	–	۰/۰۲۹۲	–
			۵/۸۵	۲/۸۵۹	–	۰/۰۸۱۳	–
[۱۳]	32 nm CMOS-CNTFET	۰/۸	۰/۶۲-۱/۸۵	۵/۳۱-۲۰/۱۸	–	۱/۴۲۵-۱/۸۱۶	–
			۰/۴۲-۱/۲۶	۳/۲۲-۱۳/۶۵	–	۱/۲۵۶-۱/۷۹۹	–
[۲۰]	180 nm CMOS	۰/۸	۰/۴۱-۰/۶۶	۲۲/۳۰-۳۲/۲۲	–	۸/۰۳-۸/۹۴	–
[۱۷]	32 nm CNTFET	۰/۸	۲۷۴/۵۶-۳۴۸/۲۹	۹۲/۴۹-۱۲۰/۹۶	–	۰/۰۵۵۸-۰/۵۷۸	–
			۹۶/۱۸-۱۹۶/۸۷	۸۶/۸۳-۱۹۹/۱۷	–	۰/۰۸۷۷-۰/۱۲۵	–
			۵۵/۰۴-۱۴۰/۸۶	۱۳۹/۹۹-۲۹۴/۵۸	–	۰/۱۲۸-۰/۱۸۱	–
[۱۶]	16 nm GNRFET	۰/۸	۱۹۲/۰۷-۲۶۴/۳۸	۳/۱۱-۳/۴۶	–	۰/۰۰۲۰۷-۰/۰۰۲۷	–
			۱۲۶/۲۱-۱۸۰/۸۳	۳/۷۵-۴/۵۵	–	۰/۰۰۲۱-۰/۰۰۳۶	–
			۹۴/۷۰-۱۳۹/۶۱	۴/۲۳-۵/۸۶	–	۰/۰۰۲۳-۰/۰۰۴۴	–
[۱۸]	32 nm CNTFET	۰/۸	۳۳/۶۴-۴۳/۷۴	۱۴/۰۲-۱۸/۷۸	–	۰/۰۵۳-۰/۰۹۳	–
			۱۶/۶۹-۴۰/۸۶	۱۵/۴۴-۱۸/۰۶	–	۰/۰۵۹-۰/۱۸۰	–
			۲۰/۵۴-۲۶/۱۱	۱۵/۳۲-۲۹/۱۳	–	۰/۰۵۸-۰/۱۴۱	–
			۹/۵۶-۲۵/۳۷	۱۶/۹۸-۲۹/۵۵	–	۰/۰۶۴۵-۰/۳۰۹	–
			۱۵/۶۱-۱۹/۱۵	۱۶/۶۳-۴۳/۸۰	–	۰/۰۶۲-۰/۲۰	–
			۶/۹۸-۱۸/۵۹	۱۸/۴۸-۴۸/۴۰	–	۰/۰۶۹۲-۰/۴۹۵	–
[۱۹]	16 nm GNRFET	۰/۸	۱۹/۷۵-۱۷۸/۷۱	۰/۱۱۸-۱/۳۳	–	۰/۰۹۳۹-۱/۰۹۸	–
[۲۳]	180 nm CMOS	۱/۸	۰/۲۶۱-۱/۳۲	۱۶۰۰	- ۹۸	–	- ۱۵۳/۲۱
[۲۴]	180 nm CMOS	۱/۸	۳/۱-۱۰	۶۰۱۰	- ۱۱۳	–	- ۱۸۱/۶۰
[۲۵]	65 nm CMOS	۱/۲	۰/۰۰۱-۱۳/۸	۷۸۵	- ۸۲	–	- ۱۵۷/۳۰
[۲۶]	180 nm GFET	۱	۲۴/۱۲	۹۹۸۰	- ۱۰۴/۱	–	- ۱۸۱/۷۴
[۲۷]	180 nm CMOS-CNTFET	۱/۸	۳/۱۲-۵/۲۶	۶۲۵	–	–	–
[۲۸]	32 nm CNTFET	۱	۶-۲۰	۷۵۰۰	- ۱۲۳	۶۲/۲۰۸-۵/۳۳	- ۲۰۲/۱۳
[۲۹]	CNTFET	۱/۵	۰/۴۶۰	۶۰۰۰۰	- ۱۱۶	–	- ۱۵۱/۴۶
پیشنهادی	32 nm CNTFET	۰/۹	۴۵/۷۰-۱۱۰/۱۸	۵/۱۷-۳۲/۶۸	- ۸۸	۰/۰-۰۱۸۸/۰۴۹	- ۲۰۰/۶۸

عملکرد نوساز ساز تفاضلی پیشنهادی مبتنی بر ترانزیستور اثر میدان نانولوله کربنی با سایر کارهای دیگر مرتبط با طرح‌های توان پایین پیشنهادشده در مقالات در جدول ۳ مقایسه شده‌اند. همان‌طور که مشاهده می‌شود، تحقیق فعلی عملکرد بهبودیافته در مقایسه با تحقیق‌های جدید و به‌روز از خود نشان داده و به کمترین PDP با ولتاژ تغذیه ۰/۹ ولت منجر شده است. در عین حال فرکانس نوسان بالایی ارائه کرده و محدوده وسیعی از تنظیم را دارا است. شایان‌ذکر است که طرح پیشنهادی تنها نمونه با

خروجی تفاضلی است و سایر کارهای پیشین مقایسه شده همگی به‌صورت تک‌سر هستند. از لحاظ معیار شایستگی نویز فاز تنها طرح ارائه شده در مرجع [۲۹] نسبت به طرح پیشنهادی در این پژوهش خیلی جزئی برتری دارد. از لحاظ معیار شایستگی PDP وقتی طرح گزارش‌شده در مرجع [۲۹] را مورد ارزیابی قرار می‌دهیم متوجه می‌شویم که این ساختار با این که یک ساختار سه‌طبقه است اما از لحاظ مقدار شایستگی PDP بسیار بالا بوده و توان مصرفی بالایی دارد. فلذا، طرح پیشنهادی در این پژوهش نسبت به طرح مذکور در مرجع [۲۹] قابلیت‌های بسیار بالایی دارد.

۴- نتیجه‌گیری

در این پژوهش، طراحی و شبیه‌سازی یک نوسان‌ساز حلقوی سه‌طبقه تفاضلی با عملکرد بالا بر اساس ترانزیستور اثر میدان نانولوله کربنی ارائه شد که می‌تواند فرکانس نوسان آن با ولتاژ تغذیه ۰/۹ ولت در بازه ۱۱۰ گیگاهرتز تا ۱۲۰ گیگاهرتز با تغییر تعداد نانولوله‌ها تغییر کند و در عین حال توان مصرفی آن در بازه ۳۳/۳ میکرو وات تا ۱۶۲ میکرو وات باشد. همچنین با تغییر ولتاژ کنترل موجود در ساختار سلول تأخیر پیشنهادی می‌توان فرکانس نوسان نوسان‌ساز تفاضلی پیشنهادی را در بازه بسیار وسیعی از ۴۵/۷ گیگاهرتز تا ۱۱۰/۱۸ گیگاهرتز تغییر داد و در عین حال توان مصرفی آن در بازه ۵/۱۷ میکرو وات تا ۳۲/۶۸ میکرو وات باشد. نوسان‌ساز حلقوی طراحی‌شده مبتنی بر ترانزیستور اثر میدان نانولوله کربنی ویژگی‌های امیدوارکننده‌ای نسبت به نمونه مبتنی بر ماسفت و همچنین نسبت به سایر نوسان‌سازهای موجود عملکرد فوق‌العاده خوبی از خود نشان داد.

سپاسگزاری

با تشکر از استاد محترم جناب آقای مهندس امیر باغی رهین، که با راهنمایی‌های دلسوزانه ایشان این کار پژوهشی به سرانجام رسید.

مراجع

[1] A. Moghateli,H. Momenzadeh and M. Nader Kakai, “Simulation and investigation of parameters affecting the reduction of power consumption in multiplication circuits using CNT transistor technology,” *Journal of Southern Communication Engineering*, vol. 10, no. 38, pp. 39-50, 2020 [in persian].

[2] A. Baghi Rahin and V. Baghi Rahin, “A new 2-input CNTFET-based XOR cell with ultra-low leakage power for low-voltage and low-power full adders,” *Journal of Intelligent Procedures in Electrical Technology (JIPET)*, vol. 10, no. 37, pp. 2322-3871, 2019 [in persian].

[3] A. Baghi Rahin, A. Kadivarian and V. Baghi Rahin, “Design of a Full Swing 20-Transistors Full Adder Cell based on CNTFET with High Speed and Low PDP,” *International Conference on Electrical Engineering (ICEE)*, 2022, pp.546-550, doi: 10.1109/ICEE55646.2022.9827050.

[4] B.Q. Wei, R. Vajtai and P.M. Ajayan, “Reliability and Current Carrying Capability of Carbon Nanotubes,” *Appl. Phys. Lett.*, vol. 79, pp. 1172-1174, 2001, doi: 10.1063/1.1396632.

[5] J. Deng and H.S. P. Wong “A compact SPICE model for carbon nanotube field effect transistors including non-idealities and its application Part II: Full device model and circuit performance benchmarking”, *IEEE Trans Electron Devices*, vol. 54, no. 12, pp. 3195-3205, Dec 2007, doi: 10.1109/TED.2007.909043.

[6] N. Cheraghi Shirazi, E. Abiri Jahromi and R. Hamzehyan, “Investigating the performance of active vector and inductor capacitors in the resonant circuit of integrated VCOs with 0.18 µm CMOS technology,” *Journal of Southern Communication Engineering*, vol. 7, no. 26, 2017 [in persian].

[7] N. Cheraghi Shirazi and R. Hamzehyan,, “Evaluation of phase noise performance of voltage-controlled integrated inductors and active inductors with 0.18 µm CMOS technology,” *Journal of Southern Communication Engineering*, vol. 7, no. 25, 2018 [in persian].

[8] Y. Toh and J. A. McNeill, “Single-ended to differential converter for multiple-stage single-ended ring oscillators,” *IEEE J. Solid-State Circuits,* vol. 38, no. 1, pp. 141–145, 2003, doi: 10.1109/JSSC.2002.806262.

[9] B. Razavi, “Design of monolithic phase locked loops and clock recovery circuits: A tutorial,” in *Monolithic Phase-Locked Loops and Clock Recovery Circuits: Theory and Design* , IEEE, 1996, pp.1-39, doi: 10.1109/9780470545331.ch1.

[10] J. Savoj and B. Razavi, “A 10-Gb/s CMOS clock and data recovery circuit with a half-rate linear phase detector,” *IEEE J. Solid-State Circuits*, vol. 36, no. 5, pp. 761–768, 2001, doi: 10.1109/4.918913.

[11] B. Fahs, W. Y. A. Ahmad and P. Gamand, “A two-stage ring oscillator in 0.13 μm CMOS for UWB impulse radio,” *IEEE Trans. Microwave Theory Tech*., vol. 57, no. 5, pp. 1074–1082, 2009, doi: 10.1109/TMTT.2009.2017246.

[12] H. Thabet, S. Meillere, M. Masmoudi, J. Seguin, H. Barthelemy and K. Aguir, “A low power consumption CMOS differential-ringVCO for a wireless sensor,” in *Proc. 9th IEEE Int. New Circuits Systems Conf*., 2011, pp. 81–84, doi: 10.1109/NEWCAS.2011.5981224.

[13] D. Fathi and B. Mohammadi, “Millimeter Wave Ring Oscillator Using Carbon Nano-Tube Field Effect Transistor in 150 GHz and Beyond,” *Circuits and Systems*, vol. 4, no. 2, pp. 157-164, 2013, . doi: 10.4236/cs.2013.42021.

[14] A. Baghi Rahin, A. Kadivarian, S. Naseri Akber and V. Baghi Rahin, “Tunable Ring Oscillators Based on Hybrid FGMOS/CNTFET Inverters with High Frequency and Low Power,” *International Conference on New Researches and Technologies in Electrical Engineering (ICNRTEE)* ,University of Science and Culture (USC), Tehran, Iran, 2023.

[15] A. Baghi Rahin, A. Kadivarian and V. Baghi Rahin, “Investigation of Different Combinations of CNTFET and MOSFET in the Structure of a Hybrid Ring Oscillator,” *IEEE 6th Conference on Technology in Electrical and Computer Engineering (ETECH 2021)*, Tafresh University, Tafresh, Iran ,2021.

[16] A. Baghi Rahin, A. Kadivarian and V. Baghi Rahin, “Extremely High Frequency and Low Power Ring Oscillators Using DG-CNTFET Transistors,” *IEEE 6th Conference on Technology in Electrical and Computer Engineering (ETECH 2021),*), Tafresh University, Tafresh, Iran , 2021.

[17] A. Baghi Rahin, A. Kadivarian, S. Naseri Akbar and V. Baghi Rahin, “Tunable Millimeter Wave Ring Oscillator Using GNRFET,” *The 7th National Conference of Applied Researches in Electrical, Mechanical and Mechatronics Engineering*, Tehran, Iran , 2023.

[18] A. Baghi Rahin, A. Kadivarian, S. Naseri Akbar and V. Baghi Rahin, “Extremely High Frequency Voltage Controlled Ring-Oscillator Based-on NAND Gate Using CNTFET,” *The 7th National Conference of Applied Researches in Electrical, Mechanical and Mechatronics Engineering*, Tehran, Iran, 2023.

[19] A. Baghi Rahin, A. Kadivarian and M. Dadgar, “Ring Oscillator with Frequency Adjustment and Reconfiguration Capability Using Switched NAND-NOR,” *12th Majlesi Conference on Electrical Engineering*, Isfahan, Iran , 2023.

[20] A. Baghi Rahin, A. Kadivarian and M. Dadgar, “GNRFET-based Voltage Controlled Ring Oscillator Using GDI NAND Gate,” *12th Majlesi Conference on Electrical Engineering*, Isfahan, Iran, 2023.

[21] A. Baghi Rahin, M.H. Akhtarzadeh, A.S. Alijanpour and V. Baghi Rahin, “Tunable Ring Oscillator Based on DTMOS and FGMOS Inverters with High Frequency and Low Power in 180 nm CMOS Technology,” *8th National Conference on Modern Studies and Resech in Computer, Electrical, and Mechanical Sciences of Iran*, Tehran, Iran, 2022.

[22] J. Jalil, M. B. I. Reaz and M. A. M. Ali, “CMOS Differential Ring Oscillators: Review of the Performance of CMOS ROs in Communication Systems,” in *IEEE Microwave Magazine*, vol. 14, no. 5, pp. 97-109,

July-Aug. 2013, doi: 10.1109/MMM.2013.2259401.

[23] Y. Sun and M. Jiang, "A low power, and wide tuning range ring voltage controlled oscillator," *IEEE International Conference on Consumer Electronics-Asia (ICCE-Asia)*, Seoul, Korea (South), 2016, pp. 1-4. doi: 10.1109/ICCE-Asia.2016.7804742.

[24] S. Kamran and N. Ghaderi, "A novel high speed CMOS pseudo-differential ring VCO with wide tuning control voltage range," *Iranian Conference on Electrical Engineering (ICEE)*, Tehran, Iran, 2017, pp. 201-204. doi: 10.1109/IranianCEE.2017.7985438.

[25] S. Askari and M. Saneei, "Design and analysis of differential ring voltage controlled oscillator for wide tuning range and low power applications," *Int. J. Circuit Theory Appl.*, vol. 47, no. 2, pp. 204-216, Feb. 2019, doi: 10.1002/cta.2582.

[26] A. Safari and M. Dousti, "Ring oscillators based on monolayer Graphene FET," *Analog Integrated Circuits and Signal Processing*, vol. 102, pp. 637–644, 2020, doi: 10.1007/s10470-020-01624-x.

[27] S. Rahane and A. Kureshi, "A low power and linear voltage controlled oscillator using hybrid CMOS-CNFET technology," *International Journal of Applied Engineering Research*, vol. 12, no. 9, pp. 1969–1973, 2017.

[28] H. Sarbazi, R. Sabbaghi-Nadooshan and A. Hassanzadeh, "A CNT based VCO with extremely low phase noise and wide frequency range for PLL application," *International Journal of Numerical Modelling: Electronic Networks, Devices and Fields*, vol. 34, no. 5, 2021, doi:10.1002/jnm.2891.

[29] A. Taghavi, C. Carta, T. Meister, F. Ellinger, M. Claus and M. Schroter, "A CNTFET Oscillator at 461 MHz," *IEEE Microwave and Wireless Components Let-ters*, vol. 27, no. 6, 2017, doi:10.1109/LMWC.2017.2701312.

COPYRIGHTS
©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2025.1993480.1329

Vol. 14/ No. 54/Winter 2025

Research Article

Improving Super-Resolution in Face Images by Modeling Image Degradation Using Pairs of High-Quality and Low-Quality Images

Ahmad Dolatkhah, Assistant Professor [1*]

[1]Department of information and Communication, Amin Police University, Tehran, Iran
ict.ahmad93@gmail.com

Correspondence
Ahmad Dolatkhah, assistant professor, department of information and Communication, Amin Police University, Tehran, Iran, ict.ahmad93@gmail.com

Received: 17 February 2024
Revised: 14 April 2024
Accepted: 17 April 2024

Abstract

Improving image quality for identification and authentication in security and surveillance systems is of particular importance, and today, using artificial intelligence, the quality of images can be significantly improved. In this regard, the present paper, focusing on the details of face images, has improved the image failure detection model in the adversarial generator network, which led to a suitable performance in the meta-dissolving of face images. Most of the CNN networks that have been presented in recent years require a large set of images with appropriate annotations for proper performance, and they usually perform poorly in the case of degradation that have not been trained, which is addressed in this research to improve this challenge. In this work, pairs of high-quality and low-quality images are used to train the image degradation detection model; This information is then transferred to real images. The naturalness of the output images is one of the most important challenges in this field. The obtained results show that the criterion of perceptual similarity of the obtained image is equal to 38.4%, which is comparable to recent researches. As a result, using the proposed model, more natural images were produced.

Keywords: Quality of face image, Adversarial generative network, Super-resolution, Deep learning.

Highlights

- Improving super-resolution in face images by modeling image degradation using pairs of high-quality and low-quality images
- Improving image quality for identification and authentication in security and surveillance systems.
- Using SynNet and DegNet networks, the image damage detection model was improved and the image details were preserved.

Citation: A. Dolatkhah, "Improving Super-Resolution in Face Images by Modeling Image Degradation Using Pairs of High-Quality and Low-Quality Images," *Journal of Southern Communication Engineering*, vol. 14, no. 54, pp. 69–82, 2025, doi:10.30495/jce.2025.1993480.1329, [in Persian].

مقاله پژوهشی

بهبود فراتفکیک پذیری در تصاویر چهره به‌وسیله مدلسازی خرابی تصویر با استفاده از زوج تصاویر با کیفیت و بی‌کیفیت

احمد دولت خواه[1]*

[1] گروه فناوری اطلاعات و ارتباطات دانشگاه علوم انتظامی امین، تهران
lct.ahmad93@gmail.com

نویسنده مسئول
*احمد دولت خواه، استادیار گروه فناوری اطلاعات و ارتباطات دانشگاه علوم انتظامی امین، تهران
lct.ahmad93@gmail.com

تاریخ دریافت: ۲۸ بهمن ۱۴۰۲
تاریخ بازنگری: ۲۶ فروردین ۱۴۰۳
تاریخ پذیرش: ۲۹ فروردین ۱۴۰۳

چکیده:

بهبود کیفیت تصویر جهت شناسایی و احراز هویت در سیستم های امنیتی و نظارتی دارای اهمیت ویژه بوده و امروزه با استفاده از هوش مصنوعی می‌توان کیفیت تصاویر را به صورت قابل توجهی بهبود داد. در این راستا مقاله حاضر با تمرکز بر جزئیات تصاویر چهره، مدل تشخیص خرابی تصویر در شبکه مولد تخاصمی را بهبود داده است که منجر به عملکرد مناسب در فراتفکیک پذیری تصاویر چهره شد. اکثر شبکه‌های CNN که در سالهای اخیر ارائه شده است، برای عملکرد مناسب نیاز به مجموعه تصاویر بسیار زیاد با حاشیه نویسی مناسب دارند و معمولاً در مورد خرابی‌هایی که آموزش ندیده‌اند عملکرد نامناسبی دارند که در این مقاله به بهبود این چالش پرداخته شده است. در این کار برای آموزش مدل تشخیص خرابی تصویر، از جفت تصویرهای با کیفیت و بی‌کیفیت استفاده شده است؛ سپس این اطلاعات به تصاویر واقعی انتقال داده می‌شوند. طبیعی بودن تصاویر خروجی از مهم‌ترین چالش‌های موجود در این زمینه است. نتایج به دست آمده نشان می‌دهد که معیار شباهت ادراکی تصویر به دست آمده برابر با ۳۸/۴٪ بوده که نسبت به پژوهش‌های اخیر قابل مقایسه می‌باشد. در نتیجه با استفاده از مدل پیشنهادی، تصاویر طبیعی‌تری تولید شد.

کلیدواژه‌ها: افزایش کیفیت تصویر چهره، شبکه مولد تخاصمی، فراتفکیک پذیری، یادگیری عمیق

https://doi.org/10.30495/jce.2025.1993480.1329

۱-مقدمه

در حال حاضر، محدودیت‌های سخت‌افزاری و هزینه‌های زیاد در بهبود سخت‌افزار، مانع افزایش کیفیت تصاویر در سیستم‌های تصویربرداری می‌شود. علاوه بر این افزایش کیفیت همواره نیاز به فضای ذخیره سازی بیشتری دارد که خود می‌تواند مشکل ساز باشد. تاریخچه پردازش تصویر دیجیتال با توسعه کامپیوترهای دیجیتال همراه بوده است. درحقیقت پردازشگرهای دیجیتال نیازمند حافظه و توان محاسباتی زیادی هستند که پیشرفت در حوزه پردازش تصویر دیجیتال متکی بر توسعه کامپیوترهای دیجیتال و شامل ذخیره سازی داده‌ها، نمایش و انتقال می‌باشد. از چند دهه‌ی گذشته که رایانه‌ها امکان پیاده سازی الگوریتم‌های محاسباتی را فراهم ساخته‌اند، در راستای شبیه‌سازی رفتار محاسباتی مغز انسان، کارهای پژوهشی بسیاری از سوی متخصصین علوم رایانه، مهندسین و همچنین ریاضیدان‌ها شروع شده است، که نتایج کار آن‌ها، در شاخه‌ای از علم هوش مصنوعی و در زیرشاخه هوش محاسباتی تحت عنوان شبکه‌های عصبی مصنوعی طبقه‌بندی شده است .

تصاویر با کیفیت و بی‌کیفیت می‌توانند با استفاده از معیارهای اوج نسبت سیگنال به نویز[1] (PSNR) و شباهت ساختاری[2] (SSIM) تفکیک شوند. تصاویر با کیفیت عالی باید دارای مقادیر PSNR بالا باشند، به این معنی که نسبت سیگنال به نویز بسیار بالا باشد. این نوع تصاویر باید دارای خطاهای کمتر و اختلافات پیکسلی کمتری با تصویر مرجع (با کیفیت) داشته باشند. تصاویر با کیفیت باید دارای SSIM نزدیک به ۱ باشند. این نشان دهنده تشابه ساختاری بالا با تصاویر با کیفیت مرجع است، به این معنی که تصاویر مقدار زیادی از ویژگی‌های ساختاری و اطلاعات زیادی را با تصویر با کیفیت مشترک دارند. به طور کلی، این معیارها به عنوان ابزارهای مهم برای ارزیابی کیفیت تصاویر استفاده می‌شوند و می‌توانند در فرایند بهبود کیفیت و پیشرفت تصاویر مورد استفاده قرار بگیرند.برای افزایش کیفیت تصاویر بی‌کیفیت، روش‌های مختلفی وجود دارد برخی از روش‌ها با استفاده از الگوریتم‌ها و فیلترهای پردازش تصویر مانند افزایش کنتراست و اصلاح رنگ، بهبود کیفیت تصویر را ایجاد کند. در برخی از موارد که با نویزهای پیچیده سر وکار نداریم با استفاده از فیلترهای حذف نویز، می‌توانید سطوح نویز را کاهش داده و کیفیت تصویر را افزایش دهید و در انتها، زمانی که با خرابی‌های پیچیده در تصویر مواجه می‌شویم باید از تکنیک‌های پردازش تصویر مانند فراتفکیک پذیری (super-resolution) استفاده شود که این روش می‌توانند با استفاده از الگوریتم‌های پیچیده، اطلاعات جدیدی را به تصویر اضافه کرده و وضوح آن را بهبود بخشند. به همین دلیل برای بهبود تصاویری که دچار خرابی‌های پیچیده هستند، باید از مفاهیم یادگیری عمیق و شبکه‌های عصبی استفاده شود.

استفاده از شبکه‌های عصبی برای بهبود کیفیت تصاویر دلایل متعددی دارد. شبکه‌های عصبی، به خوبی قادرند الگوها و ویژگی‌های پیچیده در تصاویر را تشخیص دهند. این امکان باعث می‌شود که بتوانند خطاها و بی‌کیفیتی‌های موجود در تصاویر را شناسایی کرده و بهبود بخشند. علاوه بر این، با توجه به حجم بالای داده‌های تصویری موجود، می‌توان شبکه‌های عصبی را برای بهبود کیفیت تصاویر با داده‌های آموزشی غنی و گسترده آموزش داد. این امر می‌تواند منجر به عملکرد بهتر و کیفیت بالاتر در تصاویر نهایی شود. از طرفی با پیشرفت تکنولوژی، شبکه‌های عصبی عمیق مانند شبکه‌های مولد تخاصمی[3] (GAN) امکانات بیشتری برای بهبود کیفیت تصاویر ارائه می‌دهند. این شبکه‌ها به طور خاص برای تولید تصاویر با کیفیت بالا و بهبود کیفیت تصاویر واقعی استفاده می‌شوند.

یادگیری عمیق از جمله مباحثی است که در سال‌های اخیر بسیار مورد بحث بوده و توجه بسیاری از محققان و پژوهشگران حوزه‌ی هوش مصنوعی و چه بسا دیگر حوزه‌ها را به خود معطوف نموده است. در واقع می‌توان سال ۱۹۹۳ میلادی را سالی دانست که اولین نمونه‌ی موفق شبکه‌ی عصبی کانولوشنی[4] CNN و همچنین شبکه‌ی LeNet مطرح گردید و در سال ۱۹۹۷ نیز شبکه های عصبی بازگشتی RNN ابداع و مطرح شدند اما در سال‌های اخیر به دلیل گسترش و پیشرفت در مواردی که ذکر خواهد شد، شاهد رونق بحث یادگیری عمیق بوده‌ایم [۱].

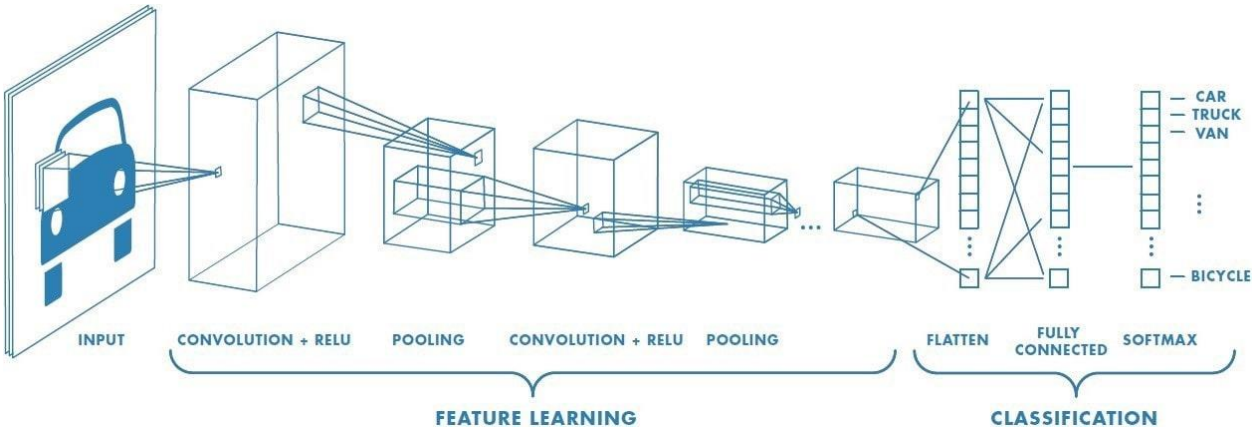
از جمله موارد مهم در ظهور یادگیری عمیق، بوجود آمدن مجموعه داده‌های عظیم مانند ImageNet است که عملاً کمبود داده‌های آموزشی را تا حد قابل قبولی برطرف نمود و مشکلات آموزشی که در زمان عدم جود داده‌ی زیاد مطرح می‌شود، مانند بیش برازش و دقت پایین مدل را ارتقا بخشید. از طرف دیگر پیشرفت‌های سخت‌افزاری نظیر مطرح شدن نسل‌های جدید GPU و پردازشگرها که عملاً فرآیند بسیار طولانی و چه بسا ناممکن محاسبات سنگین درگذشته را جامه عمل پوشاندند، به این امر کمک کردند.

شبکه عصبی کانولوشن یک چارچوب یادگیری عمیق وگسترده است که مورد استفاده قرار می‌گیرد. این شبکه در ابتدا، بیشتر برای عملیات تشخیص اشیاء استفاده می‌شد، اما در حال حاضر در زمینه‌های دیگری مثل ردیابی اشیاء، برآورد موقعیت، کشف و تشخیص متن، کشف برتری بصری، کشف اقدامات، برچسب زدن صحنه، فرا تفکیک‌پذیری و بسیاری موارد دیگر در حال آزموده شدن می‌باشد [۲].

ساختار یک شبکه CNN مانند شکل۱ است که از لایه‌های مختلف کانولوشن تشکیل شده است و به وسیله عملیات Pooling و توابع ReLue یادگیری اتفاق می‌افتد. درنهایت خروجی به یک لایه کاملاً متصل وصل می‌شود. نتیجه‌ی اعلام شده با نتیجه‌ی

[1] Peak signal-to-noise ratio
[2] Structural similarity index measure
[3] Generative adversarial networks
[4] Convolutional neural network

مطلوب مقایسه گشته و میزان خطای بوجود آمده توسط تابع هزینه محاسبه می‌شود سپس توسط الگوریتمی مانند پسا انتشار خطا، روند اصلاح وزن‌ها انجام می‌گیرد. به هر بار انجام این مرحله یک تکرار گفته می‌شود. مراحل اصلاح وزن‌ها تا زمانی صورت می‌پذیرد که به بهینه‌ترین حالت ممکن رسیده شود. بدین منظور از روش‌های بهینه‌سازی همچون گرادیان کاهشیAdam ، یا انواع دیگر استفاده می‌شود [۱].



شکل۱: شماتیک کلی شبکه CNN با هدف دسته‌بندی تصاویر

Figure 1. General schematic of CNN network with the purpose of image classification

عیب اصلی CNN این است که گاهی اوقات آموزش آن زمان زیادی صرف می‌کند. با این حال، پس از آموزش، کارایی زمان تست آن‌ها بسیار سریع‌تر از سایر روش‌ها مانند SVM[1] یا KNN[2] است. یکی دیگر از عیب‌های مهم، نیاز به مجموعه داده‌های بزرگ (یعنی صدها یا هزاران عکس) و حاشیه‌نویسی مناسب آن‌هاست [۳].

شبکه‌های عصبی پیچشی ((CNN در مدیریت داده‌هایی که آموزش دیده‌اند به خوبی عمل می‌کنند؛ اما در مورد آن‌ها که از مجموعه‌های آموزشی منحرف می‌شوند عملکرد ضعیف‌تری دارند[۴]. این ویژگی باعث می‌شود که در مواجه با تصاویر بی‌کیفیت دنیای واقعی که معمولاً با تخریب پیچیده روبرو شده‌اند، کارآمد نباشد. با این حال، ساختن این جفت مجموعه داده‌های با کیفیت و بی کیفیت (HQ و LQ) در دنیای واقعی نه امکان‌پذیر است و نه عملی، زیرا انواع تخریب در دنیای واقعی بسیار متنوع هستند و برخی از آن‌ها توسط سیستم تصویربرداری اعمال نشده‌اند. برای کاهش مشکلات در بازیابی تصاویر LQ در دنیای واقعی، برخی از پژوهش‌ها تلاش می‌کنند تا پارامترهای تخریب را پیش‌بینی کنند [۹-۵]. با این حال، تخریب واقعی معمولاً با انواع مختلفی ترکیب می‌شود که هر یک ویژگی‌های ذاتی خود را از دست داده‌اند.

همان‌طور که گفته شد، CNN پرکاربردترین شبکه عصبی در حوزه پردازش تصویر می‌باشد. در این مقاله قصد داریم از CNN در شبکه مولد تخاصمی (GAN) استفاده کنیم. همان‌طور که میدانیم، شبکه GAN از نوع شبکه‌های مولد بوده و امروزه به‌عنوان یکی از محبوب‌ترین موضوعات در حوزه یادگیری ماشین محسوب می‌شود. شبکه GAN از دو بخش اصلی شبکه مولد یا ژنراتور و شبکه تفکیک کننده تشکیل شده است. هدف مولد، فریب دادن تفکیک کننده است و هدف تفکیک کننده فهمیدن این است که نمونه‌ی تولیدی مصنوعی است یا از توزیع داده‌های واقعی نمونه‌برداری شده است. به عبارت دیگر خروجی تفکیک کننده احتمال واقعی بودن نمونه را نشان می‌دهد. به این صورت که احتمال بیشتر معادل این است که نمونه‌ی تولیدی مشابه نمونه واقعی و احتمال نزدیک به صفر به معنی نزدیک بودن به نمونه تقلبی می‌باشد. زمانی که احتمال خروجی تفکیک کننده به ۰.۵ می‌رسد، راه حل بهینه به دست آمده است. به این معنی که تفکیک کننده قادر به تمیزدادن نمونه‌های اصلی از تقلبی نمی‌باشد. هر دو شبکه‌ی مولد و تفکیک کننده، به‌صورت ضمنی توابعی هستند که توسط شبکه‌های عصبی عمیق پیاده‌سازی شده‌اند.

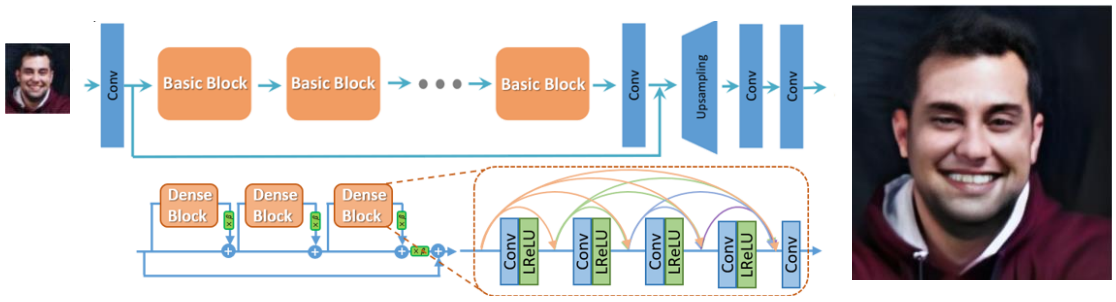
[1] Support vector machine
[2] k-nearest neighbors

یکی از مشکلات شبکه GAN موضوع بزرگنمایی و مقیاس‌پذیری تصاویر بود که با شبکه ESRGAN[1] این موضوع حل شد. در ESRGAN با استفاده از شبکه VGG[2] لایه‌های کانولوشن و پولینگ فراوانی تشکیل شد تا بتواند عمل سوپررزولوشن را به خوبی انجام دهد[۱۰].

در این مقاله هدف اصلی، گسترش شبکه ESRGAN به منظور بازسازی تصاویر واقعی با وضوح پایین از طریق ترکیب جفت‌های آموزشی با یک فرآیند خرابی عملی‌تر است. خرابی‌های پیچیده واقعی معمولاً ناشی از ترکیب‌های پیچیده‌ای از فرآیندهای مختلف خرابی هستند، مانند سیستم تصویربرداری دوربین‌ها، ویرایش تصویر و انتقال اینترنتی. به عبارت دیگر، خرابی‌ها با چندین فرآیند تکرار شونده مدل‌سازی می‌شوند، هر فرآیند به عنوان مدل خرابی کلاسیک است. به صورت تجربی، از یک فرآیند مدل‌سازی خرابی درجه دوم برای توازن مناسب بین سادگی و کارایی استفاده شده است.

مدل خرابی کلاسیک فقط شامل یک فرآیند ثابت است درحالی که ممکن است تصویر شامل خرابی‌های پیچیده شود. چنین فرآیند خرابی پیچیده‌ای نمی‌تواند با مدل کلاسیک اولیه مدل‌سازی شود. بنابراین، در این پژوهش یک مدل خرابی بهینه ارائه‌شده است. یک مدل مشتمل بر n فرآیند تکراری خرابی است، که هر فرآیند خرابی از مدل خرابی کلاسیک با همان روش اما با پارامترهای مختلف استفاده می‌کند. اخیراً، روش‌های مبتنی بر داده برای طراحی یک مدل تخریب عملی با ساخت ترکیبات پیچیده ، نمونه‌برداری ، نویز و فشرده‌سازی پیشنهاد شده‌اند. اگرچه این روش‌ها انواع تخریب متنوع‌تری دارند و در بیشتر موارد، تعمیم زیادی در مدیریت تصاویر LQ در دنیای واقعی نشان می‌دهند، اما هنوز نمی‌توانند برخی از تخریب‌های واقعی پیچیده را پوشش دهند [۱۸-۱۱].

ژنراتور ESRGAN استفاده شده در این طرح یک شبکه عمیق با چندین بلوک RRDB است که در شکل۲ شماتیک این شبکه دیده می‌شود. همچنین معماری اصلی ESRGAN به منظور اجرای فرآیند قرا تفکیک‌پذیری با ضریب اندازه یک و دو برابر، گسترش‌یافته است. از آنجا که ESRGAN یک شبکه سنگین است، ابتدا از pixel-unshuffle برای کاهش اندازه فضایی و افزایش اندازه کانال قبل از تغذیه ورودی‌ها به معماری اصلی ESRGAN استفاده شده است. بنابراین، بیشتر محاسبات در یک فضای کوچک‌تر انجام می‌شود که می‌تواند مصرف حافظه GPU و منابع محاسباتی را کاهش دهد.



شکل۲: شماتیک ژنراتور در شبکه ESRGAN [۱۰]

Figure 2. Generator schematic in ESRGAN network [10]

در این مقاله از تفکیک کننده U-Net با نرمال‌سازی طیفی (SN) استفاده شده است. U-Net ارزش‌های واقعی برای هر پیکسل را تشخیص می‌دهد و می‌تولند بازخورد جزئی به تولیدکننده ارئه دهد. همزمان، ساختار U-Net و خرابی‌های پیچیده نیز ناپایداری آموزش را افزایش می‌دهد. در این طرح از نرمال‌سازی طیفی برای استقرار پویایی‌های آموزش استفاده شده است. تخریب واقعی تصویر با مدل پیشنهادی کشف شده است، که شامل الف- یادگیری تخریب واقعی از جفت تصاویر چهره واقعی LQ و HQ با DegNet و ب- انتقال آن به HQ است.

ساختار مقاله بدین صورت است که ابتدا به بررسی پژوهش‌های گذشته پرداخته می‌شود که در این بخش نتایج پژوهش‌های اخیر و مزایا و معایب آن‌ها بررسی می‌شود. سپس روش پیشنهادی شرح داده می‌شود. برای بیان روش پیشنهادی، ابتدا

[1] Enhanced Super-Resolution
[2] Visual Geometry Group

مجموعه داده‌ها و جزئیات پیاده‌سازی و سپس مدل پیشنهادی ارائه می‌شود. سپس نتایج شبیه‌سازی و مقایسه با سایر روش‌ها ارائه شده و در انتها ارزیابی و نتیجه‌گیری بیان خواهد شد.

۲- پژوهش‌های گذشته

تعدادی از تحقیقات انجام شده در زمینه افزایش کیفیت تصویر در جدول۱ دسته‌بندی شده‌اند. همان‌طور که مشاهده می‌شود، دقت پایین در جزئیات تصویر در اکثر پژوهش‌ها یک نقطه ضعف به حساب می‌آید.

مهم‌ترین چالشی که در پژوهش‌های گذشته دیده می‌شود، عملکرد نامناسب الگوریتم‌های ارائه شده برای خرابی‌های واقعی می‌باشد. این امر باعث شده است که الگوریتم‌های ارائه شده دارای معایبی از جمله محو شدگی تصویر، جابه‌جایی پیکسل‌ها، وجود نویز و مشخص نبودن مرز سوژه‌ها باشد. دلیل اصلی وجود این معایب، پروسه یادگیری خرابی تصاویر در این الگوریتم‌ها می‌باشد. در واقع تمرکز اصلی این پژوهش‌ها بر بهبود کیفیت تصاویر با خرابی‌های از پیش مشخص شده می‌باشد لذا این الگوریتم‌ها معمولاً در مواجهه با خرابی‌های واقعی دچار مشکل می‌شوند.

جدول۱: پژوهش‌های اخیر در زمینه افزایش کیفیت تصویر

Table 1. Recent researches in the field of increasing image quality

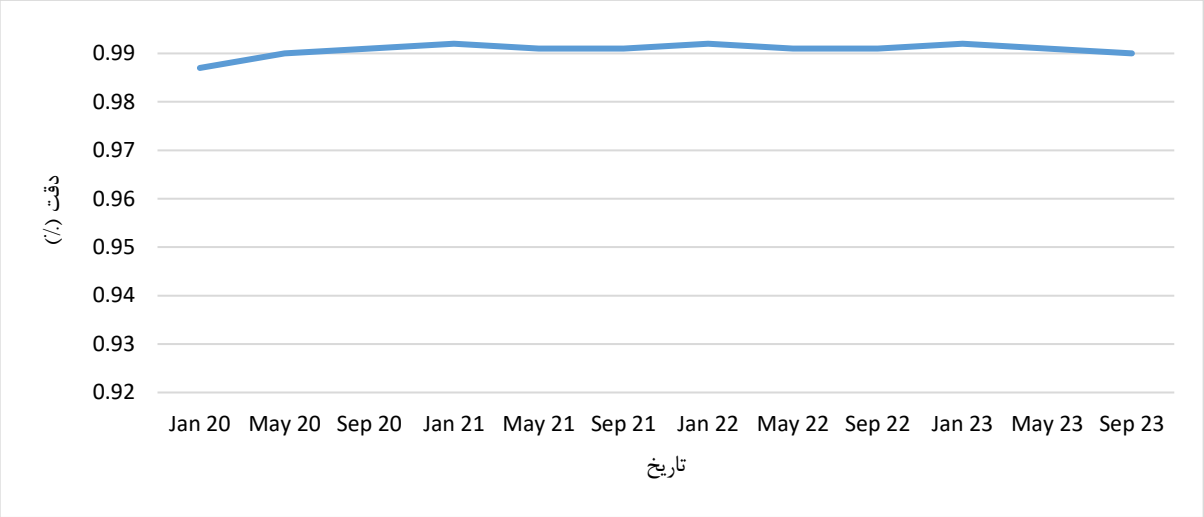
ردیف	مدل استفاده شده	SSIM	PSNR	سوژه	ویژگی تصویر خروجی	مرجع
۱	PGAN	۰/۷۲	۲۴/۹۰	چهره انسان	به هم ریختگی در پیکسل‌های اجزای تشکیل‌دهنده صورت	**۱۹**
۲	FSRGAN	۰/۴۴	۱۶/۸۰	چهره انسان	محوشدگی کل تصویر	**۲۰**
۳	ESRGAN	۰/۶۲	۲۲/۸۰	چهره انسان	مناسب برای زوم بر جزئیات صورت	**۱۰**
۴	Wang	۰/۷۷	۲۷/۵۷	چهره انسان	یکپارچه نبودن مرز بین پیکسل‌ها (روی تصاویر سیاه‌وسفید تست شده است)	**۲۱**
۵	Staged-CNN	۰/۶۴	۲۳	چهره انسان	زمان‌بر بودن زمان بازسازی تصویر	**۲۲**
۶	FSRNet	۰/۶۷	۲۳/۰۷	چهره انسان	از بین رفتن حالت چهره	**۲۳**
۷	SRFlow	۰/۷۱	۲۵/۲۰	چهره انسان	محوشدگی جزئی	**۲۴**
۸	Att-FH	۰/۷۱	۲۵/۱۰	چهره انسان	جابه‌جایی پیکسل‌ها در جزئیات تصویر	**۲۵**
۹	Panini-Net	-	۱۸	چهره انسان	بازسازی کاملاً بی‌دقت تصاویر	**۲۶**
۱۰	HiFaceGAN	۰/۷۹	۲۲/۴۰	چهره انسان	وجود نویز	**۲۷**
۱۱	pSp	۰/۶۸	۱۸/۹۰	چهره انسان	از بین رفتن جزئیاتی مثل عینک فرد	**۲۸**
۱۲	SSResNet	۰/۷۹	۲۵/۳۰	چهره انسان	محوشدگی کل تصویر	**۲۹**
۱۳	Cycle GAN	-	۱۶/۱۰	چهره انسان	به‌هم‌ریختگی شدید پیکسل‌ها	**۳۰**
۱۴	HLLH	-	۲۳/۲۲	چهره انسان	از بین رفتن پیکسل‌ها در جزئیات تصویر	**۳۰**
۱۵	ANR	-	۲۷/۷۰	چهره انسان	جابه‌جایی پیکسل‌ها (فقط برای تصاویر سیاه‌وسفید تست شده است)	**۳۱**
۱۶	RAISR	۰/۸۶	۲۴/۲۰	چهره انسان	تصویر محو می‌شود اما جزئیات حفظ می‌شود	**۳۲**

همان‌طور که در جدول ۱ دیده می‌شود، پژوهش‌های انجام شده در زمینه افزایش کیفیت تصاویر با استفاده از شبکه GAN از سال ۲۰۱۸ مورد بررسی قرار گرفته اند. شبکه‌های Cycle GAN، HLLH[1] و SSResNet[2] از جمله الگوریتم‌های قدیمی‌تر هستند که در آن‌ها خرابی‌های پیچیده لحاظ نشده‌اند و الگوریتم فقط تحت شرایط خاص، خروجی مطلوب ارائه می‌دهد[۲۹-۳۰].همچنین برخی از این شبکه‌ها مانند ANR[3] فقط برای تصاویر سیاه‌وسفید آموزش داده شده است[۳۱].در نتیجه، خروجی این شبکه‌ها معمولاً با جابه‌جایی پیکسل همراه بوده و به هیچ وجه دقت مناسبی در جزئیات ندارند. در سال‌های اخیر، ESRGAN با PSNR=22/8 یکی از بهترین مدل‌های ارائه شده برای فراتفکیک پذیری تصاویر چهره (با حفظ جزئیات) می‌باشد[۱۰].اما همانطور که بیان شد، این مدل همچنان در تشخص خرابی‌های پیچیده دچار مشکل می‌شود. لذا در این مقاله مدلی برای تشخیص خرابی‌های پیچیده تصویر بر مبنای شبکه ESRGAN ارائه خواهد شد.

۳- روش پیشنهادی

۳-۱- داده ها و جزئیات پیاده سازی

تصاویر چهره با کیفیت پایین با استفاده از دیتاست FFHQ استخراج شده است و سپس از شبکه GPEN برای به دست آوردن نمونه‌های مصنوعی با کیفیت بالا مرتبط با آن‌ها استفاده شد[۳۳]. در شکل ۳ دقت این دیتاست دیده می‌شود.



شکل۳: دقت دیتاست FFHQ در طول زمان

Figure 3: Accuracy of the FFHQ dataset over time

تصاویر استفاده شده برای آموزش مدل تشخیص خرابی تصویر شامل انواع مختلف از افت کیفیت هستند؛ از ناچیز تا شدید و از قدیمی تا حال. از این تصاویر، ۱۰۰۰۰ عکس برای آموزش، ۱۰۰۰ عکس برای اعتبارسنجی و ۵۰۰۰ عکس برای تست استفاده می‌شود. بهینه‌ساز Adam با پارامترهای $\beta_1 = 0/5$ و $\beta_2 = 0/999$ برای الگوریتم پیشنهادی به کار گرفته می‌شود. نرخ یادگیری اولیه به مقدار ۰/۰۰۰۰۲ تنظیم شده و هنگامی که تابع خطای MSE بر روی مجموعه اعتبارسنجی به ثابتی نزدیک می‌شود، این نرخ به ۰/۵۰ کاهش می‌یابد.

۳-۲- مدل پیشنهادی

در این طرح، تلاش اولیه‌ای برای ایجاد خرابی در تصاویر انجام شده است که شامل یادگیری خرابی واقعی از جفت‌های تصاویر باکیفیت و بی‌کیفیت با استفاده از DegNet، و انتقال این یادگیری به تصاویر HQ جهت تولید نمونه‌های واقعی LQ آن‌ها با SynNet است. در مورد اول، به جای اینکه از یک تصویر LQ تنها برای پیش‌بینی پارامترهای خرابی آن استفاده شود، از تصاویر

[1] High-Low-Low-High
[2] Scale Selective Residual Network
[3] Adaptive Non-local Residual Network

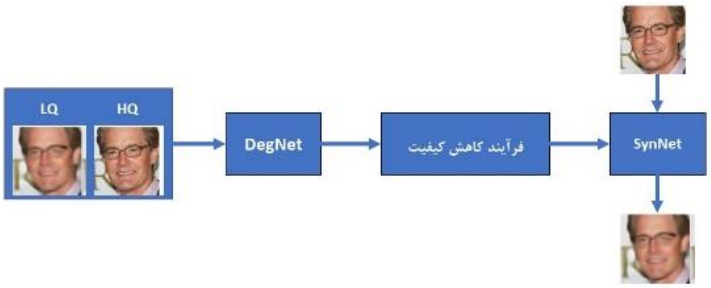
واقعی LQ و HQ مصنوعی آن به عنوان ورودی استفاده شده است تا خرابی را ایجاد کند. برای جداسازی محتوای تصویر و نوع خرابی، یک چارچوب که خرابی را از طریق چند لایه متصل به صورت دقیق پیش‌بینی می‌کند تا وزن‌های کانولوشن را تولید کند، طراحی شده است. سپس این اطلاعات به تصاویر طبیعی انتقال داده می‌شود. بنابراین، این طرح دو زیرشبکه اصلی دارد؛ یعنی DegNet برای یادگیری نمایش افت و SynNet برای سنتز تصاویر با کیفیت پایین با ورودی با کیفیت بالا و پارامتر Ω داده شده از مرحله قبل. پس از دریافت Ω ، با الهام از Style-GANs که سبک تصویر تولیدی را با یک بردار در فضای W کنترل می‌کنند، در این کار ساختار مشابهی برای نگاشت نمایش افت Ω به فضای W از طریق چندین لایه کاملاً متصل انتخاب شده است. سپس، به جای ورود نویز گسترده در StyleGAN، محتوای تصویر SynNet توسط ویژگی‌های تصاویر HQ ورودی فراهم می‌شود. در نهایت، با استفاده از تبدیل D و محتوای تصویر C، تصویر تضعیف شده با عملیات پیچش مدوله شده (MC Block) بازسازی می‌شود که در آن استایل‌های افت به عنوان وزن‌های پیچشی برای کنترل فرآیند افت تصویر ورودی داده شده عمل می‌کنند. شکل۵ نمای کلی این مدل را نمایش می‌دهند.

پروسه یادگیری DegNet و SynNet می‌تواند به‌صورت روابط ۱و۲ بیان شوند (که به ترتیب با F_{Deg} و F_{syn}) نمایش داده شده‌اند:

$$\Omega_f^R = F_{Deg}(I_f^R, I_f^p; \theta_{Deg}) \quad (۱)$$

$$I_f^L = F_{Syn}(I_f^P, \Omega_f^R; \theta_{Syn}) \quad (۲)$$

که در این رابطه θ_{Deg} و θ_{Syn} پارامترهای قابل آموزش شبکه‌های DegNet و SynNet هستند، Ω_f^R پارامتر خرابی تصویر بوده و I_f^L ، I_f^p و I_f^R به ترتیب تصاویر بی‌کیفیت ساخته شده، تصاویر با کیفیت ساخته شده و تصاویر بی‌کیفیت واقعی هستند. در شکل ۴ پروسه تولید تصویر بی‌کیفیت واقعی دیده می‌شود.

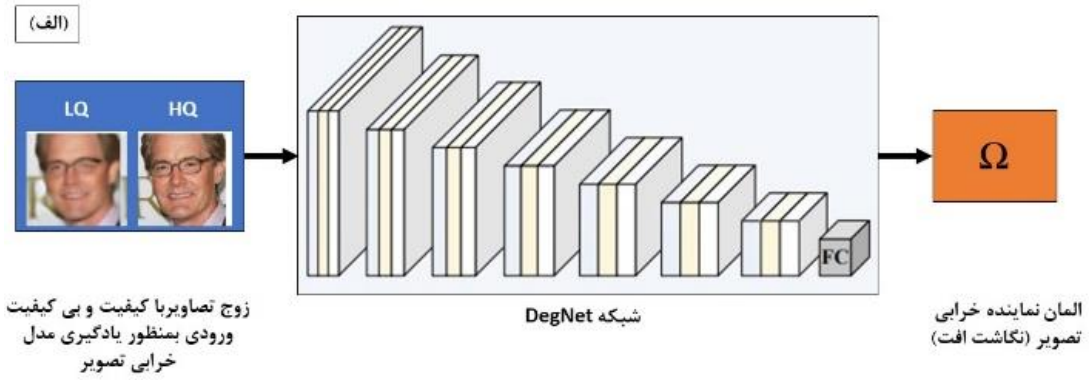


شکل۴: پروسه تولید تصویر بی‌کیفیت واقعی

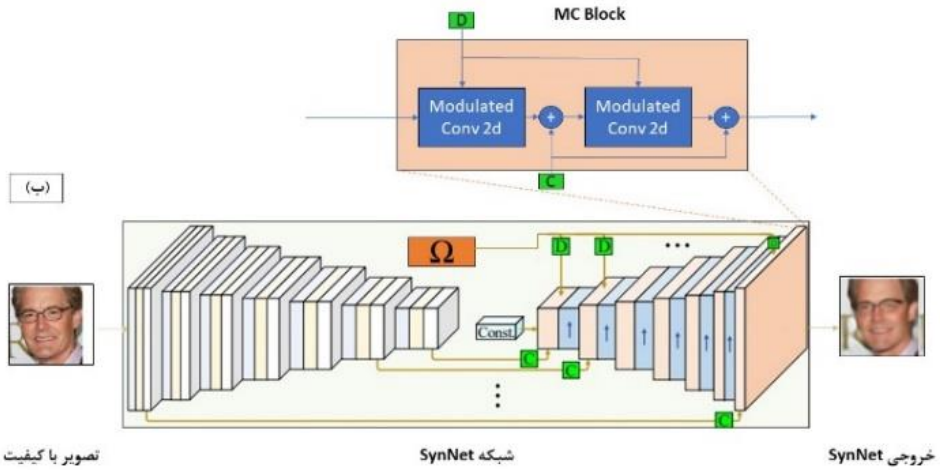
Figure 4. Process of real LQ image production

با تشریح مدل پیشنهادی می‌توان به نوآوری در این مقالع پی برد. امروزه، یکی از چالش‌ها در پروژه‌های افزایش کیفیت تصاویر، مدل‌سازی خرابی تصویر است. ایده اصلی این مقاله استفاده از جفت تصاویر با کیفیت و بی‌کیفیت است تا خرابی تصویر مدل شود. شبیه‌سازی‌ها نشان می‌دهند که این الگوریتم می‌تواند فرآیند واقعی خرابی تصویر را یاد بگیرد.

در این طرح، ابتدا سعی می‌شود خرابی در تصاویر ایجاد شود. در این کار برای یادگیری خرابی از جفت تصاویر با کیفیت پایین و کیفیت بالا استفاده می‌شود. در واقع، به جای اینکه از یک تصویر LQ تنها برای پیش‌بینی پارامترهای خرابی آن استفاده شود از تصاویر واقعی LQ و HQ مصنوعی آن به عنوان ورودی استفاده می‌شود تا خرابی را ایجاد کند. برای جداسازی محتوای تصویر و نوع خرابی، یک شبکه عصبی که خرابی را از طریق چند لایه متصل به صورت دقیق پیش‌بینی می‌کند تا وزن‌های کانولوشن را تولید کند، طراحی شده است. توجه داشته شود که روش پیشنهادی ممکن است در سناریوهای بدون چهره کارایی محدودی داشته باشد چرا که مدل‌سازی برای تصاویر چهره انجام شده است.



(الف)



(ب)

شکل۵: نمای کلی مدل پیشنهادی (الف) DegNet و (ب) SynNet

Figure 5. Overview of the proposed model (a) DegNet and (b) SynNet

۴- نتایج شبیه‌سازی

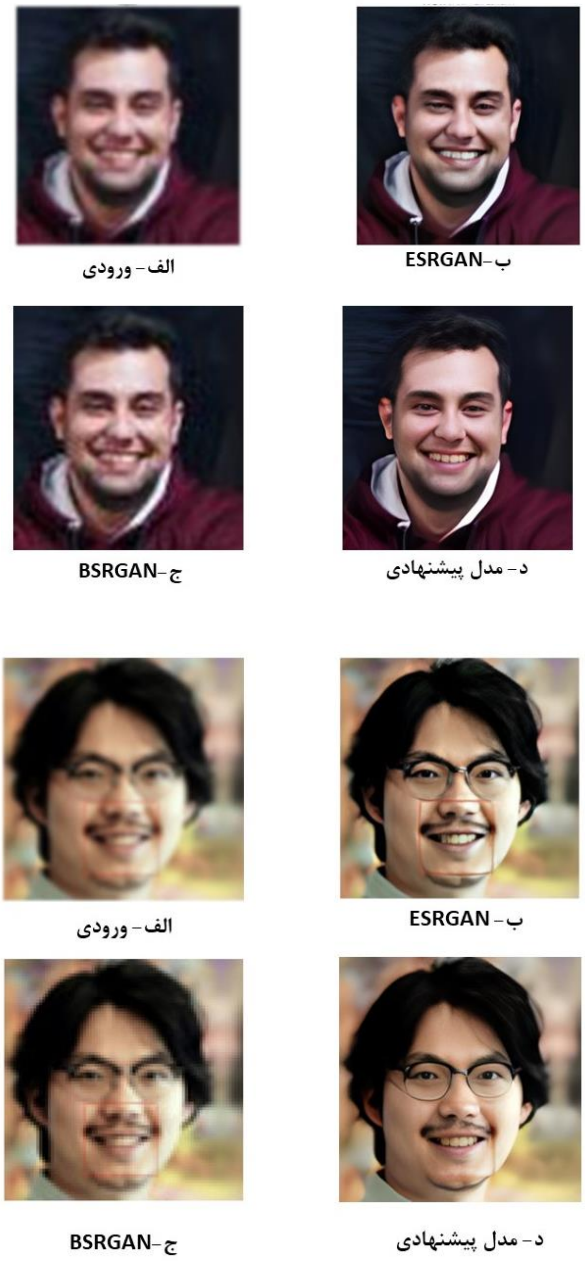
در شکل ۶ خروجی مدل ESRGAN، BSRGAN و مدل پیشنهادی دیده می‌شود. معیارهای مقایسه مورد بررسی در این مقاله عبارت‌اند از اوج نسبت سیگنال به نویز (PSNR) که بر حسب دسی‌بل بیان می‌شود، شباهت ساختاری (SSIM)، شباهت ادراکی (LPIPS) و دقت تایید چهره در دیتاست که برحسب درصد هستند. نتایج شبیه‌سازی برای مدل پیشنهادی در جدول ۲ دیده می‌شود.

جدول۲: نتایج شبیه‌سازی مدل پیشنهادی

Table 2. Simulation results of the proposed model

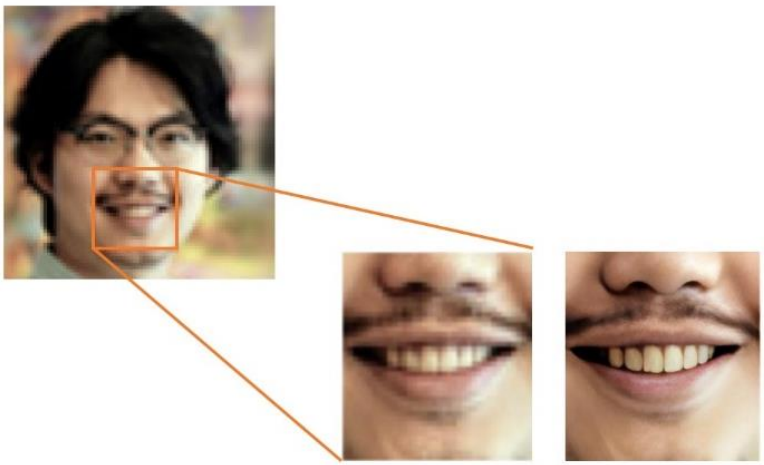
معیار مقایسه	PSNR (dB)	SSIM (%)	LPIPS (%)	دقت تایید چهره در دیتاست (٪)
مدل پیشنهادی	۲۵/۴۲	۷۱/۵۰	۳۸/۴۰	۹۸/۸۰

همانطور که در تصویر ۷ دیده می‌شود، این مدل در فراتفکیک پذیری و نمایش جزئیات تصویر چهره بسیار کارآمد می‌باشد. با توجه شکل ۸ و ۹ و توجه به مقدار LPIPS دیده می‌شود که تصاویر تولید شده با مدل پیشنهادی بسیار طبیعی‌تر از مدل ESRGAN است.



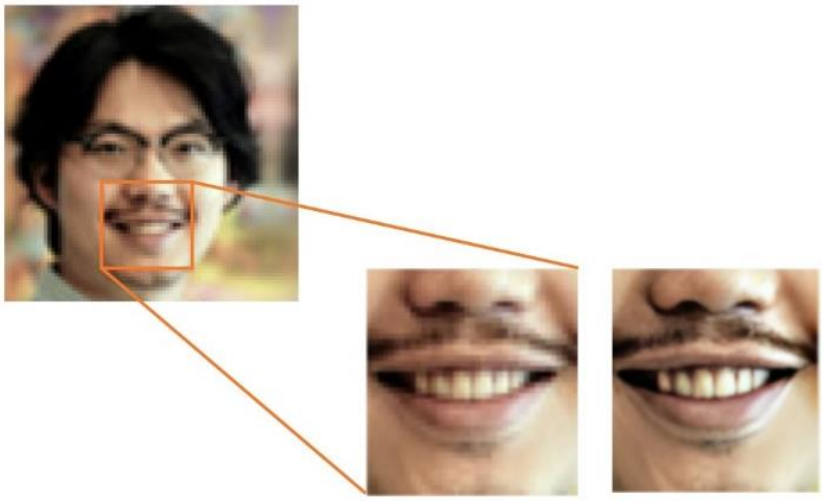
شکل۶: تصویر (الف) ورودی و مقایسه خروجی مدل‌های (ب) ESRGAN [۱۰]، (ج) BSRGAN [۱۵] و (د) مدل پیشنهادی

Figure 6. (a) input and output comparison of (b) ESRGAN [10], (c) BSRGAN [15] and (d) proposed model



شکل: فراتفکیک پذیری در جزئیات تصویر صورت با مدل پیشنهادی [۱۰]

Figure 7. Super-resolution in the details of the face image with the proposed model [10]



شکل۸: فراتفکیک پذیری در جزئیات تصویر صورت با مدل ESRGAN [۱۰]

Figure 8. Super-resolution in face image details with ESRGAN model [10]

شکل۹: مقایسه جزئیات تصویر در مدل ESRGAN [۱۰] و مدل پیشنهادی

Figure 9. Comparison of image details in the ESRGAN model [10] and the proposed model

مقایسه کمی این نتایج در جدول ۳ ارائه شده است. همان‌طور که دیده می‌شود مدل پیشنهادی با حفظ SSIM مقداری PSNR بیشتری نسبت به پژوهش‌های اخیر داشته است. مهم‌تر این‌که مقدار معیار LPIPS کاهش یافته است که بیانگر این است که مدل پیشنهادی شباهت ادراکی بیشتری ارائه می‌دهد.

جدول۳: مقایسه کمی مدل پیشنهادی با پژوهش‌های اخیر

Table 3. Quantitative comparison of the proposed model with recent research

مدل	PSNR (dB)	SSIM (%)	LPIPS (%)	دقت تائید چهره در دیتاست (٪)	مرجع
BSRGAN	۲۴/۴۸	۷۱	۳۹/۱۰	۹۸/۷۰	[۱۵]
ESRGAN	۲۴/۵۰	۷۱/۵۰	۳۸/۷۰	۹۸/۸۰	[۱۰]
RGI	۱۹/۸۵	۸۱	۳۸/۶۰	۹۸/۸۰	[۳۲]
MI-GAN	۲۴/۶۵	۷۲/۵۰	۳۹	۹۸/۷۰	[۳۳]
مدل پیشنهادی	۲۵/۴۲	۷۱/۵۰	۳۸/۴۰	۹۸/۸۰	**مقاله حاضر**

نکته قابل توجه در این پژوهش، کاهش مقدار LPIPS است که باعث تولید تصاویر واقعی‌تر چهره و حفظ جزئیات چهره شده است. نتایج این کار می‌تواند به پژوهش‌های حوزه احراز هویت بیومتریک، کمک شایانی کند.

۵- نتیجه‌گیری

در این کار خرابی‌های پیچیده تصویر چهره مدل‌سازی شده است و زوج تصاویر با کیفیت و بی‌کیفیت بعنوان ورودی مدل تشخیص خرابی تصویر اعمال شد. با این کار و با استفاده از شبکه‌های SynNet و DegNet، مدل تشخصی خرابی تصویر در شبکه مولد تخاصمی بهبود یافت و جزئیات تصویر حفظ شد. در نتیجه عملکرد مناسبی در فراتفکیک پذیری شاهد بودیم. نتایج نشان می‌دهد که با ارائه این مدل، پارامترهای تصویر به PSNR=25/42 dB ، SSIM=71/5% و LPIPS=38/4% بهبود یافته که نسبت به پژوهش‌های اخیر پیشرفت قابل توجهی را شاهد هستیم.

مراجع

[1] P. Kaur and H. S. Pannu, “Comparative analysis of continuous and discrete orthogonal moments for face recognition,” *Proc. Int. Conf. Electron. Commun. Aerosp. Technol. ICECA*, 2017, pp. 449–453, 2017, doi: 10.1109/ICECA.2017.8203724.

[2] N. Aloysius and M. Geetha, "A review on deep convolutional neural networks," *International Conference on Communication and Signal Processing (ICCSP)*, Chennai, India, 2017, pp. 0588-0592, doi: 10.1109/ICCSP.2017.8286426.

[3] A. Khan, A. Sohail, U. Zahoora and A. S. Qureshi, “A survey of the recent architectures of deep convolutional neural networks,” *Artif. Intell. Rev.*, vol. 53, no. 8, pp. 5455–5516, 2020, doi: 10.1007/s10462-020-09825-6.

[4] J. Kim, J. K. Lee and K. M. Lee, “Accurate image super-resolution using very deep convolutional networks,” *Proc. IEEE Comput. Soc. Conf. Comput. Vis. Pattern Recognit.*, 2016, pp. 1646–1654, doi: 10.1109/CVPR.2016.182.

[5] S. Guo, Z. Yan, K. Zhang, W. Zuo and L. Zhang, “Toward convolutional blind denoising of real photographs,” *Proc. IEEE Comput. Soc. Conf. Comput. Vis. Pattern Recognit.*, 2019, pp. 1712–1722, doi: 10.1109/CVPR.2019.00181.

[6] X. Ji, Y. Cao, Y. Tai, C. Wang, J. Li and F. Huang, “Real-world super-resolution via kernel estimation and noise injection,” *IEEE Comput. Soc. Conf. Comput. Vis. Pattern Recognit. Work.*, 2020, pp. 1914–1923, doi: 10.1109/CVPRW50498.2020.00241.

[7] Z. Luo, Y. Huang, S. Li, L. Wang and T. Tan, “Unfolding the alternating optimization for blind super

resolution," *Adv. Neural Inf. Process. Syst.*, vol. 33, pp. 5632-5643 , 2020.

[8] J. Gu, H. Lu, W. Zuo, and C. Dong, "Blind super-resolution with iterative kernel correction," *Proc. IEEE Comput. Soc. Conf. Comput. Vis. Pattern Recognit.*, 2019, pp. 1604–1613, doi: 10.1109/CVPR.2019.00170.

[9] X. Wang, L. Xie, C. Dong and Y. Shan, "Real-ESRGAN: Training Real-World Blind Super-Resolution with Pure Synthetic Data," *Proc. IEEE Int. Conf. Comput. Vis.*, 2021, pp. 1905–1914, doi: 10.1109/ICCVW54120.2021.00217.

[10] K. Zhang, J. Liang, L. Van Gool and R. Timofte, "Designing a Practical Degradation Model for Deep Blind Image Super-Resolution," *Proc. IEEE Int. Conf. Comput. Vis.*, 2021, pp. 4771–4780, doi: 10.1109/ICCV48922.2021.00475.

[11] L. Liu and S. Liu, "Remote detection of human vital sign with stepped-frequency continuous wave radar," *IEEE J. Sel. Top. Appl. Earth Obs. Remote Sens.*, vol. 7, no. 3, pp. 775–782, 2014, doi: 10.1109/JSTARS.2014.2306995.

[12] M. Elad and A. Feuer, "Restoration of a single superresolution image from several blurred, noisy, and undersampled measured images," *IEEE Trans. Image Process.*, vol. 6, no. 12, pp. 1646–1658, 1997, doi: 10.1109/83.650118.

[13] C. Liu and D. Sun, "On Bayesian Adaptive Video Super Resolution," in *IEEE Transactions on Pattern Analysis and Machine Intelligence*, vol. 36, no. 2, pp. 346-360, Feb. 2014, doi: 10.1109/TPAMI.2013.127.

[14] K. Zhang, W. Zuo and L. Zhang, "Deep Plug-And-Play Super-Resolution for Arbitrary Blur Kernels," *IEEE/CVF Conference on Computer Vision and Pattern Recognition (CVPR)*, Long Beach, CA, USA, 2019, pp. 1671-1681, doi: 10.1109/CVPR.2019.00177.

[15] X. Li, C. Chen, S. Zhou, X. Lin, W. Zuo and L. Zhang, "Blind Face Restoration via Deep Multi-scale Component Dictionaries," *Lect. Notes Comput. Sci. (including Subser. Lect. Notes Artif. Intell. Lect. Notes Bioinformatics)*, 2020, pp. 399–415, doi: 10.1007/978-3-030-58545-7_23.

[16] Z. Wei, Y. Huang, Y. Chen, C. Zheng and J. Gao, "A-ESRGAN: Training Real-World Blind Super-Resolution with Attention U-Net Discriminators," *Lect. Notes Comput. Sci. (including Subser. Lect. Notes Artif. Intell. Lect. Notes Bioinformatics)*, 2023, pp. 16–27, doi: 10.1007/978-981-99-7025-4_2.

[17] M. Zhang and Q. Ling, "Supervised Pixel-Wise GAN for Face Super-Resolution," *IEEE Trans. Multimed.*, vol. 23, pp. 1938–1950, 2021, doi: 10.1109/TMM.2020.3006414.

[18] C. Saharia, J. Ho, W. Chan, T. Salimans, D. J. Fleet and M. Norouzi, "Image Super-Resolution via Iterative Refinement," in *IEEE Transactions on Pattern Analysis and Machine Intelligence*, vol. 45, no. 4, pp. 4713-4726, 1 April 2023, doi: 10.1109/TPAMI.2022.3204461.

[19] J. Jiang, Y. Yu, S. Tang, J. Ma, A. Aizawa and K. Aizawa, "Context-Patch Face Hallucination Based on Thresholding Locality-Constrained Representation and Reproducing Learning," *IEEE Trans. Cybern.*, vol. 50, no. 1, pp. 324–337, 2020, doi: 10.1109/TCYB.2018.2868891.

[20] Y. Yin, J. P. Robinson, Y. Zhang and Y. Fu, "Joint super-resolution and alignment of tiny faces," *AAAI 2020 - 34th AAAI Conf. Artif. Intell.*, pp. 12693–12700, 2020, doi: 10.1609/aaai.v34i07.6962.

[21] A. Lugmayr, M. Danelljan, L. Van Gool and R. Timofte, "SRFlow: Learning the Super-Resolution Space with Normalizing Flow," *Lect. Notes Comput. Sci. (including Subser. Lect. Notes Artif. Intell. Lect. Notes Bioinformatics)*, 2020, pp. 715–732, doi: 10.1007/978-3-030-58558-7_42.

[22] C. Chen, D. Gong, H. Wang, Z. Li, and K. Y. K. Wong, "Learning Spatial Attention for Face Super-Resolution," *IEEE Trans. Image Process.*, vol. 30, pp. 1219–1231, 2021, doi: 10.1109/TIP.2020.3043093.

[23] Y. Wang, Y. Hu and J. Zhang, "Panini-Net: GAN Prior Based Degradation-Aware Feature Interpolation for Face Restoration," *Proc. AAAI Conf. Artif. Intell. AAAI 2022*, vol. 36, pp. 2576–2584, 2022, doi: 10.1609/aaai.v36i3.20159.

[24] T. Wang *et al.*, "A Survey of Deep Face Restoration: Denoise, Super-Resolution, Deblur, Artifact Removal," 2022, [Online]. Available: http://arxiv.org/abs/2211.02831, doi: 10.48550/arXiv.2211.02831.

[25] Y. Wang, Y. Hu, J. Yu and J. Zhang, "GAN Prior Based Null-Space Learning for Consistent Super-

resolution," *Proc. AAAI Conf. Artif. Intell. AAAI 2023*, vol. 37, pp. 2724–2732, 2023, doi: 10.1609/aaai.v37i3.25372.

[26] Y. Liu, Z. Dong, K. Pang Lim and N. Ling, "A Densely Connected Face Super-Resolution Network Based on Attention Mechanism," in *IEEE Conference on Industrial Electronics and Applications (ICIEA)*, Kristiansand, Norway, 2020, pp. 148-152, doi: 10.1109/ICIEA48937.2020.9248111.

[27] R. Ghorbandoost and F. Razzazi, "High Fidelity Reversible information Steganography in Images using Difference Expansion and Appropriate Region Selection," *Journal of Information and Communication Technology in Policing*, vol. 3, no. 9, pp. 1-16, 2022, doi: 10.22034/pitc.2022.1265729.1101[in persian].

[28] I. Hadinejad, M. A. Amiri and M. H. Fahimifar, "An Optimum Method for Noise Reduction and Quality Improvement of the Passive Millimeter Wave Images Based on Nonsubsampled Shearlet Transform and Improved Adaptive Median Filter," *Journal of Information and Communication Technology in Policing*, vol. 3, no. 12, pp. 30-43, 2022, doi: 10.22034/pitc.2023.1271283.1179 [in Persian].

[29] M. S. Kalami Yazdi, M. Nezhadshahbodaghi and M. R. Mosavi, "INS/Image Integrated Navigation System based on Deep Learning in order to Monitor the Places Traveled by Drivers," *Journal of Information and Communication Technology in Policing*, vol. 3, no. 11, pp. 35-46, 2022, doi: 10.22034/pitc.2022.1270483.1174 [in persian].

[30] P. Samadinia, , K. Rahbar and A. Broumandnia, "Efficient Multi-Focus Image Fusion via Depthmap," *Journal of Information and Communication Technology in Policing*, vol. 3, no. 10, pp. 59-70, 2022, doi: 10.22034/pitc.2022.1269046.1148 [in persian].

[31] M. Shokoohi, "Introducing an intelligent system for detecting traffic signs with deep learning to reduce road accidents," *Journal of Information and Communication Technology in Policing*, vol. 3, no. 10, pp. 47-58, 2022, doi: 10.22034/pitc.2022.1268864.1145 [in persian].

[32] Z. Liu *et al.*, "Fine-Grained Face Swapping Via Regional GAN Inversion," *IEEE/CVF Conference on Computer Vision and Pattern Recognition (CVPR)*, Vancouver, BC, Canada, 2023, pp. 8578-8587, doi: 10.1109/CVPR52729.2023.00829.

[33] A. Sargsyan, S. Navasardyan, X. Xu and H. Shi, "MI-GAN: A Simple Baseline for Image Inpainting on Mobile Devices," *Proc. IEEE Int. Conf. Comput. Vis.*, 2023, pp. 7301–7311, doi: 10.1109/ICCV51070.2023.00674.

COPYRIGHTS
©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH

E-ISSN: 2980-9231
https://jce.bushehr.iau.ir

https://doi.org/10.30495/jce.2023.1981368.1196

Vol. 14/ No. 54/Winter 2025

Research Article

Imagined Movement Recognition in People with Disabilities Using Common Sparse Spatio Spectral Pattern (CSSSP) and Sequential Features Selection (SFS)

Alireza Pirasteh, PhD Student[1] | Manouchehr Shamseini Ghiyasvand, Assistant Professor[2*] | Majid Pouladian, Associate Professor[3]

[1]Department of Biomedical Engineering, South Tehran Branch, Islamic Azad University, Tehran, Iran
st_ar_pirasteh@azad.ac.ir

[2]Department of Biomedical Engineering, South Tehran Branch, Islamic Azad University, Tehran, Iran
M_ghiyasvand@azad.ac.ir

[3]Department of Biomedical Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran
pouladian@srbiau.ac.ir

Correspondence
Manouchehr Shamseini Ghiyasvand, Assistant Professor of Biomedical Engineering, South Tehran Branch, Islamic Azad University, Tehran, Iran
M_ghiyasvand@azad.ac.ir

Received: 7 March 2023
Revised: 1 May 2023
Accepted: 8 June 2023

Abstract

Motor Imagery is a mental process that includes preparation for movement. The brain interface system intends to prepare direct connectivity between the brain and the computer to be aware of the requests of an individual and use them as a control signal for external devices. Motion imaging events occur in the three main frequency bands: beta, mu, and gamma. After preprocessing the EEG data, the next step is to apply various types of filters in order to reduce any residual noise present in the signal. Numerous functional imaging studies showed that motion-imaging results from the specific activation of neural circuits involved in the early stages of motor control. Studies have shown that the CSP algorithm performs better than other algorithms. Due to the lack of a suitable frequency band, the results of the frequency-dependent CSP method are not satisfactory, so the CSSP is similar to the FIR filter, but since this filter does not have all the coefficients of an FIR filter, the presence of noise in the EEG signal can lead to suboptimal definition of the frequency filter. The CSSSP algorithm was used to solve this problem. With using sequential feature selection for feature extraction, it was revealed that CSSSP performance has been better compared to the CSP and CSSP in most cases and the average accuracy was 92.55%.

Keywords: EEG Signal Processing, CSP, CSSP, CSSSP, SFS, Features Extraction, Motor Imagery.

Highlights

- Use a new method based on CSP, but with the aim of decrease drawbacks, so the CSSSP method was used.
- CSSSP performs both spatial optimization and frequency optimization.
- CSSSP simultaneously optimizes a flexible FIR filter with CSP analysis.

Citation: A. Pirasteh, M. Shamseini Ghiyasvand, and M. Pouladian "Imagined Movement Recognition in People with Disabilities Using Common Sparse Spatio Spectral Pattern (CSSSP) and Sequential Features Selection (SFS)," *Journal of Southern Communication Engineering*, vol. 14, no. 54, pp. 83–92, 2025, doi: 10.30495/jce.2023.1981368.1196, [in Persian].

مقاله پژوهشی

بازشناخت تصور حرکتی در افراد دارای معلولیت با استفاده از الگوی طیفی فضای پراکنده مشترک (CSSSP) و انتخاب ویژگی‌های متوالی(SFS)

علیرضا پیراسته[۱] | منوچهر شمسینی غیاثوند*[۲] | مجید پولادیان[۳]

[۱] گروه مهندسی پزشکی، واحد تهران جنوب، دانشگاه آزاد اسلامی، تهران، ایران st_ar_pirasteh@azad.ac.ir

[۲] گروه مهندسی پزشکی، واحد تهران جنوب، دانشگاه آزاد اسلامی، تهران، ایران M_ghiyasvand@azad.ac.ir

[۳] گروه مهندسی پزشکی، واحد علوم و تحقیقات ، دانشگاه آزاد اسلامی، تهران، ایران pouladian@srbiau.ac.ir

نویسنده مسئول
*منوچهر شمسینی غیاثوند ، استاد یار، گروه مهندسی پزشکی، واحد تهران جنوب، دانشگاه آزاد اسلامی، تهران، ایران
M_ghiyasvand@azad.ac.ir

چکیده:

تصور حرکتی یک فرآیند ذهنی به منظور آمادگی جهت حرکت است. سیستم رابط مغزی، ارتباط مستقیم بین مغز و رایانه را برای آگاهی از درخواست های یک فرد و استفاده از آنها به عنوان سیگنال کنترلی برای دستگاه های خارجی آماده مینماید. پیش پردازش، استخراج ویژگی‌ها و طبقه‌بندی سیگنال ها مراحل اصلی مطالعه هستند. رویدادهای تصور حرکتی در سه باند فرکانسی بتا، مو و گاما رخ می‌دهند. پس از پیش پردازش داده های EEG (Electroencephalogram) مرحله بعدی اعمال فیلترهایی به منظور کاهش نویز موجود در سیگنال است. در ادامه روش های مختلف استخراج ویژگی و طبقه بندی تصور حرکتی بر روی داده ها پیاده سازی می شود. مطالعات تصویربرداری عملکردی نشان داده است که تصور حرکتی از فعال شدن مدارهای عصبی درگیر در مراحل اولیه کنترل حرکتی ناشی می‌شود. مطالعات نشان داده است که الگوریتمCSP (Common Spatial Pattern) بهتر از سایر الگوریتم ها در تصور ذهنی حرکتی عمل می کند. به دلیل عدم وجود باند فرکانسی مناسب، نتایج روش CSP وابسته به فرکانس رضایت بخش نیست، بنابراین CSSP (Common Spatio-Spectral Pattern) مشابه فیلترFIR (Finite Impulse Response) است، اما از آنجایی که این فیلتر تمام ضرایب یک فیلتر FIR را ندارد، وجود نویز در سیگنال EEG می تواند به تعریف نابهینه فیلتر فرکانس منجر شود. برای حل این مشکل از روشCSSSP (Common Sparse Spatio Spectral Pattern) استفاده شده است. با بکارگیری روش پیشنهادی CSSSP با استفاده از انتخاب متوالی ویژگی برای استخراج ویژگیSFS (Sequential Feature Selection) عملکرد CSSSP در بیشتر موارد در مقایسه با CSP و CSSP بهتر بوده و میانگین دقت ۹۲/۵۵ درصد بوده است.

کلید واژه‌ها: پردازش سیگنال EEG، Motor Imagery،CSP، CSSP، CSSSP

تاریخ دریافت: ۱۶ اسفند ۱۴۰۱
تاریخ بازنگری: ۱۱ اردیبهشت ۱۴۰۲
تاریخ پذیرش: ۱۸ خرداد ۱۴۰۲

https://doi.org/10.30495/jce.2023.1981368.1196

۱-مقدمه

کمک به افراد دارای معلولیت، در همه گیری کروناویروس (کووید-۱۹) به طور فزاینده ای نیاز به فناوری های نوظهور را برجسته می کند. همانطور که می دانیم،سیستم های BCI[1] برای حل چالش های مهم بر روی کیفیت زندگی افراد دارای معلولیت و

[1] Brain Computer Interface

بهبود مستقل افراد معلول در انجام فعالیت های روزانه به کار گرفته شده اند [۱]. مشکلاتی که پس از عوارض طناب نخاعی ایجاد می شود منجر به محدودیت حرکتی در افراد حتی تا پایان عمر بیمار می شود. پیشرفت های صورت گرفته در ارتباط بین مغز انسان و کامپیوتر، طبقه بندی فعالیت های مغز و تبدیل آن به فرمان کنترلی برای کامپیوتر یا وسیله ای خاص مانند ویلچر یا بازوی مکاترونیک را ممکن می سازد. هدف استفاده از سیستم BCI به طور کلی ایجاد توانایی از دست رفته در فرد با کمک ساختارهای مکاترونیک و هوش مصنوعی است. هنگام استفاده از داده های EEG می توان ابعاد زمانی را به تدریج و یک به یک تجزیه و تحلیل کرد و رفتارهای مختلف را در بازه های زمانی یا فرکانس های مختلف بررسی کرد. سیگنال های نوسانی دریافتی از مغز یک بعدی هستند و با گذشت زمان تغییر می کنند. زمانی که فرد در حالت عادی قرار دارد و درگیر فعالیت خاصی نیست، سیگنال های مغزی را می توان به طور مداوم و یکنواخت دریافت کرد. فرکانس نوسانات سیگنال دریافتی متناسب با سطح هوشیاری و میزان تمرکز فرد و وضعیت روحی و روانی او، در شش محدوده فرکانسی مختلف است. رابط‌های مغز و رایانه که از سیگنال‌های مغزی استفاده می‌کنند باید بتوانند حالات ذهنی را از فعالیت مغز آنلاین تشخیص دهند. در سال ۲۰۰۶، Guido Dornhege یک رویکرد جدید را معرفی کرد که امکان بهینه‌سازی غیرخطی همزمان فیلتر فضایی و طیفی را فراهم می‌کند که نرخ تمایز کانال‌های EEG تک آزمایشی را بهبود می‌بخشد [۲]. فنگ یک روش بهینه پیش نویس کانال را بر اساس الگوریتم CSP برای سیستم BCI مبتنی بر تصور حرکتی معرفی کرد. با توجه به اطلاعات اضافی در سیگنال‌های چند کاناله، دقت سیستم‌های BCI ممکن است بسیار بدتر شده باشد. روش‌های انتخاب کانال می‌توانند این سیگنال‌های مستقل از وظیفه را حذف کنند و کارایی سیستم BCI را بهبود بخشند. با این وجود، در باندهای فرکانسی مختلف، مناطق مغز مرتبط با تصور ذهنی حرکتی یکسان نیستند، که منجر به ناتوانی رویکردهای رایج انتخاب کانال برای استخراج ویژگی‌های موثر EEG می‌شود. برای مقابله با مشکل فوق، او روش جدیدی را بر اساس الگوی فضایی رایج یا CSP و انتخاب رتبه کانال برای باند EEG چند فرکانس پیشنهاد می‌کند. از ترکیبی از فیلتر تجزیه و تحلیل سیگنال و روش انتخاب کانال CSP برای انتخاب کانال های معنی دار استفاده می کند و سپس از LDA برای طبقه بندی استفاده می کند. دقت این روش بسیار بهتر از CSP [۳] است. جاواریا راهی برای طبقه بندی سیگنال های EEG چند کلاسه از تصور حرکتی با الگوهای فضایی زیر باند ارائه کرد. هدف او بهبود دقت طبقه‌بندی چند طبقه برای تصور ذهنی حرکتی با استفاده از یک الگوی فضایی زیر باند مشترک با انتخاب ویژگی‌های متوالی (SBCSP-SBFS) است. فیلترهای بانکی که دارای فیلترهای میانی با فرکانس های قطع همپوشانی مختلف هستند، برای جداسازی سیگنال های نویز از سیگنال EEG استفاده می شوند. خروجی این فیلترها برای اعمال ویژگی ها با اعمال الگوریتم های CSP و LDA استفاده می شود. سپس از سه روشSVM [۱] ، NBPW [۲]و KNN برای طبقه‌بندی استفاده شد، در این حالت دقت ۸۶.۵ درصد برای این پروژه به دست آمد [۴]. در مطالعه‌ای در سال ۲۰۱۹، آقای کورهان سیگنال‌های EEG از تصور حرکتی را با استفاده از CSP و شبکه‌های عصبی کانولوشن طبقه‌بندی کرد. نتایج این روش بسیار جالب بود و در حالی که روش CNN به تنهایی دارای دقت ۴۳/۱۲درصد بود، CNN و CSP روی هم به دقت ۹۳/۷۵ درصد دست یافتند [۵]. در یک مطالعه در سال ۲۰۱۹ توسط Zhang و همکاران، از ویژگی های شبکه مغز برای افزایش دقت طبقه بندی در سیستم های BCI استفاده شد. بر اساس این مقاله، CSP برای استخراج ویژگی ها در اکثر مطالعات استفاده شده است. از آنجایی که CSP ها بیشتر از ویژگی های برنامه نویسی مرتبط با رویداد (ERD) مشتق شده اند، در حالی که ویژگی های ایجاد شده توسط تصاویر موتور بیشتر از آن است، آنها یک شبکه مغزی مبتنی بر وظیفه و انسجام بین کانال ها ایجاد می کنند.سیگنالهای EEG مورد پردازش قرار گرفت و با تجزیه و تحلیل مبتنی بر نمودار نشان داد که درجه گره ها و ضرایب خوشه بندی بین درک ذهنی حرکات چپ و راست دست متفاوت است. نتایج نشان داد که این ویژگی‌ها بهتر از CSP انجام می‌شوند و ادغام ویژگی‌های شبکه مغز و CSP به دقت بالاتری دست می‌یابد [۶]. در مطالعه ۲۰۲۰ توسط Yau Guo و همکاران، از روش FCCP و طبقه بندی LDA با دقت متوسط ۸۲٪ استفاده شد [۷]. در مطالعه‌ای در سال ۲۰۲۱ توسط Jun Yang ، او یک الگوی فضای مشترک چند زمانه و باند فرکانس (MTF-CSP) مبتنی بر رویکرد EEG ارائه می‌کند. آموزش MTF-CSP ویژگی های موثر از یک EEG ضعیف، ویژگی های زمان و فرکانس را استخراج می کند و الگوهای تصویری موتور را تشخیص می دهد. در نتیجه، میانگین دقت ۷۸/۷ درصد

[1] Support Vector Machine
[2] Naive Bayesian Parzen Window

بود [۸]. در مطالعه دیگری در ژوئن ۲۰۲۲ ، Xiaozhong Geng ارائه کرد که سیگنال های EEG سیگنال های غیر خطی و ضعیف هستند. روش CSP روشی موثر و خوب برای استخراج ویژگی های مناسب است. نتایج این روش نشان می دهد که سیگنال های EEG پردازش شده در این روش عملکرد بهینه ای در شناسایی و حذف درست نما[1] EOG و ECG دارند. این روش پیشنهادی از دقت بالاتری نسبت به سایر روش ها برخوردار است [۹]. در تحقیق دیگری که توسط علیرضا پیراسته در بهمن ماه ۱۳۹۱ انجام شد، از روش CSSP و الگوریتم ویژگی های SFS استفاده کردیم. روش او در مقایسه با روش CSP از دقت بالایی برخوردار است [۱۰].

بخش مقدمه به نمایی کلی از اهمیت تصور ذهنی حرکتی در برنامه‌های رابط مغز و رایانه و چالش‌های مرتبط با استفاده از سیگنال‌های EEG پرداخته است. بخش مواد و روش ممکن است جزئیات بخش آزمایشی، از جمله بکارگیری شرکت‌کننده ها، ثبت EEG و پیش پردازش، و روش کارهای تصور ذهنی حرکتی را شرح دهد. در بخش استخراج ویژگی ، الگوریتم CSSSP و اجرای آن را برای استخراج ویژگی های متمایز از سیگنال های EEG مورد بررسی قرار میگیرد. بخش نتایج تجربی، از جمله عملکرد ویژگی‌های CSSSP در طبقه‌بندی وظایف مختلف تصور حرکتی و مقایسه با سایر روش‌های استخراج ویژگی را ارائه دهد. بخش بحث یک تجزیه و تحلیل انتقادی از نتایج ارائه دهد، نقاط قوت و محدودیت های روش CSSSP را برجسته کرده و مسیرهایی را برای تحقیقات آینده پیشنهاد کند. در نهایت، بخش نتیجه‌گیری ممکن است یافته‌های اصلی مطالعه و پیامدهای آنها برای کاربردهای BCI را خلاصه کند.

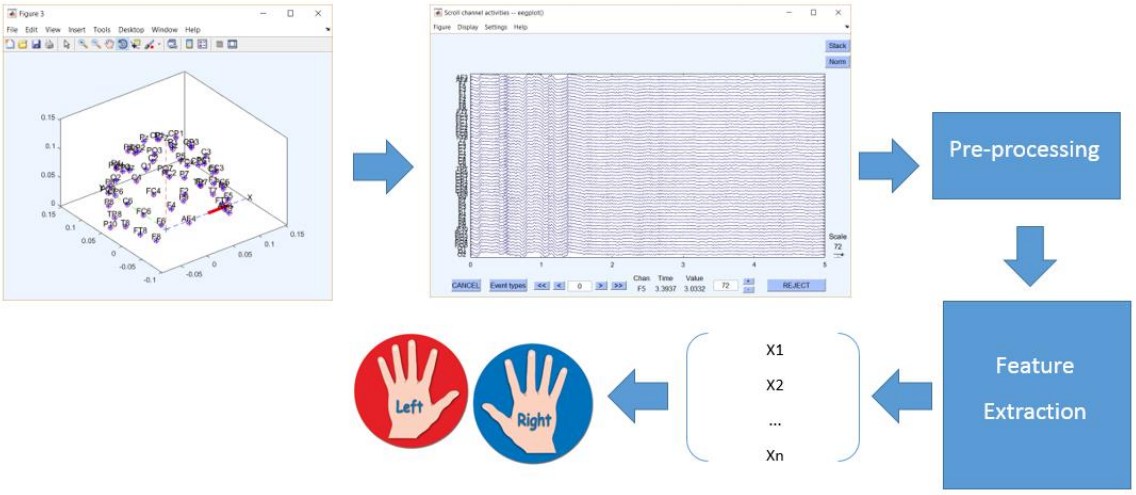
۲- مواد و روش ها

در سیستم BCI مبتنی بر تصور حرکتی ، از فرد خواسته می شود حرکت عضوی از بدن را تصور کند. از این رو تصور حرکتی، سیستم عصبی را فعال می کند، در نتیجه رویدادهایی در مغز رخ می دهد. وظیفه سیستم BCI استخراج این رویدادها از سیگنال های EEG نمونه برداری شده و تشخیص نوع حرکت بر اساس آنها است. مرحله پیش پردازش به دو دلیل انجام می شود. دلیل اول این است که از آنجایی که سیگنال EEG تصور حرکتی در باندهای بتا و میو است، ابتدا لازم است سیگنال EEG فیلتر شود تا فقط اطلاعات باند مربوط به تصور حرکتی در سیگنال EEG باقی بماند. برای این کار از فیلتر Butter worth استفاده می‌کنیم. پس از اعمال فیلترها، سیگنال EEG بازسازی شده حاوی اطلاعاتی در مورد باند ۸ تا ۳۰ هرتز (باند مو و بتا) خواهد بود. دلیل دوم فیلتر کردن سیگنال EEG با استفاده از فیلترهای فضایی، افزایش خاصیت محلی سازی الکترودها یا Source Localization است. از آنجایی که هر الکترود هنگام ضبط تحت تأثیر سایر بخش‌های مغز قرار می‌گیرد، اطلاعاتی که الکترود ثبت می‌کند مختص یک ناحیه از مغز نیست، بنابراین عملکرد مدل ما در تجزیه و تحلیل کاهش می‌یابد. برای رفع این مشکل از یک سری فیلترهای فضایی مانند CAR [2]، لاپلاس بزرگ و کوچک استفاده می شود. سپس CSP، CSSP و CSSSP برای استخراج خصوصیات بر روی داده ها اعمال شد و نتایج مورد تجزیه و تحلیل قرار گرفت. همانطور که در شکل ۱ نشان داده شده است، ساختار کلی سیستم مورد بررسی ما به شرح زیر است.

هدف الگوریتم csp پیدا کردن فیلترهای مکانی است که وقتی بر سیگنال اعمال می شوند، واریانس آن را در یک جهت ماکزیمم و در جهت دیگر مینیمم بکنند. یعنی اگر سیگنال EEG کلاس یک باشد، واریانس آن در جهت X ماکزیمم شود و به طور همزمان در جهت Y مینیمم شود. و اگر سیگنال EEG کلاس ۲ باشد، واریانس آن در جهت X مینیمم شده و در جهت Y ماکزیمم شود. جهت X و Y توسط فیلترهای مکانی بدست آمده توسط CSP مشخص می‌شود. متغیر X و Y جهت سادگی توضیحات استفاده شده است .الگوریتم CSPیک روش خطی است و فیلترهای مکانی بدست آماده داده را به فضای خطی نگاشت میدهد، به عبارتی کانالهای بدست آمده بعد از اعمالCSP ، از ترکیب خطی کانالهای سیگنال EEG بدست می آیند. با اعمال الگوریتم CSP روی سیگنال، روند استخراج ویژگی ساده می شود و میتوان در ادامه واریانس کانالها را به عنوان ویژگی استخراج کرد. الگوریتم CSP برای مسائل دو کلاسه طراحی شده است، و اگر بخواهیم برای چندکلاسه استفاده کنیم، لازم است از تکنیکهای یکی در مقابل همه و یا یکی در مقابل یکی کمک بگیریم و برای مسائل چندکلاسه تعمیم دهیم[۱۱]. پس از اعمال

[1] Artifact
[2] common average reference

الگوریتم CSP بر روی داده ها، تعداد کانال ها به دو کانال کاهش می یابد و واریانس از هر کانال به عنوان ویژگی استخراج می شود و در نهایت در بخش های طبقه بندی پروژه ها برای شناسایی هر کلاس استفاده می شود.



شکل ۱: ساختار کلی سیستم BCI، A. Pirasteh et al 2022

Figure 1. General structure of BCI system, A. Pirasteh et al 2022

پس از استخراج ویژگی های داده در فضای دو بعدی، در رابطه یک به نظر می رسد:

$$w = argmax_w \frac{(\| wX_1 \|^2)}{(\| wX_2 \|^2)} \quad (۱)$$

و با محاسبه ماتریس کوواریانس داریم:

$$R_1 = \frac{(X_1 X_1^T)}{t_1} \quad (۲)$$

$$R_2 = \frac{(X_2 X_2^T)}{t_2} \quad (۳)$$

ما تابع هزینه به وزن را از این تابع استخراج می کنیم و الگوی فضایی مشترک را محاسبه می کنیم . پس از اعمال الگوریتم CSP بر روی داده ها، تعداد کانال ها به دو کانال کاهش می یابد و واریانس داده ها به عنوان ویژگی استخراج می شود. این امر به دلیل استفاده از روش های مبتنی بر CSP یعنی CSSP و CSSSP رخ می دهد و دلیل آن نیز وجود تابع هزینه است. پس از اعمال الگوریتم‌های مبتنی بر CSP بر روی داده‌ها، تعداد کانال‌ها به دو کانال کاهش می‌یابد و واریانس داده‌ها از هر کانال به عنوان یک ویژگی استخراج می‌شود و برای شناسایی کلاس داده به الگوریتم باند کلاس ارائه می‌شود. انتخاب محدوده فرکانس مناسب نقش مهمی در نتایج روش CSP دارد [۱۲]. برای رفع این مشکل S. Lemm روش CSSP را بر اساس فیلترهای FIR پیشنهاد کرد. اساس این فیلترها بر اساس مقدار ثابتی از جابجایی زمانی داده ها است. فیلترهای فضایی همزمان با فیلترهای فرکانس به دست می آیند. از آنجایی که در تصور حرکتی ، بیشتر دو باند فرکانسی میو و بتا مطرح می شود و اختلالات دیگری در باندهای دیگر رخ می دهد ، بهتر است باندهای فرکانسی محدود شود. از طرف دیگر، از آنجایی که تمرکز بر روی باندهای فرکانسی متفاوت است، می‌توانیم با تغییر پارامتر τ بهترین فیلتر را برای هر فرد انتخاب کنیم.

در CSP، تبدیل زیر به عنوان رابطه ۴ در نظر گرفته می شود:

$$s(t) = W_T e \quad \text{یا} \quad s = W_T E \quad (۴)$$

اما در روش CSSP در رابطه های ۵ و ۶ در نظر گرفته شده است:

$$S = W^T E + W_\tau^T E_\tau = \hat{W}^T \begin{pmatrix} E \\ E_\tau \end{pmatrix} \quad (۵)$$

$$S(t) = W^T e(t) + W_\tau^T e(t+\tau) = \hat{W}^T \begin{pmatrix} e(t) \\ e(t+\tau) \end{pmatrix} \quad (۶)$$

جایی که E سیگنال تاخیر τ است. و

$$\hat{W}^T = \left[W^T, W_\tau^T \right] \quad (۷)$$

ماتریس CSSP است.

روش ۱ فیلتر الگوی طیفی فضای پراکنده مشترک (CSSSP) در واقع توسط CSSP توسعه یافته است. CSSSP FIR به شرح زیر است:

$$f(t \mid b) = b_0 e(t) + b_1 e(t+\tau) + b_2 e(t+2\tau) + \ldots + b_T e(t+T\tau) \quad (۸)$$

b فیلتر طیفی پراکنده است و سیگنال نهایی به صورت زیر است:

$$s(t) = W^T f(t \mid b) = \sum b_k W^T e(t+k\tau) \quad (۹)$$

معیار در نظر گرفته شده برای CSSSP این است:

$$\max_b \max_w W^T [Exp_1\{ f(t \mid b) f(t \mid b)^\tau \}] W - \frac{C}{T} \| b \|_1 \quad (۱۰)$$

$$W^T [Exp_1\{ f(t \mid b) f(t \mid b)^\tau \} + Exp_2\{ f(t \mid b) f(t \mid b)^\tau \}] W = 1 \quad (۱۱)$$

Exp_1 و exp_2 انتظاراتی برای کلاس ۱ و کلاس ۲ هستند

به طور کلی، مطالعات نشان داده اند که الگوریتم CSP بهتر از سایر الگوریتم ها در پردازش EEG مربوط به وظایف حرکتی و تصور ذهنی حرکتی عمل می کند. اما الگوریتم CSP ایراداتی هم دارد که سعی بر این است تا این الگوریتم بهینه گردد. اولین عیب این الگوریتم این است که معمولاً فقط یک باند فرکانسی در محدوده فرکانسی بین ۳۰-۸ هرتز انتخاب می شود. الگوریتم FBCSP [1] این مشکل را حل می کند. عیب دوم این است که تابع هزینه CSP فقط از نظر مکانی این مشکل را بهینه می کند که توسط الگوریتم CSSP حل می شود. با توجه به اینکه باند فرکانسی ۸ تا ۳۰ هرتز لزوماً باند فرکانسی بهینه برای همه موجودیت ها نیست، باید روی بهینه سازی فرکانس کار کنیم. یعنی علاوه بر بهینه سازی فضایی، بهینه سازی فرکانس هم داریم. علاوه بر بهینه سازی فضایی، الگوریتم CSSPبهینه سازی فرکانس را نیز انجام می دهد و اولین و دومین نقطه ضعف را حل می کند.

با توجه به فیلترهای FIR، تفاوت با IIR این است که IIR صفر و قطب دارد، اما FIR فقط صفر دارد. به عنوان مثال، یک فیلتر FIR درجه ۳ به شرح زیر است:

$$Y(n) = b_0 x(n) + b_1 x(n-1) + b_2 x(n-2) + b_3 x(n-3) \quad (۱۲)$$

در این فیلتر می توان از ضرایب برای تعیین نوع گذرا، بالاگذر، پایین گذر و یا متوسط استفاده کرد. این FIR یک فیلتر فرکانس است که محتوای فرکانس را هدف قرار می دهد و می خواهد بخشی از اطلاعات فرکانس را در سیگنال نگه دارد و بخشی را حذف کند.

$$CSSP: \hat{X} = \begin{pmatrix} x(n) \\ x(n-\tau) \end{pmatrix} \quad (۱۳)$$

$$\hat{W} = \begin{pmatrix} w \\ W_\tau \end{pmatrix} \quad (۱۴)$$

$$\hat{Z} = \hat{W}^T . \hat{X} = \left[W \quad W_\tau \right] \begin{bmatrix} X \\ X_\tau \end{bmatrix} \quad (۱۵)$$

[1] Filter Bank Common Spatial Pattern

$$\hat{Z} = WX + W_\tau X_\tau = WX(n) + W_\tau X(n-\tau) \quad (۱۶)$$

$$\hat{Z} = b.X(n) + b_\tau X(n-\tau) \quad (۱۷)$$

ما یک فیلتر FIR اعمال کردیم، زیرا رابطه شماره ۱۷ بسیار شبیه ساختار یک فیلتر FIR است. یعنی فیلتر فرکانس را روی سیگنال اعمال می کنیم و در نتیجه، یک بهینه سازی فرکانس رخ می دهد. برعکس، ضرب این وزن‌ها موقعیت مکانی را تغییر می‌دهد، در نتیجه استفاده از فیلتر FIR نیاز به استفاده از فیلتر فضایی برای پردازش سیگنال دارد. در نتیجه سیگنالی تولید می شود که هم از نظر مکانی و هم از نظر فرکانس بهینه شده است. سومین نقطه ضعف الگوریتم CSP این است که بسیار حساس به نویز است. وقتی تعداد آزمایش‌ها کم باشد یا آزمایش‌ها نویز داشته باشند، احتمال اینکه پاسخ نامناسب باشد ، بسیار افزایش می‌یابد. الگوریتم CSSP معرفی شد تا علاوه بر بهینه سازی مکانی، بهینه سازی فرکانس نیز انجام شود. با این حال، آزادی کافی برای حل این مشکل وجود ندارد. رابطه CSSP بسیار شبیه به فیلتر FIR است، اما مجموعه ای از ضرایب در این بین نداریم. به عنوان مثال، فرض کنید τ برابر با ۳ باشد:

$$\hat{Z} = WX + W_\tau X_\tau = WX(n) + W_\tau X(n-\tau) \quad (۱۸)$$

$$\hat{Z} = WX(n) + W_\tau X(n-3) \quad (۱۹)$$

جایی که w_τ برابر b_3 و مقدار w برابر b_0 است. در این حالت در این بین مجموعه ای از ضرایب مانند b_1 و b_2 نداریم یعنی این ضرایب برابر با صفر هستند. بعد از چهار ضریب فقط دو ضریب داریم و این باعث می شود فیلتر فرکانس بهینه تعریف نشود و محدود شود. این فیلتر درست است، شبیه فیلتر FIR است، اما فیلتر FIR بهینه نیست و اگر قرار باشد بهینه باشد و باید تمام ضرایب b_0, b_1, b_2, b_3را داشته باشد . برای حل این مشکل از الگوریتم CSSSP استفاده شده است.

داده های مورد استفاده، داده های استانداردی است که توسط Brunner و همکاران ثبت شده است . سیگنال EEG در مجموع از ۹ نفر با تصور حرکتی ۴ کلاسه، تصور حرکتی دست راست و چپ، حرکت هر دو پا و تصور حرکت زبان ثبت می شود و به عنوان یک داده استاندارد در زمینه پردازش سیگنال حاصل از موتور استفاده می شود. این داده ها با فرکانس نمونه برداری ۱۰۰۰ هرتز از ۲۲ ناحیه پوست سر با استفاده از الکترودهای Ag/Agcl جمع آوری شد . فرکانس قطع پایین ۰.۱ هرتز و فرکانس بالا ۲۵۰ هرتز بود. امپدانس الکترودهای EEG کمتر از ۲۰ کیلو وات است[۱۳].

۳- نتایج و بحث

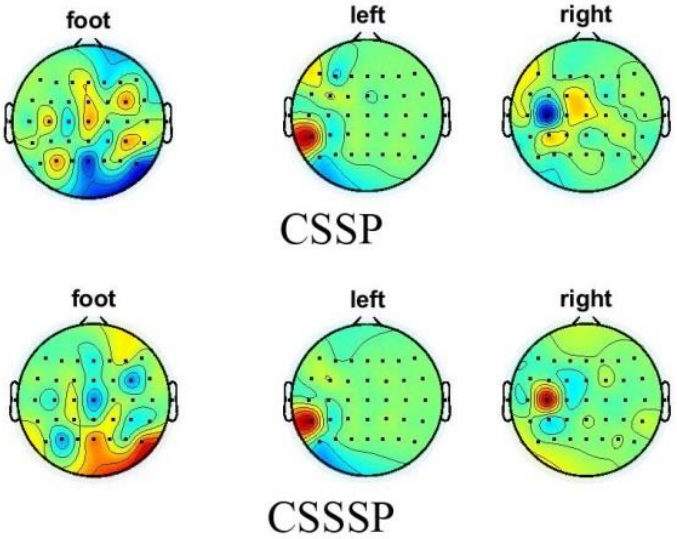
در این مطالعه می‌خواهیم الگوهای فضایی رایج تصحیح‌شده مانند CSP ، CSSP و CSSSP را با هم مقایسه کنیم و با حذف ویژگی‌ها یا نویزهای نامرتبط، کارایی محاسباتی را بهبود بخشیده و خطای روش را کاهش دهیم. برای انتخاب ویژگی ها از انتخاب ویژگی های متوالی (SFS) استفاده می کنیم. در نهایت، مشخص شد که از روش پیشنهادی CSSSP. با استفاده از ترتیب با انتخاب ویژگی‌ها برای استخراج ویژگی، مشخص شد که عملکرد CSSSP در بیشتر موارد در مقایسه با CSP و CSSP بهتر بوده و میانگین دقت ۹۲/۵۵ درصد بوده است. در مجموع، در حالی که در روش CSP دقت ۸۷/۵ درصد بود، در روش CSSP به ۹۳/۶ درصد رسید و در روش CSSSP بین ۸۷ و۹۴/۸ برای موضوعات مختلف مطابق جدول ۱ است.

نقشه توپوگرافی مغز یک نمایش گرافیکی از توزیع فضایی فعالیت الکتریکی در مغز است و به ما کمک می کند تا بدانیم کدام مناطق مغز در یک بیماری یا در انجام یک کار فعال تر هستند. برای ترسیم نقشه توپوگرافی مغز بر اساس محدوده ولتاژ، به این صورت عمل می کنند که در هر لحظه مقدار ثبت شده در هر کانال (الکترود) را انتخاب می کنند و سپس بر اساس این مقدار، رنگی را به آن اختصاص می دهند. الکترود مطابق نقشه رنگی یعنی با این رویکرد می توان هر لحظه یک نقشه رنگی نمایش داد. برای داشتن یک نقشه پیوسته می توانیم از درون یابی استفاده کنیم. ما پتانسیل الکترودها را در هر لحظه داریم و می توانیم مقادیر نقاط بین الکترودها را با درون یابی از دامنه الکترودها تخمین بزنیم. در این نقشه به بیشترین فعالیت قرمز تیره، کمترین فعالیت آبی تیره و بقیه یک رنگ بین این دو رنگ اختصاص داده شده است. همانطور که در شکل های ۲ و ۳ مشاهده می کنید، فعالیت ها مربوط به یک کار حرکتی است که بیشترین تغییرات را در ناحیه قشر حرکتی خواهیم داشت و همانطور که در تصاویر زیر مشاهده می کنیم، بیشترین تغییرات را در ناحیه قشر حرکتی خواهیم داشت. نواحی مرکزی مغز که قشر حرکتی است.

جدول ۱: دقت طبقه بندی (٪) برای تصاویر موتور توسط CSSSP
Table 1. Classification accuracies (%) for motor imagery by CSSSP

میانگین	مورد ۳	مورد۲	مورد۱	C	T	τ	m	باند فرکانسی
۸۷	۸۹	۹۶	۷۸	۰/۱	۳	۵	۱	**۵-۳۵**
۹۳/۶	۹۴/۶	۹۶/۸	۸۹/۶	۰/۱	۳	۵	۱۰	**۵-۳۵**
۹۴/۱۶	۸۹/۶	۹۴/۸	۹۸/۱	۰/۱	۳	۱۰	۱	**۵-۳۵**
۹۱/۵	۸۶/۲	۹۰/۱	۹۸/۲	۰/۱	۳	۱۰	۱۰	**۵-۳۵**
۹۴	۹۰	۹۳/۲	۹۸/۸				۱	**۷-۳۰**
۹۴/۸	۸۹/۸	۹۶/۱	۹۸/۷				۱۰	**۷-۳۰**
۹۲/۵۵	۹۰/۶	۹۴/۰۲	۹۲/۶۴			**میانگین**		

C یک ثابت منظم سازی است که برای ارزیابی تأثیر ثابت منظم سازی بر نتایج بکار گرفته میشود.
T ثابتی است که برای جلوگیری از تطبیق بیش از حد استفاده میگردد و τ نشان دهنده سیگنال تاخیری است

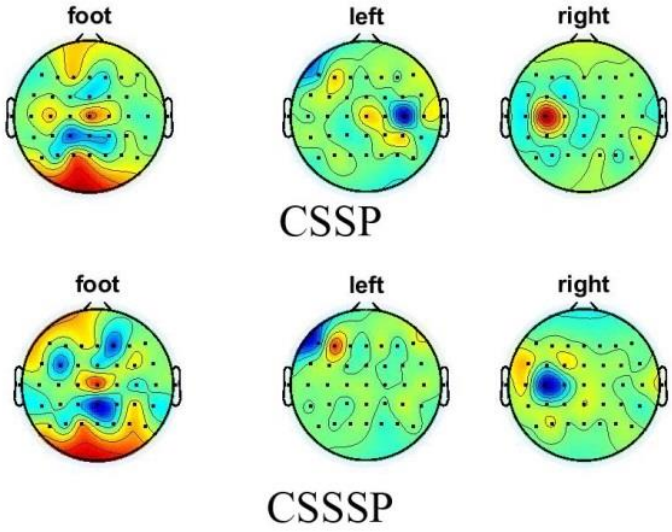


شکل ۲: توپوگرافی EEG برای پا، چپ و دست راست با استفاده از روش CSSP و CSSSP برای موضوع شماره ۱
Figure 2. EEG Topography for foot, left, and right hand using CSSP and CSSSP method for subject no.1

چندین پارامتر وجود دارد که باید هنگام استفاده از الگوریتم CSSSP برای تجزیه و تحلیل سیگنال EEG تعیین شوند. این موارد عبارتند از:

- تعداد فیلترهای فضایی: این پارامتر تعداد فیلترهای فضایی را تعیین می کند که برای استخراج الگوهای فضایی فعالیت مغز مرتبط با کار ذهنی خاص استفاده می شود. به طور کلی، تعداد فیلترها بر اساس تعداد کانال های EEG و پیچیدگی کار انتخاب می شود.
- تعداد فیلترهای طیفی: این پارامتر تعداد فیلترهای طیفی را تعیین می کند که برای استخراج باندهای فرکانسی سیگنال های EEG که بیشترین ارتباط را با کار دارند، استفاده می شود. تعداد فیلترهای طیفی را می توان بر اساس دانش قبلی در مورد باندهای فرکانسی مورد علاقه یا با استفاده از تکنیک هایی مانند اعتبار سنجی متقاطع انتخاب کرد.

- پارامتر پراکندگی: این پارامتر میزان پراکندگی را در بردار ویژگی مشخص می کند. پارامتر پراکندگی بالاتر منجر به یک بردار ویژگی پراکنده با ویژگی‌های با ارزش صفر می‌شود. پارامتر پراکندگی را می توان با استفاده از تکنیک هایی مانند اعتبار سنجی متقابل یا جستجوی شبکه ای انتخاب کرد.
- پارامتر منظم سازی: این پارامتر تعادل بین دقت طبقه بندی و پراکندگی بردار ویژگی را کنترل می کند. یک پارامتر منظم‌سازی بالاتر منجر به یک بردار ویژگی پراکنده با دقت طبقه‌بندی بالقوه پایین‌تر می‌شود. پارامتر منظم‌سازی را می‌توان با استفاده از تکنیک‌هایی مانند اعتبارسنجی متقابل یا جستجوی شبکه‌ای انتخاب کرد.
- انتخاب طبقه‌بندی‌کننده: هنگامی که بردارهای ویژگی با استفاده از CSSSP استخراج شدند، یک طبقه‌بند باید برای طبقه‌بندی سیگنال‌های EEG در وظایف ذهنی مختلف آموزش داده شود. انتخاب طبقه‌بندی‌کننده می‌تواند تأثیر بسزایی در دقت طبقه‌بندی داشته باشد و باید بر اساس ویژگی‌های داده‌ها و سؤال تحقیق انتخاب شود.



شکل ۳: توپوگرافی EEG برای پا، چپ و دست راست با استفاده از روش CSSP و CSSSP برای موضوع شماره ۲
Figure 3. EEG Topography for foot, left, and right hand using CSSP and CSSSP method for subject no.2

به طور کلی، انتخاب پارامترها برای CSSSP به نوع تصور حرکتی، ویژگی های داده های EEG و انتخاب طبقه بندی کننده بستگی دارد. این پارامترها را می توان با استفاده از تکنیک هایی مانند اعتبار سنجی متقابل، جستجوی شبکه، یا دانش قبلی در مورد کار و سیگنال EEG انتخاب کرد.

در الگوریتم CSSSP، انتخاب کانال ها برای استخراج ویژگی های متمایز از داده های EEG مهم است. در اینجا چند نکته برای انتخاب کانال های موثر در CSSSP آورده شده است:

- دانش قبلی: اگر اطلاعات قبلی در مورد وظیفه و محل مناطق مغز درگیر در کار وجود داشته باشد، می توان از این اطلاعات برای انتخاب کانال هایی استفاده کرد که به احتمال زیاد حاوی اطلاعات متمایز هستند. به عنوان مثال، اگر این کار شامل تصور حرکتی باشد، کانال های پوشاننده قشر حرکتی احتمالاً حاوی مرتبط ترین اطلاعات هستند.
- فیلترهای فضایی: فیلترهای فضایی مورد استفاده در CSSSP برای ثبت الگوهای فضایی فعالیت مغز مرتبط با کار طراحی شده اند. بنابراین، کانال هایی که بیشترین وزن را در فیلترهای فضایی دارند، احتمالاً مؤثرترین کانال ها برای طبقه بندی هستند.
- اعتبارسنجی متقابل: اعتبارسنجی متقاطع می تواند برای ارزیابی عملکرد طبقه بندی مجموعه های مختلف کانال استفاده شود. با آزمایش دقت طبقه‌بندی با استفاده از ترکیب‌های مختلف کانال‌ها، می‌توان مؤثرترین کانال‌ها را برای کار شناسایی کرد.

- اطلاعات متقابل: از اطلاعات متقابل می توان برای اندازه گیری میزان اطلاعاتی که هر کانال در طبقه بندی مشارکت می کند استفاده کرد. کانال هایی با اطلاعات متقابل بالا احتمالا موثرترین کانال ها برای طبقه بندی هستند.

به طور خلاصه، انتخاب کانال های موثر در CSSSP به ترکیبی از دانش قبلی، فیلترهای فضایی، اعتبارسنجی متقابل و اطلاعات متقابل بستگی دارد. با در نظر گرفتن این عوامل، می توان کانال هایی را که حاوی بیشترین اطلاعات متمایزکننده برای کار هستند، شناسایی کرد.

اعتبار سنجی متقاطع k-fold یک تکنیک محبوب در یادگیری ماشینی است که برای ارزیابی عملکرد یک مدل استفاده می شود. ایده پشت اعتبارسنجی متقاطع k-fold این است که مجموعه داده را به k قسمت مساوی یا "fold" تقسیم کنیم و سپس از تاهای k-1 برای آموزش مدل و از تاهای باقی مانده برای آزمایش مدل استفاده کنیم.

این فرآیند k بار تکرار می‌شود و هر تا شده دقیقاً یک بار برای آزمایش و از تاهای دیگر k-1 برای تمرین استفاده می‌شود. این منجر به k امتیاز عملکرد می شود که می تواند برای ارائه تخمینی از عملکرد مدل به طور میانگین محاسبه شود. اعتبار سنجی متقاطع K-fold برای ارزیابی عملکرد یک مدل مفید است زیرا امکان تخمین دقیق تری از عملکرد مدل را فراهم می کند، زیرا هر نقطه داده هم برای آموزش و هم برای آزمایش استفاده می شود. همچنین به کاهش واریانس تخمین عملکرد کمک می کند و می تواند به جلوگیری از تطبیق بیش از حد مدل به زیر مجموعه خاصی از داده ها کمک کند.

انتخاب k معمولاً به اندازه مجموعه داده و منابع موجود برای محاسبه بستگی دارد. یک انتخاب رایج برای k ۱۰ است که به عنوان اعتبار سنجی متقاطع ۱۰ برابری شناخته می شود. با این حال می توان از مقادیر دیگر k نیز استفاده کرد. به طور کلی، اعتبارسنجی متقاطع K-fold یک تکنیک مهم برای ارزیابی عملکرد یک مدل است و می تواند به اطمینان از قوی بودن مدل و تعمیم خوبی به داده های جدید کمک کند.

در زمینه تکنیک‌های منظم‌سازی، یک ثابت منظم‌سازی غیرمنفی باید انتخاب شود تا تعادل بین برازش داده‌های آموزشی و اجتناب از برازش بیش از حد برقرار شود. برای تعیین یک مقدار مناسب برای این ثابت، اغلب از اعتبارسنجی متقاطع استفاده می شود. شکل ۲ و ۳ تاثیر فیلتر زمانی را بر انتخاب فیلتر مکانی نشان می دهد.

۴- نتیجه گیری

نتایج آزمایش‌ها بر روی افراد مختلف نشان داد که روش CSSSP بهتر از روش‌های CSP و CSSP است، اما این نتیجه‌گیری برای همه افراد صدق نمی‌کند و مواردی وجود داشته است که عملکرد و دقت روش CSSSP کمتر از دقت CSSP و CSP است. در واقع، CSSSP به طور همزمان یک فیلتر FIR منعطف را با تجزیه و تحلیل CSP بهینه می کند و از یک محدودیت پراکندگی برای جلوگیری از خطر بیش از حد برازش استفاده می کند. اما روش CSSSP اشکالاتی دارد . روش CSSP به یک باند فرکانسی مناسب در ابتدای کار نیاز دارد، در حالی که روش CSSSP به یک نقطه شروع بهینه اولیه بستگی دارد.

در روش CSSSP به دلیل هزینه های محاسباتی و انتخاب پارامترهای مختلف ، هزینه های محاسباتی افزایش یافته و تنظیم پارامترها مشکل خواهد بود.

۵- قدردانی

این مقاله از پایان نامه تهیه شده توسط علیرضا پیراسته استخراج شده است. نویسندگان از حمایت گروه مهندسی پزشکی دانشگاه آزاد اسلامی واحد تهران جنوب و معاونت پژوهشی این پژوهش تقدیر و تشکر می کنند.

مراجع

[1] H. Yadav and S. Maini, "Electroencephalogram based brain-computer interface: Applications, challenges, and opportunities," *Multimedia Tools and Applications*, vol.. 82, no. 30, pp. 1-45, 2023, doi: 10.1007/s11042-023-15653-x.

[2] G. Dornhege, B. Blankertz, M. Krauledat, F. Losch, G. Curio and K. -. Muller, "Combined Optimization of Spatial and Temporal Filters for Improving Brain-Computer Interfacing," in *IEEE Transactions on Biomedical Engineering*, vol. 53, no. 11, pp. 2274-2281, Nov. 2006, doi: 10.1109/TBME.2006.883649.

[3] J. K. Feng *et al.*, "An Optimized Channel Selection Method Based on Multifrequency CSP-Rank for Motor Imagery-Based BCI System," *Computational Intelligence and Neuroscience*, vol. 2019, p. 8068357, 2019/05/13 2019,doi: 8068357.

[4] J. Khan et al., "Multiclass EEG motor-imagery classification with sub-band common spatial patterns," *EURASIP Journal on Wireless Communications and Networking*, Article number: 174, 2019. doi: 10.1186/s13638-019-1497-y.

[5] N. Korhan, Z. Dokur and T. Olmez, "Motor Imagery Based EEG Classification by Using Common Spatial Patterns and Convolutional Neural Networks," *Scientific Meeting on Electrical-Electronics & Biomedical Engineering and Computer Science (EBBT)*, Istanbul, Turkey, 2019, pp. 1-4, doi: 10.1109/EBBT.2019.8741832.

[6] R. Zhang *et al.*, "Using Brain Network Features to Increase the Classification Accuracy of MI-BCI Inefficiency Subject," *IEEE Access*, vol. 7, pp. 74490-74499, 2019, doi: 10.1109/ACCESS.2019.2917327.

[7] Y. Guo, Y. Zhang, Z. Chen, Y. Liu and W. Chen, "EEG classification by filter band component regularized common spatial pattern for motor imagery," *Biomedical Signal Processing and Control*, vol. 59, p. 101917, 2020, doi: 10.1016/j.bspc.2020.101917.

[8] Y. Jun, Ma. Zhengmin and A. Sh. Tao, "Multi-Time and Multi-Band CSP Motor Imagery EEG Features Classification Algorithm," Applied *Sciences* , vol. 11, no. 21, p. 10294, 2021, doi: 10.3390/app112110294.

[9] X. Geng, D. Li, H. Chen, P. Yu, H. Yan and M .Yue, "An improved features extraction algorithms of EEG signals based on motor imagery brain-computer interface," *Alexandria Engineering Journal*, vol. 61, no. 6, pp. 4807-4820, June 2022, doi: 0.1016/j.aej.2021.10.034.

[10] A. Pirasteh, M. Shamseini-Ghiyasvand and M. Pouladian, "Determination of the Type of The Imagined Movement of Organs in People with Mobility Disabilities Using Corrected Common Spatial Patterns," *Signal Processing and Renewable Energy*, vol. 6, no. 2, pp. 17-19, 2022, Issn: 2588-7327

[11] C. Park, C. Took, D.P. Mandic, "Augmented Complex Common Spatial Patterns for Classification of Noncircular EEG from Motor Imagery Tasks," *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 22, no. 1, pp. 1-10, 2014 , doi: 10.1109/TNSRE.2013.2294903.

[12] M. H. Bhatti *et al.*, "Soft Computing-Based EEG Classification by Optimal Feature Selection and Neural Networks," in *IEEE Transactions on Industrial Informatics*, vol. 15, no. 10, pp. 5747-5754, Oct. 2019, doi: 10.1109/TII.2019.2925624.

[13] B. Blankertz *et al.*, "The BCI competition III: validating alternative approaches to actual BCI problems," in *IEEE Transactions on Neural Systems and Rehabilitation Engineering*, vol. 14, no. 2, pp. 153-159, June 2006, doi: 10.1109/TNSRE.2006.875642.

COPYRIGHTS
©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2025.1993480.1330

Vol. 14/ No. 54/Winter 2025

Research Article

Design and Implementation of a 16-bit Multi-Mode Delta-Sigma Digital-to-Analog Converter with Time-Interleaved Structure, Multi-Channel, and Compensation of Non-Idealities Based on FPGA

Abolfazl Roshanpanah, PhD Student [1] | Pooya Torkzadeh, Assistant Professor [2] | Khosrow Hajsadeghi, Associate professor [3] | Massoud Dousti, Associate professor [4]

[1]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, a.roshanpanah@srbiau.ac.ir

[2]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, p-torkzadeh@srbiau.ac.ir

[3]Department of Electrical Engineering, Sharif University of Technology, Tehran, Iran, ksadeghi@sharif.edu

[4]Department of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, m_dousti@srbiau.ac.ir

Correspondence
Pooya Torkzadeh, Assistant Professor of Electrical and Computer Engineering, Science and Research Branch, Islamic Azad University, Tehran, Iran, Email: p-torkzadeh@srbiau.ac.ir

Received: 11 March 2024
Revised: 7 April 2024
Accepted: 20 April 2024

Abstract

In this research, a 16-bit multi-mode second-order Delta-Sigma Modulator-Digital-to-Analog Converter (DSM-DAC) with a time-interleaved (TI) structure operating at a center frequency of 4 GHz and a bandwidth of 20 MHz has been implemented using VHDL on an FPGA platform. The proposed architecture utilizes a single clock frequency for generating RF signals. The second-order DSM is reconfigurable, offering three filter modes: LP, BP at Fs/4, and HP for signal synthesis. Since the coefficients remain simple for all modes, multiplication operations can be achieved using a shifter block. To investigate the effect of duty-cycle-error (DCE) and its compensation, various error values are applied to the modulator and compensation is performed. A novel solution is proposed to overcome the DCE by adjusting the filter and unilaterally narrowing the signal passband without adding extra hardware complexity. This approach significantly enhances the SNDR and SFDR of the DSM output, even for the BP mode. Another challenge is the mismatch error in DAC cells. This error is simulated and compensated using two methods: DWA and SDEM. Simulation results in ISE demonstrate that the SNDR values for LP, BP, and HP modes are 106.10, 105.65, and 104.95 dB, respectively.

Keywords: Delta-sigma modulator, Duty-cycle-error, Error-feedback, FPGA, Mismatch, Time-interleaved.

Highlights

- A 16-bit multi-mode digital-to-analog converter with a time-interleaved structure at a frequency of 4 GHz.
- Only one clock frequency is used to generate the radio frequency signal.
- There are simple coefficients for all cases, the multiplication operation can be performed using a shifter block.
- Two dominant errors in TI-DSM-DACs (mismatch and duty-cycle-error (DCE)) have been compensated
- A new method is proposed to remove the effect of signal image in BP mode, instead of using complex circuits.

Citation: A. Roshanpanah, P. Torkzadeh, Kh. Hajsadeghi, and M. Dousti "Design and Implementation of a 16-bit Multi-Mode Delta-Sigma Digital-to-Analog Converter with Time-Interleaved Structure, Multi-Channel, and Compensation of Non-Idealities Based on FPGA," Journal of Southern Communication Engineering, vol. 14, no. 54, pp. 93–117, 2025, doi:10.30495/jce.2025.1993480.1330, [in Persian].

مقاله پژوهشی

طراحی و پیاده سازی مبدل دیجیتال به آنالوگ دلتا- سیگما ۱۶ بیتی چند حالته با ساختار بهم ریخته زمانی چند کاناله و جبران سازی غیرآرمانی آن مبتنی بر FPGA

ابوالفضل روشن پناه[۱] | پویا ترک زاده*[۲] | خسرو حاج صادقی[۳] | مسعود دوستی[۴]

[۱] دانشکده مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
a.roshanpanah@srbiau.ac.ir

[۲] دانشکده مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
p-torkzadeh@srbiau.ac.ir

[۳] دانشکده مهندسی برق، دانشگاه صنعتی شریف، تهران، ایران،
ksadeghi@sharif.edu

[۴] دانشکده مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران،
m_dousti@srbiau.ac.ir

نویسنده مسئول
*پویا ترک زاده، استادیار، دانشکده مهندسی برق و کامپیوتر، واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران
p-torkzadeh@srbiau.ac.ir

چکیده:

در این مقاله، یک مبدل دیجیتال به آنالوگ دلتا-سیگما درجه دوم (DSM-DAC) ۱۶بیتی چند حالته با ساختار بهم‌ریخته زمانی (TI) در فرکانس مرکزی ۴ گیگاهرتز و با پهنای باند ۲۰ مگاهرتز به زبان توصیف سخت‌افزاری (VHDL) مبتنی بر FPGA پیاده‌سازی شده است. معماری پیشنهادی تنها از یک فرکانس کلاک برای تولید سیگنال‌های فرکانس رادیویی (RF) استفاده می‌کند. مدولاتور دلتا-سیگما (DSM) درجه دوم با توانایی تنظیم مجدد دارای سه حالت پایین‌گذر (LP)، میانگذر (BP) در فرکانس Fs/۴ و بالاگذر (HP) برای سنتز سیگنال است. برای افزایش فرکانس نمونه‌برداری (Fs)، ساختار ۴ کاناله TI پیشنهاد شده است که هر کدام از کانالها در فرکانس Fs/۴ کار می‌کنند. از آنجایی که ضرایب ساده برای همه حالتها وجود دارد، عملیات ضرب را می‌توان با استفاده از یک بلوک شیفت دهنده انجام داد. یک چالش مهم در طراحی این نوع ساختارها، خطای چرخه وظیفه (DCE) است. برای غلبه بر اثر خطای DCE، با تنظیم مدار فیلتر و یکطرفه کردن باند فرکانسی عبور سیگنال بدون اضافه کردن سخت افزار اضافی و پیچیدگی مداری، راه‌حل جدیدی پیشنهاد شده است. در این روش با حذف اثر تصویر سیگنال مقادیر SNDR و SFDR حتی برای حالت BP به طور قابل توجهی افزایش می‌یابد. چالش دیگر خطای عدم تطابق سلول‌های DAC است. این خطا به دو روش میانگین‌گیری وزنی داده‌ها (DWA) و مرتب‌سازی تطبیق عناصر پویا (SDEM) جبران سازی شده است. نتایج شبیه‌سازی در ISE نشان می‌دهد که مقدار SNDR برای حالت‌های LP، BP و HP به ترتیب برابر با ۱۰۶/۱۰، ۱۰۵/۶۵ و ۱۰۴/۹۵ dB است.

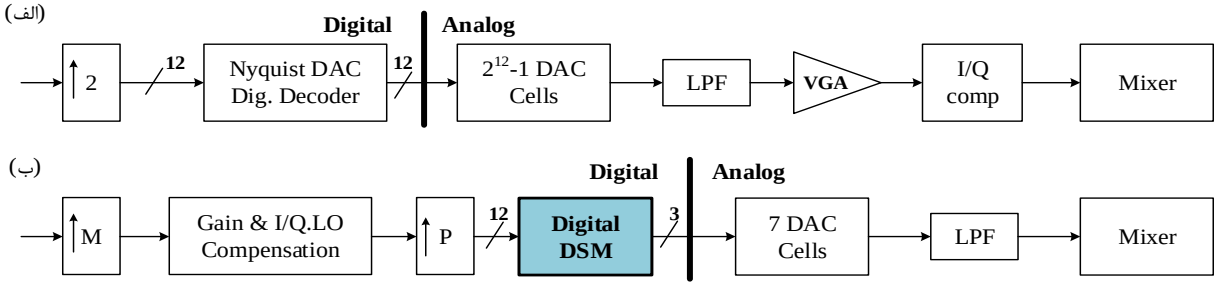
کلید واژه‌ها: بهم‌ریختگی زمانی، خطای چرخه وظیفه، ساختارپس‌خور- خطا، عدم تطابق سلول ها، مدولاتور دلتا-سیگما، FPGA .

تاریخ دریافت: ۲۱ اسفند ۱۴۰۲
تاریخ بازنگری: ۱۹ فروردین ۱۴۰۳
تاریخ پذیرش: ۱ اردیبهشت ۱۴۰۳

https://doi.org/10.30495/jce.2025.1993480.1330

۱-مقدمه

در سال‌های اخیر معماری مبدل‌های دیجیتال به آنالوگ[۱] (DAC) برای سیستم‌های ارتباطی بی‌سیم پیشرفت چشمگیری داشته است. افزایش تقاضا برای تبادل داده با نرخ بالاتر و طراحی سیستم‌های انعطاف‌پذیر در ارتباطات بی‌سیم از دلایل توجه ویژه به رادیوهای تعریف‌شده با نرم‌افزار[۲] (SDRs) هستند [۱-۴].



شکل ۱: (الف) یک مبدل دیجیتال به آنالوگ Nyquist (DAC) در یک فرستنده متداول و (ب) یک DAC دلتا-سیگما در یک فرستنده باند پایه دیجیتال [۵].
Figure 1. (a) A Nyquist digital-to-analog converter (DAC) in a traditional transmitter and (b) a delta-sigma DAC in a digital baseband transmitter.

استانداردهای ارتباطات بی‌سیم، مبدل‌های دیجیتال به آنالوگ نایکوئیست[۳] فرکانس رادیویی[۴] (RF-DACs) به‌منظور برآورده‌کردن الزامات سختگیرانه سطح نویز توسعه یافته‌اند [۳]. با این حال، دست‌یابی به وضوح بالا در DACهای فرکانس نایکوئیست پیچیدگی مدارهای آنالوگ و دیجیتال را افزایش می‌دهد و منجر به عدم تطابق و کاهش خطینگی[۵] می‌شود [۶, ۷]. چندین روش کالیبراسیون و اصلاح پیشنهاد شده است [۸-۱۲]، اما آنها اغلب به تعداد زیادی سلول و زمان کالیبراسیون نیاز دارند که عملکرد طرح‌ها را محدود می‌کند [۱۳]. در مطالعه حاضر مرور کوتاهی بر ساختارها و روش‌های جدید DAC با رویکرد غلبه بر محدودیت‌های معماری‌های قبلی می‌شود.

شکل ۱ DAC های نرخ نایکوئیست و دلتا سیگما[۶] را نشان می‌دهد. از نمونه‌های شناخته شده‌ی معماری‌های جدید DAC ها، می‌توان DACهای بازگشتی چندگانه به صفر[۷] (MRZ)، DAC های Mix-Mode و DAC های با ساختار بهم‌ریخته زمانی[۸] (TI-DAC) را نام برد. TI-DAC و MRZ DACs راه‌حل‌هایی برای سنتز مستقیم سیگنال در فرکانس رادیویی (RF) ارائه می‌دهند، اما به نرخ سوئیچینگ بالایی نیاز دارند [۱۴-۲۰]. علاوه بر این، TI-DAC ها سیگنال‌های تصویر[۹] را حذف می‌کنند و هارمونیک‌ها را با ترکیب چند DAC با جابجایی فاز حذف می‌کنند [۲۱]. این روش پهنای باند و وضوح را افزایش می‌دهد، اما با چالش هایی مانند مساحت تراشه بزرگ‌تر و مصرف انرژی بیش‌تر همراه است [۳, ۵, ۲۱-۲۳]. روش‌هایی مانند بهم‌ریختگی زمانی[۱۰] (TI) [۵, ۲۲, ۲۳]، برون‌یابی پیش‌فرض دیجیتال[۱۱] [۲۴] و پیش‌اعوجاج دیجیتال[۱۲] (DPD) [۲۵] برای بهبود عملکرد و خطینگی معرفی و استفاده می‌شوند. هدف معماری-های پیشنهادی دست‌یابی به نرخ داده‌های بالا، سنتز محدوده فرکانس وسیع و کاهش پیچیدگی سخت‌افزار است.

---

[1] Digital-to-Analog Convertors
[2] Software-Defined Radio
[3] Nyquist
[4] Radio Frequency Digital-to-Analog Convertors
[5] Linearity
[6] Delta-Sigma
[7] Multiple return-to-zero
[8] Time-Interleaved Digital-to-Analog Convertors
[9] Image Signals
[10] Time-Interleaved
[11] Digital Feed-Forward Extrapolation
[12] Digital Pre-Distortion

DAC های مدولاتور دلتا سیگما[1] با ساختار بهم‌ریخته‌ی زمانی (TI-DSM-DAC) در فرستنده‌های رادیویی انعطاف پذیر مورد توجه هستند. زیرا می‌توانند سرعت بخش دیجیتال مدولاتور را برای استفاده با نرخ کلاک بالا افزایش دهند و پیچیدگی آنالوگ را ساده کنند. علاوه بر این، به دلیل ماهیت بیش نمونه‌برداری، قادرند مرتبه فیلتر بازسازی آنالوگ را (که پس از DAC قرار دارد.) کاهش دهند. فرکانس کاری ۴ گیگاهرتز در مخابرات بی‌سیم معمولاً برای کاربردهایی استفاده می‌شود که نیاز به پهنای باند بالا و انتقال داده‌های سریع دارند. این فرکانس برای شبکه‌های وای‌فای، سیستم‌های مخابراتی نظامی، رادارها، و برخی از سیستم‌های ماهواره‌ای کاربرد دارد. همچنین، در محیط‌هایی که تداخل فرکانسی کمتری وجود دارد، می‌توان از این فرکانس برای افزایش کیفیت ارتباطات بی‌سیم استفاده کرد. بنابراین، آنها نقش اساسی در توسعه استانداردهای ارتباطی مدرن مانند WiGig (IEEE 802.11ad) [۲۶]، ECMA-387 [۲۷]، Wireless HD [۲۸] و اخیراً نسل پنجم[2] (5G) ارتباطات بی‌سیم دارند، که از باندهای فرکانسی محدوده‌ی بالای گیگاهرتز مانند ۲۸، ۳۸، ۶۴ و ۷۱ گیگاهرتز استفاده می‌کند [۲۹, ۳۰].

مطالعه حاضر به بررسی معماری‌های TI-DSM می‌پردازد، و پس از ارایه یک ساختار منحصر به فرد مدولاتور ۴ کاناله چند حالته برای سه حالت پایین‌گذر[3] (LP)، میان‌گذر[4] (BP) و بالاگذر[5] (HP)، آن را به زبان توصیف سخت افزاری[6] (VHDL) و در ISE پیاده سازی می‌کند. خطای چرخه وظیفه[7] (DCE) را به مدولاتور اعمال کرده و روش‌های جبران سازی مؤثری پیشنهاد می‌دهد. همچنین خطای عدم تطابق سلول‌های[8] DAC را به‌منظور بررسی تأثیر آن بر عملکرد ساختار پیشنهادی اعمال کرده و سپس با دو روش میانگین‌گیری وزنی داده‌ها[9] (DWA) [۳۱] و مرتب‌سازی تطبیق عناصر پویا[10] (SDEM) [۳۲] [۳۳] سعی در جبران سازی آن شده است.

این مقاله به شش بخش تقسیم می‌شود. در بخش دوم ساختار TI-DSM پیشنهادی ارائه می‌شود. بخش سوم به پیاده‌سازی معماری TI-DSM آرمانی[11] به زبان VHDL و در ISE می‌پردازد. در بخش چهارم پیاده‌سازی غیرآرمانی ناشی از DCE، روش‌های جبران‌سازی و حذف سیگنال‌های تصویر ارائه شده است. در بخش پنجم خطای عدم تطابق سلول‌های DAC را به‌منظور بررسی تأثیر آن بر عملکرد به ساختار پیشنهادی اعمال کرده و سپس با دو روش DWA و SDEM سعی در جبران‌سازی آن شده است. در نهایت بخش ششم به نتیجه‌گیری می‌پردازد. این مقاله بینش‌های ارزشمندی در مورد پیاده‌سازی و بهینه‌سازی معماری‌های TI-DSM و جبران‌سازی خطای DCE برای سیستم‌های ارتباطی بی‌سیم ارائه می‌دهد.

۲-مدولاتور دلتا-سیگما مرتبه دوم با ساختار بهم‌ریخته زمانی

طراحی یک ساختار چند حالته با قابلیت عملکرد در فرکانس‌های پایین، متوسط و بالا دارای چالش‌های پیچیده‌ای است. اما به این ترتیب رویکرد مناسبی برای ایجاد یک DSM چند منظوره ارائه می‌شود. هدف پیاده‌سازی یک DSM چند حالته ۱۶ بیتی با ساختار TI است که در فرکانس ۴ گیگاهرتز با پهنای باند ۲۰ مگاهرتز کار می‌کند. علاوه بر این، هدف طراحی، شناسایی خطاهای بالقوه و ایجاد یک رویکرد راهبردی جبران‌سازی برای آنها است.

---

[1] Delta-Sigma Modulators
[2] Fifth-Generation
[3] Low-Pass
[4] Band-Pass
[5] High-Pass
[6] Very High-Speed Integrated Circuit Hardware Description Language
[7] Duty Cycle Error
[8] Mismatch Error
[9] Data Weighted Averaging
[10] Sorted Dynamic Element Matching
[11] Ideal

معماری پیشنهادی از یک فرکانس نمونه‌برداری[1] واحد (Fs) برای تولید سیگنال RF استفاده می‌کند که شامل یک DSM قابل تنظیم مجدد با حالت LP، حالت BP در Fs/4 و حالت HP است. برای سنتز سیگنال برای دست‌یابی به فرکانس‌های بالاتر، از یک ساختار TI با ۴ کاناله که هر کدام در فرکانس Fs/4 کار می‌کنند، استفاده شده است.

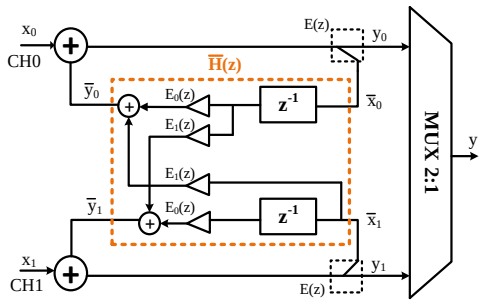
انتخاب مرتبه مناسب فیلترهای DSM و تعداد بیت‌های کوانتایزر[2] داخلی برای هر کانال یک TI-DSM در به حداقل رساندن مساحت و مصرف توان سیستم بسیار مهم است. در این مرحله از فرآیند، فیلترهای DSM مرتبه یک تا ۳ با یک کوانتایزر چند بیتی به‌عنوان ساختار بازخورد خطا[3] (EFB) پیاده‌سازی شده است. برای یک ساختار DSM ۱۶ بیتی ، حداقل نسبت سیگنال به نویز[4] (SNR) مورد نیاز ۹۸ dB است.

بر اساس نتایج شبیه‌سازی در حالت‌های LP، BP، و HP، SNR به‌دست‌آمده توسط مدولاتور مرتبه دوم (DSM مرتبه دوم)، نیاز برای SNR بالای ۹۸ dB را برآورده می‌کند. علاوه بر این، DSM مرتبه دوم از جمع کننده‌های دو ورودی استفاده می‌کند، درحالی‌که مدولاتورهای مرتبه سوم (DSM مرتبه سوم) یا بالاتر به جمع کننده‌های سه ورودی و بالاتر نیاز دارد. تعداد ورودی‌های جمع‌کننده به‌طور مستقیم بر اشغال مساحت تراشه، تأخیر انتشار، مصرف انرژی، مسیرهای بحرانی و پیچیدگی مدار تأثیر می‌گذارد. ازاین‌رو، DSM مرتبه دوم با کوانتایزر داخلی ۴ بیتی بهترین انتخاب است. مشخصات نهایی معماری انتخاب شده در جدول ۱ ارائه شده است.

جدول ۱: مشخصات نهایی معماری پیشنهادی.

Table 1. Final specifications of the selected system.

پارامتر	مقدار تعیین شده	پارامتر	مقدار تعیین شده
فرکانس نمونه‌برداری (GHz)	۴	مرتبه فیلتر پایین‌گذر	**۲**
پهنای باند (MHz)	۲۰	مرتبه فیلتر میان‌گذر	**۴**
نرخ بیش نمونه‌برداری(OSR)	۱۰۰	مرتبه فیلتر بالاگذر	**۲**
تعداد بیت‌های ورودی	۱۶	تعداد بیت‌های داخلی کوانتایزر	**۴**
تعداد کانال‌های ساختار TI	۴	SFDR(dB)[5]	**۱۰۰<**
SNDR (dB)[6]	۱۰۰<		



شکل ۲: مدولاتور دلتا-سیگما با ساختار بهم‌ریخته زمانی دو کاناله [۵].

Figure 2. A two-channel EFB-TI-DSM.

[1] Sampling Frequency
[2] Quantizer
[3] Error Feedback
[4] Signal-to-Noise Ratio
[5] Spurious Free Dynamic Range
[6] Signal-to-Noise and Distortion Ratio

۲-۱-تبدیل ساختار تک حلقه‌ای به ساختار TI ۴ کاناله

شکل ۲ ساختار یک TI-EFB[1] ۲ کاناله را نشان می‌دهد. در این ساختار، رابطه زیر برقرار است [۵, ۲۳]:

$$\begin{bmatrix}\overline{y_0}\\ \overline{y_1}\end{bmatrix}=\overline{H(z)}\times\begin{bmatrix}\overline{X_0}\\ \overline{X_1}\end{bmatrix}=\begin{bmatrix}E_0(z) & E_1(z)\\ z^{-1}E_0(z) & E_1(z)\end{bmatrix}\times\begin{bmatrix}\overline{X_0}\\ \overline{X_1}\end{bmatrix} \quad (۱)$$

علاوه براین، رابطه ۲ را می‌توان بین ضرایب E_k و $H(z)=1-NTF(z)$ ایجاد کرد، که تابع تبدیل سیگنال فیلتر DSM تک حلقه است:

$$H(z)=\sum_{k=0}^{M-1}z^{-k}E_k(z^M) \quad (۲)$$

بایافتن ضرایب از رابطه فوق، رابطه ۳ به دست می آید.

$$H(z)=\sum_{k=0}^{M-1}z^{-k}E_k(z^M)=E_0(z^4)+z^{-1}E_1(z^4)+z^{-2}E_2(z^4)+z^{-3}E_3(z^4) \quad (۳)$$

این تبدیل را می‌توان برای ساختار ۴ کاناله TI-EFB پیشنهادی گسترش داد. برای یافتن ضرایب بین کانال‌های بهم‌ریخته زمانی، با فرض M=۴، رابطه ۲ به صورتی که در ادامه می‌آید، تبدیل می‌شود. علاوه بر این، تابع تبدیل نویز مدولاتور دلتا-سیگما پایین‌گذر[2] (LP-DSM)، $NTF=(1-z^{-1})^2$ است و H(z) به‌صورت زیر محاسبه می‌شود:

$$H(z)=1-NTF(z)=1-(1-z^{-1})^2=2z^{-1}-z^{-2} \quad (۴)$$

با برابری روابط ۳ و ۴ ضرایب E_k به صورت زیر به دست می‌آیند:

$$E_0(z)=0 \qquad E_1(z)=2 \qquad E_2(z)=-1 \qquad E_3(z)=0 \quad (۵)$$

در نتیجه ماتریس ضرایب DSM مرتبه دوم ۴ کاناله به شکل رابطه ۶ می‌باشد.

$$\overline{H}(z)=\begin{bmatrix}E_0(z) & E_1(z) & E_2(z) & E_3(z)\\ z^{-1}E_0(z) & E_0(z) & E_1(z) & E_2(z)\\ z^{-1}E_0(z) & z^{-1}E_1(z) & E_0(z) & E_1(z)\\ z^{-1}E_0(z) & z^{-1}E_1(z) & z^{-1}E_2(z) & E_0(z)\end{bmatrix}=\begin{bmatrix}0 & 2 & -1 & 0\\ 0 & 0 & 2 & -1\\ -z^{-1} & 0 & 0 & 2\\ 2z^{-1} & -z^{-1} & 0 & 0\end{bmatrix} \quad (۶)$$

با تکرار روش فوق برای حالت‌های BP و HP، ضرایب مدولاتور ۴ کاناله TI به ترتیب در روابط ۷ و ۸ آمده‌اند.

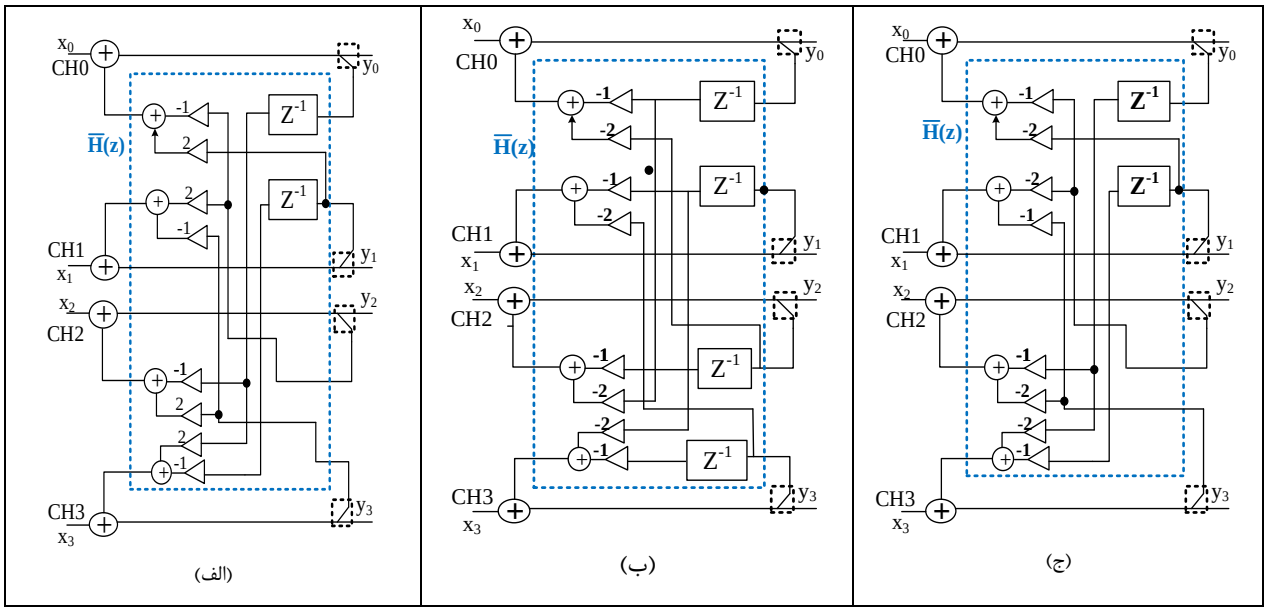
[1] Time-Interleaved Error Feedback

[2] Low-Pass Delta-Sigma Modulator

$$\overline{H}(z)=\begin{bmatrix} -z^{-1} & 0 & -2 & 0 \\ 0 & -z^{-1} & 0 & -2 \\ -2z^{-1} & 0 & -z^{-1} & 0 \\ 0 & -2z^{-1} & 0 & -z^{-1} \end{bmatrix} \quad (۷)$$

$$\overline{H}(z)=\begin{bmatrix} 0 & -2 & -1 & 0 \\ 0 & 0 & -2 & -1 \\ -z^{-1} & 0 & 0 & -2 \\ -2z^{-1} & -z^{-1} & 0 & 0 \end{bmatrix} \quad (۸)$$

ازآنجایی‌که ضرایب ساده برای هر سه حالت با مقادیر <۱، ۱- ، ۲، ۲- > وجود دارد، عملیات ضرب را می‌توان با استفاده از یک بلوک شیفتر انجام داد. در نتیجه، ساده‌سازی طراحی، مصرف انرژی کمتر، ناحیه اشغالی کوچک‌تر و سرعت بالاتر حاصل می‌شود. در نهایت، ساختار پیشنهادی برای مدولاتور ۴ کاناله TI-EFB با استفاده از سوئیچ‌ها در شکل ۳ نشان داده شده است.



شکل ۳: ساختار پیشنهادی برای EFB-TI-DSM ۴ کاناله. (الف) حالت LP، (ب) حالت BP، و (ج) حالت HP.

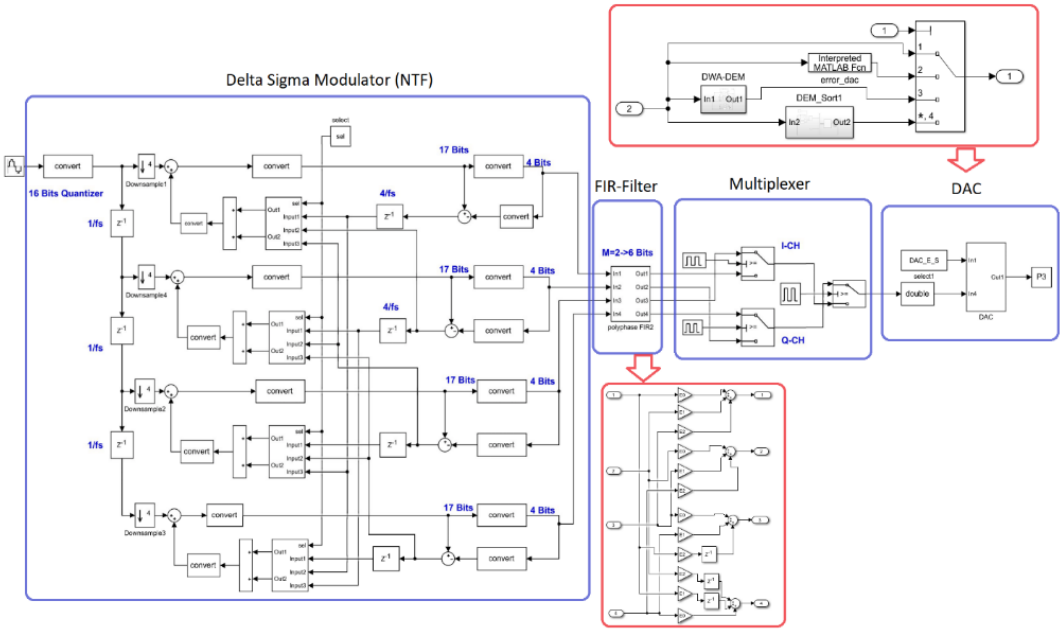
Figure 3. The proposed structure for the 4-Ch EFB-TI-DSM; (a) LP mode, (b) BP mode, and (c) HP mode.

۳-پیاده سازی مدولاتور دلتا-سیگما مرتبه دوم با ساختار بهم‌ریخته زمانی آرمانی در VHDL

در این بخش ساختار پیشنهادی TI-DSM مرتبه دوم ۴ کاناله به زبان VHDL در نرم‌افزار ISE پیاده‌سازی شده است. ساختار پیشنهادی بر روی تراشه Kintex-7 سری XC7K480T پیاده‌سازی شده و حالت‌های LP، BP در فرکانس Fs/۴ و HP در شرایط آرمانی پیاده‌سازی شده است. شکل ۴ بلوک دیاگرام TI-DSM آرمانی ۴ کاناله را به همراه واحدهای جبران‌سازی خطاهای DCE و عدم تطابق سلول‌های DAC نشان می‌دهد.

به‌منظور اعمال سیگنال سینوسی ۱۶ بیتی با فرکانس ۴ گیگاهرتز به ورودی ساختار TI-DSM ۴ کاناله در ISE این سیگنال به‌صورت فایل متنی در MATLAB تولید و ذخیره می‌شود. سه سیگنال ورودی متناظر با حالت‌های LP، BP و HP مطابق با کد مربوطه در

MATLAB حاصل می‌گردد که در کد VHDL به‌عنوان ورودی استفاده می‌شود. روش دیگر تولید سیگنال سینوسی در VHDL استفاده از IPCore مربوطه است.

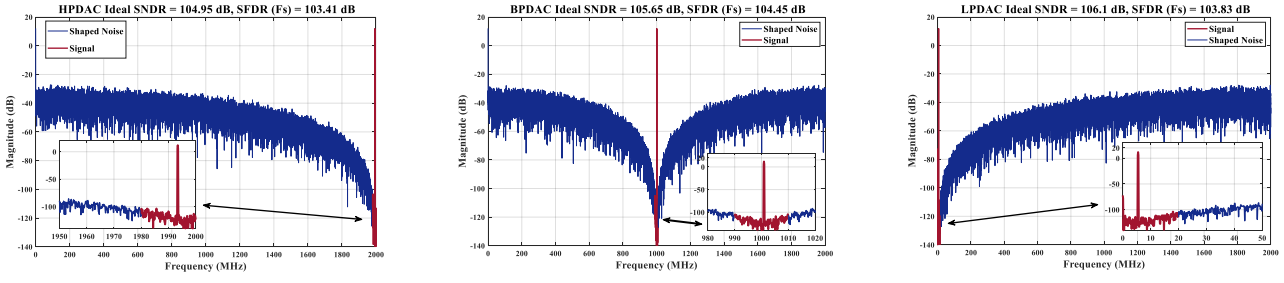


شکل ۴: بلوک دیاگرام TI-DSM آرمانی ۴ کاناله همراه واحدهای جبران‌سازی خطاهای DCE و عدم تطابق سلول‌های DAC.

Figure 4. Block diagram of ideal 4-channel TI-DSM with DCE error compensation units and DAC cell mismatch.

۳-۱-شبیه‌سازی مدولاتور دلتا-سیگما مرتبه دوم با ساختار بهم‌ریخته زمانی آرمانی

پس از سنتز موفقیت‌آمیز کد VHDL ساختار TI-DSM مرتبه دوم ۴ کاناله آرمانی ، شبیه‌سازی در هر سه حالت LP، BP و HP انجام شده است. برای پیاده‌سازی این مدولاتور چند حالتی، یک ساختار واحد با اندکی قابلیت پیکربندی متناظر با فرکانس سیگنال ورودی پیاده‌سازی شده است، به‌طوری‌که در هر حالت به کمک یک شاخص تعیین کننده فرکانس کاری ساختار پیشنهادی به یکی از حالت‌های LP، BP و HP تبدیل می‌شود. سیگنال خروجی TI-DSM ۴ کاناله، ۴ بیتی با فرکانس ۴ گیگاهرتز است. فرکانس کاری هر یک از مسیرهای چهارگانه درونی TI-DSM، Fs/۴ برابر با یک گیگاهرتز است. بنابراین این مدولاتور به دو سیگنال کلاک نیازمند است. برای ساخت کلاک با فرکانس یک گیگاهرتز دقیق، از فرکانس ۴ گیگاهرتز استفاده می‌شود.



(ج) (ب) (الف)

شکل ۵: طیف سیگنال خروجی در حالت‌های (الف) LP، (ب) BP، و (ج) HP در مقیاس خطی.

Figure 5. Output signal spectrum for (a) LP, (b) BP, and (c) HP modes in linear scale.

به‌منظور شبیه‌سازی ساختار TI-DSM کد VHDL تست نوشته شده است. در این کد مقادیر ورودی از هر یک از فایل‌های متنی سیگنال‌های ورودی مربوط به LP، BP و HP خوانده شده و به‌عنوان ورودی به TI-DSM اعمال می‌شود. خروجی TI-DSM نیز به‌منظور استفاده و راستی آزمایی نتایج در MATLAB در یک فایل متنی ذخیره می‌شود. طیف فرکانسی و مقادیر SNDR و SFDR سیگنال خروجی ساختار TI-DSM برای هر یک از حالت‌های LP، BP و HP در شکل ۵ نشان داده شده است. مقدار SNDR در حالت LP، BP و HP به ترتیب برابر با ۱۰۶/۱۰، ۱۰۵/۶۵ و ۱۰۴/۹۵ dB و مقدار SFDR در حالت LP ، BP و HP به ترتیب برابر با ۱۰۳/۸۳، ۱۰۴/۴۵ و ۱۰۳/۴۱ dB است که همگی بالاتر از حداقل مقدار مورد نیاز (۹۸ dB) برای تعداد بیت‌های موثر[1] (ENOB) ۱۶ بیت است.

۴-بررسی اثرات غیرآرمانی مدولاتور دلتا-سیگما مرتبه دوم با ساختار بهم‌ریخته زمانی و جبران‌سازی آنها

یکی از مهمترین خطاها در پیاده‌سازی مدارهای TI-DSM های چند کاناله، خطای DCE است. دست‌یابی به چرخه دقیق کلاک کاری ۵۰ درصد در سرعت‌های بالا بسیار چالش برانگیز است. تغییر یک چرخه وظیفه از ۵۰٪، باعث عدم تطابق مسیر درونی فاز و متعامد[2] (IQ) و خطای فاز می‌شود [۳۴]. این خطا باعث افزایش نویز در پهنای باند و در نتیجه کاهش SNR می‌شود. در مدولاتور دلتا-سیگما میان‌گذر[3] (BP-DSM) علاوه بر افزایش نویز در پهنای باند، تصویر سیگنال نیز در پهنای باند قرار می‌گیرد که باعث کاهش بیش‌تر SNR می‌شود. در این بخش اثر خطا DCE و روش جبران‌سازی آن بر روی ساختار پیشنهادی بررسی شده تا از عملکرد صحیح ساختار اطمینان حاصل شود. خطای با اهمیت دیگر خطای عدم تطابق سلول‌های DAC است که در بخش پنجم مقاله بطور کامل بحث خواهد شد.

۴-۱-شبیه‌سازی DCE در VHDL

به‌منظور بررسی اثرات خطای DCE بر عملکرد ساختار TI-DSM فقط کد VHDL تست نوشته شده است و پس از سنتز موفقیت آمیز، شبیه‌سازی در هر سه حالت LP ، BP و HP انجام شده است. مقدار خطای DCE_Error یک و ۲ درصد در خروجی بلوک های DSM و مالتی پلکسر اعمال می‌شود. در کد تست یک سیگنال کلاک با نام " clk_DCE" اضافه شده تا نمونه‌برداری خروجی۱۰۰ برابر بیش‌تر از حالت قبل باشد، در این صورت می‌توان خطای اعمالی به کلاک را استخراج و مشاهده نمود. همانند حالت آرمانی در این کد نیز مقادیر ورودی از هر یک از فایل های متنی سیگنال‌های ورودی مربوط به LP، BP و HP خوانده و به عنوان ورودی به TI-DSM اعمال می‌شود. خروجی TI-DSM نیز به‌منظور استفاده و راستی آزمایی نتایج در MATLAB در یک یک فایل متنی ذخیره می‌شود.

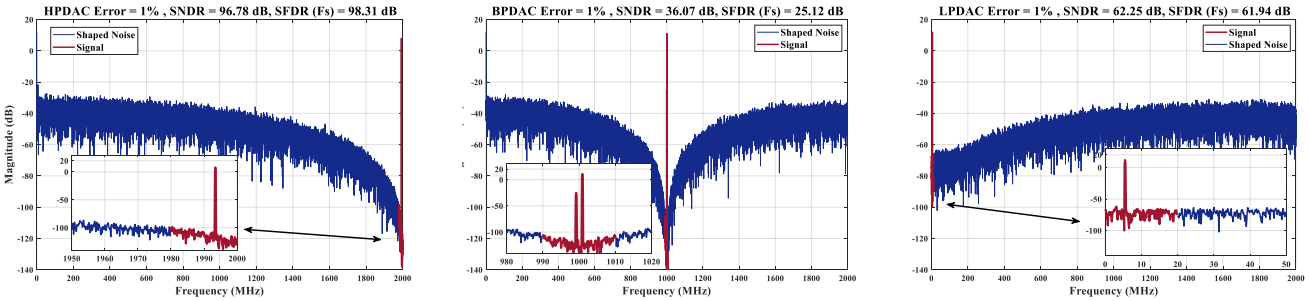
شکل ۶ نتایج شبیه‌سازی و مقادیر SNDR و SFDR پس از اعمال DCE با خطای یک درصد در حالت‌های LP، BP، و HP نشان می‌دهد. مقدار SNDR در حالت LP ، BP و HP به ترتیب برابر با ۶۲/۲۵، ۳۶/۰۷ و ۹۶/۷۸ dB و مقدار SFDR در حالت LP، BP و HP به ترتیب برابر با ۶۱/۹۴، ۲۵/۱۲ و ۹۶/۳۱ dB است. نتایج نشان می‌دهند که مقادیر SNDR و SFDR در اثر خطای DCE افت شدیدی را تجربه کرده‌اند. دلیل این افت شدید در حالت BP حضور تصویر سیگنال در باند فرکانسی مدولاتور است. شکل ۷ نتایج شبیه‌سازی و مقادیر SNDR و SFDR پس از اعمال DCE با خطای ۲ درصد در حالت های LP، BP، و HP نشان می‌دهد. مقدار SNDR در حالت LP، BP و HP به ترتیب برابر با ۵۶/۲۳، ۳۰/۰۵ و ۹۱/۳۰ dB و مقدار SFDR در حالت LP، BP و HP به ترتیب

[1] Effective Number of Bits
[2] In-Phase and Quadrature
[3] Band-Pass Delta-Sigma Modulator

برابر با ۵۵/۹۲، ۱۹/۱۰ و ۹۳/۴۱ dB است. دلیل افت کمتر در حالت HP فاصله فرکانسی قابل توجه تصویر سیگنال از سیگنال اصلی و باند فرکانسی مدولاتور است.

۴-۲-جبران‌سازی DCE

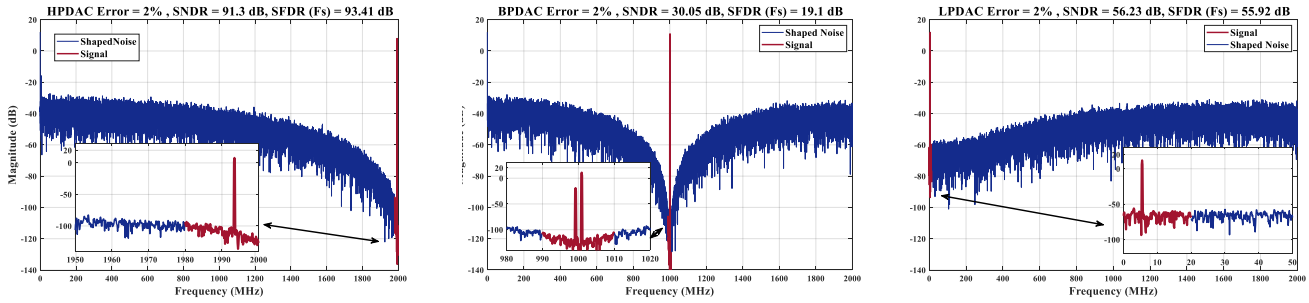
همانطور که در شکل ۸ نشان داده شده است، یک راه‌حل رایج جبران‌سازی خطای DCE در TI-DSM ها استفاده از فیلتر پاسخ ضربه محدود[1] (TI-FIR) قبل از مالتی پلکسر در مسیر سیگنال هر کانال است. فیلتر FIR برای جبران DCE عمل می‌کند و در نتیجه تعداد بیت‌های خروجی از مدولاتور مطابق با مرتبه فیلتر افزایش می‌یابد. فرض کنید تعداد بیت‌های خروجی کوانتایزر با K و تعداد بیت‌های اضافه شده توسط فیلتر m نشان داده شود. m همان مرتبه فیلتر FIR نیز هست. در نتیجه، خروجی نهایی مدولاتور پس از جبران سازی توسط فیلتر FIR شامل بیت های K+m خواهد بود.



(ج) (ب) (الف)

شکل ۶: طیف فرکانس مدولاتور مرتبه دوم با یک درصد خطای DCE.

Figure 6. Frequency spectrum of the second-order modulator with a DCE of 1%.

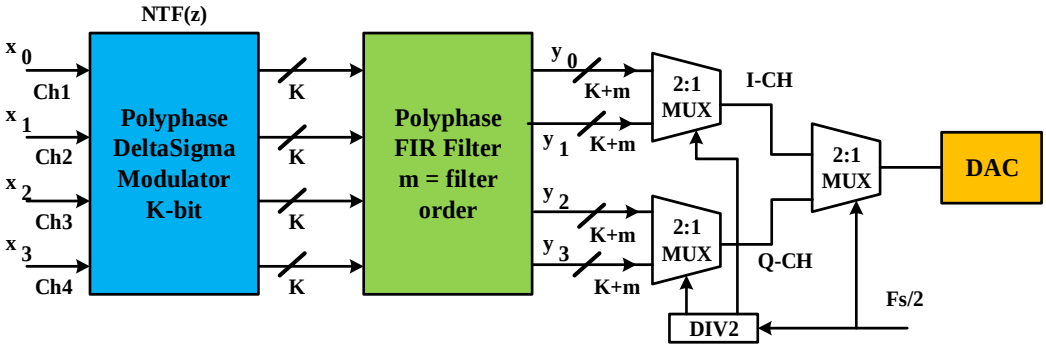


(ج) (ب) (الف)

شکل ۷: طیف فرکانس مدولاتور مرتبه دوم با ۲ درصد خطای DCE.

Figure 7. Frequency spectrum of the second-order modulator with a DCE of 2%.

[1] Time-Interleaved Finite Impulse Response



شکل ۸: فیلتر TI-FIR قبل از مالتی پلکسر در مسیر سیگنال هر کانال.

Figure 8. TI-FIR filter before the multiplexer in the signal path of each channel.

پیشنهاد می‌شود برای جبران DCE، دو فیلتر TI-FIR مرتبه اول (m=۱) و مرتبه دوم (m=۲) بکار برده شود. از آنجایی که K=۴ است، بنابراین تعداد بیت‌های خروجی نهایی TI-DSM پس از جبران‌سازی در حالت استفاده ازفیلتر TI-FIR مرتبه اول ۵ بیت و در حالت استفاده فیلتر TI-FIR مرتبه دوم ۶ بیت خواهد بود. برای حالت مدولاتوردلتا-سیگما بالاگذر[1](LP-DSM) نوع فیلتر LP-FIR[2] است و توابع تبدیل فیلترهای LP-FIR مرتبه اول و مرتبه دوم به ترتیب $(1+z^{-1})$ و $(1+z^{-1})^2$ بوده و ضرایب آنها نیز به ترتیب در رابطه ۹ و ۱۰ آمده است.

$$\overline{H}(z)=\begin{bmatrix}1 & 1 & 0 & 0\\ 0 & 1 & 1 & 0\\ 0 & 0 & 1 & 1\\ -z^{-1} & 0 & 0 & 1\end{bmatrix} \quad (۹)$$

$$\overline{H}(z)=\begin{bmatrix}1 & 2 & 1 & 0\\ 0 & 1 & 2 & 1\\ z^{-1} & 0 & 1 & 2\\ 2z^{-1} & z^{-1} & 0 & 1\end{bmatrix} \quad (۱۰)$$

برای حالت مدولاتوردلتا-سیگما بالاگذر[3] (HP-DSM) نوع فیلتر HP-FIR[4] است. توابع تبدیل فیلتر ها به ترتیب $(1-z^{-1})$ و $(1-z^{-1})^2$ بوده و ضرایب آنها به ترتیب در رابطه ۱۱ و ۱۲ آمده است.

$$\overline{H}(z)=\begin{bmatrix}1 & -1 & 0 & 0\\ 0 & 1 & -1 & 0\\ 0 & 0 & 1 & -1\\ -z^{-1} & 0 & 0 & 1\end{bmatrix} \quad (۱۱)$$

[1] Low-Pass Delta-Sigma Modulator
[2] Low-Pass Finite Impulse Response
[3] High-Pass Delta-Sigma Modulator
[4] High-Pass Finite Impulse Response

$$\overline{H}(z)=\begin{bmatrix} 1 & -2 & 1 & 0 \\ 0 & 1 & -2 & 1 \\ z^{-1} & 0 & 1 & -2 \\ -2z^{-1} & z^{-1} & 0 & 1 \end{bmatrix} \quad (۱۲)$$

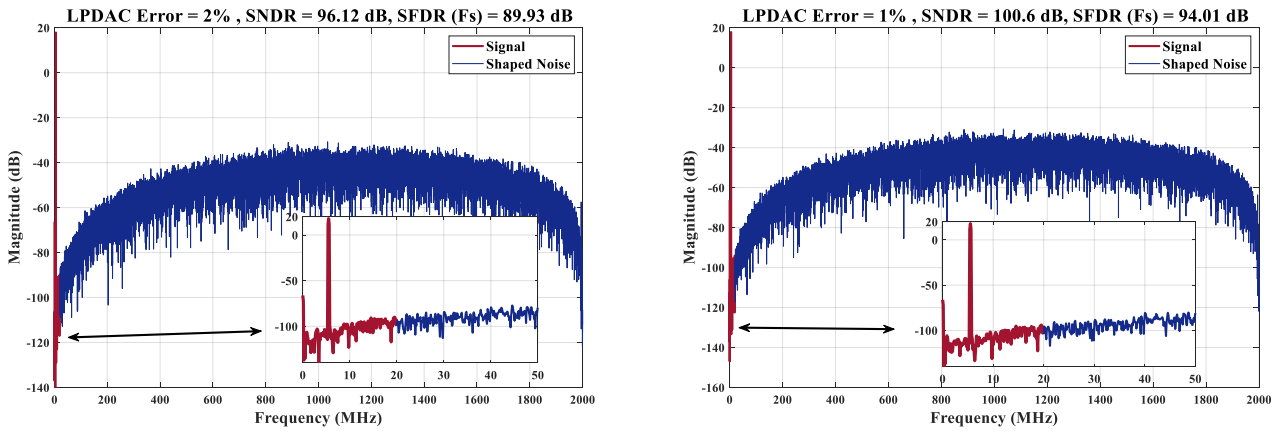
برای حالت BP-DSM نوع فیلتر BP-FIR است. یک فیلتر BP-FIR مرتبه دوم با عبارت $(1-z^{-1})$ تعریف می‌شود و ضرایب آن به صورت زیر در رابطه ۱۳ آمده است:

$$\overline{H}(z)=\begin{bmatrix} 1 & 0 & -1 & 0 \\ 0 & 1 & 0 & -1 \\ -z^{-1} & 0 & 1 & 0 \\ 0 & -z^{-1} & 0 & 1 \end{bmatrix} \quad (۱۳)$$

این ضرایب برای پیاده‌سازی جبران‌ساز DCE برای مقادیر خطای یک درصد و ۲ درصد با استفاده از فیلترهای مرتبه اول و مرتبه دوم برای حالت های LP، BP و HP استفاده شده است.

۴-۲-۱-جبران‌سازی DCE در حالت‌های LP و HP توسط فیلتر TI-FIR مرتبه اول

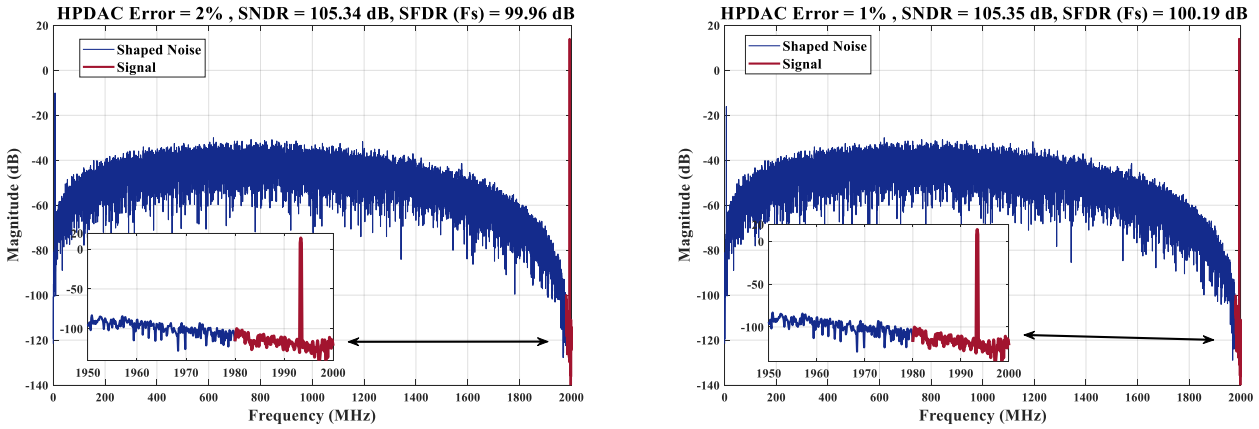
روش پیشنهادی جبران‌سازی خطای DCE در زبان VHDL پیاده‌سازی شده است. ساختار کلی مدولاتور و مشخصات فرکانس کلاک و سیگنال‌های ورودی و خروجی هیچ تفاوتی با ساختار آرمانی آن ندارد. مطابق شکل ۹، در حالت LP پس از جبران‌سازی به وسیله فیلتر LP-FIR مرتبه اول، مقدار SNDR به ازای خطای یک و ۲ درصد به ترتیب برابر با ۱۰۰/۶۰ و ۹۶/۱۲ dB و مقدار SFDR به ترتیب برابر با ۹۴/۰۱ و ۸۹/۹۳ dB است. سپس برای حالت HP یک فیلتر مرتبه اول HP-FIR استفاده شده است. همان‌طور که در شکل ۱۰ مشاهده می‌شود، پس از جبران‌سازی، مقدار SNDR به ازای خطای یک و ۲ درصد به ترتیب برابر با ۱۰۵/۳۵و۱۰۵/۳۴ dB و مقدار SFDR به ترتیب برابر با ۱۰۰/۱۹ و ۹۹/۹۶ dB است.



(الف) (ب)

شکل ۹: طیف خروجی جبران‌شده با فیلتر FIR مرتبه اول در حالت LP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 9. The output spectrum compensated by first-order FIR filter in LP mode with (a) 1% and (b) 2% DCE.



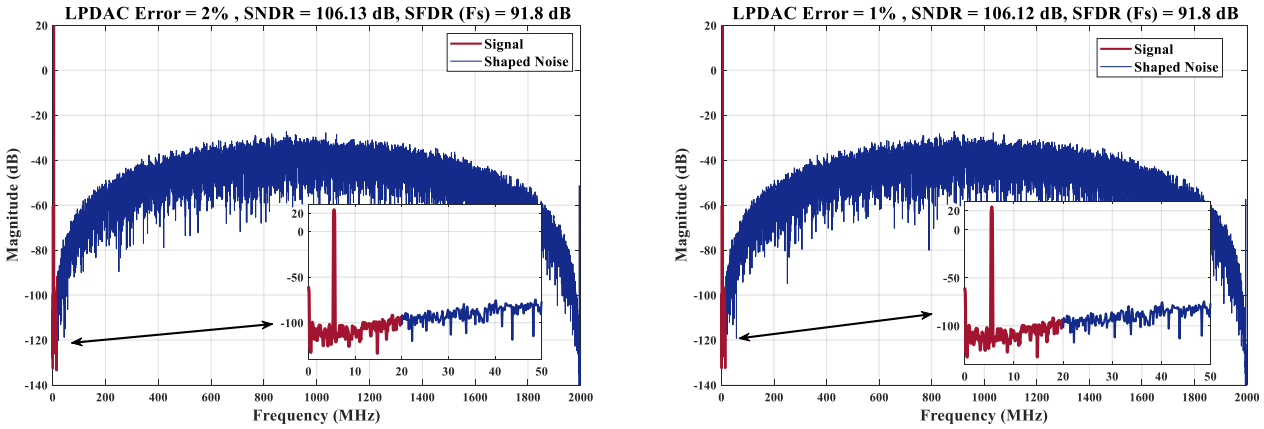
(ب) (الف)

شکل ۱۰: طیف خروجی جبران‌شده با فیلتر FIR مرتبه اول در حالت HP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 10. The output spectrum compensated by first-order FIR filter in HP mode with (a) 1% and (b) 2% DCE.

۴-۲-۲-جبران‌سازی DCE در حالت های LP، BP وHP توسط فیلتر TI-FIR مرتبه دوم

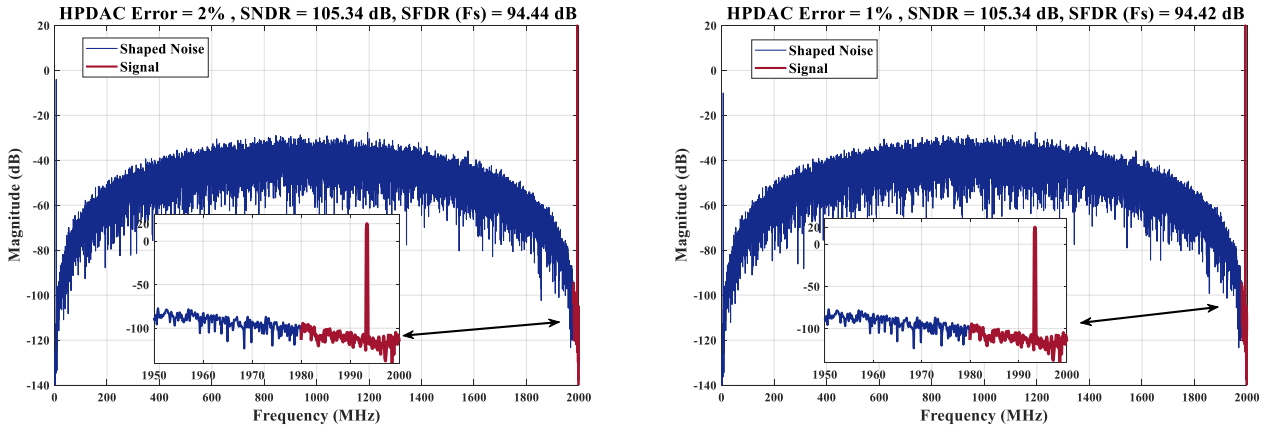
بار دیگر به‌منظور جبران‌سازی DCE فیلتر مرتبه دوم TI-FIR در حالت‌های LP، BP وHP، متناسب با ضرایب مورد نیاز پیاده‌سازی شده است. همان‌طور که در شکل ۱۱ مشاهده می‌شود، در حالت LP پس از جبران‌سازی به وسیله فیلتر LP-FIR، مقدار SNDR به ازای خطای یک و ۲ درصد به ترتیب برابر با ۱۰۶/۱۲ و ۱۰۶/۱۳ dB و مقدار SFDR برای هر دو مقدار خطا یکسان و برابر با ۹۱/۸۰ dB است. سپس یک فیلتر مرتبه دوم HP-FIR با عبارت $(1-z^{-1})^2$ در نظر گرفته شده است. همان‌طور که در شکل ۱۲ مشاهده می‌شود، در حالت HP پس از جبران‌سازی به وسیله فیلتر HP-FIR، مقدار SNDR به ازای خطای ۱ و ۲ درصد یکسان و برابر با ۱۰۵/۳۴ dB و مقدار SFDR به ترتیب برابر با ۹۴/۴۲ و ۹۴/۴۴ dB است.



(ب) (الف)

شکل ۱۱: طیف خروجی جبران‌شده با فیلتر FIR مرتبه دوم در حالت LP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 11. The output spectrum compensated by second-order FIR filter in LP mode with (a) 1% and (b) 2% DCE.



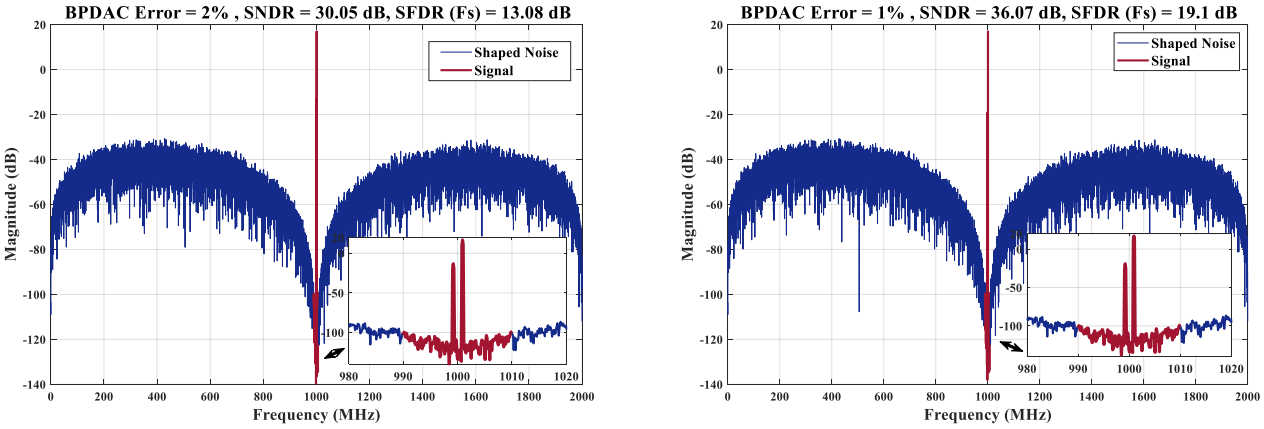
(ب) (الف)

شکل ۱۲: طیف خروجی جبران‌شده با فیلتر FIR مرتبه دوم در حالت HP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 12. The output spectrum compensated by second-order FIR filter in HP mode with (a) 1% and (b) 2% DCE.

در گام نهایی یک فیلتر مرتبه دوم BP-FIR در نظر گرفته شده است. مطابق شکل ۱۳، در حالت BP پس از جبران‌سازی به وسیله فیلتر BP-FIR، مقدار SNDR به ازای خطای یک و دو درصد به ترتیب برابر با۳۶/۰۷ و ۳۰/۰۵ dB و مقدار SFDR به ترتیب برابر با ۱۹/۱۰ و ۱۳/۰۸ dB است.

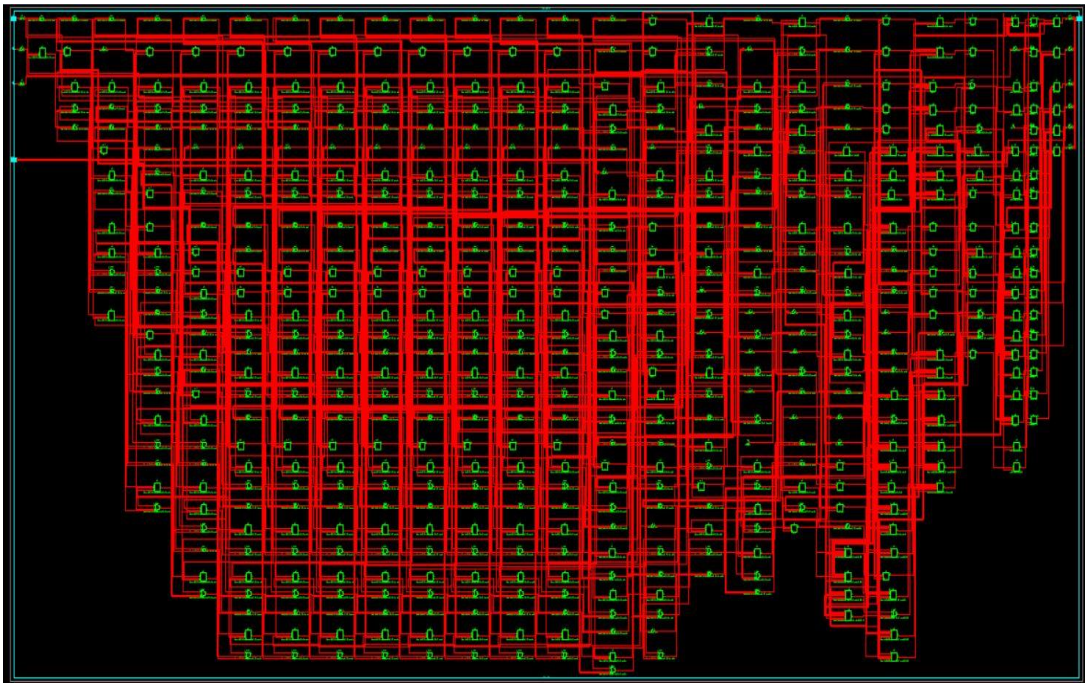
مقادیر SNDR مدولاتورهای LP و HP برای برآورده‌کردن الزامات ENOB برابر با ۱۶ بیت کافی است. بنابراین، می‌توان از این روش در ساختار نهایی مدولاتور استفاده کرد، در حالی که در حالتBP ، مقدار SNDR در مقایسه با نیاز ۱۶ بیتی ENOB بسیار پایین است. این وضعیت نامناسب به دلیل وجود سیگنال تصویر در داخل فرکانس باند عبور ایجاد می‌شود.



(ب) (الف)

شکل ۱۳: طیف خروجی جبران‌شده با فیلتر FIR مرتبه دوم در حالت BP (الف) یک درصد خطا و (ب) ۲ درصد خطای DCE.

Figure 13. The output spectrum compensated by second-order FIR filter in BP mode with (a) 1% and (b) 2% DCE.



شکل ۱۴: گراف برای ساختار TI-DSM ۴ کاناله پس از جبران‌سازی به روش DCE در حالت‌های LP، BP و HP توسط فیلتر TI-FIR مرتبه دوم.
Figure 14. RTL graph for the DCE compensation of 4-Ch TI-DSM in LP, BP, and HP modes using the second-order TI-FIR filter

شکل ۱۴ گراف RTL[1] بدست آمده از ISE را پس از سنتز و اجرای کد VHDL برای ساختار ۴ کاناله TI-DSM پس از جبران‌سازی به روش DCE را در حالت‌های LP، BP و HP توسط فیلتر TI-FIR مرتبه دوم نشان می‌دهد. همانطور که در این گراف RTL نشان داده شده است، تعداد منابع سخت افزاری افزایش یافته و مسیرهای ارتباطی داخلی نیز پیچیده تر از حالت آرمانی شده‌اند.

۴-۳-روش پیشنهادی حذف اثر تصویر سیگنال در حالت BP

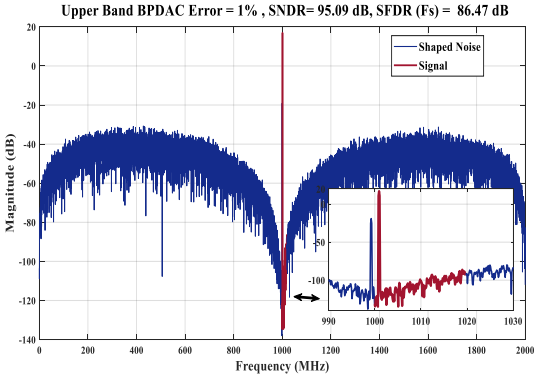
ساختار پیشنهادی برای سه فرکانس مرکزی خاص طراحی و پیاده‌سازی شده است. برای یک فرکانس مرکزی خاص، باید ضرایب TI-DSM تنظیم شود و یک فیلتر پس از TI-DSM با خروجی ۴ بیتی بر اساس فرکانس مرکزی انتخاب شود. روش پیشنهادی بدون اضافه کردن سخت افزار اضافی و پیچیدگی مداری، فقط با یکطرفه کردن باند گذر سیگنال TI-DSM پهنای باند عبور را به دو طرف فرکانس مرکزی (Fs/۴) منتقل کرده و این بخش را به باند بالا و پایین تقسیم می‌کند. محدوده فرکانسی باند بالایی از ۱۰۰۰ تا ۱۰۲۰ مگاهرتز است، در حالی که محدوده فرکانسی باند پایینی بین ۹۸۰ تا ۱۰۰۰ مگاهرتز است. در حالت BP، دو فیلتر برای زیر باندهای بالا و پایین به طور جداگانه در نظر گرفته شده است. هنگامی که سیگنال ورودی در زیر باند پایینی قرار دارد، تصویر سیگنال در زیر باند بالایی است. با انتخاب باند حذف فیلتر برای زیر باند بالایی می‌توان اثر تصویر سیگنال را از بین برد. به طور مشابه، اگر سیگنال ورودی در زیر باند بالایی قرار داشته باشد، تصویر سیگنال در زیر باند پایینی قرار دارد. با انتخاب باند حذف فیلتر برای زیر باند پایین، می‌توان اثر تصویر سیگنال را کاهش داد. این رویکرد فیلتر سیگنال مناسب و حذف تصاویر سیگنال نامطلوب در باندهای فرعی مربوطه را تضمین می‌کند. به عبارت دیگر، در این روش برای حذف تصویر سیگنال، تنها به دو فیلتر با پهنای باند باریک‌تر در خروجی نیاز است.

[1] Register-Transfer Level

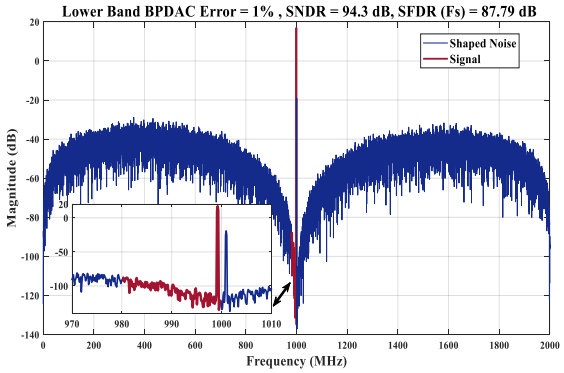
۴-۳-۱-شبیه‌سازی حذف اثر تصویر سیگنال در حالت BP

به‌منظور تایید کارآیی روش پیشنهادی مقدار خطای یک درصد DCE یک فیلتر TI-FIR مرتبه اول برای حالت BP پیاده‌سازی شده است. شکل ۱۵ طیف خروجی TI-DSM برای حالت BP با پهنای باند ۲۰ مگاهرتز از فرکانس ۱۰۰۰ تا ۱۰۲۰ مگاهرتز را نشان می‌دهد که مقادیر SNDR و SFDR به ترتیب ۹۵/۰۹ و ۸۶/۴۰ dB هستند. به طور متناظر در شکل ۱۶ طیف خروجی ساختار ۴ کاناله TI-DSM برای حالت BP و پهنای باند ۲۰ مگاهرتز از ۹۸۰ تا ۱۰۰۰ مگاهرتز نشان داده شده و مقادیر SNDR و SFDR به ترتیب برابر با ۹۴/۳۰ و ۸۷/۷۹ dB است.

نتایج شبیه‌سازی نشان می‌دهند که روش استفاده از فیلتر TI-FIR در جبران‌سازی DCE در حالت‌های LP و HP موثر است اما در حالت BP موفقیت چندانی در جبران DCE ندارد. در حالی که روش جبران‌سازی پیشنهادی در جبرانDCE حالت BP بسیار موثر بوده و نتایج را به طور چمشگیری بهبود می‌دهد تا حدی که به مقدار آرمانی نزدیک می‌شود. از آنجایی که در حالت BP مقدار SNDR پس از جبران‌سازی به روش پیشنهادی حدود ۹۵ dB بدست آمد، بنابراین تعداد بیت‌های موثر در حدود (ENOB) ۱۵/۵ بیت است. در جدول ۲ نتایج حاصل از شبیه سازی ها بطور خلاصه مقایسه شده است.



شکل ۱۵: طیف خروجی قسمت بالایی TI-DSM در حالت BP.
Figure 15.The upper part of the TI-DSM in BP mode.



شکل ۱۶: طیف خروجی قسمت پایینی TI-DSM در حالت BP.
Figure 16. The lower part of the TI-DSM in BP mode.

جدول ۲: مقادیر SNDR در واحد dB برای یک و ۲ درصد خطای DCE قبل و بعد از جبران‌سازی.
Table 2. SNDR values in dB for DCEs at 1% and 2% before and after compensation.

حالت DSM	TIDSM آرمانی	روش های جبران سازی	درصد خطای DCE	
			٪ ۱	٪ ۲
پایین گذر	۱۰۶/۱۰	بدون جبران سازی	۶۲/۲۵	۵۶/۲۳
		جبران سازی با فیلتر FIR مرتبه اول	۱۰۰/۶۰	۹۶/۱۲
		جبران سازی با فیلتر FIR مرتبه دوم	۱۰۶/۱۲	۱۰۶/۱۳
میان گذر	۱۰۵/۶۵	بدون جبران سازی	۳۶/۰۷	۳۰/۰۵
		جبران سازی با فیلتر FIR مرتبه اول	۳۶/۰۷	۳۰/۰۵
		جبران سازی با فیلتر FIR مرتبه دوم	۳۶/۰۷	۳۰/۰۵
		روش پیشنهادی قسمت بالایی	۹۵/۰۹	---
		روش پیشنهادی قسمت پایینی	۹۴/۳۰	---
بالا گذر	۱۰۴/۹۵	بدون جبران سازی	۹۶/۷۸	۹۱/۳۰
		جبران سازی با فیلتر FIR مرتبه اول	۱۰۵/۳۵	۱۰۵/۳۴
		جبران سازی با فیلتر FIR مرتبه دوم	۱۰۴/۳۴	۱۰۵/۳۴

۴-۴- مقایسه منابع استفاده شده در روش‌های مختلف جبران‌سازی DCE

یکی از مسایل مهم در پیاده‌سازی TI-DSM ناحیه اشغالی تراشه است. در TI-DSM به دلیل وجود کانال‌های بهم‌ریخته زمانی فرکانس کاری کلی مدار افزایش می‌یابد. برای یک ساختار ۴ کاناله TI-DSM که در فرکانس Fs کار می‌کند، فرکانس هر کانال Fs/۴ است. در حالی که منابع سخت افزاری و پیچیدگی مدار افزایش چمشگیری می‌یابد. جدول ۳ منابع استفاده شده در هر یک از مدارهای آرمانی ، دارای خطای DCE با جبران سازی فیلتر TI-FIR مرتبه اول و مرتبه دوم را مقایسه می‌کند. مطابق جدول ۳ که یک گزارش واقعی ISE پس از سنتز موفقیت آمیز TI-DSM است، تعداد ثبات‌های مصرفی[1] برای حالت‌های آرمانی و جبران‌سازی مرتبه اول و دوم رشد ملایمی داشته است. تعداد زوج LUT-FF مصرف شده کامل[2] نیز برای حالت‌های آرمانی و جبران‌سازی فیلتر مرتبه اول و دوم رشد ناچیزی دارد. در حالی که تعداد LUT های مصرفی[3] از تعداد ۳۳۳ در آرمانی به تعداد ۳۸۵ در جبران‌سازی مرتبه اول می‌رسد، در حالت جبران‌سازی فیلتر مرتبه دوم کاهش قابل توجهی را تجربه کرده و به تعداد ۱۹۶ رسیده است. تعداد IOBهای متصل شده[4] و تعداد BUFG/BUFGCTRL[5] برای هر سه حالت تقریبا ثابت است. تعداد بیت‌های خروجی[6] در TI-DSM نیز متناسب با مرتبه فیلتر جبران‌ساز افزایش می‌یابد بطوری که از تعداد ۴ بیت در حالت آرمانی به ترتیب به تعداد ۵ و ۶ بیت می‌رسد. هر یک واحد افزایش مرتبه فیلتر منجر به افزایش یک بیت در خروجی مدولاتور می‌گردد (K+m). مطابق با تعداد منابع گزارش شده در جدول ۳ می‌توان نتیجه گرفت که منابع سخت افزاری استفاده شده در طرح پیشنهادی نه تنها در برخی موارد افزایش چشمگیری نیافته است، بلکه در مورد تعداد LUT های مصرفی به طور مشخصی کاهش یافته است.

جدول ۳: مقایسه منابع سخت افزاری دیجیتال استفاده شده در پیاده سازی TIDSM مرتبه دوم آرمانی و پس از جبران‌سازی خطای DCE.
Table 3. Comparison of used second-order TI-DSM in ideal case and after compensation.

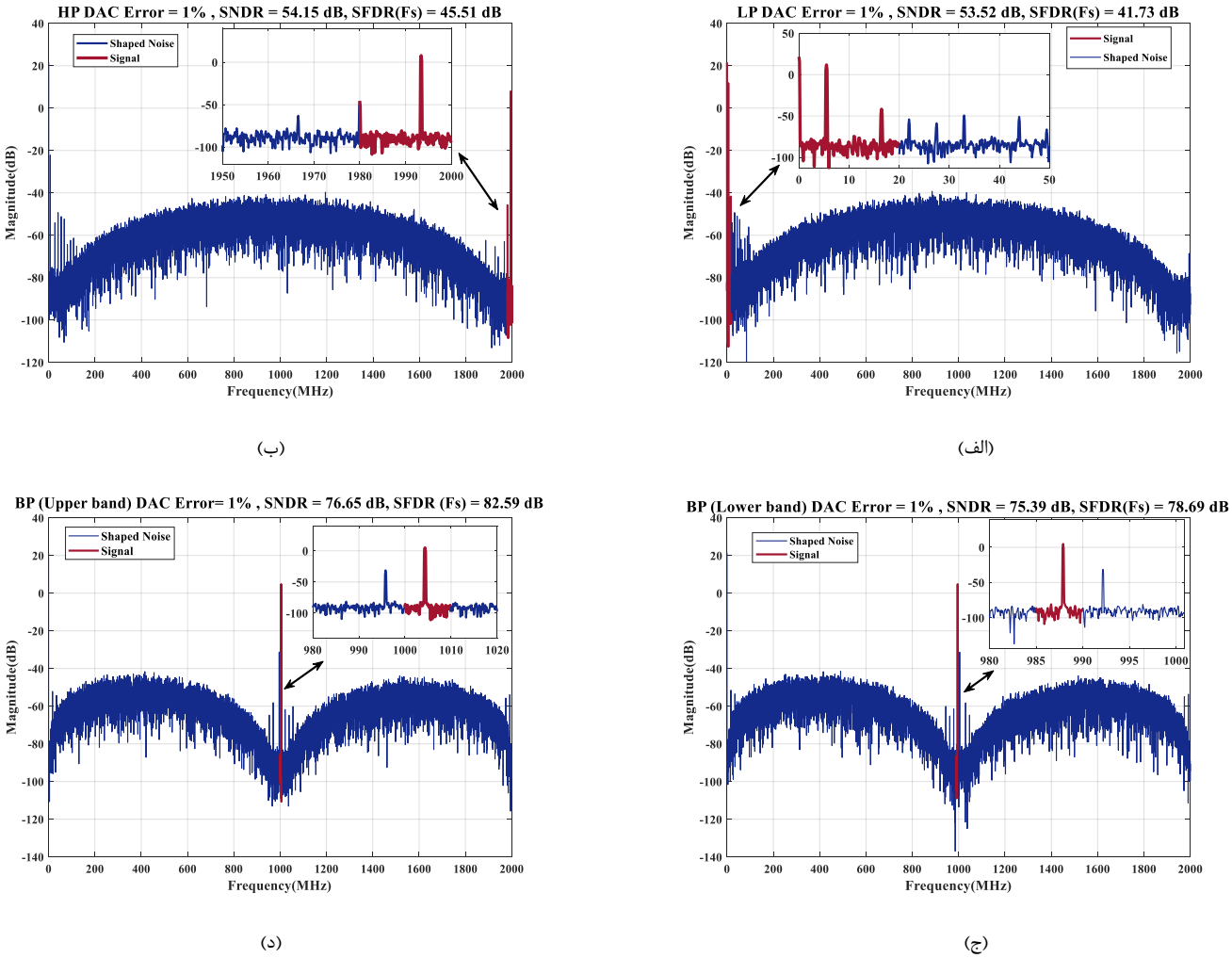
منابع سخت افزاری دیجیتال	بدون جبران سازی (آرمانی)	روش های جبران سازی	
		جبران سازی با فیلتر FIR مرتبه اول	جبران سازی با فیلتر FIR مرتبه دوم
تعداد ثبات‌های مصرفی	۷۶	۸۸	۹۲
تعداد LUT های مصرفی	۳۳۳	۳۸۵	۱۹۶
تعداد زوج LUT-FF مصرف شده کامل	۷۲	۷۹	۸۲
تعداد IOBهای متصل شده	۲۴	۲۵	۲۵
تعداد BUFG/BUFGCTRLها	۲	۲	۲
تعداد بیت‌های خروجی	۲	۵	۶

۵-خطای عدم تطابق سلول‌های DAC

دربخش قبل یک فیلتر FIR مرتبه دوم (m=۲) انتخاب شد و در این بخش تمام شبیه‌سازی ها بر اساس فیلتر مرتبه دوم انجام می‌شود. بنابراین تعداد بیت‌های خروجی کوانتایزر پس از جبران ۶ بیت (K+m=۶ بیت) است.

[1] Number of Slice Registration
[2] Number of Fully Used LUT-FF Pairs
[3] Number of Slice LUTs
[4] Number of bonded IOBs
[5] Number of BUFG/BUFGCTRLs
[6] Number of TI-DSM Output Bits

بلوک DAC حاوی چندین سلول وزنی است که با روشن یا خاموش کردن سلول ها، جریان یا ولتاژ خروجی DAC را تعیین می‌کند. در حین اجرای این عملیات سوئیچینگ به دلیل عدم تطابق کامل جریانی یا ولتاژی میان سلول‌ها ممکن است خطایی در مقدار وزن هر سلول رخ دهد که به آن خطای عدم تطابق سلول‌های DAC می‌گویند.



شکل ۱۷: طیف فرکانس TI-DSM مرتبه دوم با یک درصد خطای عدم تطابق سلول DAC.

Figure 17. Frequency spectrum of the second-order DSM with the DAC cell mismatch error of 1%.

۵-۱- مقایسه منابع استفاده شده در روش‌های مختلف جبران‌سازی DCE

به‌منظور شبیه‌سازی خطای عدم تطابق سلول‌های DAC در MATLAB، یک بلوک سلول DAC ۴ بیتی پس از قسمت DSM مدل‌سازی شده و مقادیر خطای یک درصد تا ۳ درصد به سلول ها اعمال می‌شود. نتایج شبیه سازی خطای یک درصد عدم تطابق سلول های DAC در شکل ۱۷ نشان داده شده است. در این مورد، مقدار SNDR برای مدولاتورهای LP، BP و HP به ترتیب برابر با ۵۳/۵۲، ۷۶/۶۵ و ۵۴/۱۵ dB است. جدول ۴ مقادیر SNDR را برای خطاهای ۱ تا ۳ درصد خلاصه کرده و نشان می‌دهد این خطا تا چه اندازه می‌تواند بر عملکرد DAC تأثیر بگذارد. همان‌طور که مشاهده می‌شود خطای عدم تطابق سلول‌های DAC باعث کاهش چشمگیر مقدار SNDR شده است.

جدول ۴: مقادیر SNDR برای درصدهای مختلف خطای عدم تطابق سلول‌های DAC با و بدون روش جبران‌سازی DWA.
Table 4. Simulation results of SNDR for different DAC error percentages with and without DWA compensation.

حالت DSM	DAC آرمانی	روش جبران سازی	درصد خطای عدم تطابق سلول های DAC		
			٪ ۱	٪ ۲	٪ ۳
پایین گذر	۱۰۶/۱۰	بدون جبران سازی	۵۳/۵۳	۳۹/۹۹	۳۶/۳۶
		جبران سازی DWA	۹۹/۸۵	۸۹/۲۳	۸۵/۷۶
میان گذر	۱۰۵/۶۵	بدون جبران سازی	۷۶/۶۵	۴۷/۱۱	۴۳/۴۹
		جبران سازی DWA	۹۸/۳۱	۸۸/۳۳	۸۴/۹۴
بالا گذر	۱۰۴/۹۵	بدون جبران سازی	۵۴/۱۵	۴۹/۵۷	۴۵/۹۶
		جبران سازی DWA	۹۹/۰۶	۸۸/۲۴	۸۴/۷۹

۵-۲-جبران خطای عدم تطابق سلول‌های DAC

برای جبران خطای عدم تطابق سلول‌های DAC از روش تطبیق عنصر پویا (DEM) استفاده می‌شود[۳۲, ۳۳]. انواع مختلفی از روش های DEM وجود دارد. در ادامه دو روش مختلف DEM معرفی و استفاده می‌شود.

۵-۲-۱- روش میانگین‌گیری وزنی داده‌ها (چرخش عناصر)

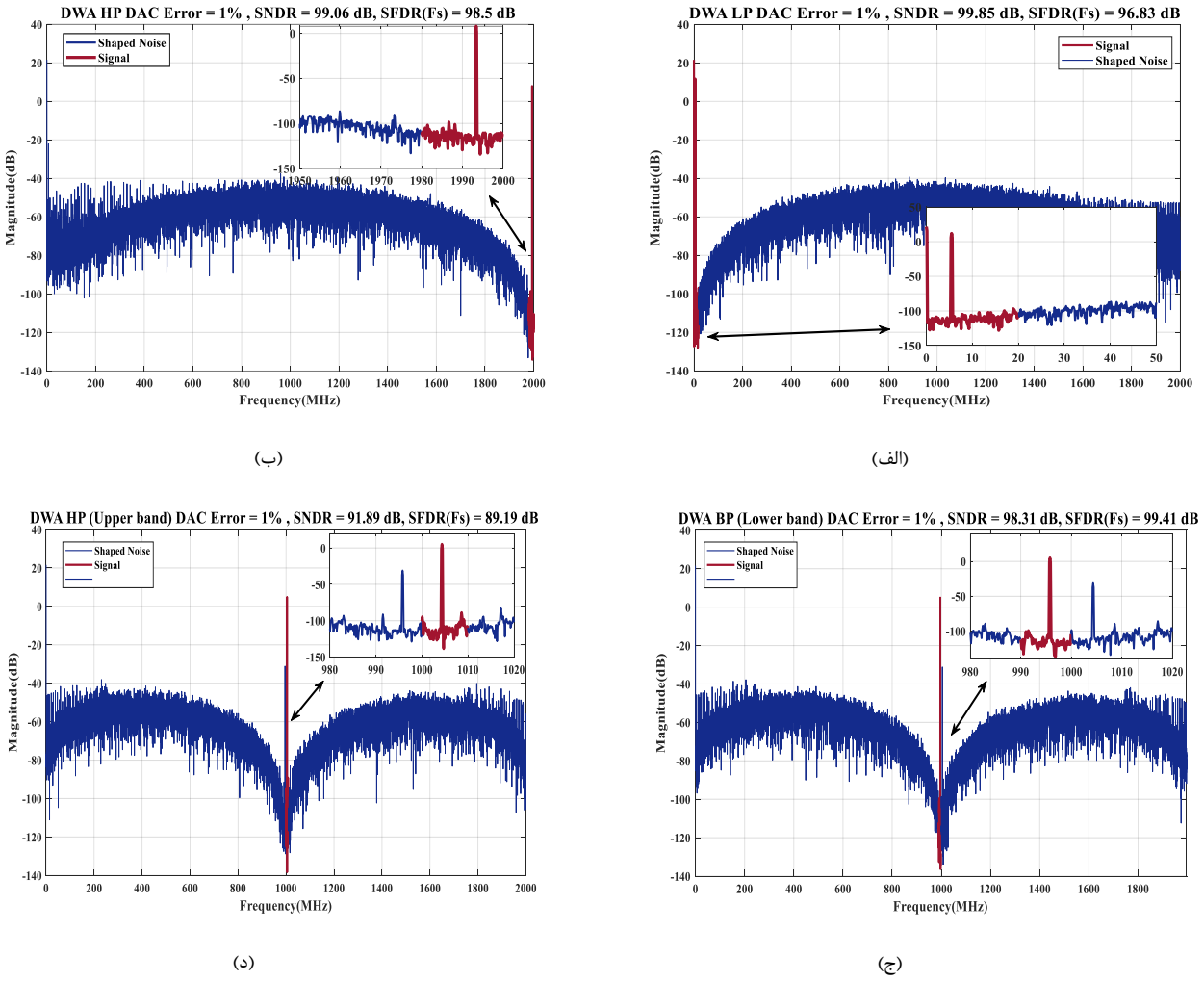
یکی از ساده‌ترین و در عین حال پر کاربردترین طرح‌های DEM، میانگین‌گیری وزن داده‌ها (DWA) است که عناصر واحد را به صورت دوره‌ای انتخاب می‌کند. ویژگی اصلی DWA توانایی آن در شکل‌دادن به طیف خطای عدم تطابق به عنوان یک فیلتر HP برای LP-DSM است [۳۲]. در LP-DSM، روش DWA به عنوان یک فیلتر HP و در HP-DSM، به عنوان یک فیلتر LP عمل می‌کند. در این روش لازم است تغییرات سلول‌های کد قبلی برای حالت‌های مختلف اعداد در حافظه نگه داشته شده تا موقعیت شروع و جهت چرخش در تکرارهای بعدی به درستی مشخص شود [۳، ۳۱].

۵-۲-۲- نتایج شبیه‌سازی جبران عدم تطابق با استفاده از DWA

نتایج شبیه‌سازی استفاده از روش DWA برای جبران خطاهای عدم تطابق ۱، ۲ و ۳ درصد سلول‌های DAC در حالت‌های LP، BP و HP در جدول ۴ نشان داده شده است. شکل ۱۸ طیف خروجی DAC را برای ۱ درصد خطای اعمال شده پس از جبران سازی نشان می‌دهد.

۵-۲-۳-روش مرتب‌سازی تطبیق عناصر پویا (DEM مبتنی بر برداری)

ایده فیلترکردن خطای DAC در حوزه دیجیتال توسط R. Schreier [3] معرفی شد. این رویکرد در ادبیات مبدل‌های داده به عنوان «تشکیل عدم تطابق مبتنی بر برداری» یا «مرتب‌سازی تطبیق عناصر پویا» (SDEM) [31] نامیده می‌شود. در این روش از فیلتری بر اساس فرکانس مرکزی DAC برای انتخاب سلول‌های فعال استفاده می‌شود.



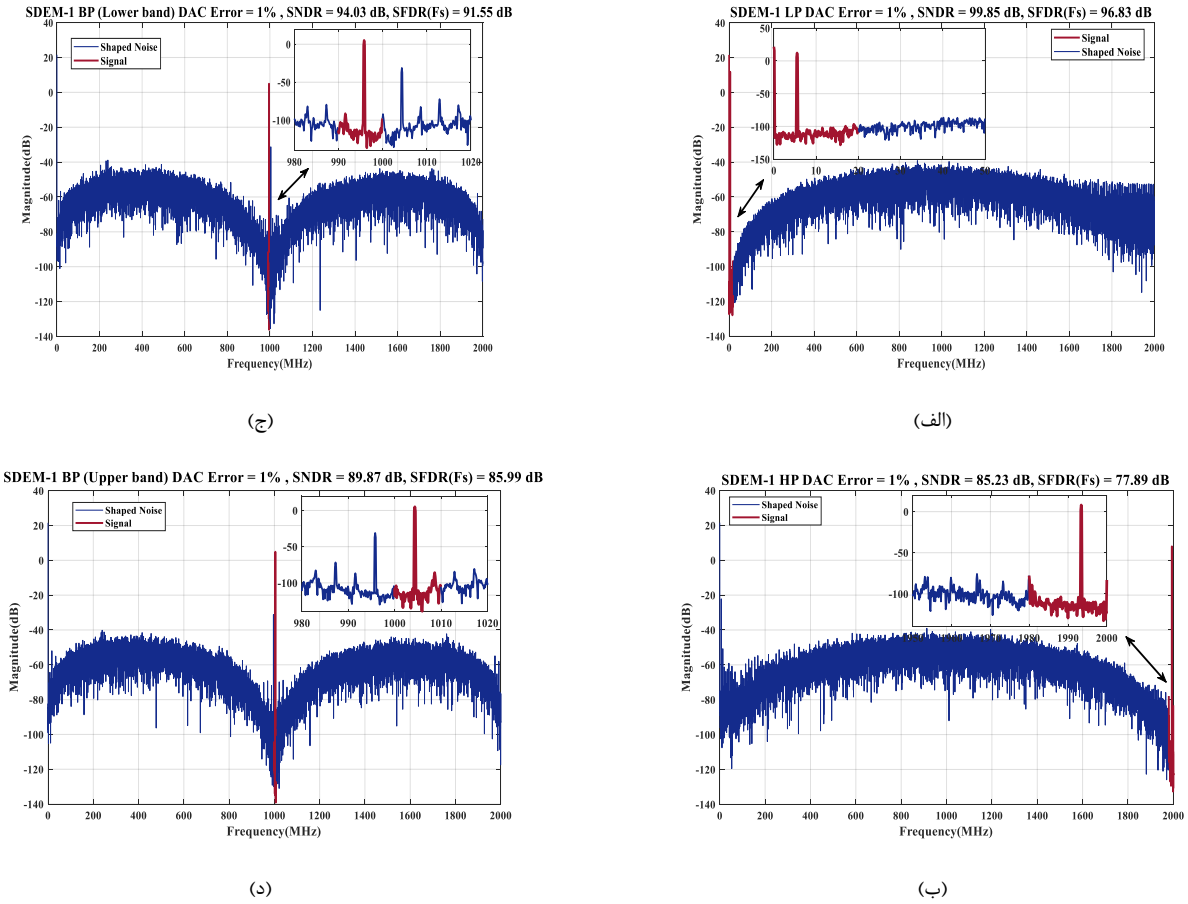
شکل ۱۸: طیف فرکانس خروجی جبران‌شده به روش DWA به ازای یک درصد خطای عدم تطابق سلول‌های DAC برای حالت‌های (الف) LP، (ب) HP، (ج) قسمت پایینی BP و (د) قسمت بالایی BP.

Figure 18. Frequency spectrum of the second-order DSM with a DAC cell mismatch error of 1% and DWA compensation.

۵-۲-۴-نتایج شبیه‌سازی جبران عدم تطابق با استفاده از SDEM

نتایج شبیه‌سازی اثر خطای عدم تطابق سلول‌های DAC، اعمال روش SDEM با فیلتر مرتبه اول و فیلتر مرتبه دوم برای جبران خطاهای یک، ۲ و ۳ درصد عدم تطابق سلول‌های DAC در حالت‌های LP، BP و HP در جدول ۵ نشان داده شده است. شکل ۱۹ طیف خروجی DAC برای یک درصد خطای اعمال شده پس از جبران‌سازی به روش SDEM مرتبه اول را نشان می‌دهد.

شکل ۲۰ نتایج شبیه‌سازی و طیف خروجی DAC برای یک درصد خطای اعمالی عدم تطابق سلول‌های DAC به روش SDEM با فیلتر مرتبه دوم برای جبران خطاهای یک، ۲و ۳ درصد در حالت‌های LP، BP و HP نشان می‌دهد. با مقایسه نتایج روش‌های DWA و SDEM مرتبه اول و دوم می توان نتیجه گرفت که روش جبرانی مرتب‌سازی با فیلتر مرتبه دوم SNDR مورد نیاز را برای ۱۶ بیت ENOB فراهم می‌کند.



شکل۱۹: طیف فرکانس خروجی جبران‌شده به روش SDEM مرتبه اول به ازای یک درصد خطای عدم تطابق سلول‌های DAC برای حالت‌های (الف) LP، (ب) HP، (ج) قسمت پایینی BP و (د) قسمت بالایی BP.

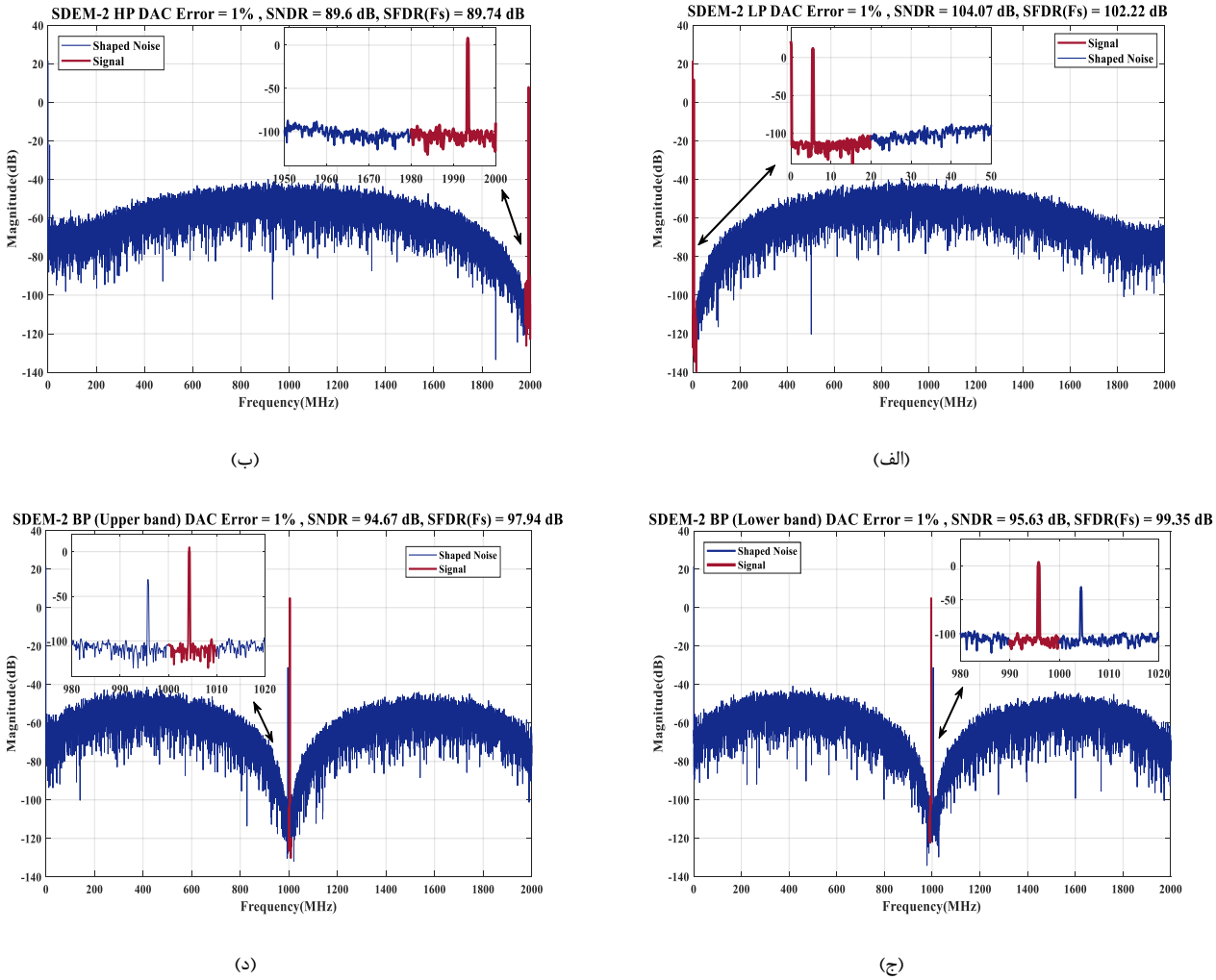
Figure 19. Frequency spectrum of the second-order DSM with 1% DAC cell mismatch error and compensation using the sorting method with a first-order filter.

جدول ۵: مقادیر SNDR برای درصدهای مختلف خطای عدم تطابق سلول های DAC بدون و با جبران سازی به روش SDEM مرتبه اول و دوم.

Table 5. SNDR values for 1%, 2%, and 3% DAC cell mismatch errors and compensation by first and second-order SDEM.

حالت DSM	DAC آرمانی	روش جبران سازی	درصد خطای عدم تطابق سلول های DAC		
			٪ ۱	٪ ۲	٪ ۳
پایین گذر	۱۰۶/۱۰	بدون جبران سازی	۵۳/۵۲	۳۹/۹۹	۳۶/۳۶
		مرتب سازی مرتبه اول	۹۹/۸۵	۹۰/۳۲	۸۶/۸۹
		مرتب سازی مرتبه دوم	۱۰۴/۰۷	۱۰۳/۵۰	۱۰۲/۲۱
میان گذر	۱۰۵/۶۵	بدون جبران سازی	۷۶/۶۵	۴۷/۱۱	۴۳/۴۹
		مرتب سازی مرتبه اول	۹۴/۰۳	۷۹/۳۵	۷۵/۳۸
		مرتب سازی مرتبه دوم	۹۵/۶۳	۱۰۳/۲۵	۱۰۰/۹۸
بالا گذر	۱۰۴/۹۵	بدون جبران سازی	۵۴/۱۵	۴۹/۵۷	۴۵/۹۶
		مرتب سازی مرتبه اول	۸۵/۲۳	۷۴/۶۱	۷۱/۰۸
		مرتب سازی مرتبه دوم	۸۹/۶۰	۱۰۱/۶۸	۹۹/۷۵

شکل۲۱ منحنی محدوده‌ی پویایی[1] (DR) مربوط به DSM را برای حالت‌های LP، BP باند پایین، BP باند بالایی و HP برای جبران‌سازی روش DWA نشان می‌دهد. نتایج شبیه‌سازی نشان می‌دهد که مقادیر حداکثر DR برای حالت‌های LP، باند پایین BP، باند بالایی BP و HP به ترتیب برابر با ۱۰۰/۵۰، ۱۰۰/۱۰، ۹۹/۴۰ و ۹۳/۲۰ dB است.

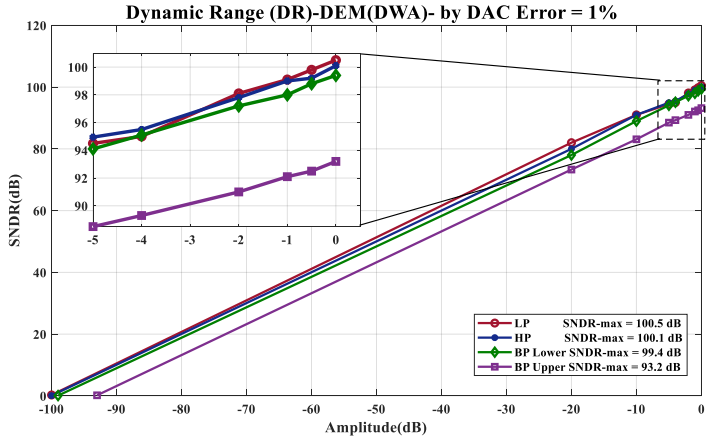


شکل ۲۰: طیف فرکانس خروجی جبران‌شده به روش SDEM مرتبه دوم به ازای یک درصد خطای عدم تطابق سلول‌های DAC برای حالت‌های (الف) LP، (ب) HP، (ج) قسمت پایینی BP و (د) قسمت بالایی BP.

Figure 20. Frequency spectrum of the second-order DSM with 1% DAC cell mismatch error and compensation using the sorting method with a second-order filter.

[1] Dynamic Range

افزایش دامنه دینامیکی ورودی در یک سیستم مدولاتور دلتا-سیگما می تواند به طور قابل توجهی بر پارامترهای مختلف سیستم تأثیر بگذارد. در اینجا به برخی از تأثیرات اشاره شده است: نسبت سیگنال به نویز (SNR): محدوده دینامیکی گسترده‌تر می‌تواند SNR را بهبود بخشد، زیرا به سیستم اجازه می‌دهد تا سیگنال‌های بزرگ‌تر را بدون اعوجاج کنترل کند و در عین حال سطوح نویز کم را حفظ کند. وضوح کوانتایزر: ممکن است تعداد بیت‌های کوانتایزر افزایش یابد تا محدوده دینامیکی وسیع‌تری را در خود جای دهد، که می‌تواند وضوح و دقت سیستم را بهبود بخشد. نسبت نمونه برداری بیش از حد (OSR): با محدوده دینامیکی بالاتر، OSR را می توان بهینه کرد تا تعادل بین سرعت تبدیل وSNR ایجاد شود. مصرف توان: محدوده دینامیکی بالاتر اغلب به توان بیشتری نیاز دارد، به خصوص اگر وضوح کوانتایزر برای حفظ خطینگی در محدوده گسترده افزایش یابد. پیچیدگی مدار: پیچیدگی مدار ممکن است به دلیل نیاز به سخت افزار اضافی برای پردازش طیف وسیع تری از سیگنال های ورودی افزایش یابد. طراحی فیلتر: طراحی فیلترهای دیجیتال و آنالوگ در مدولاتور ممکن است نیاز به تنظیم داشته باشد تا بتواند طیف وسیع تری از سیگنال های ورودی را به طور موثر مدیریت کند.



شکل ۲۱: محدوده‌ی پویایی DSM پس از جبران سازی خطای عدم تطابق سلول های DAC به روش DWA برای حالت های LP، HP، قسمت پایینی BP و قسمت بالایی BP.

Figure 21. Dynamic range curve of DSM for LP, BP lower band, BP upper band, and HP modes using the DWA.

۶-نتیجه‌گیری

در این مقاله، یک مدولاتور دلتا سیگما درجه دوم (DSM) ۱۶ بیتی چند حالته با ساختار TI در فرکانس ۴ گیگاهرتز و با پهنای باند ۲۰ مگاهرتز به زبان VHDL ومبتنی بر FPGA پیاده‌سازی شد. معماری پیشنهادی تنها از یک فرکانس ساعت برای تولید سیگنال‌های فرکانس رادیویی (RF) استفاده می‌کند. مدولاتور دلتا سیگما درجه دوم با توانایی تنظیم مجدد دارای سه حالت پایین‌گذر (LP)، میان‌گذر (BP) در فرکانس Fs/4 و بالاگذر (HP) برای سنتز سیگنال است. برای افزایش فرکانس نمونه‌برداری (Fs)، ساختار بهم‌ریخته زمانی (TI) ۴ کاناله پیشنهاد شد. هر کدام از کانال‌ها در فرکانس Fs/۴ کار می‌کنند. از آنجایی که ضرایب ساده برای همه حالت‌ها وجود دارد، عملیات ضرب با استفاده از یک بلوک شیفتر انجام شد. این امر منجر به ساده‌سازی طراحی، مصرف انرژی کمتر، منطقه اشغالی کوچک‌تر و سرعت بالاتر شده است. یک چالش مهم در طراحی این نوع ساختارها، خطای چرخه وظیفه (DCE)، به ویژه در حالت بهم‌ریختگی زمانی است. به‌منظور بررسی اثر DCE و جبران‌سازی آن مقادیر خطای مختلف به مدولاتور اعمال و جبران‌سازی انجام شد. در این مقاله، با تنظیم مدار فیلتر و یک‌طرفه کردن باند فرکانسی عبور سیگنال بدون اضافه کردن سخت افزار اضافی و پیچیدگی مداری، برای غلبه بر اثر خطای DCE، راه‌حل جدیدی پیشنهاد شد. در این روش با حذف اثر تصویر سیگنال مقادیر SNDR و SFDR خروجی مدولاتور دلتا-سیگما حتی برای حالت BP به طور قابل توجهی افزایش یافت. روش استفاده از فیلتر TI-FIR در جبران‌سازی DCE در حالت‌های LP و HP موثر است، اما در

حالت BP موفقیت چندانی در جبران DCE ندارد. در حالی که روش جبران‌سازی پیشنهادی در جبرانDCE حالت BP بسیار موثر بوده و نتایج را به طور چمشگیری بهبود می‌دهد تا حدی که به مقدار آرمانی نزدیک می شود. از آنجایی که در حالت BP مقدار SNDR پس از جبران‌سازی به روش پیشنهادی حدود ۹۵ dB بدست آمد، بنابراین تعداد بیت‌های موثر (ENOB) ۱۵/۵ بیت است. چالش دیگری که برآن غلبه شد، خطای عدم تطابق سلول های DAC است. در این پژوهش این خطا به دو روش DWA و SDEM شبیه‌سازی و جبران‌سازی شد. نتایج شبیه‌سازی در ISE نشان داد که مقدار نسبت سیگنال به نویز و اعوجاج (SNDR) برای حالت‌های LP، BP و HP به ترتیب برابر با ۱۰۶/۱۰، ۱۰۵/۶۵ و ۱۰۴/۹۵ dB است.

مراجع

[1] J. Mitola, "The software radio architecture," in *IEEE Communications Magazine*, vol. 33, no. 5, pp. 26-38, May 1995, doi: 10.1109/35.393001.

[2] J. Mitola, "Cognitive Radio Architecture Evolution," in *Proceedings of the IEEE*, vol. 97, no. 4, pp. 626-641, April 2009, doi: 10.1109/JPROC.2009.2013012.

[3] S. Pavan, R. Schreier and G. C. Temes, *Understanding delta-sigma data converters*. John Wiley & Sons, 2017.

[4] A. Mahmoudi, P. Torkzadeh and M. Dousti, "A 5-bit 1.8 GS/s ADC-based receiver with two-tap low-overhead embedded DFE in 130-nm CMOS," *AEU - International Journal of Electronics and Communications*, vol. 89, pp. 6-14, 2018, doi: 10.1016/j.aeue.2018.03.005.

[5] A. Bhide and A. Alvandpour, "An 11 GS/s 1.1 GHz Bandwidth Interleaved ΔΣ DAC for 60 GHz Radio in 65 nm CMOS," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 10, pp. 2306-2318, 2015, doi: 10.1109/JSSC.2015.2460375.

[6] P. T. M. V. Zeijl and M. Collados, "On the Attenuation of DAC Aliases Through Multiphase Clocking," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 56, no. 3, pp. 190-194, 2009, doi: 10.1109/TCSII.2009.2015365.

[7] A. Silva, J. Guilherme and N. Horta, "Reconfigurable multi-mode sigma–delta modulator for 4G mobile terminals," *Integration*, vol. 42, no. 1, pp. 34-46, 2009, doi: 10.1016/j.vlsi.2008.07.004.

[8] S. Luschas, R. Schreier and Hae-Seung Lee, "Radio frequency digital-to-analog converter," in *IEEE Journal of Solid-State Circuits*, vol. 39, no. 9, pp. 1462-1467, Sept. 2004, doi: 10.1109/JSSC.2004.829377.

[9] A. Jerng and C. G. Sodini, "A Wideband ΔΣ Digital-RF Modulator for High Data Rate Transmitters," in *IEEE Journal of Solid-State Circuits*, vol. 42, no. 8, pp. 1710-1722, Aug. 2007, doi: 10.1109/JSSC.2007.900255.

[10] M. S. Alavi, G. Voicu, R. B. Staszewski, L. C. N. de Vreede and J. R. Long, "A 2×13-bit all-digital I/Q RF-DAC in 65-nm CMOS," *IEEE Radio Frequency Integrated Circuits Symposium (RFIC)*, Seattle, WA, USA, 2013, pp. 167-170, doi: 10.1109/RFIC.2013.6569551.

[11] P. E. Paro Filho, M. Ingels, P. Wambacq and J. Craninckx, "9.3 A transmitter with 10b 128MS/S incremental-charge-based DAC achieving −155dBc/Hz out-of-band noise," *IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, San Francisco, CA, USA, 2015, pp. 1-3, doi: 10.1109/ISSCC.2015.7062977.

[12] A. Mahmoudi, P. Torkzadeh and M. Dousti, "A 6-Bit 1.5-GS/s SAR ADC With Smart Speculative Two-Tap Embedded DFE in 130-nm CMOS for Wireline Receiver Applications," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 29, no. 5, pp. 871-882, 2021, doi: 10.1109/TVLSI.2021.3056316.

[13] A. Pozsgay, T. Zounes, R. Hossain, M. Boulemnakher, V. Knopik and S. Grange, "A Fully Digital 65nm CMOS Transmitter for the 2.4-to-2.7GHz WiFi/WiMAX Bands using 5.4GHz ΔΣ RF DACs," *IEEE International Solid-State Circuits Conference - Digest of Technical Papers*, San Francisco, CA, USA, 2008, pp. 360-619, doi: 10.1109/ISSCC.2008.4523206.

[14] S. Balasubramanian and W. Khalil, "Architectural trends in GHz speed DACs," *NORCHIP*, Copenhagen, Denmark, 2012, pp. 1-4, doi: 10.1109/NORCHP.2012.6403097.

[15] E. Bechthum, G. Radulov, J. Briaire, G. Geelen and A. V. Roermund, "9.6 A 5.3GHz 16b 1.75GS/S wideband RF Mixing-DAC achieving IMD<-82dBc up to 1.9GHz," in *IEEE International Solid-State Circuits Conference - (ISSCC) Digest of Technical Papers*, Feb. 2015, pp. 1-3, doi: 10.1109/ISSCC.2015.7062980.

[16] B. Razavi, "The future of radios," *IEEE International Symposium on Circuits and Systems (ISCAS)*, Lisbon, Portugal, 2015, pp. 1-8, doi: 10.1109/ISCAS.2015.7168556.

[17] S. Balasubramanian et al., "Ultimate Transmission," in *IEEE Microwave Magazine*, vol. 13, no. 1, pp. 64-82, Jan.-Feb. 2012, doi: 10.1109/MMM.2011.2173983.

[18] E. Bechthum, G. Radulov, J. Briaire, G. Geelen and A. v. Roermund, "Systematic analysis of the impact of mixing locality on Mixing-DAC linearity for multicarrier GSM," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 20-23 May 2012, pp. 241-244, doi: 10.1109/ISCAS.2012.6271784.

[19] E. Bechthum, G. Radulov, J. Briaire, G. Geelen and A. V. Roermund, "A novel timing-error based approach for high speed highly linear Mixing-DAC architectures," in *IEEE International Symposium on Circuits and Systems (ISCAS)*, 1-5 June 2014, pp. 942-945, doi: 10.1109/ISCAS.2014.6865292.

[20] M. R. Sadeghifar, H. Bengtsson, J. J. Wikner and O. Gustafsson, "Direct digital-to-RF converter employing semi-digital FIR voltage-mode RF DAC," *Integration*, vol. 66, pp. 128-134, 2019, doi: 10.1016/j.vlsi.2019.02.005.

[21] S. Balasubramanian *et al.*, "Systematic Analysis of Interleaved Digital-to-Analog Converters," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 58, no. 12, pp. 882-886, 2011, doi: 10.1109/TCSII.2011.2172526.

[22] J. J. McCue *et al.*, "A Time-Interleaved Multimode Delta Sigma RF-DAC for Direct Digital-to-RF Synthesis," *IEEE Journal of Solid-State Circuits*, vol. 51, no. 5, pp. 1109-1124, 2016, doi: 10.1109/JSSC.2016.2521903.

[23] J. Pham and A. C. Carusone, "A Time-Interleaved Delta Sigma-DAC Architecture Clocked at the Nyquist Rate," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 55, no. 9, pp. 858-862, 2008, doi: 10.1109/TCSII.2008.923426.

[24] D. Jiang, L. Qi, S. W. Sin, F. Maloberti and R. P. Martins, "A Time-Interleaved 2^{nd} -Order ΔΣ Modulator Achieving 5-MHz Bandwidth and 86.1-dB SNDR Using Digital Feed-Forward Extrapolation," *IEEE Journal of Solid-State Circuits*, vol. 56, no. 8, pp. 2375-2387, 2021, doi: 10.1109/JSSC.2021.3060859.

[25] S. Su, T. Tsai, P. K. Sharma and M. S. Chen, "A 12 bit 1 GS/s Dual-Rate Hybrid DAC With an 8 GS/s Unrolled Pipeline Delta-Sigma Modulator Achieving > 75 dB SFDR Over the Nyquist Band," *IEEE Journal of Solid-State Circuits*, vol. 50, no. 4, pp. 896-907, 2015, doi: 10.1109/JSSC.2014.2385752.

[26] O. Eng Hwee, J. Kneckt, O. Alanen, Z. Chang, T. Huovinen and T. Nihtilä, "IEEE 802.11ac: Enhancements for very high throughput WLANs," in *IEEE 22nd International Symposium on Personal, Indoor and Mobile Radio Communications*, 11-14 Sept. 2011, pp. 849-853, doi: 10.1109/PIMRC.2011.6140087.

[27] *High Rate 60 GHz PHY*, E.-. MAC and PALs, 2nd Edition, Dec. 2010.

[28] *Wireless HD Specification V1.1 Overview*, W. H. S. V. Overview, 2010.

[29] Y. Huo, X. Dong and W. Xu, "5G cellular user equipment: From theory to practical hardware design," *IEEE Access*, vol. 5, pp. 13992-14010, 2017, doi: 10.1109/ACCESS.2017.2727550.

[30] H. A. Ameen *et al.*, "A 28 GHz four-channel phased-array transceiver in 65-nm CMOS technology for 5G applications," *AEU-International Journal of Electronics and Communications*, vol. 98, pp. 19-28, 2019, doi: 10.1016/j.aeue.2018.10.008.

[31] R. López-Holloway and M. García, "A lowcomplexity data weighterd averaging (DWA) algorithm implementation," in *The XIII Workshop IBERCHIP IWS Workshop, Lima, Peru*, 2007.

[32] N. A. Esmaeil, "New Techniques for Dynamic Matching in a Multi-Bit DAC For Sigma-Delta Converters," Doctoral Doctoral Information Sciences and Technologies of Telecommunications and Systems, 2006.

[33] D. Li, C. Fei and Q. Zhang, "Analysis and Design of Low-Complexity Stochastic DEM Encoder for Reduced-Distortion Multi-bit DAC in Sigma-Delta Modulators," *Circuits, Systems, and Signal Processing*, vol. 40, no. 1, pp. 296-310, 2021, doi: 10.1007/s00034-020-01470-2.

[34] H. Li *et al.*, "Real-Time 100-GS/s Sigma-Delta Modulator for All-Digital Radio-Over-Fiber Transmission," *Journal of Lightwave Technology*, vol. 38, no. 2, pp. 386-393, 2020, doi: 10.1109/JLT.2019.2931549.

COPYRIGHTS
©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0

Journal of Southern
Communication Engineering

Islamic Azad University Bushehr Branch

Online ISSN: 2980-9231

Vol. 14, Issue 54, Winter 2025

Contents

Spot Price Prediction of Resources in Cloud Computing by Proposing a New Structure in Deep Learning Method Considering the Level of QOS……1
Seyed Soroush Nezamdoust; Mohammad Ali Pourmina; Farbod Razzazi

Efficient Design of Parity-Preserving Reversible Non-Restoring Divider ……17
Mohammad Talebi; Mohammad Mosleh; Mohsen Chekin

Use of Wiener-Hammerstein (WH) Model Optimized with Genetic Algorithm in Identification of Photovoltaic System……....35
Iman Sohrabi Moghadam Chafjiri; Alireza Azadbar; Abbas Ghadimi; Seyed Javad Mousavi

Low-Power Differential Voltage-Controlled Ring Oscillator Based on Carbon Nanotube Field-Effect Transistor (CNTFET) ……..47
Saba Naseri Akbar

Improving Super-Resolution in Face Images by Modeling Image Degradation Using Pairs of High-Quality and Low-Quality Images ……..69
Ahmad Dolatkhah

Imagined Movement Recognition in People with Disabilities Using Common Sparse Spatio Spectral Pattern (CSSSP) and Sequential Features Selection (SFS)…… ……..83
Alireza Pirasteh, Manouchehr Shamseini Ghiyasvand, Majid Pouladian

Design and Implementation of a 16-bit Multi-Mode Delta-Sigma Digital-to-Analog Converter with Time-Interleaved Structure, Multi-Channel, and Compensation of Non-Idealities Based on FPGA…..…… ……..93
Abolfazl Roshanpanah, Pooya Torkzadeh, Khosrow Hajsadeghi, Massoud Dousti

Journal of Southern Communication Engineering
Islamic Azad University Bushehr Branch

Journal of Southern Communication Engineering

License holder: Islamic Azad University Bushehr Branch

Editor-in-chief:	Dr. Mohammad Naser-Moghaddasi	Islamic Azad University Science and Research Branch
Director:	Dr. Najmeh Cheraghi Shirazi	Islamic Azad University Bushehr Branch
Executive Director:	Dr. Roozbeh Hamzehyan	Islamic Azad University Bushehr Branch
Editor:	Dr. Abdolrasul Ghasemi	Islamic Azad University Bushehr Branch

Editorial Board:

Dr. Mohammad Naser-Moghaddasi	Professor	Islamic Azad University Science and Research Branch
Dr. Homayoon Oraizi	Professor	Iran University of Science and Tech.
Dr. Srajoddin katebi	Professor	Shiraz University
Dr. Ebrahim Abiri	Professor	Shiraz University of Technology
Dr. Karim Mohammadi	Professor	Iran University of Science and Tech.
Dr. Abdolreza Nabavi	Professor	Tarbiat Modares University
Dr. Massoud Dousti	Associate Professor	Islamic Azad University Science and Research Branch
Dr. Alireza Behrad	Professor	Shahed University
Dr. Mohammad Mardaneh	Professor	Shiraz University of Technology
Dr. Ghazanfar Shahgholian	Professor	Islamic Azad University Najafabad branch
Dr. Ramezan Ali Sadeghzadeh Sheikhan	Professor	K.N. Toosi University of Technology
Dr. Esmaeil Najafiaghdam	Professor	Sahand University of Technology
Dr. Mojtaba Najafi	Associate Professor	Islamic Azad University Bushehr Branch
Dr. Bal Virdee	Professor	London Metropolitan University
Dr. Mohammad Alibakhshikenari	Professor	University of Rome ‘‘Tor Vergata’’, Italy
Dr. Hamid Reza Arabnia	Professor	University of Georgia
Dr. Ali Taimori	Research Associate	University of Edinburgh

Address: Iran, Bushehr, Islamic Azad University Bushehr Branch
Tel: (+98) 9107837420 **Fax:** (+98) 771 5683717
Website: https://jce.bushehr.iau.ir/ **eISSN:** 2980-9231
Email: jce.iaub@gmail.com – jce@ iaubusher.ac.ir

Indexed by:

JCE is published according to 87/422092 permission of Islamic Azad University.