بهینه سازی مبدل آنالوگ به دیجیتال سیکلیک دوازده بیتی توان پایین و کاربرد آن در سنسور تصویر CMOS

دکتر اصغر ابراهیمی ، مینا شیرالی

دانشگاه آزاد اسلامی ، عضو هیات علمی asghar.ebrahimi@gmail.com

دانشگاه آزاد اسلامی واحد بوشهر ، گروه برق الکترونیک ، بوشهر ، ایران *mina_shirali.d@iaubushehr.ac.ir*

چکیده

در این مقاله عملکرد دوربینهای ویدئویی با سرعت با استفاده از تکنولوژی سنسورهای تصویری CMOS بهبود یافته است.یک سنسور تصویری CMOS با سرعت بالا با خروجی موازی آنالوگ ۱۰۰۰ فریم بر ثانیه در ۵۱۲*۵۱۲ پیکسل و ۳۰۰۰ فریم بر ثانیه در ۱۰۲٤*۱۰۲٤ پیکسل پیشنهاد شده است.برای سنسورهای تصویر CMOS با وسعت بالا یک ADC پیکسلی یک ADC تقریب پیاپی ستونی–موازی گزارش شده است. آرایه های ADC ستونی–موازی با سرعت بالا و با رزولیشن ۱۲ بیت دارای اندازه کوچک آرایش ۰.۰۹ در دو طرف آرایه تصویر گنجانده شده است.روشی برای تسریع سرعت تبدیل با استفاده از همزمان کردن متغیرها (کلاک متغیر) و خازنهای نمونه برداری توسعه داده شده است. تقویت کننده بار پیکسلی به حساسیت نوری ۱۹.۹V/lxs دست می یابد.اندازه کامل سیگنال در خروجی پیکسل ۱.۸v در منبع تغذیه ۳.۳ v است و میزان نویز ۱.۸ اندازه گیری شده است و دامنه پویای سگنال حاصل شده 60db است.

عبارت های کلیدی: دوربینهای ویدئویی ، تکنولوژی سنسورهای تصویری *CMOS* ، *ADC* ستونی–موازی

۱–مقدمه

کاربرد تصویربرداری با سرعت بالا در رشته های مختلفی مانند اندازه گیری های علمی نورشناختی و تجزیه و تحلیل حرکت گسترش می یابد.این کاربردها اغلب نیازمند سنسورهای تصویری با حساسیت و رزولیشن با مقیاس خاکستری بالا هستند[4]-[1].اخیراً عملکرد دوربینهای ویدئویی با سرعت بالا بصورت قابل توجهی با استفاده از تکنولوژی سنسورهای تصویری CMOS بهبود یافته است[5].یک سنسور تصویری CMOS با سرعت بالا با خروجی موازی آنالوگ ۱۰۰۰ فریم بر ثانیه در ۵۱۲*۵۱۲ پیکسل و ۳۰۰۰ فریم بر ثانیه در ۱۰۲٤*۱۰۲٤ پیکسل می رسدبسیاری از کاربردها نیازمند یک هد (نوک) دوربین کوچک در دوربینهای با سرعت بالا با مبدلهای تراشه ای آنالوگ به دیجیتال (ADC) ها و خروجی دیجیتال است[7],[6].برای سنسورهای تصویر CMOS با سعت بالا یک ADC پیکسلی یک ADC تقریب پیاپی ستونی–موازی گزارش شده است. ADC پیکسلی ساختار مؤثری برای بهره برداری از ساختمان بالا لازم است و دستیابی به سازگاری بین رزولیشن بالای ADCو اندازه کوچک پیکسل مشکل است. سنسورهای تصویری CMOS با سرعت بالا با ADC های تقریباً پیاپی ستونی – موازی در بسیاری از پیشرفتها نمایش داده شده اند .در سنسورهای تصویری با سرعت بالا ، عملکرد قالب (کروی- یکپارچه) الکترونیکی الزامی است.روشی ساده و مؤثر برای قالب بندی الکترونیکی (یکپارچه–کروی) گزارش شده است.از این رو اگر اندازه فتودیود بزرگتر شود تقویت تبدیل بار به ولتاژ کاهش می یابد.در این مقاله یک سنسور تصویری CMOS 512*512 با سرعت و حساسیت بالا ارائه شده است.بعنوان روشی کلیدی برای خواندن سیگنال پکسلی با سرعت بالا و با

رزولیشن میزان خاکستری کارآمد ، یک ADC تناوبی ستونی- موازی با رزولیشن بالا با یک حذف نویز توکار توسعه داده شده است.یک ADC تناوبی کاملاً تفاضلی با استفاده از یک تقویت کننده تکی به رزولیشن ۱۲ بیت در ۳۵۰۰ فریم بر ثانیه دست می یابد.سنسور تصویریCMOS با تکنولوژی CMOS 0/25 µm بکار رفته است.پیکسل پیشنهادی از یک تقویت کننده بار برای افزایش حساسیت و یک مدار sample and holdبرای شاتر الکترونیکی (کروی- یکپارچه) استفاده می کند. این رویکرد با هم با میکرولترهای چیپی حساسیت نوری را افزایش می دهد در حالیکه رنج(دامنه) دینامیکی گسترده سیگنال را حفظ می کند.

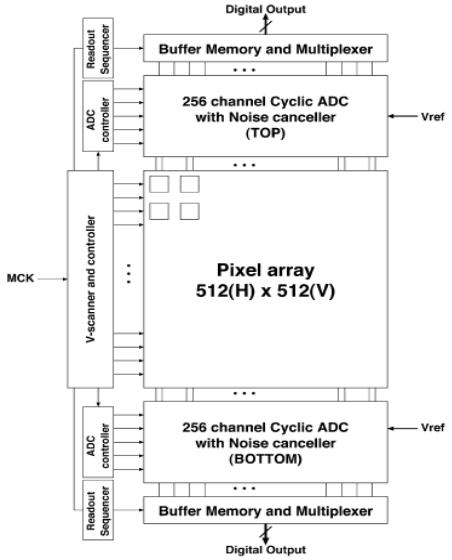
۲-طراحی سنسور تصویری

شکل یک نمودار سنسور تصویری CMOS با سرعت بالا را نشان می دهد. سنسور یک آرایه تصویر ، ثبات تغییر مکان عمودی ، مدارهای باز خواندن ستونی با آرایه های ADC ۱۲ بیت ، مموری های ستونی برای میانگیری و تعدادی کنترل کننده دارد. آرایه پیکسل ها بشکل سطری قابل دستیابی هستند بطوریکه تمام پیکسلهای درون یک سطر به ADC هایی ستونی بصورت موازی بازخوانی شوند.دو آرایه ADC با حذف کننده نویز در بالا و پایین آرایه تصویر به ترتیب برای خروجی های پیکسل فرد وحتی ستون ها قرار داده شده است.ارجاعات آنالوگ به آرایه های ADC بالا – پایین توسط مدارهای غیر چیپی(غیر تراشه ای)تغذیه می شوند. داده های تصویری دیجیتای شده ۵۱۲*۵۱۲ بیت برای یک ردیف تسهیم شده است و با استفاده از پورتهای خروجی دیجیتال ۱۶۰ بیت باز خوانی شده است.یک ستون داده ها با ۱۰ بیتی های مهمتر در ۸ بلاک یا ۱۰*۸ بیت، در هر سمت بالایی یا پایینی بصورت موازی بازخوانی می شوند .

۳-پیکسل با یک شاتر الکترونیکی

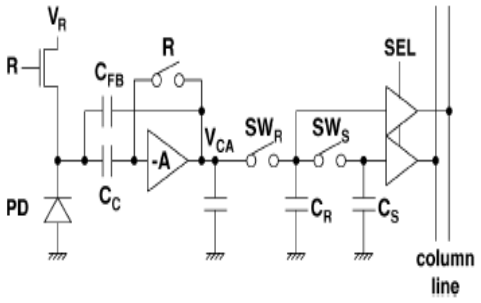
شاتر الکترونیکی (کروی- یکپارچه) یک نقش ضروری در سنسورهای تصویری با سرعت بالا است.در پیاده سازیCMOS سنسورهای تصویری با سرعت بالا ، شاتر الکترونیکی کروی می تواند با یک عملکرد sample and hold (نمونه برداری و نگهداری) در هر پیکسل

بکار گرفته شود. یک قالب بندی الکترونیکی ساده و کارآمد ، استفاده از یک سوئیچ جداسازی بین یک فتودیود و یک گره انتشار شناور مبتنی بر آرایش پیکسل نوع بون انتقال بار(نوع –3Tr)است.



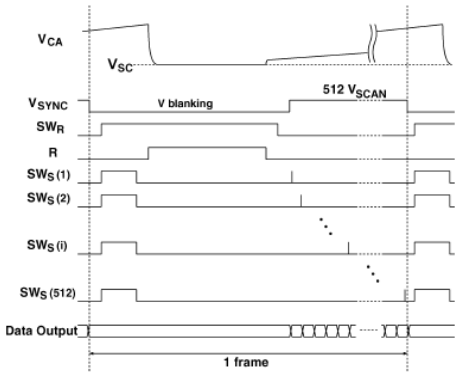
شکل۱: بلوک دیاگرام CIS

این امر به این دلیل است که فتودیود بزرگتر ، تقویت تبدیل بار به ولتاژ را بدلیل ظرفیت الکتریکی افزایش یافته فتودیود ، کاهش می دهد.نمودار طرح کلی ونمودار تنظیم وقت پیکسل پیشنهادی به ترتیب در شکلهای ۲ و ۳ نشان داده شده است.این پیکسل شامل یک تقویت کننده بار ، دو مدار اتصال سری sample and hold ، و میانگیرهی دنبالگر منبع است. تقویت کننده بار پیکسلی به یک تقویت بار به ولتاژ نسبتاً بزرگ بجای استفاده از یک فتودیود بزرگ دست می یابد. سوئیچهای ترانزیستور NMOS کنترل شده توسط یک سیگنال پالس R اول برای بازنشانی (Reset) دو گره شناور روشن می شوند.ترمینال کاتودیک فتودیود و یک ورودی تقویت کننده بار.هنگامی که این سوئیچ ها خاموش می شوند.



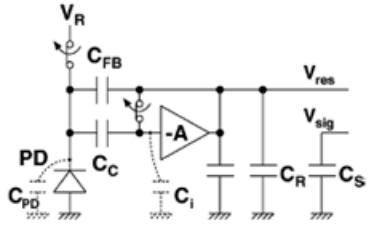
شکل۲:مدار پیکسل

بجای وجود خازن فتودیود بزرگ استفاده از خازن خیلی کوچک به حساسیت بالا می شود.



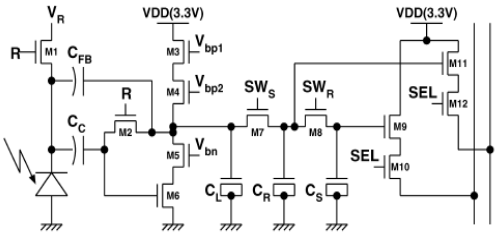
شکل۳:دیگرام زمانبدی

این روش اجازه می دهد تا ولتاژ بازنشانی بالاتری به فتودیود تنظیم شود ، در حالیکه نوسان خروجی بزرگی از تقویت کننده بار را حفظ می کند. نوسان سیگنال حاصل در خروجی دنبالگر منبع پیکسل می تواند به بزرگی 1/8 V در منبع تغذیه 3/3-V باشد.شکل ٤ عملکرد sample and hold را برای مراحل سیگنال و بازنشانی نشان می دهد.



شکل٤: نمونه برردار سیگنال

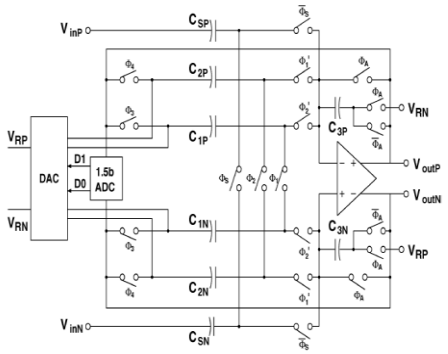
سپس فتودیود و تقویت کننده بار توسط سوئیچ های بازنشانی کنترل شده با R ریست می شوند.یک خازن نمونه برداری C_Rطی عملکرد ریست به خروجی تقویت کننده وصل می شود. در مرحله خروجی بعنوان یک سیگنال تفاضلی (دیفرانسیل) توسط یک جفت میانگیر دنبالگر منبع بازخوانی می شوند.پس از اینکه عملکرد sample and hold برای مراحل سیگنال و ریست (Reset)، که در فاصله خاموشی عمودی اجرا شد ، ترتیب بازخوانی شروع خواهد شد.عملکرد بازخوانی در یک آرایشسطری با سیگنال انتخاب پیکسل SEL و SW_Sبرای مدار حذف نویز ثابت (FPN)اجرا شده است.شکل ۵ مدار پیکسل واقعی را نشان می دهد.



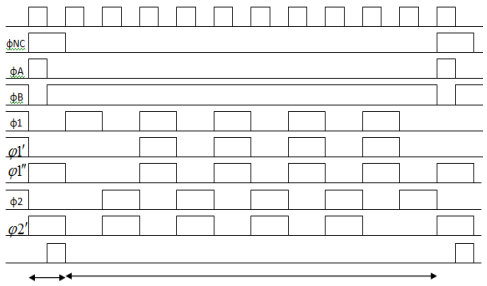
شکل۵:نمای واقعی از پیکسل پیشنهادشده

٤-ADC های تناوبی ستونی- موازی

شکل ٦ نمای کلی مدار ADC تناوبی با یک حذف نویز توکار را نشان می دهد. این ADCبا یک تقویت کننده خازن انتخاب شده کاملاً تفاضلی و دو مقایسه کننده (ADC 1/5 Bit) برای ۱/۵بیت در چرخه الگوریتم طراحی شده است.اگر چه یک ADC چرخه ای (تناوبی) یا الگوریتمی سرعت ملایم تبدیل دارد، دو مجموعه آرایه ADC تناوبی ۲٥٦ کانال در کل سرعت تبدیل بسیار بالا فراهم می کنند. یک مدار کاملاً تفاضلی عملگر آنالوگ دقیق و مصونیت از اختلال (نویز) بالا می آورد و برای ADC های با رزولیشن بالا مناسب است.ADC یک کاناله شامل ۳ مرحله تقویت برای حذف نویز و یک تبدیل A/D تناوبی دو مرحله ای است.



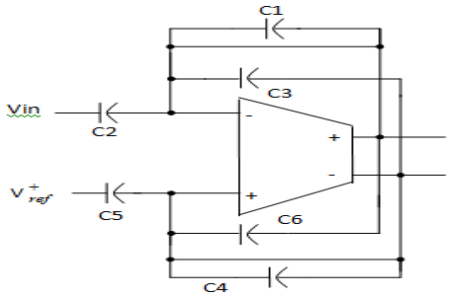
شکل٦:نمای کلی ADC سیکلیک



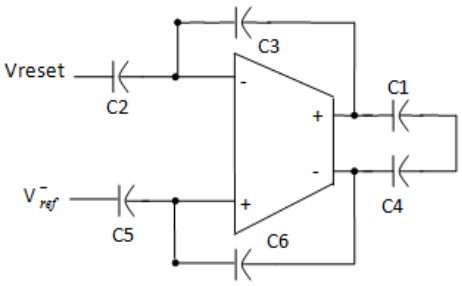
شکل۷:دیاگرام زمانبندی سیکلیک

نمونه های گذشته نیازمند سه تقویت کننده و دوازده خازن است. در روش پیشنهادی ، یک تقویت کننده و خازن هابرای حذف نویز به اشتراک گذاشته شده اند و دومجموعه از DAC های ضرب شونده اتلاف قدرت و اندازهمی تواند به طور مؤثری برای مجتمع سازی (انتگرال گیری – یکی کردن و به هم پیوستن) ستونی کوچک باشد. ADC تناوبی ستونی با تقویت کننده به اشتراک گذاشته شده با یک مدار حذف نویز توکار ، و یک آرایش (پیکربندی) اصلاح شده برای این ADC تناوبی گزارش شده است ، در این ADCها ، هر ADC 1/5 Bit نیازمند یک چرخه کامل است و زمان چرخه و اندازه خازن ها ثابت است.

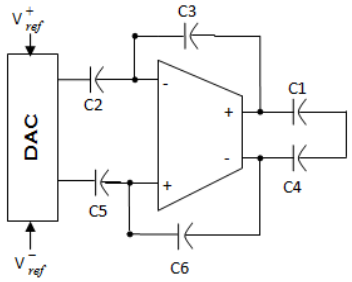
نمودار تنظیم وقت ADC تناوبی با حالت حذف در شکل(۷) نشان داده شده است. شکل(۸) مدارهای معادل را برای حذف FPN پیکسل نشان می دهد.



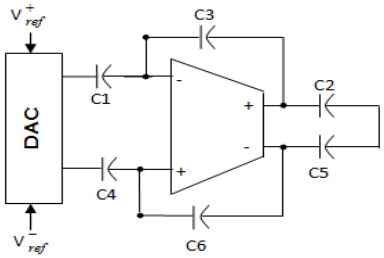
شکل ۸: مدار نمونه بردار



شکل۹: انتقال دهنده بار



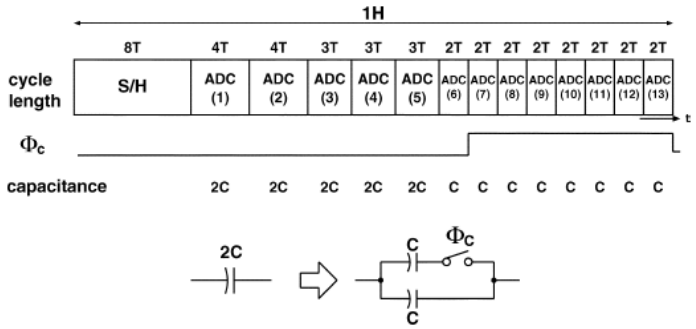
شکل۱۰:مد سیکلیک برای فاز (آ)



شکل۱۱:مدسیکلیک برای فاز (ب)

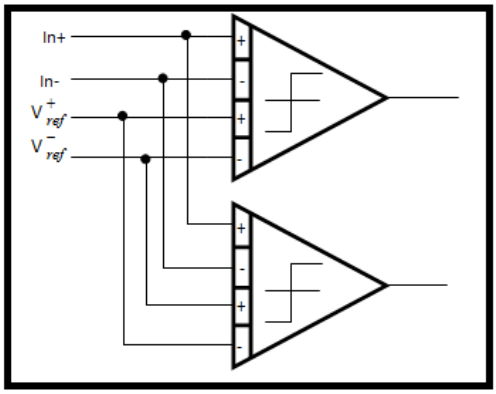
این دو عملکرد نشان داده شده در شکل (۱۰)و(۱۱) بطور متناوب تکرار می شود تا رزولیشن مورد نیاز بدست آید. در چرخه i ام ،

خروجی ایده آل اگر عدم تطابق در خازن ها و خطای دیگری وجود نداشته باشد .در یک ADC تناوبی ، رزولیشن توسط تعداد تناوب تعیین می شود و مستقل از پیچیدگی مدار است ، با وجود آن اندازه های دستگاه برای رسیدن به نسبت سیگنال به نویز مورد نیاز (SNR) و خطی بودن با دقت طراحی شده اند. با استفاده از این ویژگی ، رزولیشن بالا ۱۲ بیتی و عملکرد کنترل تقویت دیجیتال تحقق می یابد.رزولیشن موقت ADC طراحی شده است تا با استفاده از ۱۳ نیم چرخه ١٤ بیت باشد. کد دیجیتال ١٤ بیت برای تقویت دیجیتال ۲ یا ٤ استفاده می شود هنگامیکه با خروجی ۱۲ بیت مناسب است.برایتسریع سرعت تبدیل ، سرعت ساعت افزایش می یابد و اندازه خازنهای نمونه برداری در فاز با بیت کماهمیت تر همان طور که در شکل (۱۲) نشان داده شده است کاهش می یابد.

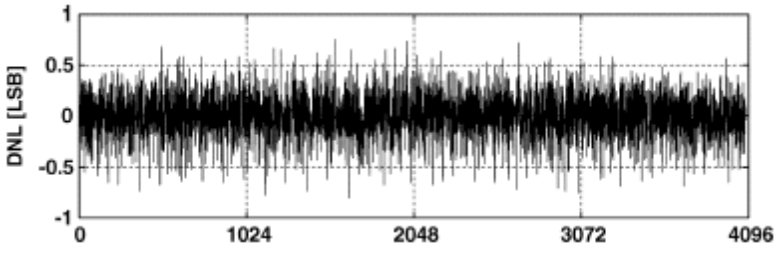


شکل۱۲:زمانبندی سیکلیک

مدار تولید D0و D1:این مدار برای کنترل مدار مرحله بعد مورد استفاده قرار میگیرید و از مدار زیر استفاده میکنیم.

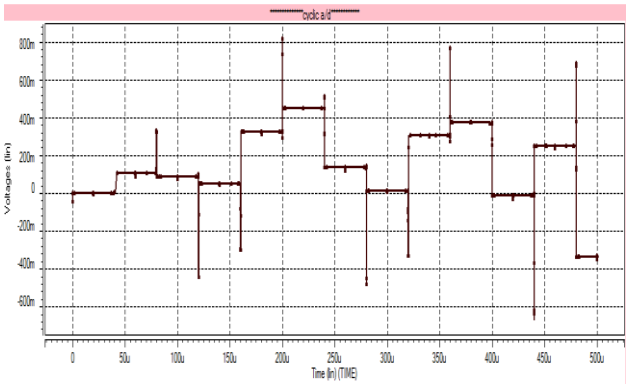


شکل۱۳: مدار داخلی ۱.۵بیت adc

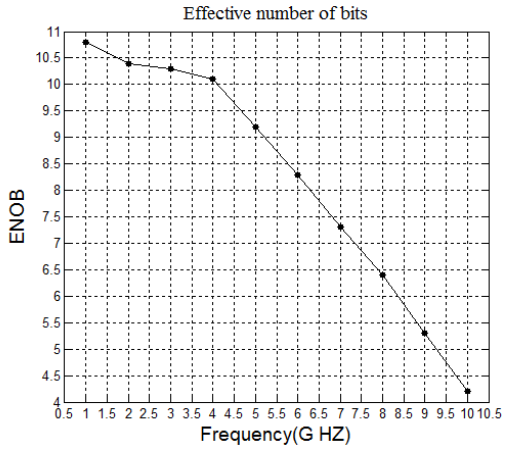


شکل١٦:خروجی DNL

نویز ورودی جابجا شده شامل ADC پیکسلی و ستونی برای 1/8m اندازه گیری شده است.

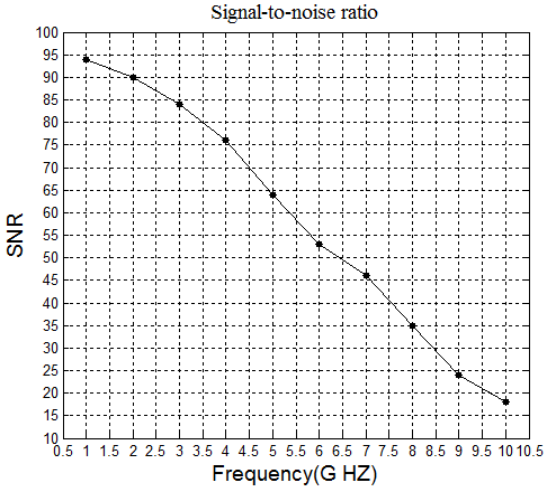


شکل۱۷:شکل موج دیجیتال شده خروجی



شکل۱۸: نمودار ENOB برحسب فرکانس

در این شکل نمودار ENOB بر حسب فرکانس آورده شده است دیده میشود که با افزایش فرکانس کاهش داده میشود.در فرکانس ۱ گیگا هرتزENOB برابر۱۰ است که فرکانس کاری ما همین فرکانس یک گیگ است.



شکل۲۰:نمودار SNR برحسب فرکانس

در این شکل نمودار SNR بر حسب فرکانس آورده شده است دیده میشود که با افزایش فرکانس کاهش داده میشود.در فرکانس ۱ گیگا هرتز SNR برابر۹۵ استکه فرکانس کاری ما همین فرکانس یک گیگ است.

۵-نتیجه گیری

در این مقاله یک مبدل آنالوگ به دیجیتال سیکلیک دوازده بیتی جهت سنسور تصویر ارایه شد.در این مقاله مبدل پیشنهاد شده کمترین توان مصرفی را نسبت به مبدلهای دیگر داشت . برای سنسورهای تصویر CMOS با وسعت بالا یک ADC پیکسلی یک ADC تقریب پیاپی ستونی-موازی گزارش شده است.این مقاله یک سنسور تصویر CMOS 512*512 با سرعت و حساسیت بالا با ADC های ۱۲ بیت تناوبی ستونی-موازی و یک شاتر کروی الکترونیکی ارائه می کند. تقویت کننده بار پیکسلی به حساسیت نوری 19/9 V/lxsدست می یابد.اندازه کامل سیگنال در خروجی پیکسل 1/8 V در منبع تغذیه 3/3-V است و میزان نویز 1.8اندازه گیری شده است و دامنه پویای سگنال حاصل شده 60db است.

مراجع

[1] D. X. Yang, A. E. Gamal, B. Fowler, and H. Tian, "A 640x512 CMOSImage Sensor with Ultra Wide Dynamic Range Floating-Point Pixel-LevelADC," *ISSCC Dig. Tech. Papers*, pp. 308-309, Feb., 2002.

[2] W. Bidermann, A. E. Gamal, S. Ewedemi, J. Reyneti, H. Tian, D. Wile,D. Yang, "A 0.18□m High Dynamic Range NTSC/PAL Imaging System-ona-Chip with Enhanced DRAM Frame Buffer," *ISSCC Dig. Tech. Papers*, pp.212-213, Feb., 2007.

[3] O.Y. Pecht, A. Belenky, "Autoscaling CMOS APS with CustomizedIncrease of Dynamic Range," *ISSCC Dig. Tech. Papers*, pp. 100-101, Feb.,2008.

[4] Steven Decker, R. Daniel McGrath, Kevin Brehmer, Gharles G. Sodini,"A 256 x 256 CMOS Imaging Array with Wide Dynamic Range Pixels andColumn-Parallel Digital Ouput", *IEEE J. Solid-State Circuits*, 33, no. 12,pp. 2081-2091, 2009.

[5] S. H. Lewis and P.R.Gray, "A Pipelined 5-MSample/s 9-bit Analog-to-Digital Converter,'' *IEEE J. Solid-State Circuits*, pp. 954-961, vol. SC-22,2010