JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH

E-ISSN: 2980-9231
https://jce.bushehr.iau.ir

https://doi.org/10.30495/jce.2023.1989351.1210

Vol. 13/ No. 51/Spring 2024

Research Article

Design and simulation of membership fuzzy function generator circuit by assistance of low-power linguistic variables

Hamid Shahbazi, MSc [1] | Mojdeh Mahdavi, Assistant Professor [2*] | Mahdi Zare, Assistant Professor [3]

[1]Department of Electronics, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran.
hsh09128638934@gmail.com

[2]Department of Electronics, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran.
mahdavi.qodsiau@gmail.com

[3]Department of Electronics, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran.
d.mehdi.zare@gmail.com

Correspondence
Mojdeh Mahdavi, Assistant Professor, Department of Electronics, Shahr-e-Qods Branch, Islamic Azad University, Tehran, Iran.
Email: mahdavi.qodsiau@gmail.com

Received: 21 June 2023
Revised: 12 September 2023
Accepted: 25 September 2023

Abstract

In the present study, a low-power power function generator circuit is proposed for fuzzy applications. The proposed power function generator circuit consists of squaring, square root, and analog multiplier circuits. All the circuits are designed in the subthreshold region to achieve minimum power consumption. The proposed power generator module is based on a fuzzifier circuit, and the analog multiplier circuits are used to adjust the slopes of the fuzzy functions. Besides performing the mentioned adjustments, the proposed circuit can adjust the rising and falling slopes quite separately. Analog multipliers are used in the power generator part to generate desired powers continuously with minimum number of control inputs. The proposed structure is presented in 0.35 µm technology, and the simulation results show that at a supply voltage of 1.3 V, the values of power consumption and error are respectively equal to 0.0036 µw and 0.8%, indicating the improvement of the proposed structure in terms of error and power consumption compared to the best relevant structures in the literature.

Keywords: Fuzzy controller - Integrated circuits - Power function generating circuit - Subthreshold.

Highlights

- The operation range of proposed circuit is in subthreshold region, which can be very efficient in improving power consumption.
- Besides performing basic adjustments, the proposed circuit can adjust the rising and falling slopes.
- This circuit can be used as a function generator, including triangular, trapezoidal, S-shaped, and Z-shaped functions.
- The proposed circuit provides the controllability of all parameters including the maximum fuzzifier current and the lateral shift of the function.

Citation: H. Shahbazi, M. Mahdavi, and M. Zare, "Design and simulation of membership fuzzy function generator circuit by assistance of low-power linguistic variables," *Journal of Southern Communication Engineering*, vol. 13, no. 51, pp. 37–64, 2024, doi: 10.30495/jce.2023.1989351.1210, (in Persian).

مقاله پژوهشی

طراحی و شبیه‌سازی مدار مولد توابع عضویت فازی با پشتیبانی از متغیرهای زبانی کم توان

حمید شهبازی[۱] | مژده مهدوی*[۲] | مهدی زارع[۳]

[۱] گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران،
hsho9128638934@gmail.com

[۲] گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران، *
mahdavi.qodsiau@gmail.com

[۳] گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران،
d.mehdi.zare@gmail.com

نویسنده مسئول
*مژده مهدوی، استادیار
گروه الکترونیک، واحد شهر قدس، دانشگاه آزاد اسلامی، تهران، ایران
mahdavi.qodsiau@gmail.com

تاریخ دریافت: ۳۱ خرداد ۱۴۰۲
تاریخ بازنگری: ۲۱ شهریور ۱۴۰۲
تاریخ پذیرش: ۳ مهر ۱۴۰۲

چکیده:

در این مقاله، یک مدار کم توان برای تولید توابع توان‌دار در کاربردهای فازی ارائه شده است. مدار مولد توابع توان‌دار پیشنهادی متشکل از مدارهای مربع‌کننده، رادیکال‌گیر و ضرب‌کننده آنالوگ است. تمامی مدارها در ناحیه‌ی زیر آستانه طراحی شده‌اند تا حداقل توان مورد نیاز بدست آید. در ماژول مولد توان پیشنهادی از یک مدار فازی‌ساز منطبق و برای تنظیم شیب‌های توابع فازی از مدارات ضرب‌کننده‌ی آنالوگ استفاده شده است. طراحی این مدار به گونه‌ای است که علاوه بر قابلیت‌های تنظیمات پیشین، قابلیت تنظیم شیب‌های بالارونده و پایین‌رونده را به صورت کاملاً جداگانه دارد. برای قسمت مولد توان نیز از ضرب‌کننده‌های آنالوگ استفاده شده تا بتوان توان‌های دلخواه را به صورت پیوسته و با حداقل ورودی‌های کنترلی تولید نمود. ساختار پیشنهادی در تکنولوژی ۰/۳۵ میکرومتر ارائه شده و نتایج شبیه‌سازی نشان می‌دهد که در مقدار ولتاژ تغذیه ۱/۳ ولت، توان مصرفی برابر با ۰/۰۰۳۶ میکرو وات و مقدار خطای ۰/۸ درصد است که بررسی بهترین اطلاعات موجود در این رده از ساختارها، بیانگر بهبود ساختار پیشنهادی از لحاظ خطا و توان مصرفی است.

کلید واژه‌ها: زیر آستانه، کنترلر فازی، مدارات مجتمع، مدار مولد تابع توان‌دار

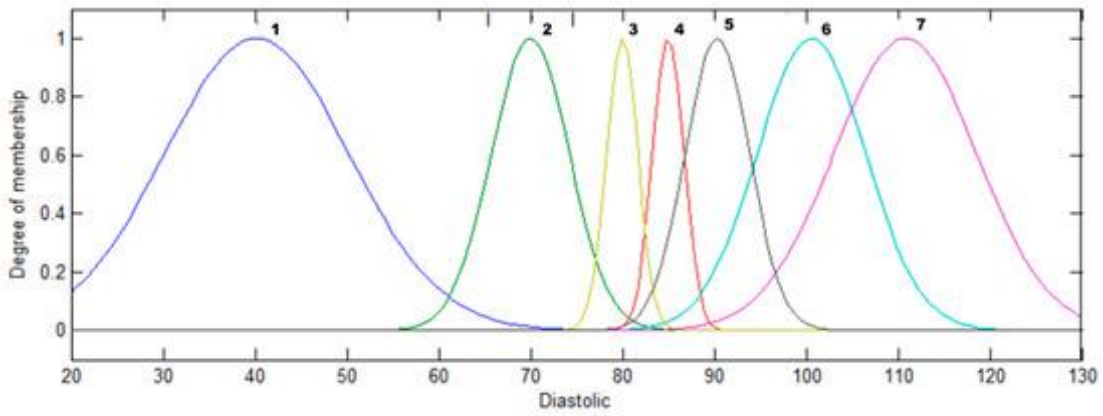
https://doi.org/10.30495/jce.2023.1989351.1210

۱-مقدمه

در دهه‌های اخیر، روش‌های محاسباتی نرم شامل محاسبات منطق فازی که رویکرد نوینی بر مبنای مدل‌سازی زندگی واقعی انسان‌ها ارائه کرده، مورد توجه مهندسان قرار گرفته است. کاربرد این روش‌ها در زمینه‌های مختلفی همچون پردازش سیگنال، اتوماسیون صنعتی، رباتیک، حمل و نقل، تشخیص بیماری‌ها و .... بوده است. برخلاف منطق دودویی، که متغیرها فقط دو مقدار صفر و یک را به عنوان حالت‌های صحیح و غلط در نظر می‌گیرند، مقادیر متغیرها در منطق فازی بین اعداد صفر و یک تغییر می‌کنند که بیانگر غلط محض و صحیح مطلق هستند. بقیه‌ی مقادیر که در بازه‌ی ۰ و ۱ قرار دارند، بیانگر درجه‌ی صحت یک متغیر است. همچون منطق دودویی که توسط گیت‌های منطقی مدل می‌شوند و بر پایه ترانزیستور هستند، منطق فازی نیز به عنوان یک منطق بی‌نهایت مقداره[1] توسط ترانزیستورها برای کاربردهای عملی پیاده‌سازی شده است [۱]. اولین گام در مدل‌سازی این منطق، ساخت مداراتی است که بتوانند یک متغیر فیزیکی که از حسگرها دریافت می‌شود را بین مقادیر صفر و یک مقداردهی کنند که به این عمل فازی‌سازی می‌گوییم. در گام دوم این مقادیر به مدارات تصمیم‌گیری و نهایتاً به مدارات غیر فازی‌ساز برای

[1] Multiple Possible Truth Values

نتیجه‌گیری اعمال می‌شوند. مدل‌هایی که برای مدارات فازی‌ساز[1] ارائه می‌شود به دو دسته‌ی مدل‌سازی بر مبنای توابع گوسی و مثلثی تقسیم می‌شوند. در شکل ۱ نمونه‌ای از توابع عضویت گوسی مشاهده می‌شود [۲].



شکل ۱: نمونه‌ای از توابع عضویت گوسی [۲]
Figure 1. A Gaussian membership function [2]

چالش اصلی در حوزه‌ی طراحی مدارات فازی‌ساز ساخت مداراتی است که بتوانند جریان خروجی حسگرها را به عددی بین صفر و یک نگاشت دهند. غالباً این‌گونه مدارهای فازی‌ساز در قالب یک مدار طراحی می‌شوند که قابلیت تولید تمامی توابع را هم‌زمان دارد و با یک سیگنال کنترلی بیرونی تنظیم می‌شود. مسئله اصلی این است که چگونه می‌توان یک فازی‌ساز در تکنولوژی‌های CMOS[2] و یا CNTFET[3] ساخت تا حداقل توان مصرفی داشته باشد [۳].

منطق فازی برای اولین بار توسط پروفسور لطفی‌زاده معرفی شد [۴]. یک دهه پس از آن، ایشان برای نزدیک‌تر کردن مدل ارائه شده به زبان انسانی، متغیرهای زبانی را پیشنهاد دادند [۵]. تلاش برای ساختن مدارات فازی به صورت مجتمع به اواخر قرن بیستم برمی‌گردد [۶]. در این مقاله از دو مدار مجزا برای تولید توابع z-شکل و s-شکل استفاده شده است. سپس با ترکیب این دو مدار ترتیبی اتخاذ داده شده است تا شکل موج مثلثی به دست آید. در مرجع [۳] نیز همین روش برای تولید مولد توابع عضویت به کار گرفته شده، با این تفاوت که این مرجع با تغییر کوچکی در مدار سبب برنامه‌ریزی کردن مجزای شیب‌های صعودی و نزولی تابع مثلثی شده‌اند. این دو مرجع راهی برای تولید توابع ذوزنقه‌ای ارائه نکردند. نگاهی کلی‌تر به تمامی مدارات پیشنهاد شده تا پیش از دهه اخیر نشان می‌دهد که همه از روشی مشابه، با ترکیب مدارات مولد توابع s-شکل و z-شکل به توابع مثلثی دست یافته‌اند، حتی طراحانی که در مُد ولتاژ کار می‌کنند [۷].

در کنار خانواده توابع عضویت مثلثی شکل (اعم از توابع s-شکل، z-شکل، مثلثی و ذوزنقه‌ای)، پیشنهادات برای تولید توابع گوسی با شیب‌ها و عرض‌های گوناگون هم بسیار بوده است . مثلاً در [۸]، مدارات توابع مولد گوسی با مدارات دیجیتال برای کاربردهای عصبی و فازی پیشنهاد شده است. هنوز تحقیقات بر روی این مدارات در مُدهای آنالوگ و با تکنولوژی‌های گوناگون در دست اقدام است [۹-۱۲]. مثلا در [۱۰]، از ترانزیستورهای CNTFET برای ساخت مولدهای توابع عضویت بهره گرفته شده است. همین تیم تحقیقاتی با همان تکنولوژی مدارات حداقل‌گیر فازی و کنترلرهای فازی برای تشخیص تصویر نیز ارائه کرده‌اند [۱۳, ۱۴].

در کنار مدارات مجتمع مولد توابع عضویت، ساخت مدارات تکمیلی برای تولید متغیرهای زبانی[4] نیز مورد توجه مهندسان الکترونیک بوده است. می‌توان گفت که اولین تجربه‌ی پیاده‌سازی مجتمع این نوع از کنترلرها در سال ۲۰۰۳ ارائه شد [۱۵]. کنترلر پیشنهادی قابلیت پشتیبانی از چند توان محدود را داشت. توان‌های پیاده‌سازی شده در این مقاله مرتبط با گزاره‌های زبانی خیلی کمتر، کمتر، کم، بیش، بیشتر، کمی بیشتر، بسیار و بسیار بیشتر (مطلقاً) بوده است. توان‌های تولیدی در این تراشه

[1] Fuzzifier
[2] Complementary metal-oxide-semiconductor
[3] Carbon Nano Tube Field Effect Transistor
[4] Linguistic variables

با به کارگیری مدار جذر گیرنده و به توان دو رساننده به دست آمده‌اند. اولین و ساده‌ترین راه برای بهبود مدار طراحی شده در [۱۵] استفاده از ترکیب‌های بیشتر بلوک‌هاست. این کار توسط متقی کشتیبان انجام گردید [۳]. در این مرجع وی توانست مداری کنترل‌پذیر برای دستیابی به چندین توان محدود، از عدد صفر تا عدد چهار با دقت ۰/۱۲۵ طراحی کند. برای رسیدن به این هدف وی هزینه‌ی طراحی پیچیده، سخت افزار بیشتر و در نتیجه‌ی آن، سطح اشغالی و توان مصرفی بیشتر را پرداخت. لازم به ذکر است که ماژول ایشان با ۱۵ کد دیجیتال برنامه‌ریزی می‌شود و مثلاً برای رسیدن به توان ۳/۳۷۵ از ۹ بلوک پشت سر هم استفاده کرده است.

در [۱۶] با استفاده از تقریب زدن توابع نمایی و لگاریتمی توسط توابع چند جمله‌ای، مداری جدید با سطح اشغالی کم برای پیاده‌سازی توابع عضویت فازی با متغیرهای زبانی پیشنهاد شد. بازه‌ی عملکردی مدار ارائه شده بین صفر تا ۲ بود و مدار از خطای قابل توجهی در نزدیکی جریان ورودی صفر برخوردار بود. جهت رفع این مشکل، در [۱۷] از تقریب توابع چند جمله‌ای برای دستیابی به توان‌ها استفاده شد که هم طیف وسیعی را شامل می‌شد و هم دیگر آن خطاها را نداشت. در همین میان، استفاده از مدارات فازی برای دستیابی به تقریب توابع هم گزارش شد. در [۱۸]، برای تولید توابع عضویت توان دار، از مدارات بهینه فازی استفاده شده است.

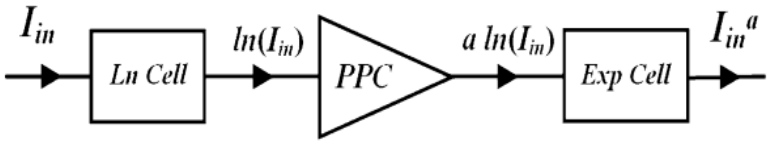
تولید توابع پیوسته توان دار با روش‌های گوناگون و با توان‌های گوناگون هنوز مورد توجه مهندسان حوزه الکترونیک بوده است [۲۰,۱۹]. گزارش‌هایی مبتنی بر عملکرد سریع CNTFET ها در ناحیه زیر آستانه ارائه شده است [۲۱] که می‌تواند دستیابی به مدارات مولد توابع عضویت کم توان و سریع را ممکن کند. گزارش مبنی بر تولید توابع گوسی کم توان نیز ارائه شده است [۲۲]. به همین دلیل ما در ناحیه‌ی زیر آستانه برای اولین بار اقدام به تولید توابع مثلثی شکل خواهیم کرد.

مطالب این مقاله به این صورت چیدمان شده است، در بخش دوم به مروری بر کارهای گذشته می‌پردازیم. در بخش سوم به بیان طراحی مدار پیشنهادی خواهیم پرداخت و تمام قسمتهای مورد نیاز برای طراحی مدار مولد فاز در این بخش توضیح داده می‌شود. در بخش چهارم به مقایسه نتایج طرح پیشنهادی با مراجع دیگر خواهیم پرداخت و در نهایت نیز نتیجه‌گیری و مراجع بیان شده است.

۲- مروری بر کارهای انجام شده

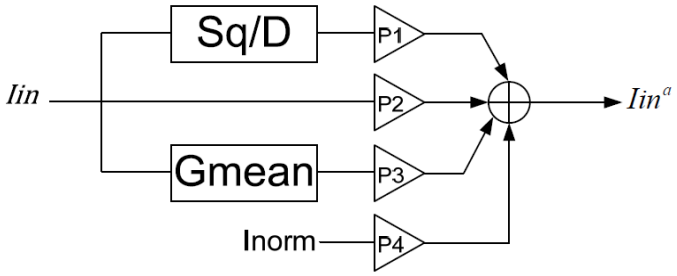
اولین پیاده‌سازی برای مدارات مولد متغیرهای زبانی به طراحی مدار Chen برمی‌گردد [۱۵]، او و همکارانش توانستند چندین توان محدود که به ترتیب عبارت بودند از ۰/۲۵، ۰/۵، ۰/۷۵، ۱/۲۵، ۱/۵، ۱/۷۵، ۲ و ۴ را ارائه کنند. این اعداد دقیقاً متناظر با گزاره‌های زبانی خیلی کمتر، کمتر، کم، بیش، بیشتر، کمی بیشتر، بسیار و بسیار بیشتر هستند. گرچه این متغیرهای زبانی دقیقاً متناسب با متغیرهایی هستند که برای اولین بار پروفسور لطفی زاده تعریف کردند و برای استفاده از قوانین کیفی کافی هستند، ولی تولید توان‌های بیشتر این امکان را می‌دهد که پارامترهای یک سیستم را که از نتایج بهینه‌سازی به دست می‌آید را بتوان به نحو احسن پیاده‌سازی کرده و کارایی سیستم‌ها را تا حد امکان بالا ببریم [۲۳-۲۵]. زیربنای اصلی مدارات Chen مدارات میانگین‌گیر هندسی و توان دو رساننده بود. عملاً ایشان با ترکیب این دو مدار توانسته بود توان‌های زیادی تولید کند، توان‌های بیشتر نیازمند چیدمان ترکیبی از این دو بلوک است. تعداد زیاد بلوک‌ها و برنامه‌ریزی آن‌ها، تولید توان‌های بیشتر بر این اساس را بسیار سخت می‌کند. با این حال، متقی کشتیبان توانست توان‌های ۰/۱۲۵ تا ۴ را با دقت ۰/۱۲۵ تولید کند [۳]. تلاش‌های ایشان برای تولید توان‌های بیشتر ستودنی است، ولی این عمل نه از لحاظ برنامه‌پذیری و نه از لحاظ توان مصرفی و سادگی طراحی قابل قبول نبود. ۱۵ کد دیجیتال برای برنامه‌ریزی آن استفاده می‌شد و بعضی برای برخی توان‌ها تا ۹ بلوک ترکیبی در مدار قرار می‌گرفت.

اما علی نادری روش شکل ۲ را برای پیاده‌سازی این توابع ارائه داد [۲۶]. وی توانست با استفاده از مدار مولد تابع Ln و نمایی و به کارگیری یک مدار برنامه‌ریز توان، مداری با دقت تولید ۰/۰۳۱۲۵ طراحی و شبیه‌سازی کند.



شکل ۲: پیشنهاد مرجع [۲۶] برای ساخت توابع توان‌دار با استفاده از تقریب توابع لگاریتمی و نمایی
Figure 2. Generation of rational-power functions based on the approximation of natural logarithmic and exponential functions as proposed in Ref. [26]

نکته‌ی قابل تأمل در مدار ایشان، نحوه‌ی طراحی لگاریتمی و نمایی بود. برای این کار، وی از تقریب‌های چند جمله‌ای استفاده کرد. این تقریب‌ها برای تولید این توابع از دقت کافی بعضاً برخوردار نبودند، مثلاً می‌دانیم که تابع لگاریتمی در نزدیکی صفر به سمت بی‌نهایت میل می‌کند و نرسیدن به چنین تقریبی خطای سیستم را برای این مقدار بسیار بزرگ می‌کند. از طرفی تقریب‌های بهتر نیز هزینه‌های گزافی همچون طراحی پیچیده‌تر، سطح اشغالی و توان مصرفی بیشتر را به دنبال دارند.
در نهایت مشفع و همکاران به جای تقریب توابع نمایی و لگاریتمی، توابع توان‌دار را تقریب زدند [۱۷]. آن‌ها با استفاده از همان تقریب چند جمله‌ای، خود تابع توان‌دار مورد نیاز را تقریب زدند که در شکل ۳ نمایش داده شده است. از آنجائی که تابع توان‌دار و تقریب از یک جنس هستند، خطای سیستم تا حد بسیار قابل قبولی کاهش یافت.

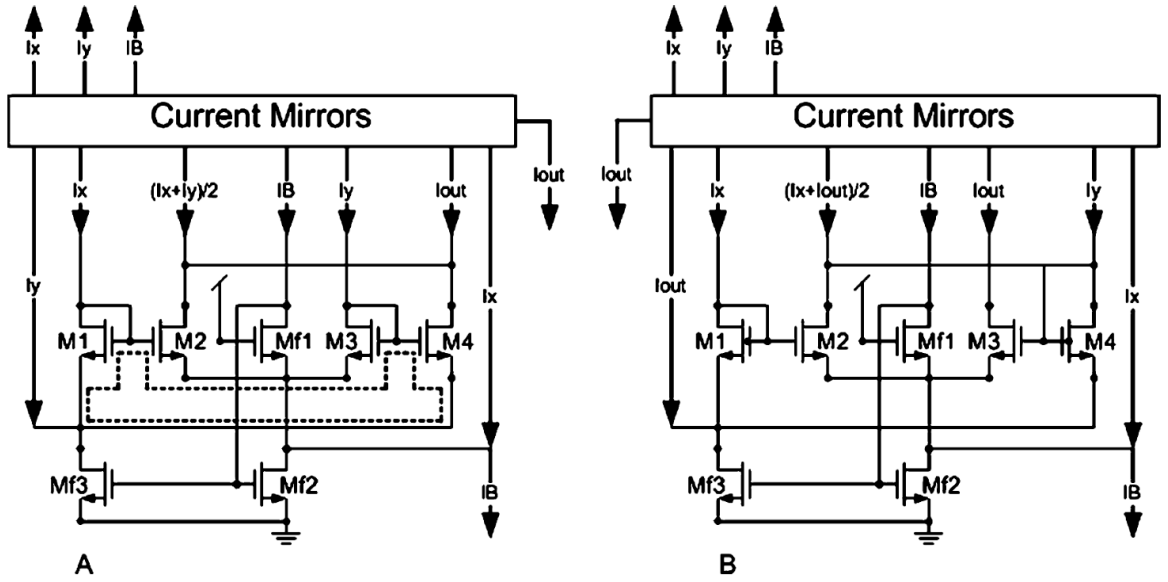


شکل ۳: تقریب توابع تواندار با استفاده از توابع چندجمله‌ی (متشکل از تابع ثابت، توان ۲ و رادیکال) [۱۷]
Figure 3. Approximation of rational-power functions using polynomial functions (including constant, square, and square-root functions) [17]

اغلب مداراتی که تاکنون صحبت کردیم همه بر مبنای بلوک‌های G-Mean[1] و Sq[2] کار می‌کردند. برخی از آن‌ها از این بلوک‌ها استفاده کردند تا توان‌های مختلف را با آن‌ها بسازند [۱۵] و برخی برای تقریب توابع نمایی و لگاریتمی [۱۶] و برخی برای ایجاد تقریب جهت تولید توابع چندجمله‌ای [۱۷] از آن‌ها استفاده می‌کردند. به همین منظور در این قسمت به بررسی این دو مدار می‌پردازیم. شکل ۴ ساختار کلی مدار موردنظر که در همه‌ی مقالات مطرح‌شده، استفاده شده است را نشان می‌دهد [۱۷].
هر دو این مدارات کاملاً بر یک اساس طراحی شده‌اند، با این تفاوت که جای خروجی و ورودی آن‌ها عوض شده است تا یکی به توان دو برساند و دیگری رادیکال بگیرد. در حالت کلی، اساس کار آن‌ها حلقه‌ای است که در شکل A نشان داده شده است. در این حلقه چهار گیت - سورس ترانزیستورهای اصلی قرار گرفته‌اند که نوشتن KVL در حلقه‌ی آن‌ها موجب ایجاد مدارات G-Mean و Sq می‌شود. به همین علت، آن را مدار حلقه انتقال خطی[3] می‌گویند [۲۷].
در سال‌های اخیر نیز طراحی برای تولید توابع توان‌دار ادامه داشته است. برای مثال مرادی‌نژاد و همکاران با استفاده از ترانزیستورهای ماسفت گیت شناور[4] در تکنولوژی ۰/۱۸ توانسته‌اند ساختاری برای تولید توابع توان‌دار با قابلیت تولید توان‌های مثبت و منفی و برنامه‌ریزی کامل پیشنهاد دهند [۲۷]. مدار ارائه شده در این مقاله از ناحیه‌ی معکوس ضعیف استفاده می‌کند که منجر به کاهش چشمگیر توان مصرفی شده، گرچه کار کردن در این ناحیه می‌تواند سبب افزایش خطا، افزایش وابستگی به

[1] Geometric mean
[2] Square
[3] Translinear-loop
[4] Floating-gate MOSFET (FGMOS)

پارامترهای ساخت و کاهش سرعت مدار شود، ولی برای مدارات فازی می‌تواند مفید واقع شوند، چرا که سرعت، آخرین پارامتر مهم در سیستم‌های کنترل است.



شکل ۴: طراحی مدارات G-Mean :Translinear-loop (A) و Sq (B) [۱۷]

Figure 4. G-mean (A) and Sq (B) circuit designs (Translinear-loop) [17]

اخیراً نیز یک تقریب برای توابع توان‌دار پیشنهاد شده است که مشابه مدل تقریبی [۱۷] است، با این تفاوت که قسمت رادیکالی از تقریب حذف شده است [۲۵,۱۹] و تنها از توابع توان دو، خطی و ثابت بهره برده‌اند. پرواضح است که این طرح در تولید طیف پیوسته‌ی توان‌ها با دقت بالا ناتوان خواهد بود.

در آخرین گزارش ارائه شده [۲۵]، محققان سعی کردند که با حذف قسمتی از مدار فقط با تقریب درجه دو توابع توان‌دار را تولید کنند.

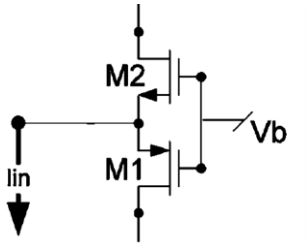
۳- طراحی مدار پیشنهادی

مدار مولد توابع فازی برای کاربردهای گوناگونی طراحی می‌شود و ممکن است مولد توابع مثلثی یا گوسی باشد. ساخت توابع مولد گوسی در مقالات مختلف پیشنهاد شده است. ایده اصلی این مقاله طراحی مدارات مولد تابع مثلثی در ولتاژهای پایین است که ملاحظات خاص خود را دارد. استفاده از سیگنال‌های جریان یا ولتاژ به عنوان سیگنال‌های ورودی، گرچه بستگی به نوع مدارات و حسگرها دارد، اهمیت چندانی ندارد، چرا که تبدیل این سیگنال‌ها به یکدیگر با مدارات هدایتی و مقاومتی میسر است. مولد توابع فازی باید خواص مخصوص به خود را داشته باشد و تمام نکات لازم مرتبط با آن را پیش از طراحی باید بررسی شود. این نکات شامل تولید تمامی توابع از خانواده مثلثی که شامل تابع مثلثی، ذوزنقه‌ای، شبه-s و شبه-z، کنترل‌پذیری تمامی پارامترها از جمله حداکثر جریان فازی‌ساز، شیفت عرضی تابع و شیب بالارونده و پایین رونده و قابلیت دریافت جریان‌های مثبت و منفی برای ورودی است.

۳-۱- مدار یکسوساز مولد

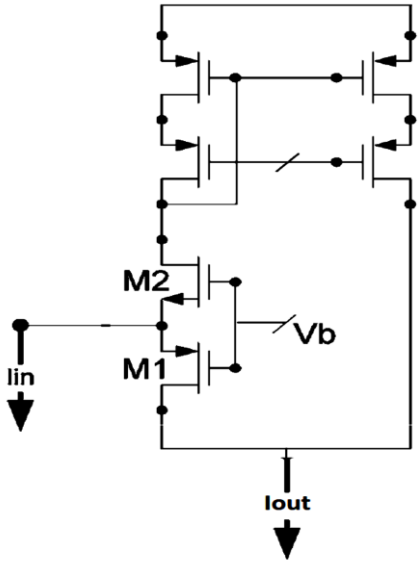
مدارهای یکسوساز به مداراتی اطلاق می‌شود که می‌توانند جریان ورودی مثبت و منفی را دریافت کنند و هر دو در یک جهت منتشر کنند. وقتی می‌گوییم جریان ورودی، مثبت است یعنی به مدار یکسوساز جریان وارد می‌شود در حالی‌که وقتی جریان ورودی منفی می‌شود یعنی جریانی از یکسوساز کشیده می‌شود. هدف آن است که مدار موردنظر هر دو نوع این جریان‌ها (تحویل دهنده یا تحویل گیرنده) را به یک صورت تبدیل کند. ساده‌ترین نوع این مدارها، مداری است که از یک ترانزیستور NMOS و یک ترانزیستور PMOS تشکیل شده است، به نحوی که جریان در هر جهتی به مدار اعمال شود، یکی از این دو ترانزیستور عمل کرده و جریان را تحویل بگیرند. مدار شکل ۵ نمونه‌ای از این نوع مدارها است. در صورتی که در این شکل، جریان ورودی مثبت

شود (هم‌جهت با آنچه در شکل نشان داده شده)، آنگاه جریان ورودی از طریق M2 هدایت می‌شود و در صورت عکس، جریان از طریق M1 هدایت می‌شود.



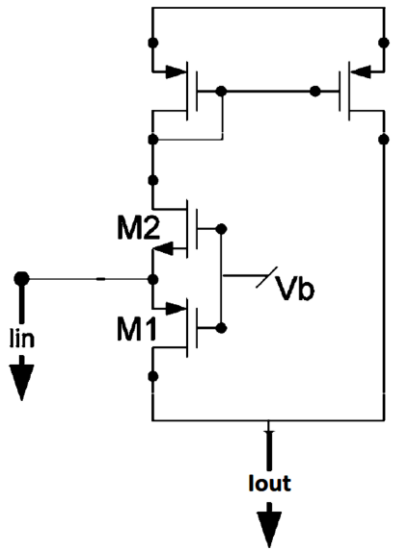
شکل ۵: ورودی مدار یکسوساز
Figure 5. Input of rectifier circuit

اکنون با توجه به این‌که جریان چگونه به طبقه بعد منتقل شود، می‌توان آینه‌های جریان PMOS یا NMOS را قرار داد. اگر قرار باشد که خروجی این مدار به صورت جریان تحویل‌دهنده به مدار طبقه‌ی بعد داده شود باید یک آینه جریان PMOS مطابق شکل ۶ قرار گیرد تا جریان‌های مثبت و منفی هردو به صورت تحویلی به مداری که بعداً به این مدار وصل می‌شود وارد شود. در واقع، زمانی که جریان ورودی مثبت یا منفی است، هر دو جریان به صورت خارج شونده از این مدار به طبقه‌ی بعد می‌رود که به این عمل یکسوسازی جریان می‌گوییم.

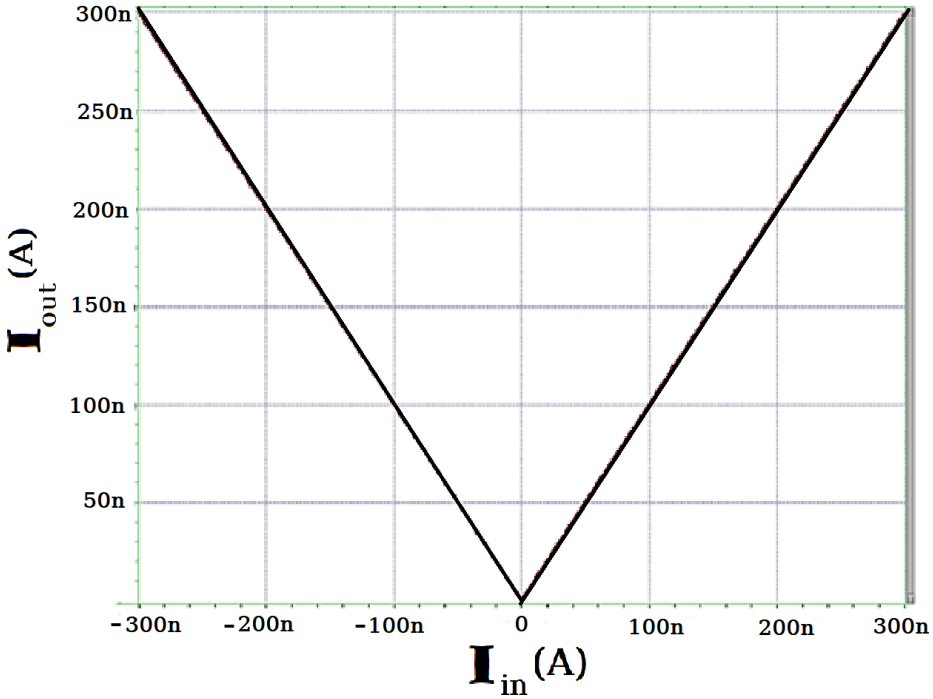


شکل ۶: مدار یکسوساز با آینه‌های جریان کسکود
Figure 6. Rectifier circuit with cascode current mirrors

البته آینه جریان به کار رفته در این مدار از نوع کسکود است که به علت محدودیت‌های نوسان ولتاژ در نواحی زیر آستانه، باید به حالت آینه جریان معمولی تبدیل شود. آینه‌های جریان کسکود قابلیت انتقال مساوی جریان با سایزهای بسیار کوچک را دارند. برای عملکرد درست مدار آینه جریان در نواحی زیر آستانه باید طول کانال بسیار بزرگ انتخاب شود که خود سبب افزایش سطح اشغالی مدار می‌شود. این محدودیت را به علت کوچکی جریان‌های کاری و دامنه‌ی کم تغذیه باید بپذیریم. پس عملاً مدار پیشنهادی برای این قسمت به صورت شکل ۷ می‌شود که نتایج خروجی آن برای محدوده‌ی جریانی در نظر گرفته شده در شکل ۸ مشاهده می‌شود.



شکل ۷: مدار یکسوساز با آینه‌های جریان ساده برای منابع تغذیه پایین
Figure 7. Rectifier circuit with simple current mirrors for low power supplies



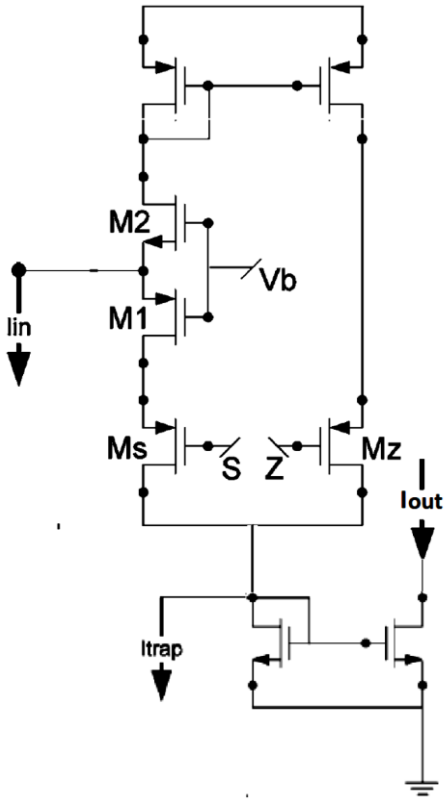
شکل ۸: خروجی مدار یکسوساز پیشنهادی
Figure 8. Output of the proposed rectifier circuit

۳-۲- ایجاد قابلیت تولید توابع مختلف

تولید توابع مختلف در این مدار با به‌کارگیری منابع جریان و کلیدهای ترانزیستوری میسر می‌شود. با اضافه نمودن دو کلید ترانزیستوری در مدار یکسوساز، می‌توان مسیرهای جریان را برای یک طرف مدار قطع نموده و توابع شبه-s و شبه-z را تولید نمود. همچنین برای تولید توابع ذوزنقه‌ای نیز می‌توان قسمتی از جریان خروجی را با یک منبع جریان از خروجی کشید تا محدوده‌ای که می‌خواهیم ذوزنقه‌ای بماند، در ابتدا کشیده شود و باقیمانده‌ی جریان به خروجی منتقل شود. مدار برنامه‌پذیر کامل برای تولید توابع گوناگون در شکل ۹ مشاهده می‌شود. در صورتی‌که ولتاژهای گیت ترانزیستورهای Ms و Mz یک منطقی

(۱/۳ ولت) است، این دو ترانزیستور هدایت کرده و مدار مطابق قبل کار می‌کند. در این صورت با کشیدن جریان Itrap از خروجی می‌توان شکل مثلثی را مطابق شکل ۱۰ به شکل ذوزنقه‌ای تبدیل کرد.

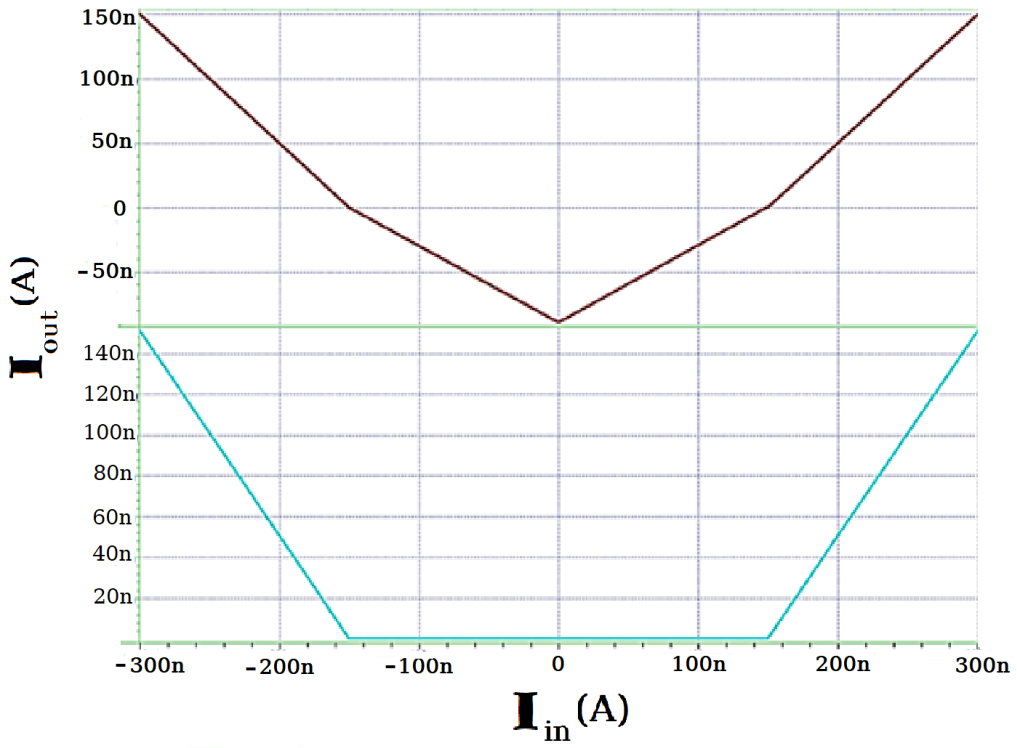
در این شکل جریان بسیار کمی به صورت منفی از ترانزیستور بار مدار عبور می‌کند که ناشی از جریان اشباع معکوس بوده و به علت دیودی بستن ترانزیستور رخ داده است. این جریان در هنگام آینه کردن حذف می‌شود و منبع جریان خروجی مدار یک جریان ایده‌آل ذوزنقه‌ای تولید می‌کند. پهنای ذوزنقه کاملاً توسط منبع جریان ذکر شده کنترل می‌شود، مثلاً در این شکل منبع جریان Itrap برابر با ۱۵۰ نانوآمپر قرار داده شده است که عملاً پهنای ذوزنقه ۳۰۰ نانوآمپر بوده و در جریان‌های ۱۵۰- و ۱۵۰ نانوآمپر ذوزنقه تغییر حالت می‌دهد.



شکل ۹: مجهز کردن مدار یکسوساز جهت تولید توابع مختلف

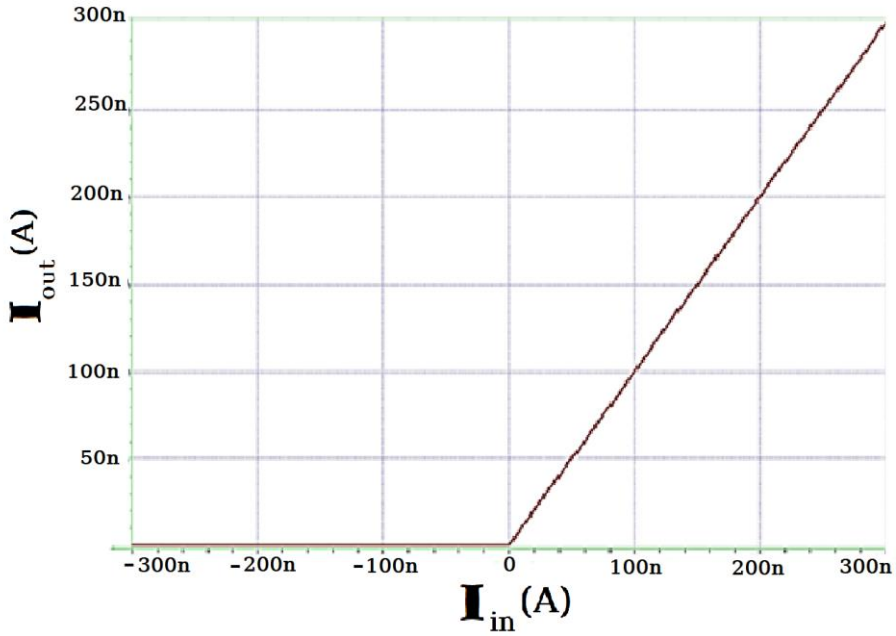
Figure 9. Enabling the rectifier circuit to generate different functions

در صورتی‌که یکی از ترانزیستورهای شکل ۹ خاموش شوند (این کار با اعمال صفر به گیت‌های ترانزیستورها انجام می‌شود) مدار از یک طرف جریان می‌کشد که شکل موج مثلثی ما به حالت z-شکل و یا s-شکل تبدیل می‌شود. نتایج شبیه‌سازی برای این حالت نیز در شکل ۱۱ و ۱۲ نشان داده شده است.



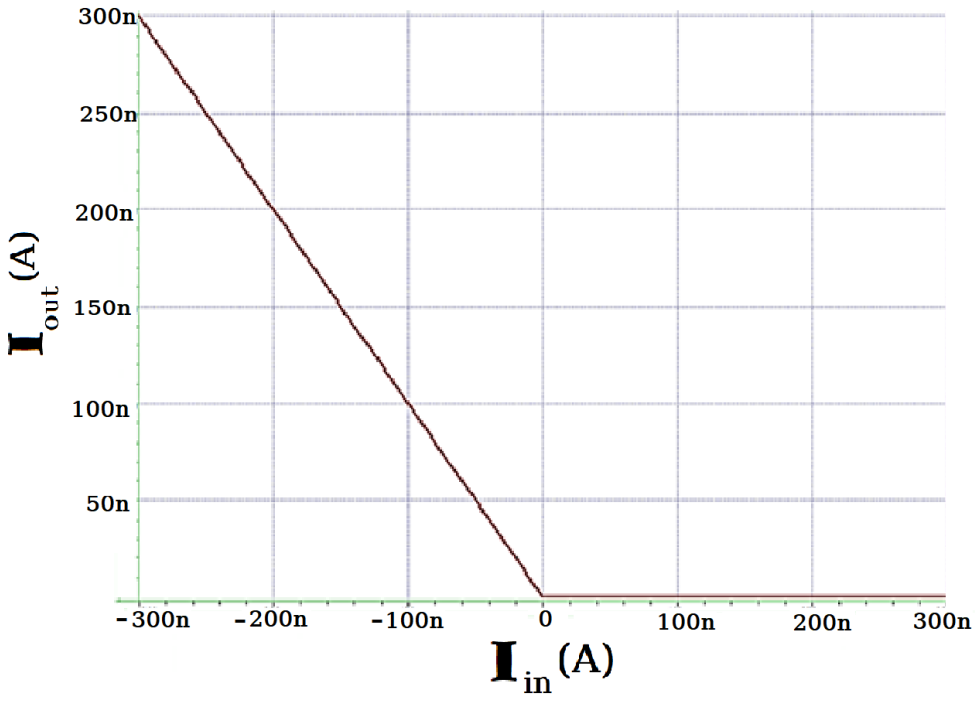
شکل ۱۰: خروجی یکسوساز برای تولید توابع ذوزنقه‌ای (با کشیده شدن جریان I trap خروجی مثلثی تبدیل به ذوزنقه ای شده است)

Figure 10. Rectifier output for generating trapezoidal functions (as I_{trap} is drawn, the triangular output becomes trapezoidal)



شکل ۱۱: خروجی مدار یکسوساز برای تولید توابع S- شکل

Figure 11. Rectifier circuit output for generating S-shaped functions



شکل ۱۲: خروجی مدار یکسوساز برای تولید توابع Z-شکل
Figure 12. Rectifier circuit output for generating Z-shaped functions

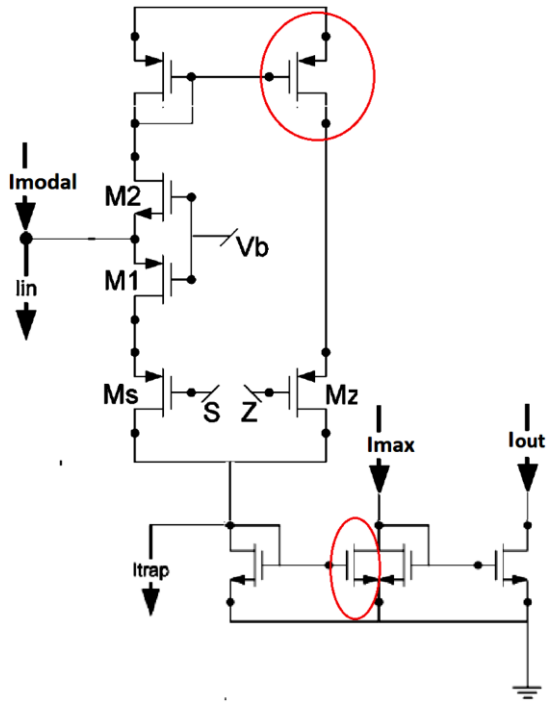
۳-۳- ایجاد قابلیت برنامه‌ریزی مدار

در بحث ایجاد قابلیت برنامه‌ریزی مدار هدف آن است که رأس مثلث، ذوزنقه، یا محل تغییر وضعیت s و z را جابه‌جا نماییم. همچنین می‌خواهیم جریان حداکثر مدار را تعیین و شیب‌های بالارونده و پایین رونده را نیز تغییر دهیم. تاکنون مداراتی مبتنی بر تغییر جداگانه شیب‌ها ارائه نشده است که در این قسمت به آن خواهیم پرداخت.

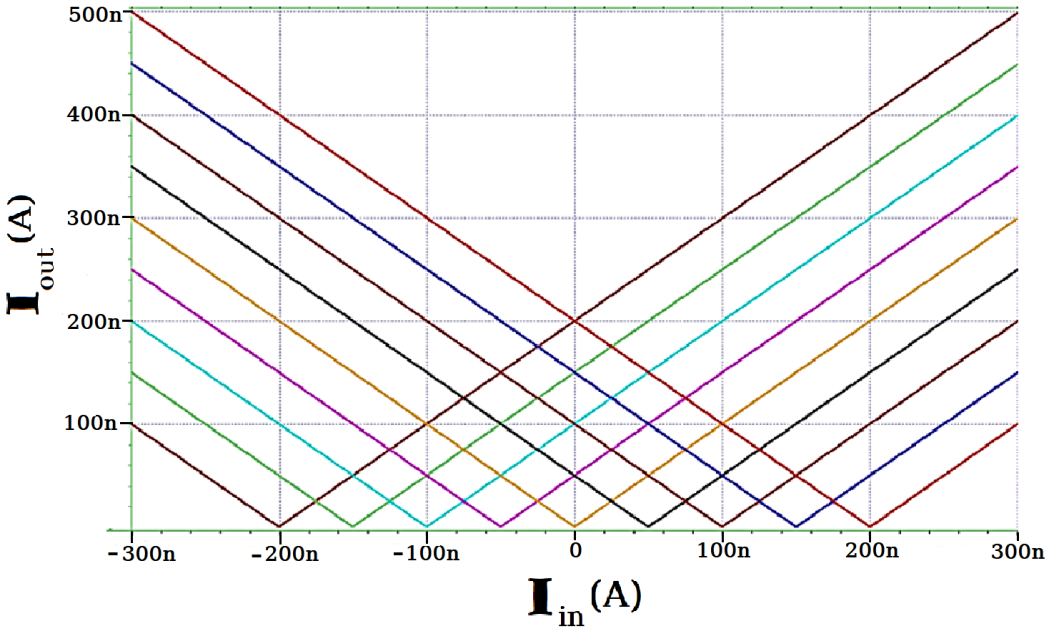
لازم به ذکر است که تغییر پهنای ذوزنقه در شکل موج ذوزنقه‌ای با تنظیم Itrap ممکن می‌شود. برای تغییر رأس مثلث و جابه‌جا شدن آن در محور طولی کافی است که یک منبع جریان را در ورودی مدار و در جهت جریان ورودی (Imodal) به صورت نشان داده شده در شکل ۱۳ قرار دهیم. نتایج حاصل از تغییر این دو منبع جریان در شکل‌های ۱۴ و ۱۵ مشاهده می‌شود.

در شکل ۱۴ جریان میانی Imodal از ۲۰۰- تا ۲۰۰ نانوآمپر تغییر داده شده، در حالی‌که Itrap برابر صفر است. رأس مثلث مطابق با این جریان‌ها تغییر کرده است. این در حالی است که در شکل ۱۵، Imodal برابر صفر است، ولی Itrap از ۰ تا ۲۴۰ با پله‌های ۳۰ نانوآمپری دستخوش تغییر شده است. همان‌طور که مشخص است پهنای ذوزنقه از ۰ تا ۴۸۰ نانوآمپر تغییر کرده است.

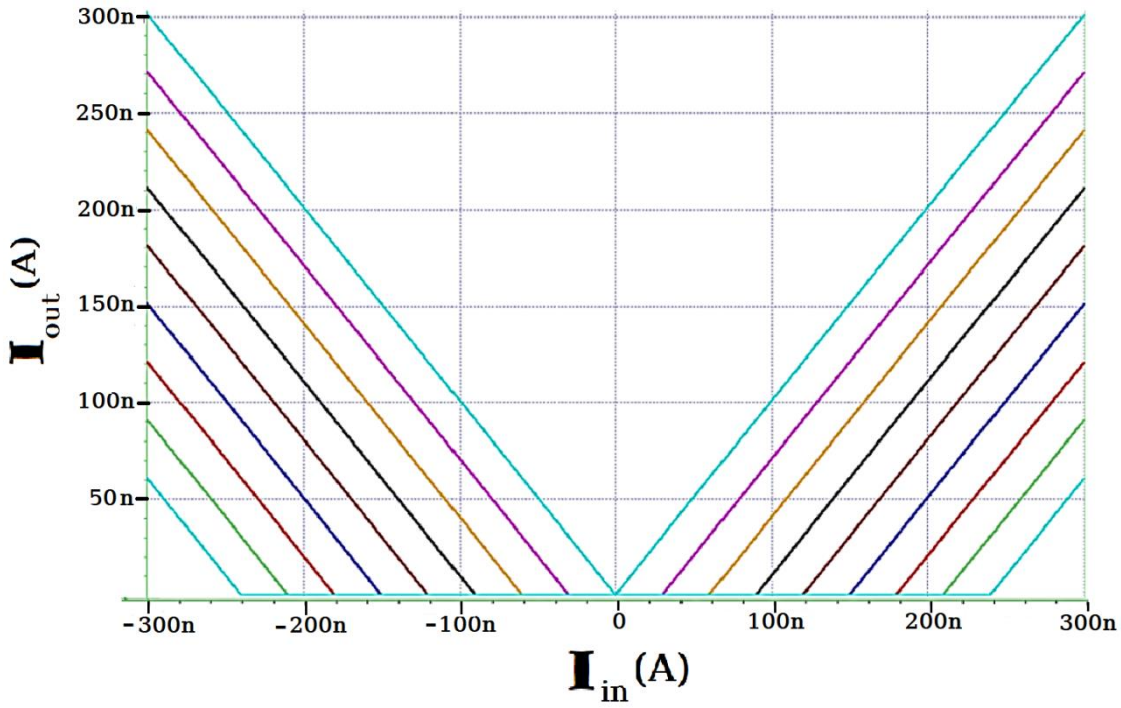
برای تنظیم جریان حداکثر هم مطابق شکل ۱۳، یک منبع جریان در خروجی قرار داده شده تا اختلاف آن و جریان خروجی یکسوساز (جریان‌هایی که تا به حال در شکل‌ها مشاهده می‌شد) به بار مورد نظر انتقال یابد. عملاً رابطه‌ی جریان خروجی به صورت Iout=Imax-Irec می‌شود که Irec جریان‌هایی هستند که تاکنون در شکل‌ها بحث شد. به عبارتی دیگر Irec=Iin+Itrap+Imodal است.



شکل ۱۳: تجهیز مدار پیشنهادی برای برنامه‌پذیری کامل
Figure 13. Enabling the proposed circuit for full programmability



شکل ۱۴: خروجی مدار یکسوساز برای تولید توابع مختلف با قابلیت جابجایی در محور جریان ورودی
Figure 14. Output of the rectifier circuit to generate different functions with the possibility of shifting along the input current axis

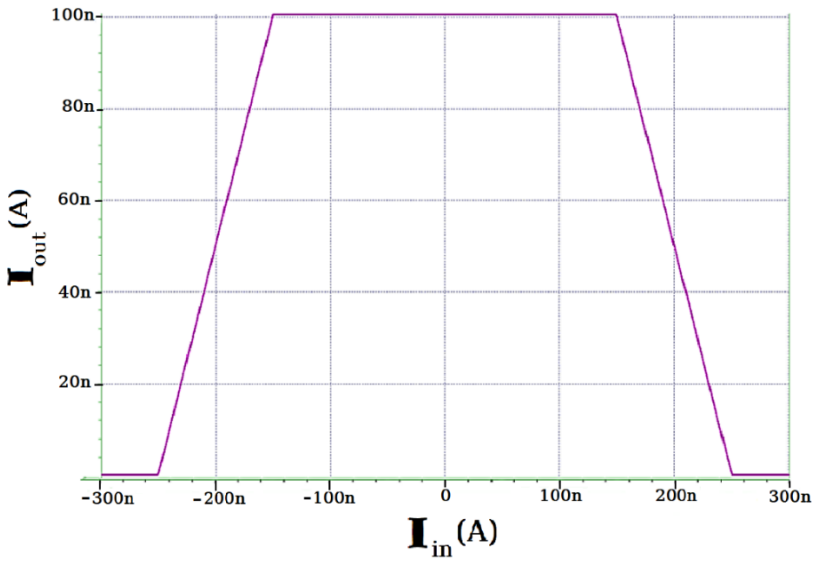


شکل ۱۵: قابلیت تنظیم پذیری مدار برای تولید توابع ذوزنقه‌ای با پهناهای مختلف

Figure 15. Adjustability of circuit to generate trapezoidal functions with different widths

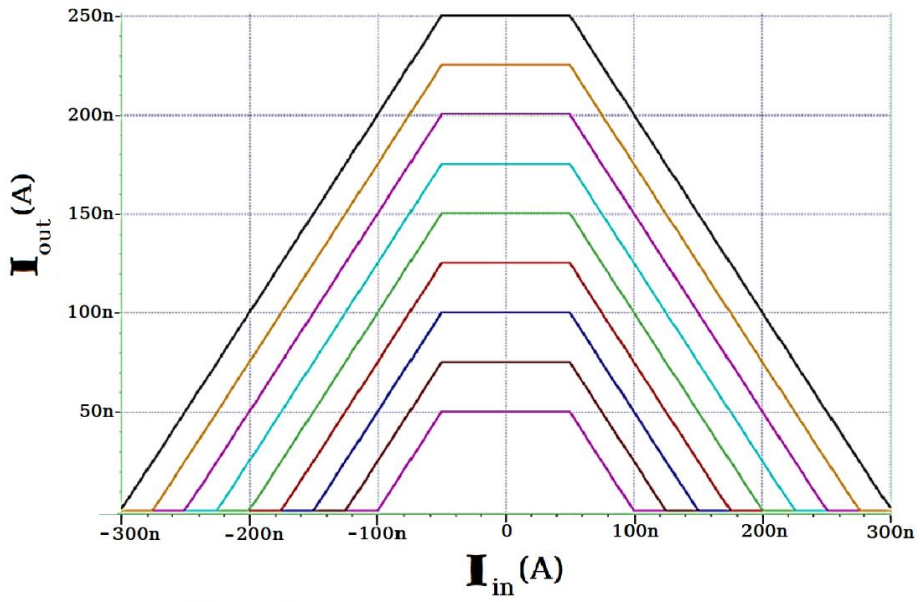
از لحاظ ریاضی چنین می‌توان گفت که جریان‌های بالا همه نسبت به محور افقی معکوس می‌شوند و به اندازه‌ی Imax به بالا می‌روند. اما از آنجایی که جریان‌های منفی اجازه‌ی عبور در ترانزیستورها را ندارند در صفر برش می‌خورند. مثلاً یک شکل موج ذوزنقه‌ای با تزریق جریان Imax به صورت شکل ۱۶ در می‌آید. در این شکل جریان Imax برابر ۱۰۰ نانوآمپر در نظر گرفته شده است. در صورت تغییر این منبع جریان شکل موج‌های ایجاد شده در شکل ۱۷ حاصل می‌شود. در این شکل جریان حداکثر از ۵۰ تا ۲۵۰ نانوآمپر تغییر کرده است.

نکته‌ی قابل توجه شکل ۱۶ این است که در صورت ثابت بودن شیب مدار و جریان Itrap ضلع بالایی ذوزنقه، که یک منطقی را شامل می‌شود ثابت مانده و برای همه‌ی حالات ۱۰۰ نانوآمپر است.



شکل ۱۶: خروجی مدار پس از اعمال جریان حداکثر ۱۰۰ نانو آمپر

Figure 16. Circuit output after applying the maximum current (I_{max}=100 nA)

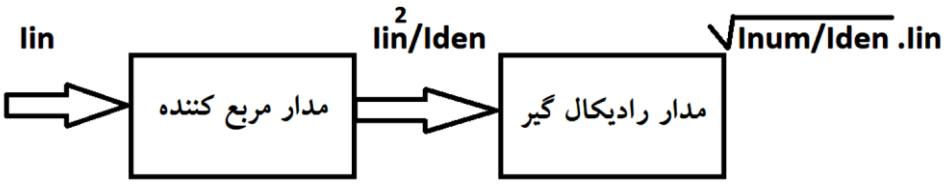


شکل ۱۷: بررسی قابلیت برنامه پذیری مدار توسط Imax

Figure 17. Evaluating the programmability of the circuit using I_{max}

اما بخش بسیار مهم که باید در ناحیه‌ی زیر آستانه طراحی شود، تنظیم‌پذیری شیب‌های بالارونده و پایین رونده است. برای این منظور باید به هنگام آینه کردن جریان‌ها میزان شیب را به جریان آینه شده انتقال دهیم. منظور از آینه‌های جریان در این جا آن چیزی است که در شکل ۱۳ با دایره‌ی قرمز رنگ نشان داده شده است. همان طور که مشخص است یک آینه جریان NMOS وجود دارد که با تغییر پهنای ترانزیستورهای آن می‌توان شیب‌های بالارونده و پایین رونده را به صورت هم‌زمان تغییر داد. اگر بخواهیم که تنها یکی از شیب‌ها تغییر کند کافی است که سایز ترانزیستورهای آینه‌ی جریان PMOS که داخل یکسوساز قرار گرفته را تغییر دهیم. این کار برای مدارات مد جریان پیشنهادی تاکنون ارائه نشده است که در این مقاله مورد بحث است. عملاً تغییر سایز ترانزیستورها با فرض مشخص بودن شیب‌ها قبل از ساخت ممکن است و اگر بخواهیم شیب‌ها به صورت کنترل‌پذیر تغییر کنند باید از آینه‌های جریان کنترل‌پذیر که قابلیت تغییر سایز دارند استفاده گردد. هرچند دقت عمل این آینه‌ها بالاست، ولی عملاً طیف پیوسته‌ای از شیب‌ها را در بر نمی‌گیرند. به همین خاطر به جای استفاده از آینه‌های جریان می‌توانیم از ضرب و تقسیم‌کننده‌های آنالوگ بهره ببریم.

برای این منظور از مدارات به توان دو رساننده و رادیکال‌گیر بهره می‌بریم، و در قسمت بعد طراحی نیز از آن‌ها برای ساخت توابع توان‌دار استفاده می‌کنیم. در واقع ابتدا جریانی که قرار است تغییر شیب یابد را به توان دو یا یک ضریب قابل تنظیم می‌رسانیم و سپس آن را از یک مدار رادیکال‌گیر عبور می‌دهیم. در نتیجه جریان به شیب مورد نظر خواهد رسید. نمایش تصویری آنچه بیان شد در شکل ۱۸ نمایش داده شده است. غالباً مدارات مربع‌کننده و رادیکال‌گیر به ترتیب به صورت ضریبی در مخرج و در صورت ظاهر می‌شوند. این ضرایب توسط منابع ولتاژ و یا جریان قابل تنظیم هستند. این دو جریان با نام‌های Inum و Iden در شکل ۱۸ مشاهده می‌شود.



شکل ۱۸: نحوه‌ی تولید مدار ضرب کننده برای ایجاد یک ضریب برای تنظیم شیب و یا ضرایب تقریب توان

Figure 18. Process of realizing the multiplier circuit to generate a coefficient for slope adjustment or power approximation coefficients

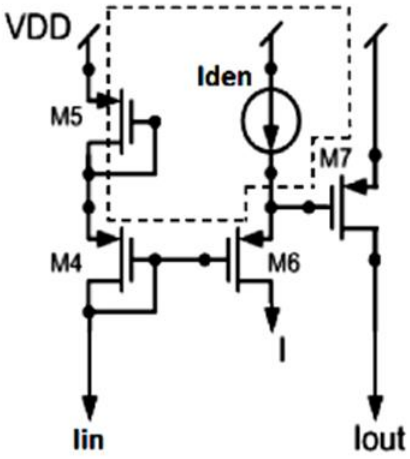
۳-۴- طراحی مدار مربع‌کننده

برای طراحی مدار مربع‌کننده طبق روال رایج از مدارات translinear بهره می‌بریم. ساخت این مدارات غالباً در ناحیه‌ی زیر آستانه راحت‌تر است، چرا که در این ناحیه روابط ترانزیستورهای FET به صورت نمایی طبق رابطه ۱ در می‌آید.

$$I_d = I_s \frac{W}{L} e^{\frac{V_{gs}}{nv_T}} \left(1 - e^{\frac{-V_{ds}}{nv_T}} + \frac{V_{ds}}{V_E} \right) \rightarrow \quad I_d \approx I_s \frac{W}{L} e^{\frac{V_{gs}}{nv_T}} \qquad (۱)$$

که در این رابطه Is یک مقدار ثابت دارد و $V_T=kT/q$. V_{GS} ولتاژ گیت-سورس و V_{DS} و V_E نیز به ترتیب ولتاژ درین-سورس و ولتاژ ارلی[1] هستند. در این رابطه n ضریب شیب نام دارد و مقداری بیشتر از ۱ دارد، در حالی که W/L نیز نسبت طول به عرض ترانزیستور است [۲۵].

مدار در نظر گرفته شده برای این بلوک در شکل ۱۹ مشاهده می‌شود.



شکل ۱۹: مدار مولد تابع سهمی (مربع کننده)

Figure 19. Parabolic function generator circuit (squaring)

اساس کار این مدار بدین صورت است که در حلقه‌ای که با خط چین نشان داده شده است مجموع ولتاژهای گیت - سورس طبق رابطه ۲ برابر صفر می‌شود [۲۵]:

$$V_{GS4} + V_{GS5} = V_{GS6} + V_{GS7} \qquad (۲)$$

با توجه به رابطه‌ی نمایی ذکر شده برای ترانزیستور در ناحیه‌ی زیر آستانه این رابطه‌ی حاصل‌جمع به رابطه‌ی حاصلضرب تبدیل خواهد شد. با توجه به اینکه سایز ترانزیستورهای را باید یکسان در نظر بگیریم و با توجه به منابع جریان قرار داده شده و جریان‌های ورودی و خروجی طبق رابطه ۳ خواهیم داشت:

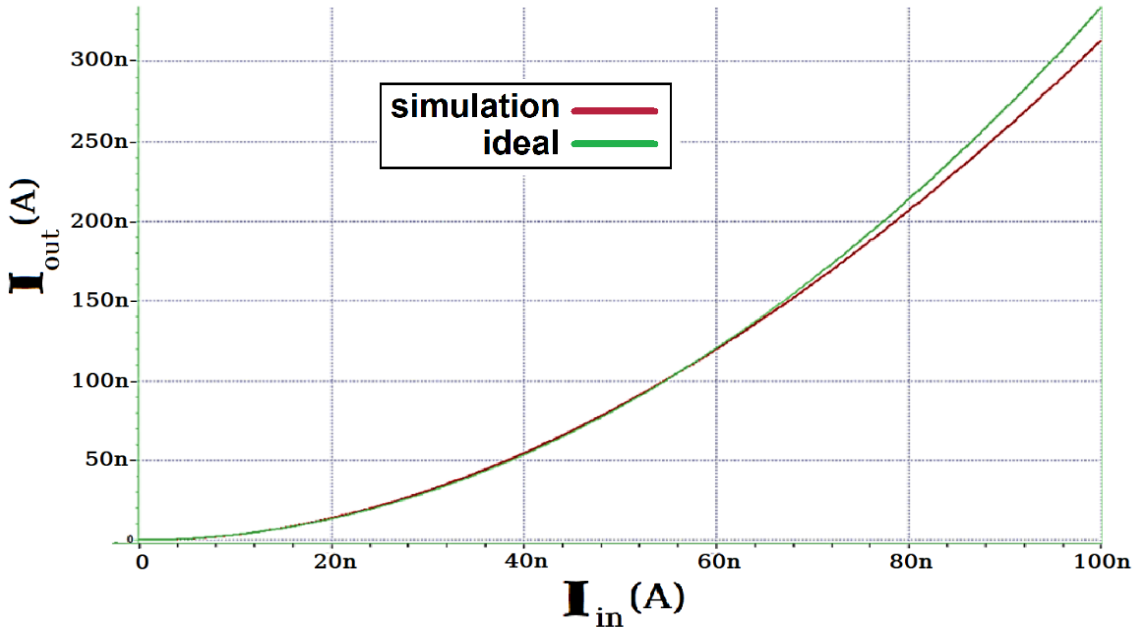
$$I_{D4} \times I_{D5} = I_{D6} \times I_{D7} \qquad (۳)$$

و در نتیجه طبق رابطه ۴ داریم:

$$I_{out} = \frac{I_{in}^2}{I_{den}} \qquad (۴)$$

همان‌طور که می‌بینیم جریان خروجی این مدار به صورت مربع جریان ورودی تقسیم بر یک مقدار ثابت به دست می‌آید. نتیجه‌ی شبیه‌سازی این مدار به ازای قرار دادن جریان Iden برابر با ۳۰ نانوآمپر در شکل ۲۰ مشاهده می‌شود. از آنجایی که تنظیم‌پذیری شیب مدار به دقت عملکرد این مدار بستگی دارد و باید برای یک بازه‌ی وسیع با دقت عمل کند، جریان Iden را تغییر می‌دهیم تا دقت مدار بررسی گردد. همان‌طور که در شکل ۲۱ مشاهده می‌شود، این مدار با دقت قابل قبولی برای جریان‌های Iden بزرگ‌تر از ۳۰ نانوآمپر، جریان ورودی را مربع می‌کند.

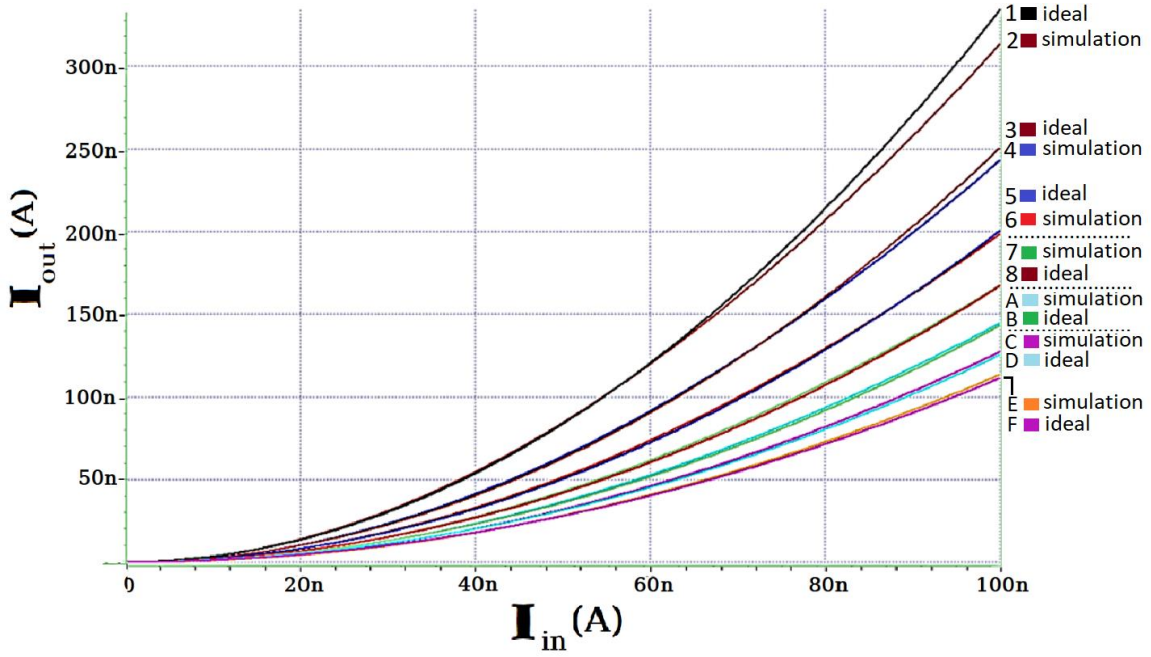
[1] Early voltage



شکل ۲۰: خروجی مدار مربع کننده

Figure 20. Squaring circuit output

در واقع هرچه جریان مخرج بزرگ‌تر شود جریان خروجی کوچک‌تر می‌شود که در این جا در حال دیدن تغییرات جریان خروجی به ازای جریان‌های Iden از ۳۰ تا ۹۰ نانوآمپر با پله‌های ۱۰ نانوآمپری هستیم. پرواضح است که مدار با دقت قابل قبولی در حال مربع‌گیری از جریان ورودی برای یک بازه‌ی خوب جهت طراحی قسمت‌های مداری است.



شکل ۲۱: تنظیم پذیری مدار مربع‌کننده و مقایسه‌ی حالات مختلف با منحنی ایده‌آل

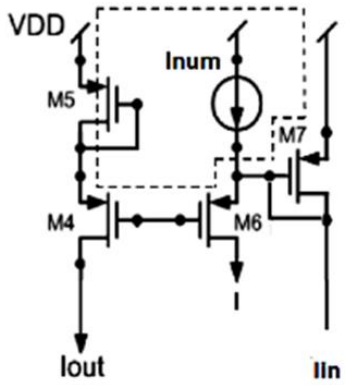
Figure 21. Adjustability of the squaring circuit and comparison of different states with the ideal curve

۳-۵- طراحی مدار رادیکال‌گیر

مدار رادیکال‌گیر نیز بر مبنای همان مدار مربع‌کننده به دست می‌آید، با این تفاوت که جای جریان ورودی و خروجی را باید عوض کرد. مدار شکل ۲۲ همان مدار شکل ۱۹ است که با جابه‌جا کردن جریان‌های خروجی و ورودی می‌توان رابطه‌ی ۵ را به دست آورد:

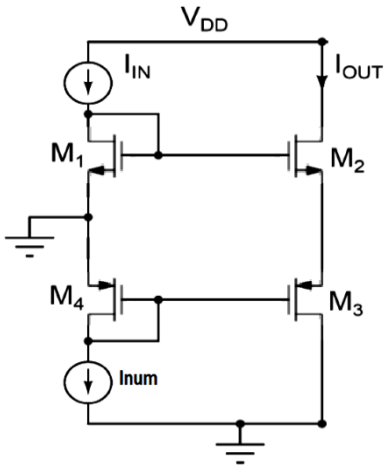
$$I_{D4} = \sqrt{I_{in} \cdot I_{num}} \quad (۵)$$

لازم به ذکر است که در این مدار ترانزیستور M7 به شکل بار در آمده است تا پذیرای جریان ورودی باشد و ترانزیستور M4 هم از حالت بار خارج شده تا بتواند جریان خروجی را به بار دهد، ولی نکته‌ی قابل تأمل این است که به علت اتصال کوتاه پیش آمده بین درین و گیت ترانزیستور M7 و اتصال منبع جریان به نقطه‌ی ورود جریان سبب عملکرد بد مدار می‌شود.



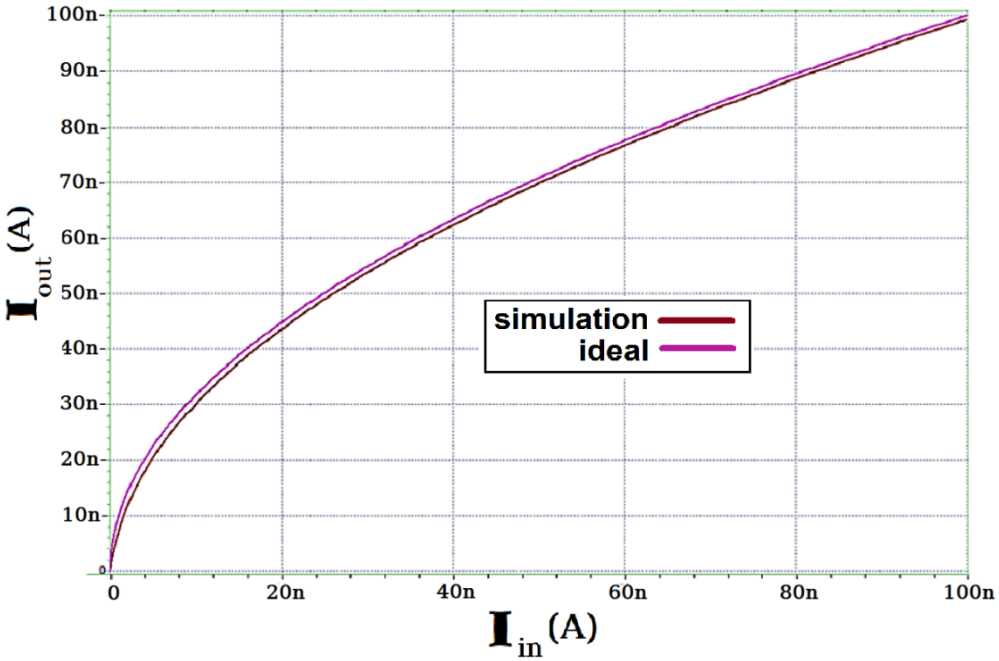
شکل ۲۲: تغییر ورودی و خروجی مدار مربع کننده جهت ساخت مدار رادیکال‌گیر
Figure 22. Changes in the input and output of the squaring circuit to realize the square root circuit

نکته‌ی قابل تأمل این مدار استفاده از ترانزیستورهای PMOS است که به علت کندی حامل‌های حفره نسبت به الکترون باید سایز آن‌ها را سه برابر ترانزیستورهای NMOS در نظر بگیریم تا در روابط ولتاژ به جریان تمامی پارامترها به صورت یکسان حذف شوند. مدار رادیکال‌گیر شبیه‌سازی شده در شکل ۲۳ مشاهده می‌شود.



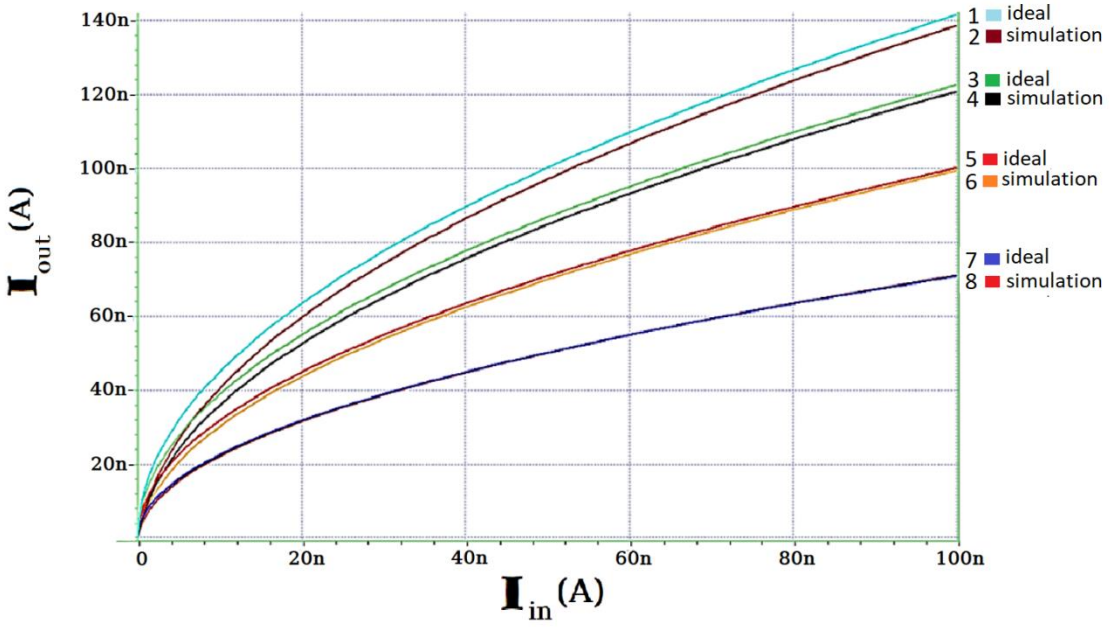
شکل ۲۳: مدار رادیکال‌گیر شبیه‌سازی شده
Figure 23. Simulated square root circuit

نتایج شبیه‌سازی این مدار به ازای جریان Inum برابر ۱۰۰ نانوآمپر در شکل ۲۴ مشاهده می‌شود. دقت این مدار نیز برای عملکرد کاری برای تغییر شیب و تولید توان بسیار قابل قبول است.



شکل ۲۴: خروجی مدار رادیکال گیر
Figure 24. Square root circuit output

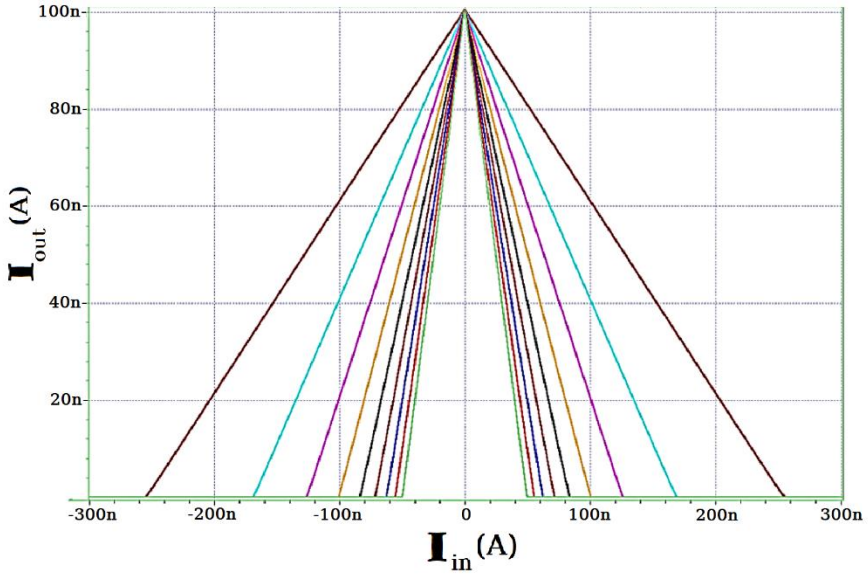
برای این قسمت نیز تنظیم‌پذیری و دقت بررسی می‌شود. جریان Inum از ۵۰ تا ۲۰۰ نانوآمپر تغییر داده شده و مشاهده می‌شود که برای جریان‌های پایین دقت مدار بیشتر شده است. برنامه‌پذیری مدار رادیکال‌گیر در شکل ۲۵ مشاهده می‌شود.



شکل ۲۵: برنامه‌پذیری مدار رادیکال‌گیر
Figure 25. Programmability of the square root circuit

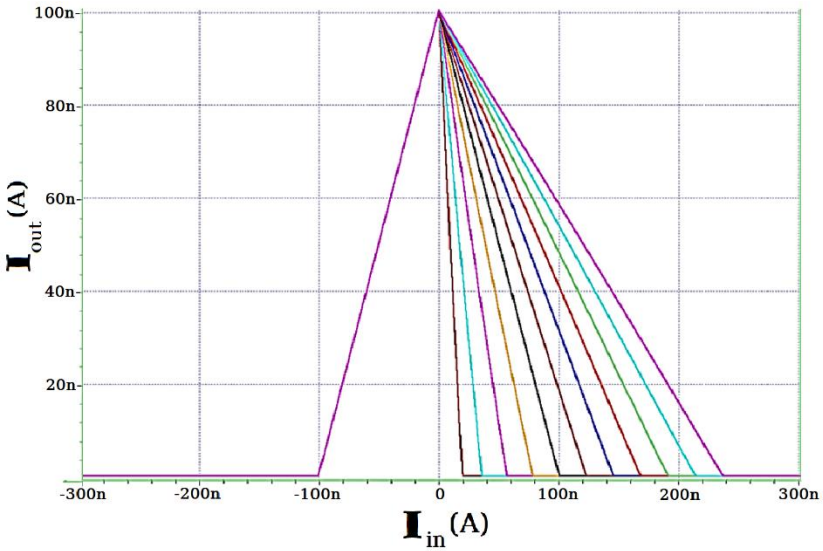
با توجه به آنچه بیان شد، با اتصال مدارهای مربع‌کننده و رادیکال‌گیر می‌توان شیب مدار را تنظیم نمود. باید توجه داشت که شیب با رادیکال نسبت‌های Inum/Iden ارتباط دارد. پس وقتی می‌خواهیم شیب ۲ را قرار دهیم باید نسبت آن‌ها ۴ به ۱ در نظر گرفته شود. با توجه به دقت مدار، بهترین گزینه قرار دادن نسبت ۱۰۰ به ۲۵ است. یا برعکس با قرار دادن نسبت ۲۵ به ۱۰۰

شیب ۰/۵ ایجاد شود. شکل ۲۶ نمونه‌ی تغییرات ایجاد شده به ازای اعمال جریان‌های مختلف صورت و مخرج است. در اینجا شیب از ۰/۵ تا ۲/۵ تغییر داده شده است که برای بسیاری از کاربردهای فازی مناسب و کافی است.



شکل ۲۶: تنظیم شیب مدار فازی ساز با استفاده از مدارات مربع کننده و رادیکال گیر
Figure 26. Slope adjustment of fuzzifier circuit using squaring and square root circuits

در صورتی که مدار تنظیم شیب دوطرفه تغییر نکند و تنها تنظیم شیب داخل یکسوساز فعال باشد، فقط تغییرات شیب یک طرف مدار را خواهیم داشت که به عنوان یکی از ایده‌های مطرح شده در این مقاله است. همان طور که در شکل ۲۷ مشاهده می‌شود این تغییرات با دقت قابل قبولی در لبه‌ی پایین رونده‌ی مثلث فازی‌ساز ایجاد شده است.

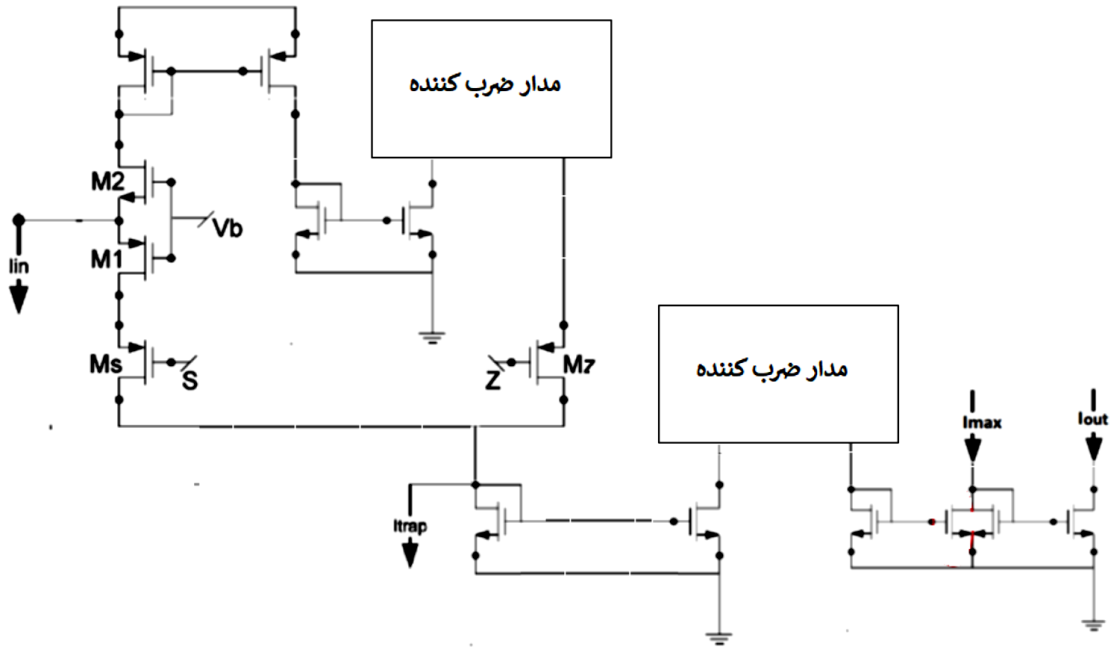


شکل ۲۷: تنظیم پذیری مدار فازی ساز برای تنظیم شیب یک طرفه
Figure 27. Capability of the fuzzifier circuit to adjust slope at one edge

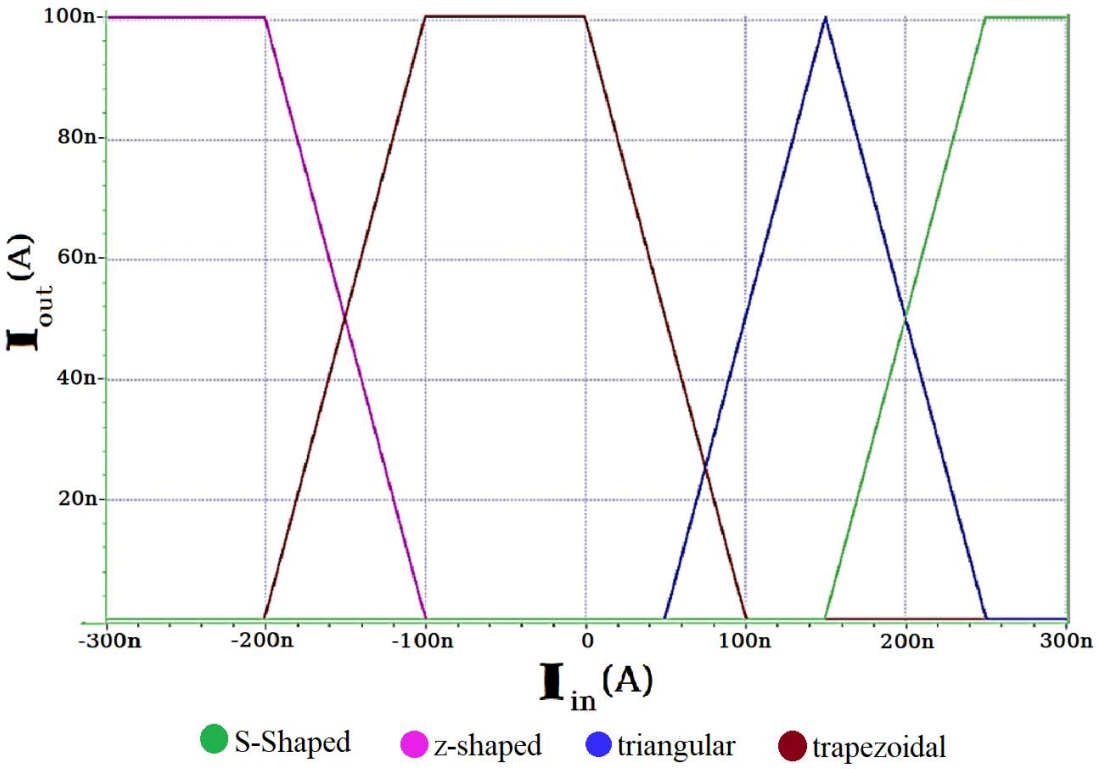
نهایتاً مدار فازی ساز به صورت شکل ۲۸ پیشنهاد می‌شود که دارای قابلیت‌های زیر است و نمونه خروجی آن در شکل ۲۹ مشاهده می‌شود:

۱. قابلیت تولید تمامی اشکال به صورت کاملاً تنظیم پذیر و آنالوگ .
۲. قابلیت تنظیم شیب بالارونده و پایین رونده‌ی مجزا و به صورت کاملاً پیوسته .

۳. محدوده‌ی جریان ورودی مثبت و منفی متقارن به بزرگی بیش از ۰/۵ میکروآمپر .
٤. قابلیت تنظیم حداکثر جریان خروجی .



شکل ۲۸: مدار پیشنهادی فازی‌ساز
Figure 28. Proposed fuzzifier circuit



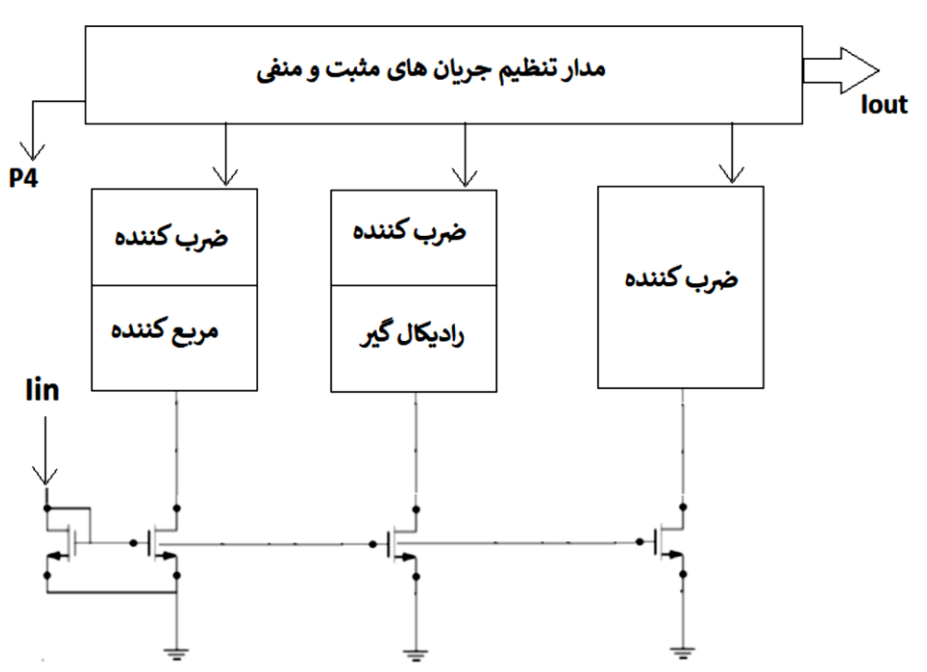
شکل ۲۹: نمونه‌ای از خروجی‌های تولید شده توسط فازی‌ساز پیشنهادی
Figure 29. An example of the outputs generated by the proposed fuzzifier

۳-۶- طراحی مدار مولد توان

در این قسمت، هدف طراحی مداری است که بتواند جریان خروجی فازی‌ساز را به هر توان دلخواهی بین ۰ تا ۴ برساند. ساده‌ترین روشی که تاکنون برای مدل‌سازی مدارات تولید توابع توان‌دار ارائه شده در [۱۷] آورده شده است. هر تابع توان‌داری را می‌توان توسط مجموعی از توابع سهمی، رادیکالی، خطی و ثابت طبق رابطه ۶ تخمین زد [۱۷]:

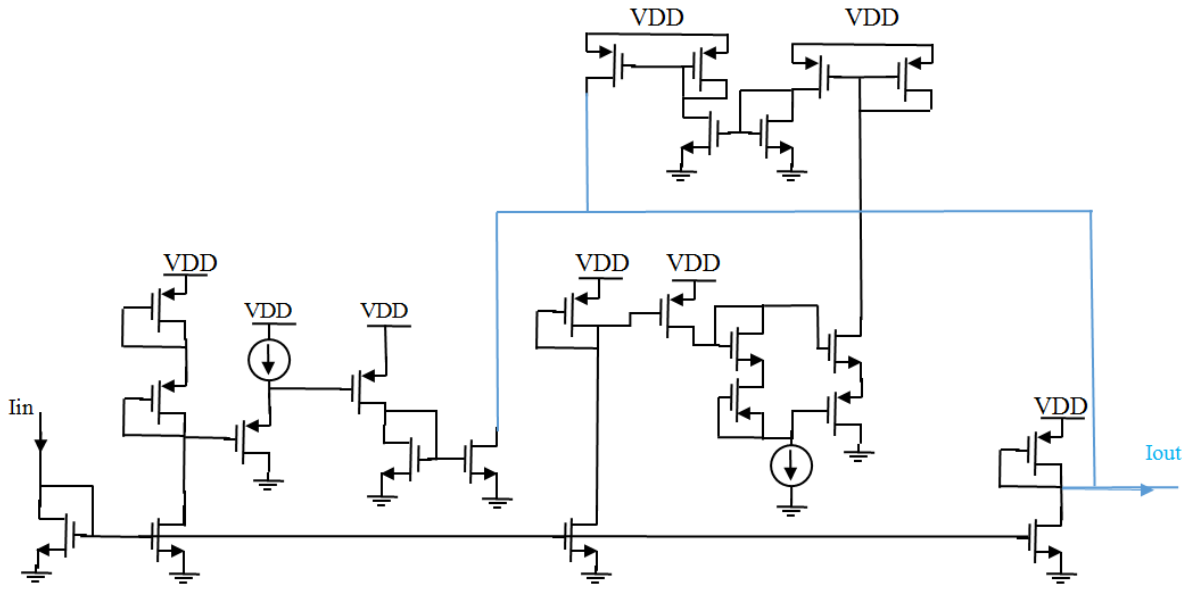
$$x^a = P_1.x^2 + P_2.x + P_3.\sqrt{x} + P_4 \qquad (۶)$$

البته این تقریب تا توان‌های ۲ جوابگو بوده و برای توان‌های بیشتر از ۲ بدین صورت عمل می‌شود که ابتدا داده را به توانی نصف توان مورد نظر که کمتر از ۲ است، رسانده و سپس آن را مربع نموده تا توان مورد نظر به دست آید. برای پیاده‌سازی این فرمول از بلوک‌دیاگرام ارائه شده در شکل ۳ استفاده می‌کنیم، که در واقع در این بلوک‌دیاگرام برای تولید یک تابع توان‌دار جریان ورودی به توان دو رسیده، رادیکال می‌گیریم و به همراه ضرایبی که به آن‌ها می‌دهیم با خود تابع (به همراه یک ضریب) و یک جریان ثابت جمع می‌شود. برای تولید توان بر اساس تقریب بیان‌شده مدار بلوکی شکل ۳۰ را پیشنهاد می‌دهیم. در این مدار ابتدا جریان خروجی فازی‌ساز را آینه کرده و به مدارات مربع‌کننده و رادیکال‌گیر منتقل می‌شود. خروجی این مدارات را به یک مدار ضرب‌کننده نیز می‌دهیم تا ضریب مورد نظر ما اعمال شود. سپس، یک نسخه دیگر از جریان فازی‌ساز به همراه جریان‌های خروجی این دو مدار به یک مدار ضرب‌کننده ارسال می‌شود تا ضریب مورد نظر برای ساخت توان مورد نیاز در دسترس باشد. متناسب با مثبت و یا منفی بودن ضریب، جریان‌های به دست آمده را با همدیگر جمع و تفریق نموده تا توان مورد نظر تولید شود. برای این منظور از کدهای دیجیتال برای هرکدام استفاده شده است. در صورتی که توان مورد نظر بیشتر از ۲ بود، پس از تولید نصف آن توان با اعمال یک بیت، جریان را وارد یک مربع کننده‌ی دیگر کرده و به توان مورد نظر می‌رسیم. در این مدار جریان‌های Inum و Iden را باید ۱۰۰ نانوآمپر که مقدار حداکثر جریان فازی‌ساز است قرار دهیم.



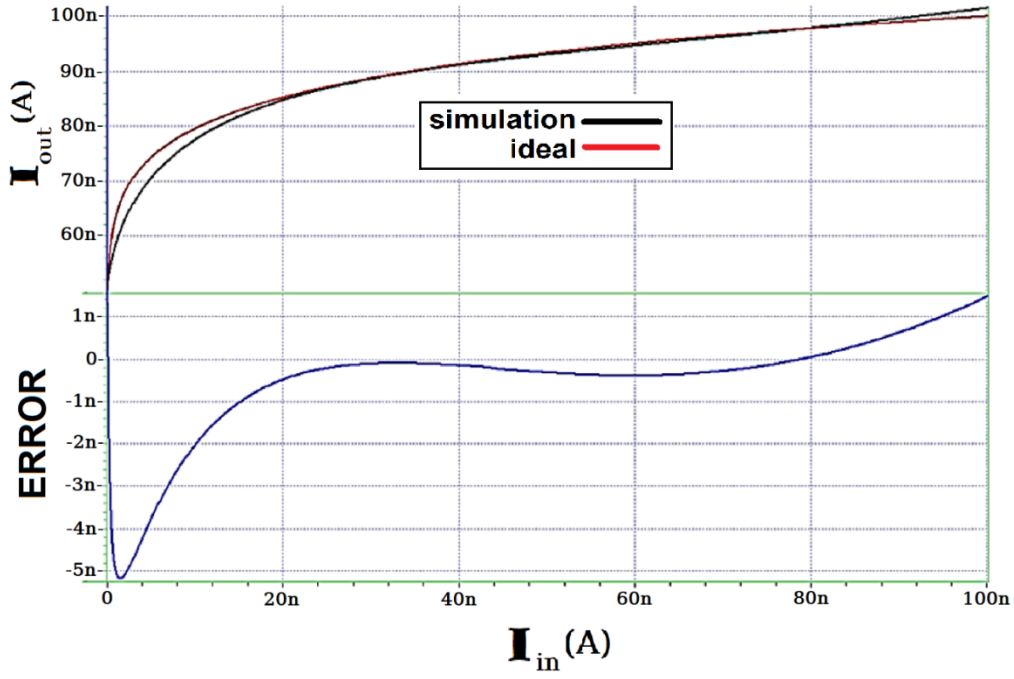
شکل ۳۰: بلوک دیاگرام پیشنهادی با استفاده از مدارات شبیه سازی شده‌ی مربع‌کننده و رادیکال‌گیر
Figure 30. Proposed block diagram using simulated squaring and square root circuits

مدار در سطح ترانزیستوری مربوط به شکل ۳۰، در شکل ۳۱ رسم شده است که این مدار را برای حالات مختلف شبیه‌سازی نموده و نتایج موردنظر به دست آمده است.



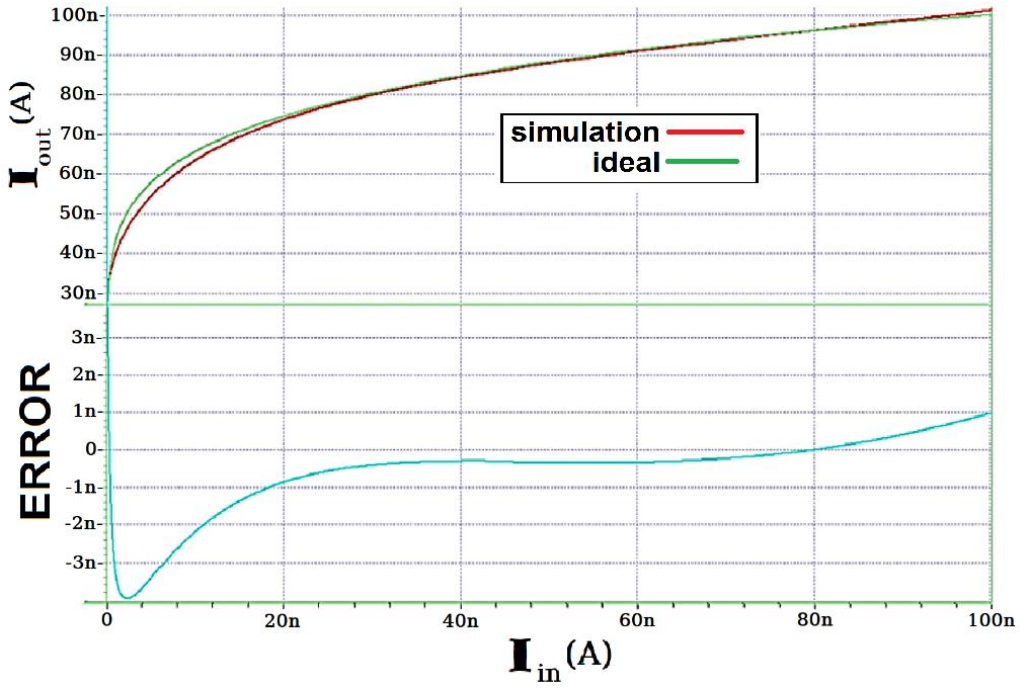
شکل ۳۱: مدار پیشنهادی با استفاده از مدارات شبیه سازی شده‌ی مربع‌کننده و رادیکال‌گیر
Figure 31. Proposed circuit using simulated squaring and square root circuits

در شکل ۳۲ یک توان بسیار کوچک شبیه‌سازی شده است. این توان عدد ۰/۱ است که برای تولید آن ضرایب تقریب به ترتیب برابر ۰/۳۱۵ و ۱/۰۴۱- و ۱/۲۳۵ و ۰/۵ است. میزان خطای حاصل از شبیه‌سازی این توان نیز در همان شکل قابل مشاهده است که در جریان‌های کم تا ۵ نانوآمپر هم می‌رسد. البته این میزان در بسیاری از جریان‌ها زیر ۱ نانوآمپر یعنی کمتر از ۱٪ است. لازم به ذکر است که این توان بسیار کم کارکرد بوده و احتمال استفاده از آن بسیار کم است و با توجه به میزان کوچکی آن، احتمال این خطاها که هم ناشی از تقریب و هم ناشی از مدار است افزایش می‌یابد.



شکل ۳۲: خروجی مدار برای تولید توان ۰/۱
Figure 32. Circuit output for a power of 0.1

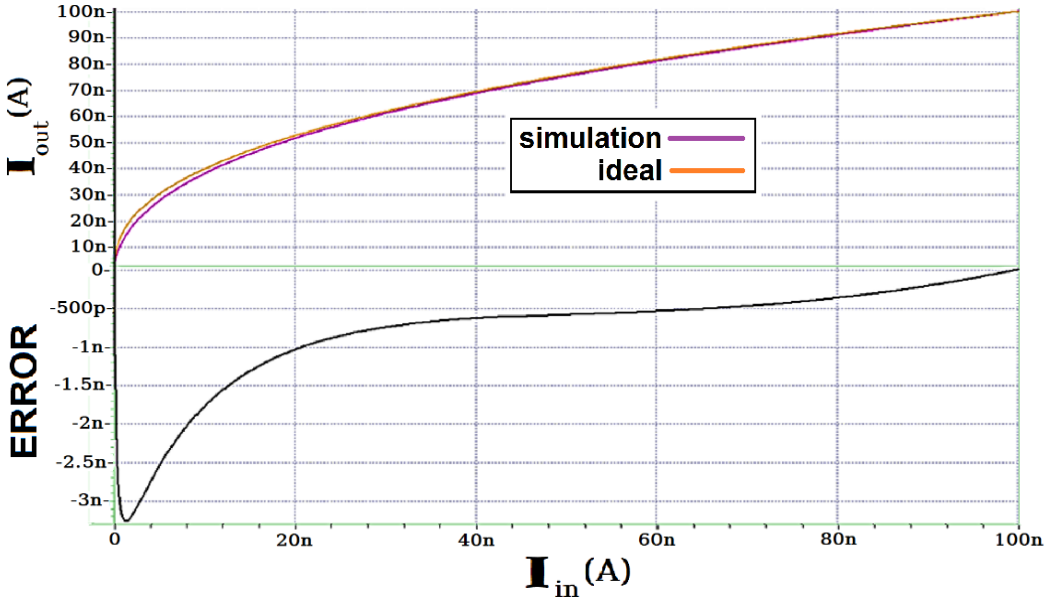
در شکل ۳۳ تولید توان ۰/۱۸۳۶ مشاهده می‌شود که این توان با توجه به اینکه هنوز نسبتاً کوچک است خطای نسبتاً کمتری



شکل ۳۳: خروجی مدار برای تولید توان ۰/۱۸۳۶

Figure 33. Circuit output for a power of 0.1836

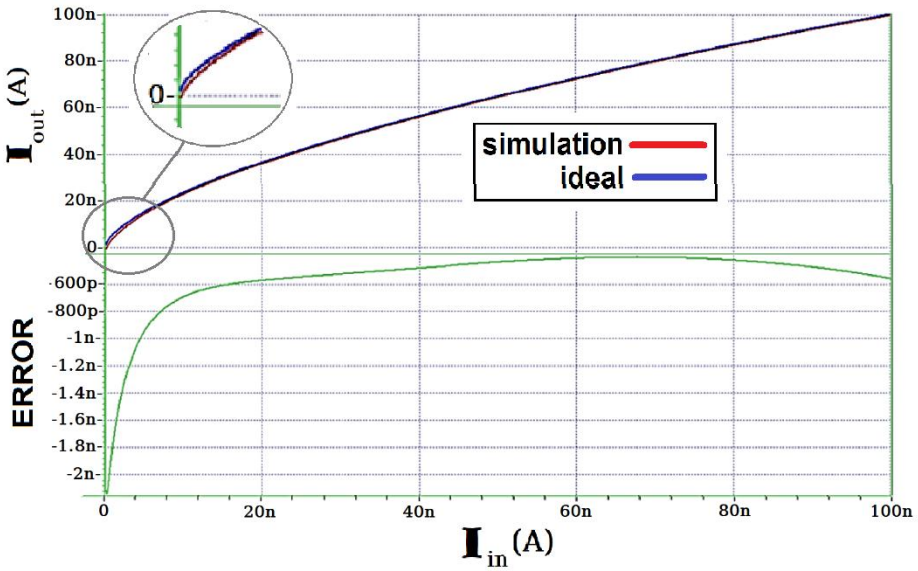
نسبت به توان قبل دارد. خروجی مدار یک تابع با توان کسری است، بنابراین توان بصورت نسبی است و واحد ندارد. در شکل ۳۴ تولید توان ۰/۴ که عددی نزدیک به ۰/۵ است مشاهده می‌شود. برای تمامی توان‌های زیر ۰/۵ ضریب P2 منفی و باقی ضرایب مثبت هستند. خطا در این حالت در حداکثر میزان خود به ۳٪ رسیده است.



شکل ۳۴: خروجی مدار برای تولید توان ۰/۴

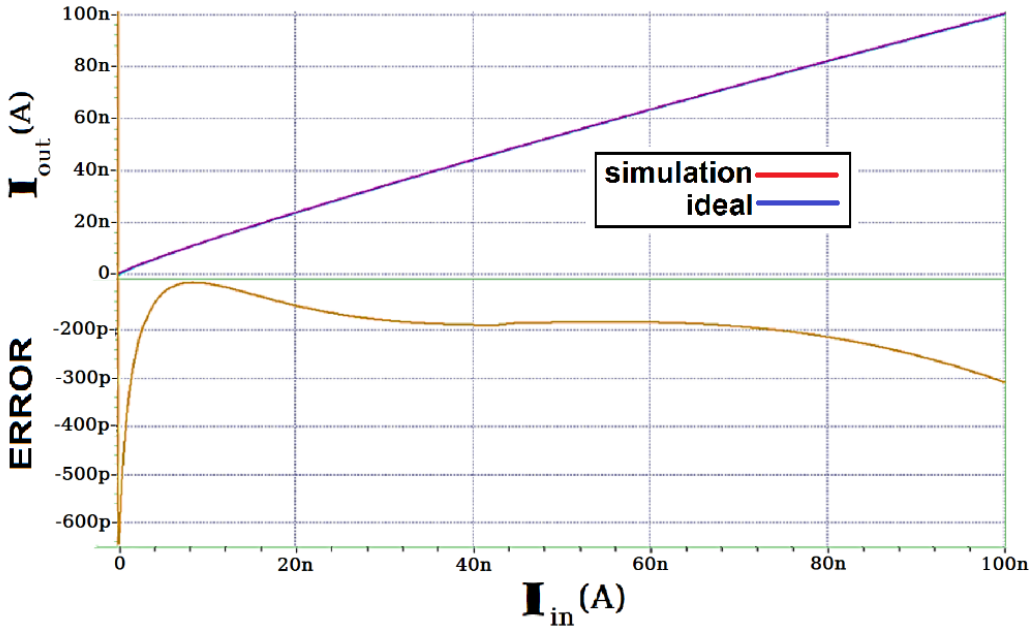
Figure 34. Circuit output for a power of 0.4

در شکل ۳۵ توان‌های بین ۰/۵ تا ۱ مدنظر است و توان ۰/۶۳ مشاهده می‌شود که خطای بسیار کمی دارد.



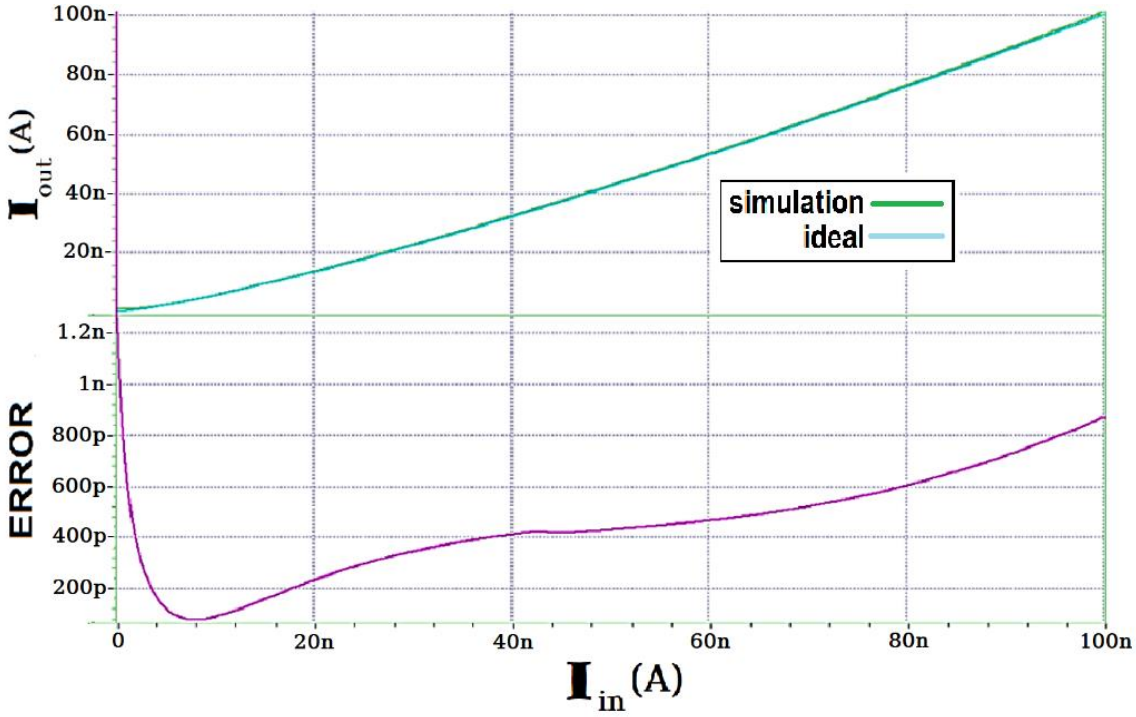
شکل ۳۵: خروجی مدار برای تولید توان۰/۶۳
Figure 35. Circuit output for a power of 0.63

در شکل ۳۶ تولید توان ۰/۹ در دستور کار قرار گرفته است که توانی نزدیک به یک است. خطای مدار پیشنهادی در این حالت در کمترین حالت خود قرار دارد.

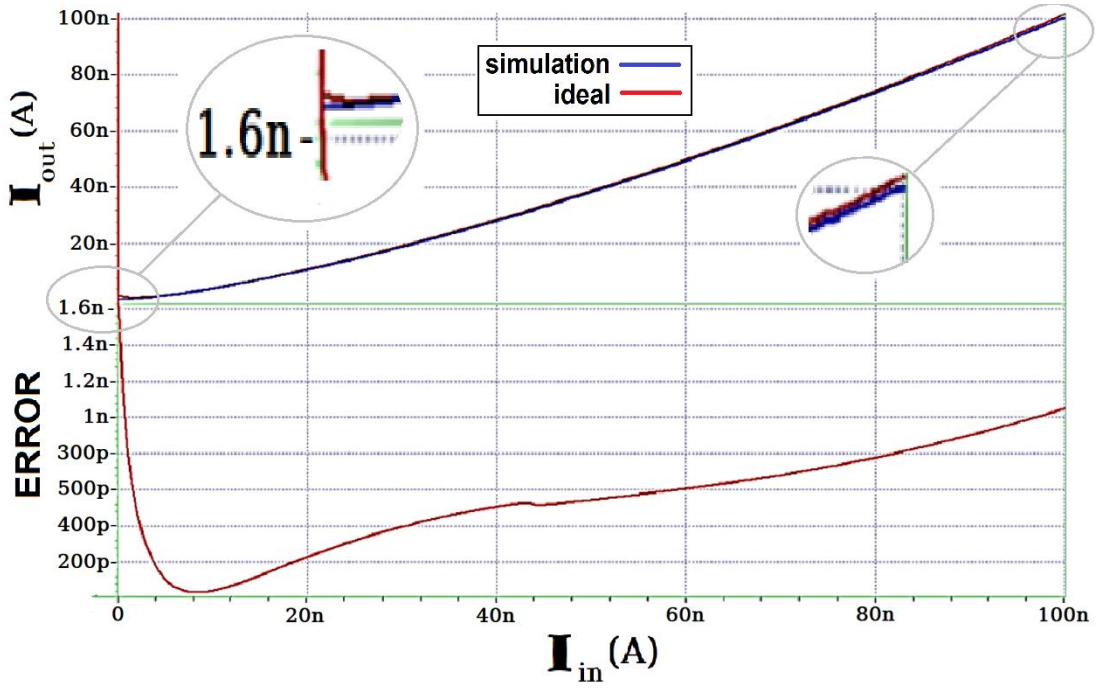


شکل ۳۶: خروجی مدار برای تولید توان ۰/۹
Figure 36. Circuit output for a power of 0.9

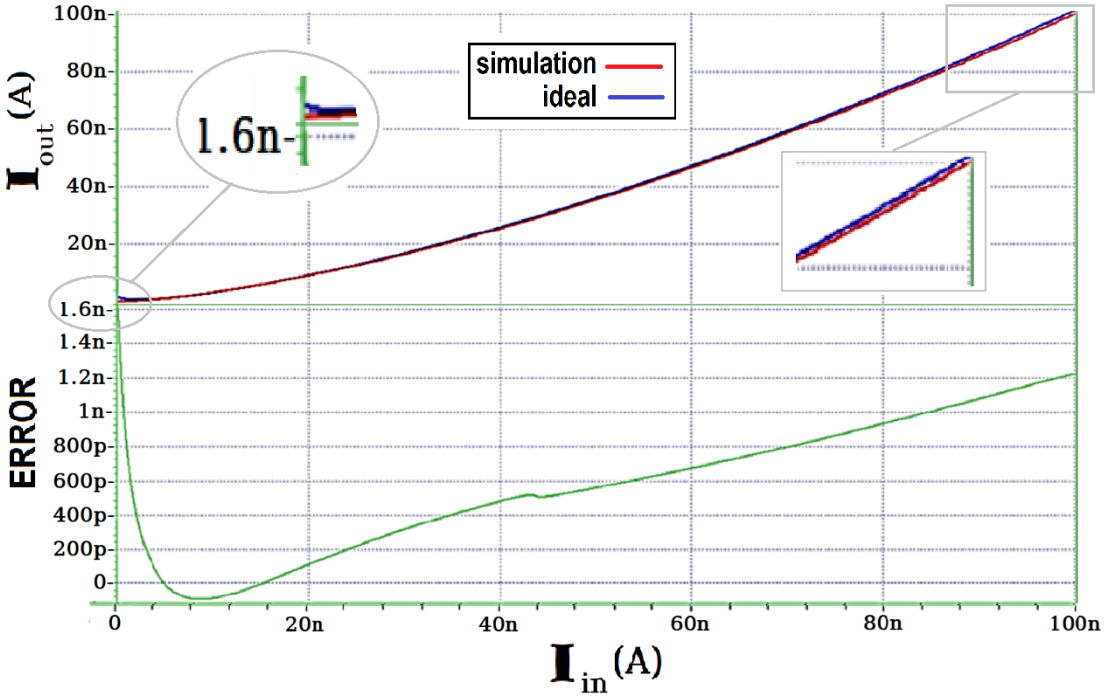
در شکل‌های ۳۷، ۳۸ و ۳۹ به ترتیب تولید توان‌های ۱/۲۵، ۱/۳۹ و ۱/۵ را مشاهده می‌کنیم که توان‌های بالاتر از ۱ و کمتر از ۲ هستند. برای تولید این توان‌ها نیز تنها ضریب P3 منفی است. خطای حاصل از تولید این توان‌ها نیز کمتر از ۱/۵ درصد است.



شکل ۳۷: خروجی مدار برای تولید توان ۱/۲۵
Figure 37. Circuit output for a power of 1.25



شکل ۳۸: خروجی مدار برای تولید توان ۱/۳۹
Figure 38. Circuit output for a power of 1.39



شکل ۳۹: خروجی مدار برای تولید توان ۱/۵
Figure 39. Circuit output for a power of 1.5

۴- ارزیابی و مقایسه با پژوهش‌های پیشین:

در جدول ۱، مقایسه‌ای بین کارهای انجام شده‌ی پیشین که از لحاظ کاربردی در پردازش سیگنال قابل ملاحظه هستند و طرح پیشنهادی انجام شده است. لازم به ذکر است که تمامی کارهای گزارش شده در ناحیه‌ی بالای آستانه کار می‌کنند که به همین دلیل، توان مصرفی بیشتری نسبت به طرح پیشنهادی دارند. از آنجایی که طراحی در ناحیه‌ی زیر آستانه سبب کند شدن عملکرد مدار می‌شود و این امر در کنترلرها اهمیت چندانی ندارد، کاهش توان مصرفی در ساختار پیشنهادی عملاً یک فایده‌ی بدون زیان محسوب می‌گردد. از طرفی مشاهده می‌کنیم که با ساخت مدارات در ناحیه‌ی زیر آستانه ساخت مدارات مربع‌کننده و رادیکال‌گیر با دقت بهتری انجام شده است که نهایتاً منجر به کاهش چشمگیر خطای کلی ساختار پیشنهادی می‌گردد، به گونه‌ای که کمترین میزان خطا بین تمامی مقالات ارائه شده در طرح پیشنهادی به دست آمده است.

۵- نتیجه‌گیری

در این مقاله، یک مدار مولد توابع توان‌دار ارائه شده که در آن برای تولید توابع توان‌دار از تقریب توابع سهمی و رادیکالی استفاده شده است. ویژگی مدارهای پیشنهادی، کارکرد مؤثر و کم توان زیر ولتاژ آستانه است. برای تنظیم ضرایب تقریب در تولید گستره‌ی وسیعی از توان‌ها، از یک مدار ضرب‌کننده‌ی آنالوگ که از پشت سر هم بستن مدارات مربع‌کننده و رادیکال‌گیر به دست می‌آید استفاده شده است. برای عملکرد بهتر این ضرب‌کننده، مدارات بایستی قابلیت عملکرد صحیحی در گستره وسیعی از جریان‌ها را داشته باشند. برای نشان دادن عملکرد مدار، یک مدار فازی‌ساز متناسب با مدار مولد توان نیز بر اساس مدارات یکسوساز طراحی شده است. تمام پارامترهای لازم برای مدار فازی‌ساز که نیاز به کنترل داشتند به نحوی طراحی شد که مدار قابلیت تغییر آنالوگ تمامی متغیرها را داشته باشد. برای اولین بار در این مقاله، مداری با قابلیت تغییر جداگانه‌ی شیب‌های بالارونده و پایین رونده پیشنهاد شده است. نتایج شبیه‌سازی مدار پیشنهادی که در تکنولوژی ۰/۳۵ میکرون و توسط نرم‌افزار HSPICE انجام شده بیانگر دقت بالای مدار برای ساخت توابع توان‌دار با قابلیت تغییر پیوسته‌ی توان است. برای تولید توان نیز از تنظیم ضرایب توسط منابع جریان بهره برده شده که نشان‌دهنده‌ی قابلیت بالای مدار برای تنظیم توان‌های پیوسته است.

Table 1. Comparison with designs in the literature

جدول ۱: مقایسه با کارهای پیشین

مرجع	تکنولوژی (میکرومتر)	منبع تغذیه (ولت)	محدوده جریان ورودی (میکرو آمپر)	توان مصرفی (میکروواوت)	دقت	خطا (درصد)	تقریب	اندازه‌گیری
[۱۵]	۰/۳۵	۳/۳	۰ الی ۳۰	–	–	–	ندارد	**ساخت**
[۳]	۰/۳۵	۳/۳	۰ الی ۳۰	–	۰/۱۲۵	–	ندارد	**شبیه سازی**
[۱۶]	۰/۳۵	۳/۳	۰ الی ۳۰	۱/۰۵	۰/۳۱۰	۱/۴۲	دارد	**شبیه سازی**
[۲۸]	۰/۳۵	۲/۵	۴۰ الی ۱۳۰	۰/۹۷	پیوسته	۳	ندارد	**ساخت**
[۱۷]	۰/۳۵	۳/۳	۰ الی ۱۰	۰/۸	پیوسته	۱/۲۵	دارد	**شبیه سازی**
[۲۰]	۰/۱۸	۰/۵	۰ الی ۰.۲	۰/۴۸	پیوسته	۱/۰۵	ندارد	**شبیه سازی**
[۲۵]	۰/۳۵	–	۰ الی ۱۰	–	پیوسته	۰/۰۳	دارد	**شبیه سازی**
[۲۹]	۰/۰۱۴(FinFET)	±۰/۵	۰ الی ۰/۱	۰/۱	پیوسته	۲/۳۵	دارد	**شبیه سازی**
[۳۰]	۰/۱۸	۱/۸	مد ولتاژ	۲/۶۱	پیوسته	–	دارد	**شبیه سازی**
[۲۳]	۰/۶۵	۱/۲	۰ الی ۳۰	۰/۸۳	پیوسته	۵/۲	دارد	**شبیه سازی**
طرح پیشنهادی	۰/۳۵	۱/۳	۰ الی ۰/۱	۰/۰۰۳۶	پیوسته	۰/۸	دارد	**شبیه سازی**

مراجع

[1] J. Wang, J. Wang, X. Cheng, J. Han and X. Zeng, "A Synthesis Friendly Dynamic Amplifier with Fuzzy-Logic Piecewise-Linear Calibration," *Proceedings of 2022 IEEE International Symposium on Circuits and Systems (ISCAS), Austin, TX, USA*, 2022, pp. 2933-2937.

[2] J.C. Guzmán, L.Miramontes, P.Melin, and G.Arechi, "Optimal genetic design of type-1 and interval type-2 fuzzy systems for blood pressure level classification," *Axioms*, vol. 8, pp. 1-8, Jan 2019.

[3] M.Kashtiban, M., A. Khoei, and K. Hadidi, "A current-mode, first-order Takagi-Sugeno-Kang fuzzy logic controller, supporting rational-powered membership functions," *IEICE transactions on electronics*, vol.90, pp. 1258-1266. June 2007.

[4] L.A. Zadeh, *Fuzzy sets, in Fuzzy sets, fuzzy logic, and fuzzy systems*, World Scientific. 1996, pp. 394-432.

[5] L.A. Zadeh, "The concept of a linguistic variable and its application to approximate reasoning," *Information sciences*, vol. 8, pp. 199-249, 1975.

[6] J.L. Huertas, S. Sanchez-Solano, I. Baturone, and A. Barriga, "Integrated circuit implementation of fuzzy controllers," *IEEE Journal of Solid-State Circuits*, vol. 31, pp. 1051-1058, July 1996.

[7] A. Esmaili, A. Khoei, and K. Hadidi, "A high speed and compact mixed-signal CMOS fuzzifier," *Journal of Circuits, Systems, and Computers*, vol. 15, pp. 659-669, 2006.

[8] K. Basterretxea, J. Tarela, and I. Del Campo, "Digital Gaussian membership function circuit for neuro-fuzzy hardware," *Electronics Letters*, vol.42, pp. 44-46, 2006.

[9] S. Azimi, and H. Miar-Naimi, "Designing programmable current-mode Gaussian and bell-shaped membership functio," *Analog Integrated Circuits and Signal Processing*, vol. 102, pp. 323-330, 2020.

[10] A. Bozorgmehr, M. K. Qaleh Jooq, M.H. Moaiyeri, K. Navial and N.Bagherzadeh, "A high-performance fully programmable membership function generator based on 10 nm gate-all-around CNTFETs," *AEU-International Journal of Electronics and Communications*, vol. 123, pp. 153-293, August 2020.

[11] S. Karami, H. Ghasemian, E. Abiriet, M. R. Salehial, "An analog multi-shaped and fully programmable twin-cell mfg structure in 65nm cmos technology," *Proceedings of the 27th Iranian Conference on Electrical Engineering (ICEE)*, 2019, pp. 195-200.

[12] D. Ochao, S. Martinez, and P.Arevalo, "A Novel Fuzzy-Logic-Based Control Strategy for Power Smoothing in High-Wind Penetrated Power Systems and Its Validation in a Microgrid Lab," *Electronics Journal*, vol. 12, pp.1721-1730, 2023.

[13] A. Bozorgmehr, M. K. Qaleh Jooq, M.H. Moaiyeri, K. Navial and N.Bagherzadeh, "A novel digital fuzzy system for image edge detection based on wrap-gate carbon nanotube transistors," *Computers & Electrical Engineering*, vol.87, pp. 106811, October 2020.

[14] A. Bozorgmehr, M.H. Moaiyeri, K. Navial and N.Bagherzadeh, "Ultra-efficient fuzzy min/max circuits based on carbon nanotube FETs," *IEEE Transactions on Fuzzy Systems*, vol. 26, pp. 1073-1078, April 2017.

[15] C.-Y. Chen, Y.-T. Hsieh, and B.-D. Liu, "Circuit implementation of linguistic-hedge fuzzy logic controller in current-mode approach," *IEEE Transactions on Fuzzy Systems*, vol. 11, pp. 624-646, October 2003.

[16] A. Naderi, A. Khoei, and K. Hadidi, "Circuit implementation of high-resolution rational-powered membership functions in standard CMOS technology," *Analog Integrated Circuits and Signal Processing*, vol. 65, pp. 217-223, 2010.

[17] S. Moshfe, P. Hoseini, A. Khoei, K. Hadidi, "A fully programmable analog CMOS rational-powered membership function generator with continuously adjustable high precision parameters," *Circuits, Systems, and Signal Processing*, vol. 33, pp. 1337-1352, May 2014.

[18] M. Mokarram, A. Khoei, and K. Hadidi, "CMOS fuzzy logic controller supporting fractional polynomial membership functions," *Fuzzy Sets and Systems*, vol. 263, pp. 112-126, 2014.

[19] M.T. Abuelmaatti, and A. Kurniawan, "New design for current-mode rational-powered membership function generator," *Proceedings of the AIP Conference Proceedings*, November 2019, pp. 1-8.

[20] M.M Maryan, and S.J. Azhari, "Ultra low-power low-voltage FGMOS based-configurable analog block for current-mode fractional-power functions," *Microelectronics Journal*, vol. 64, pp. 99-105, 2017.

[21] P. U. Sathyakam, P.S. Mallick, and A.A. Saxena, "High speed subthreshold operation of carbon nanotube interconnects," *IET Circuits, Devices & Systems*, vol. 13, pp. 526-533, 2019.

[22] M. Gourdouparis, V. Alimisis, C. Dimas, P.P. Sotiriadis, "An ultra-low power,±0.3 V supply, fully-tunable Gaussian function circuit architecture for radial-basis functions analog hardware implementation," *AEU-International Journal of Electronics and Communications*, vol. 136, pp. 153755, July 2021.

[23] H. Ghasemian, S. Karami, E. Abiri, M. R. Salehi, "Design of a Low Power Analog and Multi-shaped Fully Programmable Twin-Cell Membership Function Generator Circuit in 65 nm CMOS Technology," *Circuits, Systems, and Signal Processing*, vol. 40, pp. 2-21, June 2021.

[24] Y.V. Yaghmourali, A. Fathi, M. Hassanzadazar, A. Khoei, Kh. Hadidi, "A low-power, fully programmable membership function generator using both transconductance and current modes," *Fuzzy Sets and Systems*, vol. 337, pp. 128-142, April 2018.

[25] M.T. Abuelmaatti, and A. Kurniawan, "An Improved Current-Mode Analog CMOS Rational-Powered Function Generator," *Journal of Active & Passive Electronic Devices*, vol. 15. pp. 183-197, 2020.

[26] A. Naderi, A. Khoei, and K. Hadidi, "Circuit implementation of high-resolution rational-powered membership functions in standard CMOS technology," *Analog Integrated Circuits and Signal Processing*, vol.65, pp. 217-223, 2010.

[27] M.M. Maryan, and S.J. Azhari, "Ultra low-power low-voltage FGMOS based-configurable analog block

for current-mode fractional-power functions," *Microelectronics Journal*, vol. 64, pp. 99-105, 2017.

[28] K. J. Lin, C.J. Cheng, S.F. Chiu, H.C. Su, "CMOS current-mode implementation of fractional-power functions," *Circuits, Systems, and Signal Processing*, vol.31, pp. 61-75, 2012.

[29] M. Kh. Qaleh.Jooq, F. Behbahani, M. H. Moaiyeri, "Ultra-efficient fully programmable membership function generator based on independent double-gate FinFET technology," *International Journal of Circuit Teory and Applications*, vol.51, pp. 1-18, May 2023.

[30] M. Ghasemzadeh, Kh. Hadidi, "A New Low Power Mixed-Signal Digital Voltage Mode CMOS Fuzzy Logic Controller," *Circuits, Systems, and Signal Processing*, vol.40, pp. 738-755, Feb 2021.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0