JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2023.1988087.1206

Vol. 13/ No. 51/Spring 2024

Research Article

A Multiplier-Less Discrete Cosine Transform Architecture Using a Majority Logic-Based Approximate Full Adder

Elham Esmaeili, Ph.D. Student[1] | Farshad Pesaran, Assistant Professor[2*] |Nabiollah Shiri, Assistant Professor[3]

[1]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, elham.esmaeili421990@gmail.com

[2]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, farshad.pesaran@iau.ac.ir

[3]Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, na.shiri@iau.ac.ir

Correspondence
Farshad Pesaran, Assistant Professor of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran, farshad.pesaran@iau.ac.ir

Received: 6 June 2023
Revised: 25 June 2023
Accepted: 7 July 2023

Abstract

This paper proposes a new approximate full adder (FA) based on the majority logic (ML) concept. The fundamental structure of the ML concept is a 3-input majority voter and is widely utilized in digital arithmetic cells. The ML-based proposed FA works at low power, small delay, and low power-delay-product (PDP). The carbon nanotube field-effect transistor (CNTFET) technology lowers the FA power, while the gate diffusion input (GDI) technique is used as the main technique. The swing issue of the GDI technique is resolved by the dynamic threshold (DT) technique. Compared with its exact circuit, the proposed FA saves 2 majority gates, 3 inverters, and a 4.02 ns delay. In the proposed FA, the PDP is improved by 53.73%. The product of the PDP and the normalized mean error distance (NMED) is called PDPE, and in the presented FA, it is reduced by 9.50%. Moreover, the proposed FA is embedded into a multiplier-less discrete cosine transform (DCT) design, which is an appropriate circuit for very large-scale integration (VLSI) systems. The 8-input DCT architecture consumed 2.2321 mW of power for each DCT operation. Also, the circuit has better performance in terms of PDP-area-product (PDAP). The results of DCT implementations confirm the efficiency of the FA.

Keywords: Approximate Full Adder, Majority Logic, Discrete Cosine Transform (DCT), Multiplier-Less DCT.

Highlights

- A new approximate full adder (FA) based on the majority logic (ML) concept is proposed.
- By reducing number of majority gates and removing inverter, power and delay of the purposed circuit is reduced.
- The carbon nanotube field-effect transistor (CNTFET) technology and gate diffusion input (GDI) technique are used to implement the proposed circuit.
- To compensate the outputs voltages the dynamic threshold (DT) technique is used.
- The proposed FA is embedded into a discrete cosine transform (DCT) structure.

Citation: E. Esmaeili, F. Pesaran, and N. Shiri, "A Multiplier-Less Discrete Cosine Transform Architecture Using a Majority Logic-Based Approximate Full Adder," *Journal of Southern Communication Engineering*, vol. 13, no. 51, pp. 1–12, 2024, doi: 10.30495/jce.2023.1988087.1206, (in Persian).

مقاله پژوهشی

یک مبدل کسینوسی گسسته بدون ضرب‌کننده با استفاده از گیت اکثریت و جمع‌کننده تقریبی

الهام اسماعیلی[۱] | فرشاد پسران *[۲] | نبی اله شیری[۳]

[۱] گروه مهندسی برق، واحد شیراز ، دانشگاه آزاد اسلامی ، شیراز، ایران،
elham.esmaeili421990@gmail.com

[۲] گروه مهندسی برق، واحد شیراز ،دانشگاه آزاد اسلامی، شیراز، ایران،
farshad.pesaran@iau.ac.ir

[۳] گروه مهندسی برق، واحد شیراز ،دانشگاه آزاد اسلامی، شیراز، ایران،
na.shiri@iau.ac.ir

نویسنده مسئول
*فرشاد پسران، استادیار، گروه مهندسی برق، واحد شیراز ،دانشگاه آزاد اسلامی، شیراز،ایران،
farshad.pesaran@iau.ac.ir

چکیده:

این مقاله یک جمع‌کننده‌کامل جدید را با استفاده از محاسبات تقریبی بر اساس مفهوم منطق اکثریت پیشنهاد می‌کند. ساختار بنیادی گیت‌های اکثریت، ۳ ورودی است و به طور گسترده در سلول‌های حساب دیجیتال استفاده می‌شود. جمع‌کننده پیشنهادی با توان کم، تأخیر کم و محصول تأخیر-توان (PDP) کم کار می‌کند. فناوری ترانزیستور اثر میدانی نانولوله کربنی توان جمع‌کننده‌کامل را کاهش می‌دهد در حالی که تکنیک ورودی انتشار گیت (GDI) به عنوان تکنیک اصلی استفاده می‌شود و مشکل نوسان با تکنیک آستانه دینامیکی (DT) حل می‌شود. در مقایسه با مدار دقیق، مدار پیشنهادی ۲ گیت اکثریت، ۳ اینورتر و تأخیر ۴/۰۲ نانوثانیه را دارد. در مدار پیشنهادی، پارامتر PDP به میزان ۵۳/۷۳ درصد بهبود یافته است. حاصل‌ضرب PDP و میانگین فاصله خطای نرمال شده (NMED) را PDPE می‌نامند که در جمع‌کننده‌کامل ارائه شده ۹/۵۰ درصد کاهش می‌یابد. علاوه بر این، مدار پیشنهادی در طراحی تبدیل‌کسینوس‌گسسته بدون ضرب‌کننده تعبیه شده است، که یک مدار مناسب برای سیستم‌های ادغام در مقیاس بسیار بزرگ است. معماری تبدیل‌کسینوس‌گسسته با ۸ ورودی ۲/۲۳۲۱ میلی‌وات توان برای هر عملیات تبدیل‌کسینوس‌گسسته مصرف می‌کند. همچنین مدار عملکرد بهتری از نظر حاصل‌ضرب مساحت درPDP که PDAP نامیده می‌شود، دارد. نتایج اجرای تبدیل‌کسینوس‌گسسته کارایی مدار پیشنهادی را تایید می‌کند.

کلید واژه‌ها: تبدیل کسینوسی گسسته، جمع‌کننده تقریبی، گیت اکثریت، DCT بدون ضرب کننده.

تاریخ دریافت: ۱۶ خرداد ۱۴۰۲
تاریخ بازنگری: ٤ تیر ۱۴۰۲
تاریخ پذیرش: ۱۶ تیر۱۴۰۲

https://doi.org/10.30495/jce.2023.1988087.1206

۱-مقدمه

در این قرن، دستگاه‌های با توان مصرفی کم، سطح مصرفی کم و سریع بخشی از زندگی هستند [۱-۳]. مدارهای حسابی[1] بخش‌های اصلی سیستم‌های دیجیتال هستند. در طول دو دهه گذشته، کارخانه‌های مبتنی بر نیمه‌هادی، پیشرفت‌های بسیار خوبی را در فناوری یکپارچه در مورد تکنیک‌های سرعت بالا، کم توان و با مساحت کم تجربه کرده‌اند [۴]. افزایش چگالی مدار توسط فناوری

[1] Arithmetic Circuits

نیمه‌هادی اکسید فلزی مکمل (CMOS) مصرف توان را افزایش می‌دهد زیرا در این فناوری از دو شبکه بالابر و پایین‌بر استفاده می‌شود که باعث افزایش تعداد ترانزیستورها می‌شود.

به عنوان یک راه حل، استفاده از محاسبات تقریبی می‌تواند جایگزین مناسبی برای کاربردهای مقاوم در برابر خطا باشد. سلول‌های محاسباتی مبتنی بر تقریبی از تعداد گیت‌های منطقی کمتری استفاده می‌کنند که در نتیجه می‌تواند مصرف توان را به قیمت دقت کمتر، کاهش دهد. با این حال، مدارهای CMOS تقریبی برای بسیاری از فناوری‌های جدید [۵] قابل اجرا نیستند، زیرا ساختارهای منطقی زیربنایی این دستگاه‌ها بسیار متفاوت است. سیستم‌های مدرن بسیار وابسته به منطق گیت اکثریت[1] هستند که کاملاً متفاوت از منطق قدیمی بولن است. یک گیت اکثریت، یک تابع منطقی با ورودی‌های مختلف مانند A، B و C و خروجیF [۶] است. تحقیقات بر روی طراحی مدارهای تقریبی مبتنی بر گیت اکثریت اخیرا انجام شده است. در [۶،۷] نویسندگان یک جمع‌کننده‌کامل[2] ۱ بیتی را بر اساس گیت اکثریت ارائه کردند.

تمام جمع‌کننده به عنوان یک عنصر کلیدی در سلول‌های حسابی پیچیده برای انجام محاسباتی مانند جمع، ضرب و تقسیم استفاده می‌شود [۸-۱۲]. این تمام‌جمع‌کننده‌ها در ساختارهای تبدیل‌کسینوسی‌گسسته[3] سنتی تعبیه شده‌اند تا عملکردهای منطقی فشرده‌سازی صوتی و تصویری پیچیده را در پردازش سیگنال دیجیتال بهتر کنند. بنابراین، ساختارهای تبدیل‌کسینوسی‌گسسته مختلف با پیچیدگی بالا، مصرف توان کم و توان عملیاتی بالا توسط بسیاری از محققین پیشنهاد شده است [۱۳]. طرح‌های تبدیل-کسینوسی‌گسسته از نظر سبک منطقی متفاوت هستند، که بر پارامترهای طراحی مختلف از جمله توان، تعداد ترانزیستور و سرعت تأثیر می‌گذارد [۱۴،۱۵]. مدار معمولی متکی به سطوح وارونگی، تعداد ترانزیستورها به صورت سری، ابعاد ترانزیستور و نحوه سیم‌کشی این قطعات به عنوان یکی از مهم‌ترین عوامل در هنگام طراحی است [۱۶]. معماری‌های تبدیل‌کسینوسی‌گسسته کنونی برای استفاده از انواع متعددی از واحدهای جمع‌کننده و ضرب‌کننده اعمال می‌شوند که مصرف توان بالاتر و سرعت کمتری را فراهم می‌کنند.

تمام‌جمع‌کننده تقریبی پیشنهادی در ساختار تبدیل‌کسینوسی‌گسسته به صورت خط لوله بدون ضرب‌کننده پیاده‌سازی می‌شود [۱۷]. تمام‌جمع‌کننده‌های پیشنهادی اخیرا به عنوان بلوکی از پیاده سازی‌های تبدیل‌کسینوسی‌گسسته به همراه یک نیم جمع‌کننده، نیم تفریق‌کننده، فلیپ فلاپ D و مدار شیفت چپ ۱ بیتی عمل می‌کنند. این مقاله یک تمام‌جمع‌کننده تقریبی بر اساس منطق گیت اکثریت را پیشنهاد می‌کند. فناوری ترانزیستورهای اثر میدانی نانولوله کربنی (CNTFET) ۳۲ نانومتری برای شبیه‌سازی و نمایش کاربرد تمام‌جمع‌کننده و تبدیل‌کسینوسی‌گسسته استفاده می‌شود. طرح‌های پیشنهادی کم توان، پرسرعت و مساحت کوچک هستند و تکنیک آستانه دینامیکی [4] (DT) باعث خروجی‌های تمام نوسان می‌شود.

بقیه این مقاله به شرح زیر سازماندهی شده است. بخش ۲ طراحی تقریبی تمام‌جمع‌کننده (بر اساس گیت اکثریت) و کارهای مرتبط با معماری تبدیل‌کسینوسی‌گسسته را شرح می‌دهد. بخش ۳ ساختار تمام‌جمع‌کننده تقریبی مبتنی بر گیت اکثریت را ارائه می‌دهد. نتایج شبیه‌سازی و تحقیقات جامع را می‌توان در بخش ۴ یافت. بخش ۵ مقاله را به پایان می‌رساند.

۲-بررسی طرح‌های قبلی تمام‌جمع‌کننده و تبدیل‌کسینوسی‌گسسته

در سال‌های گذشته، بسیاری از محققان طرح‌های مختلفی از تمام‌جمع‌کننده را با استفاده از سبک‌های منطقی مختلف با سرعت بالا، ترانزیستور کمتر و توان کمتر پیشنهاد کرده‌اند [۱۸]. ساختارهای تمام‌جمع‌کننده به دو سبک منطقی تقسیم می‌شوند، سبک اول سبک منطق ایستا است در حالی که دومی مربوط به سبک پویا است. مدارهای منطقی مبتنی بر دینامیک سرعت بالاتری در حدود دو برابر مدارهای منطق ایستا دارند زیرا از بهینه‌سازی اندازه انتقال پیشرفته استفاده می‌کنند، در حالی که سلول‌های مبتنی بر منطق

[1] Majority logic
[2] Full Adder
[3] Discrete Cosine Transform
[4] Dynamic threshold

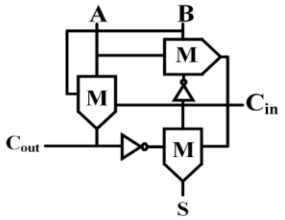
استاتیک به دلیل خازن‌های بار و آستانه ولتاژ بالا کندتر هستند [۱۹]. مدارهای تمام نوسان فضای زیادی را با ترانزیستورهای بیشتر و مصرف توان بیشتر در مقایسه با مدارهای بدون نوسان کامل اشغال می‌کنند، اما قابلیت انتقال بسیار خوبی را ارائه می‌دهند.

۲-۱-طراحی تمام‌جمع‌کننده تقریبی

شکل ۱ یک تمام‌جمع‌کننده دقیق بر اساس گیت اکثریت را نشان می‌دهد که از ۳ گیت اکثریت و ۲ وارونگر تشکیل شده است [۲۰]. ورودی‌های آن A، B و C در نظر گرفته می‌شوند در حالی که S و C_{out} خروجی هستند. خروجی های C_{out} و S به صورت زیر نمایش داده می‌شوند:

$$C_{out} = AB + BC_{in} + AC_{in} = M(A, B, C_{in}) \quad (۱)$$

$$S = A \oplus B \oplus C_{in} = M\left(\overline{C_{out}}, M\left(A, B.\overline{C_{in}}\right), C_{in}\right) \quad (۲)$$



شکل ۱: تمام جمع‌کننده دقیق بر اساس منطق گیت اکثریت [۲۰]

Figure 1. Schematic of ML-based accurate full adder [20]

در [۷]، یک AFA1[1] پیشنهاد شده است و نمودار آن در شکل ۲ نشان داده شده است. AFA1 خروجی S را به عنوان مکمل C_{out} تولید می‌کند اما ۲ خطا (از بین ۸ ترکیب ورودی) را هنگام به دست آوردن خروجی S می‌دهد (همان‌طور که در جدول ۱ نشان داده شده است). معادلات C_{out} و S به شرح زیر است:

$$C_{out} = M(A, B, C_{in}) \quad (۳)$$

$$S = \overline{C_{out}} \quad (۴)$$

در [۶]، یک تمام‌جمع‌کننده تقریبی، یعنی AFA2، پیشنهاد شد. همانطور که در رابطه ۵، C را می‌توان تقریباً C_{out} در نظر گرفت. بر اساس رابطه ۵، با جایگزینی C_{out} نادرست در معادله ۲، خروجی تقریبی S به صورت زیر به دست می‌آید:

$$C_{out} = C_{in} \quad (۵)$$

$$S = M(\overline{C_{out}}, M\left(A, B.\overline{C_{in}}\right), C_{in}) = M(A, B, \overline{C_{in}}) \quad (۶)$$

در [۲۷] دو تمام‌جمع‌کننده تقریبی به نام‌های PPA1 و PPA2 پیشنهاد شد و معادلات آنها برای C_{out} و S به شرح زیر است:

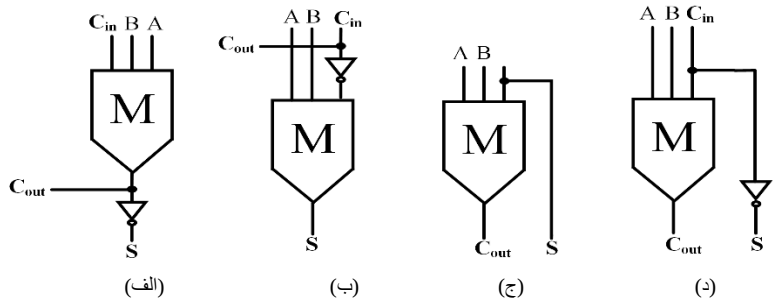
$$C_{out} = M(A, B, C_{in}) \quad (۷)$$

$$S = C_{in} \quad (۸)$$

$$C_{out} = M(A, B, C_{in}) \quad (۹)$$

$$S = \overline{C_{out}} \quad (۱۰)$$

[1] Approximate full adder



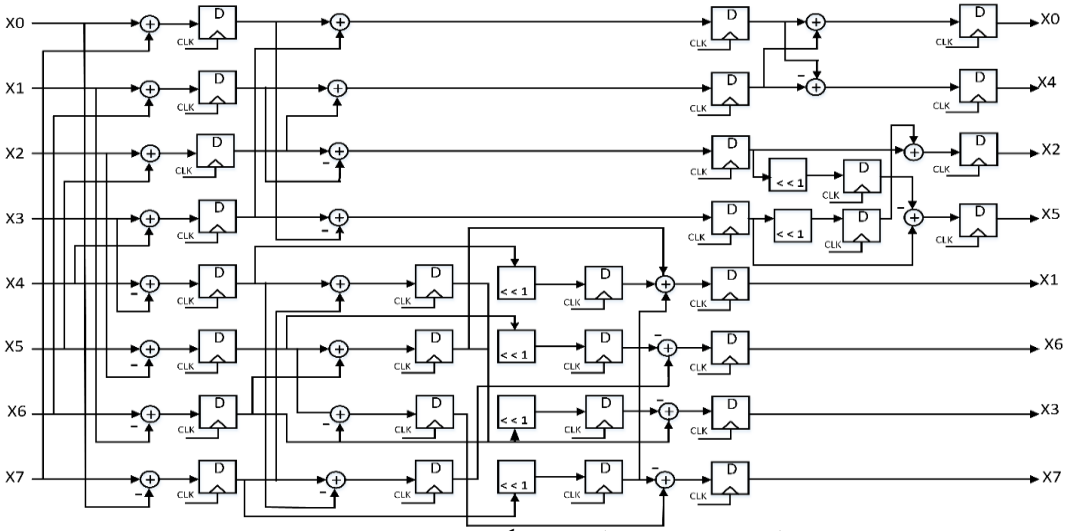
(الف) (ب) (ج) (د)

شکل ۲: تمام‌جمع‌کننده‌های تقریبی: (الف) شماتیک AFA1 [۷]، (ب) شماتیک AFA2 [۶]، (ج) شماتیک PPA1، (د) شماتیک PPA2 [۲۷]

Figure 2. Approximate FAs: (a) schematic of AFA1 [7], (b) schematic of AFA2 [6], (c) schematic of PPA1, (d) schematic of PPA2 [27]

۲-۲-معماری تبدیل‌کسینوسی‌گسسته

بسیاری از محققان الگوریتم‌های تبدیل‌کسینوسی‌گسسته مختلفی را برای کاهش پیچیدگی مدار از نظر سطوح حسابی و منطقی پیشنهاد کرده‌اند [۱۷]. اکثر سلول‌های پیشنهادی برای کار به عنوان یک فشرده‌ساز تبدیل‌کسینوسی‌گسسته به ضرب‌کننده‌ها، جمع کننده‌ها و تفریق‌کننده‌ها نیاز دارند [۲۱]. هنگامی که گروهی از سلول‌های مختلف برای ساخت یک ساختار کامل تبدیل‌کسینوسی-گسسته متصل می‌شوند، عملکرد کل تبدیل‌کسینوسی‌گسسته به طور خاص در مورد میزان توان یا معیارهای دیگر مانند تاخیر و مساحت کاهش می‌یابد. یک ساختار کلی تبدیل‌کسینوسی‌گسسته باید دارای پیچیدگی محاسباتی کم، چگالی‌خطای کم و طول بردار ورودی بالاتر باشد تا نیازهای روزافزون صنعت پردازش چندرسانه‌ای پیشرفته را برطرف کند [۲۲]. ضرب‌کننده‌هایی که در تبدیل-کسینوسی‌گسسته‌ها استفاده شده‌اند، بیشترین مقدار توان در معماری را اتلاف می‌کنند [۱۵]. تاکنون، محققان علاوه بر الگوریتم‌های تبدیل‌کسینوسی‌گسسته، الگوریتم‌های تبدیل‌کسینوسی‌گسسته بدون ضرب‌کننده را در نظر گرفته‌اند تا تمام نیازهای یک معماری تبدیل‌کسینوسی‌گسسته با تمام مشخصات ذکر شده در بالا را پوشش دهند. شکل ۳ معماری تبدیل‌کسینوسی‌گسسته را بر اساس الگوریتم بدون ضرب نشان می‌دهد.



شکل۳: یک ساختار تبدیل‌کسینوسی‌گسسته بدون ضرب کننده ۸:۱ [۱۷]

Figure 3. A multiplier-less DCT architecture as one dimensional 8x1 [17]

۳-تمام‌جمع‌کننده تقریبی پیشنهادی با کارایی بالا

در اینجا، یک تمام‌جمع‌کننده تقریبی جدید ارائه شده است، و یک نوع دقیق نیز با دو تمام‌جمع‌کننده تقریبی ۱ بیتی موجود مقایسه شده است [۶،۷]. جدول درستی تمام‌جمع‌کننده تقریبی پیشنهادی در جدول ۱ آورده شده است که نشان می‌دهد این مدار ۴ خطا برای Sum دارد و هیچ خطایی برای C_{out} ندارد.

جدول۱: جدول درستی تمام‌جمع‌کننده پیشنهادی

Table 1. The truth table of the proposed AFA

ABC_{in}	Exact FA [20] C_{out} -Sum	AFA1 [7] C_{out} -Sum	AFA2 [6] C_{out} -Sum	PPA1 [27] C_{out} -Sum	PPA2 [27] C_{out} -Sum	Proposed AFA C_{out} -Sum
۰۰۰	۰۰	۰۱	۰۱	۰۰	۰۰	۰۰
۰۰۱	۰۱	۰۱	۱۰	۰۱	۰۰	۰۰
۰۱۰	۰۱	۰۱	۰۱	۰۰	۰۱	۰۰
۰۱۱	۱۰	۱۰	۱۰	۱۱	۱۰	۱۰
۱۰۰	۰۱	۰۱	۰۱	۰۰	۰۱	۰۱
۱۰۱	۱۰	۱۰	۱۰	۱۱	۱۰	۱۱
۱۱۰	۱۰	۱۰	۰۱	۱۰	۱۱	۱۱
۱۱۱	۱۱	۱۰	۱۱	۱۱	۱۱	۱۱
ER[1]	-	۰/۵	۰/۲۵	۰/۵	۰/۲۵	۰/۵
NMED[2]	-	۰/۱۶۶	۰/۰۸۳	۰/۱۶۶	۰/۰۸۳	۰/۱۶۶

بنابراین نرخ خطا مدار پیشنهادی ۵۰٪ است. اگرچه نرخ خطا این طرح بالاست، اما پیچیدگی مدار را در مقایسه با طرح های دیگر کاهش می‌دهد. توابع تمام‌جمع‌کننده پیشنهادی به شرح زیر است:

$$Sum = A \quad (۱۱)$$

$$C_{out} = AB + BC_{in} + AC_{in} = M(A, B, C_{in}) \quad (۱۲)$$

هدف از طرح پیشنهادی کاهش توان و تاخیر است که با کاهش تعداد گیت‌های اکثریت (در مقایسه با تمام‌جمع‌کننده دقیق و سایر مراجع) به ۱ گیت و حذف وارونگر انجام می‌شود. شکل ۴ تمام‌جمع‌کننده پیشنهادی را نشان می‌دهد که در آن از تکنیک ورودی انتشار گیت[3] (GDI) استفاده شده است. همانطور که از سطح ترانزیستور مدار مشاهده می‌شود، برای رسیدن به یک بلوک کارآمد با توان کم و بدون افت در ولتاژهای خروجی، از تکنیک آستانه دینامیکی استفاده می‌شود. بنابراین، سطح دروازه تمام‌جمع‌کننده با تکنیک DT بهینه شده است. در مدارهای معمولی GDI، ترمینال بالک به پایانه های سورس/ درین وصل می‌شود، اما در مدار پیشنهادی، بالک به ترمینال گیت به دلیل DT متصل می‌شود. با استفاده از DT، خروجی حتی در فرکانس‌های بالا نوسان کاملی دارد.

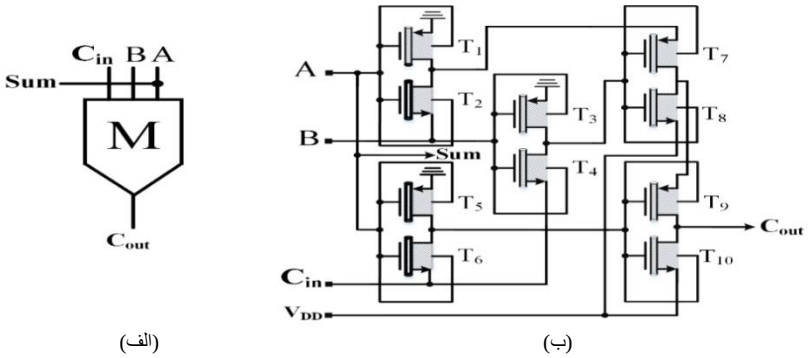
$$ER = \frac{\text{incorrect outpts}}{\text{total output}} \quad (۱۳)$$

[1] Error Rate

[2] Normalized Mean Error Distance

[3] Gate-Diffusion Input

$$NMED = \frac{\frac{1}{n}\sum_{i=1}^{n}\left|ExactOutput_i - ApproximateOutput_i\right|}{ExactOutput_{Max}} \quad (۱۴)$$



(الف) (ب)

شکل۴: تمام‌جمع‌کننده پیشنهادی: (الف) شماتیک (ب) سطح ترانزیستور

Figure 4. Proposed AFA: (a) schematic (b) transistor-level

همانطور که از جدول ۲ مشخص است، طول کانال ترانزیستورهای استفاده شده برابر با ۳۲ نانومتر و تعداد لوله‌های استفاده شده در هر ترانزیستور برابر با ۱۰ است.

جدول ۲: پارامترهای در نظر گرفته شده برای فناوری CNTFET

Table 2. The considered parameters for CNTFET technology

پارامترها	مقدار	توضیحات
L_{ch}	۳۲ nm	طول فیزیکی کانال
L_{geff}	۱۰۰ nm	طول متوسط مسیر آزاد در کانال نانو لوله ذاتی
L_{ss}	۳۲ nm	طول بخش ناخالص سازی شده نانو لوله در سمت سورس
L_{dd}	۳۲ nm	طول بخش ناخالص سازی شده نانو لوله در سمت سورس
K_{gate}	۱۶	ثابت دی الکتریک
T_{ox}	۴ nm	ضخامت اکسید
C_{sub}	۴۰ pF/m	خازن جفت ساز میان ناحیه کانال و زیرلایه
E_{fi}	۰/۶ eV	سطح فرمی نانو لوله‌های ناخالص‌سازی شده در نواحی سورس و درین
Pitch	۵ nm	فاصله بین تیوب‌ها
Chirality Vector	(۳۸,۰)	بردار کایرالیتی
Tubes	۱۰	تعداد تیوب‌ها

در مقایسه با تمام‌جمع‌کننده دقیق، تمام‌جمع‌کننده پیشنهادی ۲ گیت اکثریت، ۳ وارونگر و تاخیر ۴/۰۲ نانوثانیه را ذخیره می‌کند. در سطح مدار، منطق GDI و ویژگی منحصر به فرد CNTFET با تغییر قطر نانولوله‌های کربنی[1] (DCNT) استفاده می‌شود. تمام-جمع‌کننده پیشنهادی تعداد کمی ترانزیستور دارد (۱۰ ترانزیستور). تعداد کم ترانزیستورها گره‌های داخلی مدار را کاهش می‌دهد و خازن‌های داخلی کاهش می‌یابد، بنابراین توان و تاخیر کاهش می‌یابد و سرعت تمام‌جمع‌کننده افزایش می‌یابد. همچنین تعداد کم ترانزیستورها مساحت مدار را کاهش می‌دهد. مدار پیشنهادی مبتنی بر فناوری ترانزیستورهای نانو لوله‌های کربنی ۳۲ نانومتری با

[1] Diameter of the Carbon Nano Tube

استفاده از نرم افزار HSPICE در سطح ترانزیستور شبیه‌سازی و ارزیابی شده است. CNTFET دارای مزایای قابل توجهی مانند جریان کم است که آن را برای کاربردهای کم مصرف و سرعت بالا مناسب می‌کند.

۴-نتایج شبیه سازی و مقایسه

۴-۱- شبیه سازی تمام‌جمع‌کننده

مدار تقریبی پیشنهادی در سطح ترانزیستور طراحی شده و توسط نرم افزار HSPICE و فناوری CNTFET دانشگاه استنفورد با مدل فشرده ۳۲ نانومتری سازگار با SPICE شبیه‌سازی شده است. فرکانس ۵۰۰ مگاهرتز، V_{DD} برابر ۰/۹ ولت و دما ۲۷ درجه سانتی‌گراد در نظر گرفته شده است. پارامترهای تعداد گیت‌های اکثریت[۱](MV)، تعداد وارونگرها[۲] (INV)، میانگین خطای نرمالیزه شده NMED، تاخیر، توان و PDP[۳] بین جمع‌کننده‌های دقیق [۲۰]، AFA1 [۷]، AFA2[۶]، PPA1، PPA2 [۲۷] و AFA پیشنهادی مقایسه شده و نتایج در جدول ۳ ارائه شده است. در مقایسه با جمع‌کننده دقیق، مدار پیشنهادی ۲ گیت اکثریت، ۳ اینورتر و تاخیر ۴/۰۲ نانو ثانیه را ذخیره می‌کند. طرح پیشنهادی PDP مدار را تا ۵۳/۷۳ درصد در مقایسه با AFA1 بهبود می‌بخشد. همچنین، PDPE[۴] به عنوان یک اندازه‌گیری ترکیبی از تمام‌جمع‌کننده تقریبی استفاده می‌شود. همان‌طور که در جدول ۳ نشان داده شده است، مدار پیشنهادی PDPE را ۹/۵۰ درصد در مقایسه با AFA2 کاهش می‌دهد، که مزایای مدار پیشنهادی را از نظر عملکرد کلی تایید می‌کند.

جدول ۳: مقایسه عملکرد FA های تقریبی مختلف

Table 3. Performance comparison of different approximate FAs

Frequency=500 MHz, Temperature=27 ºC, V_{DD}=0/9 V. CNTFET 32 nm Technology.								
Adder Type	**MV**	**INV**	**Delay (ns)**	**Power (µw)**	**PDP (fJ)**	**NMED**	**PDP*NMD**	**FoM**
Exact [20]	۳	**۲**	۷/۱۳	۵/۳۶	۳۸/۲۱۶	-	-	-
AFA1 [7]	۱	۱	۵/۱۶	۴/۵۵	۲۳/۴۷۸	۰/۰۸۳	۱/۹۴	۲۵/۶۰
AFA2 [6]	۱	۱	۵/۱۳	۴/۶۸	۲۴/۰۰۸	۰/۰۸۳	۱/۹۹	۲۶/۱۸
PPA1 [27]	۱	۰	۳/۱۵	۳/۸۷	۱۲/۱۹۰	۰/۱۶۶	۲/۰۲	۱۴/۶۱
PPA2 [27]	۱	۱	۵/۱۵	۴/۶۷	۱۵/۱۵۰	۰/۰۸۳	۱/۹۹	۲۶/۲۲
Proposed AFA	**۱**	۰	**۳/۱۱**	**۳/۷۹**	**۱۰/۸۶۲**	**۰/۱۶۶**	**۱/۸۰**	**۱۳/۰۲**

در شکل. ۵، نتایج PDP و NMED برای تمام‌جمع‌کننده‌های تقریبی نشان داده شده است. محور X-Y، NMED و PDP را به صورت جداگانه نشان می‌دهد. با در نظر گرفتن نتایج PDP برحسب NMED، مدار پیشنهادی با بهترین عملکرد ظاهر می‌شود، در حالی‌که [۶] بدترین نتایج را دارد. برای متعادل کردن معیارهای سخت‌افزاری و سطح کاربرد، یک رقم شایستگی[۵] (FoM) ایجاد می‌شود که هم پارامترهای مدار و هم پارامترهای دقت را در بر می‌گیرد، مانند FoM1 که با رابطه ۱۵ محاسبه می‌شود.

$$FoM = PDP / 1 - NMED \quad (۱۵)$$

[1] Majority gate count (Mjority Voter)

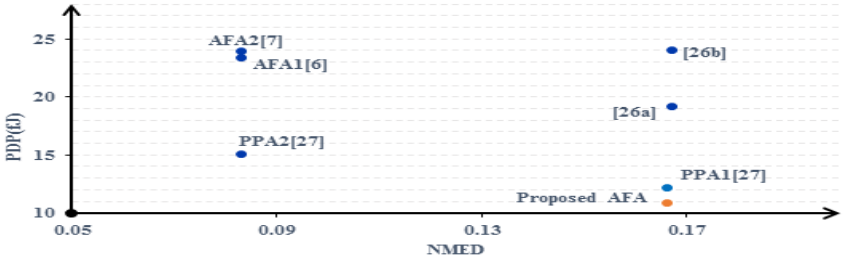
[2] Inverter count

[3] Power Delay Product

[4] Product of the PDP and the NMED

[5] Figure of Merits.

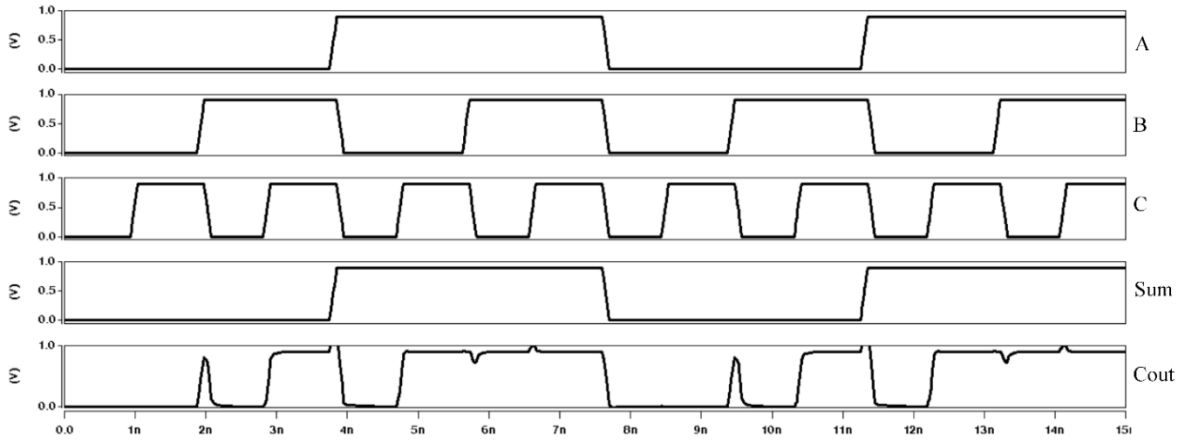
در جدول ۳، نتایج FoM، تمام‌جمع‌کننده پیشنهادی و منابع در نظر گرفته شده است. مدار پیشنهادی بهترین عملکرد را نشان می‌دهد، در حالی که AFA2 بدترین عملکرد را دارد.



شکل ۵: PDP برحسبNMED تمام‌جمع‌کننده‌های تقریبی

Figure 5. PDP-NMED of the approximate FAs

شکل موج تمام‌جمع‌کننده ارائه شده در شکل ۶ نشان داده شده است که جدول درستی را تایید می‌کند. در اینجا، بهره‌وری ادغام تکنیک DT و فناوری CNTFET با نوسان کامل خروجی‌ها دیده می‌شود.



شکل ۶: شکل موج ورودی-خروجی AFA پیشنهادی

Figure 6. Input-output waveforms of the proposed AFA

برای بررسی عملکرد تمام‌جمع‌کننده تقریبی، تغییرات V_{DD} از ۰/۷ ولت تا ۱/۲ ولت اعمال می‌شود. سایر پارامترها به عنوان فرکانس ۵۰۰ مگاهرتز و دما ۲۷ درجه سانتیگراد تنظیم می‌شوند. سپس بدترین نتایج استخراج می‌شوند. تمام‌جمع‌کننده پیشنهادی عملکرد بهتری نسبت به سایر مراجع دارد. لازم به ذکر است که تمام‌جمع‌کننده پیشنهادی به دلیل تعداد کم ترانزیستور به دلیل تکنیک GDI رقیب اصلی سایر مراجع است.

۴-۲-نتایج شبیه سازی مدار تبدیل‌کسینوسی‌گسسته مورد نظر

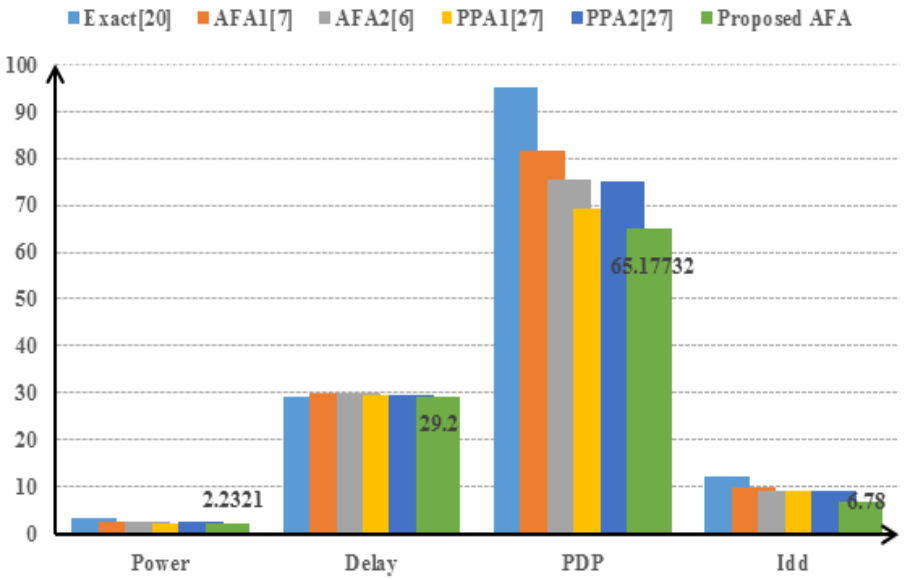
تمام‌جمع‌کننده پیشنهادی به عنوان یک جزء اساسی در یک تبدیل‌کسینوسی‌گسسته بدون ضرب‌کننده تعبیه شده است [۱۷]. در مقایسه با معماری‌های مشابه که توسط سایر محققان توصیف شده است، تنها ۲۴ جمع‌کننده-تفریق‌کننده استفاده می‌شود. با کاهش تعداد جمع‌کننده‌ها و حذف مالتی پلکسرها و ضرب‌کننده‌های اضافی، مصرف توان و تاخیر به میزان قابل توجهی کاهش می‌یابد. علاوه بر این، تمام‌جمع‌کننده پیشنهادی در تبدیل‌کسینوسی‌گسسته هایی با طول بیشتر قابل استفاده است.

جدول ۴: نتایج شبیه سازی در برابر تغییرات V_{DD}

Table 4. Simulation results against V_{DD} variation

Designs	Temperature=27 °C, Load Capacitance =1 fF, Frequency=500 MHz.								
	0/7 V			0/9 V			1/2 V		
	Power (µW)	Delay (ns)	PDP (fJ)	Power (µW)	Delay (ns)	PDP (fJ)	Power (µW)	Delay (ns)	PDP (fJ)
Exact [20]	۵/۸۶	۷/۱۰	۴۱/۶۰	۵/۳۶	۵/۳۶	۳۸/۲۱	۶/۷۲	۷/۱۵	۴۸/۰۴
AFA1 [7]	۳/۰۹	۵/۱۴	۱۵/۸۸	۴/۵۵	۴/۵۵	۲۳/۴۷	۵/۴۷	۵/۱۸	۲۸/۳۳
AFA2 [6]	۳/۵۴	۵/۱۱	۱۸/۰۸	۴/۶۸	۴/۶۸	۲۴/۰۸	۵/۳۸	۵/۱۵	۲۷/۷۰
PPA1 [27]	۳/۱۸	۳/۱۷	۱۰/۰۸	۳/۸۷	۳/۸۷	۱۲/۱۹	۵/۸۹	۳/۱۷	۱۸/۶۷
PPA2 [27]	۳/۷۱	۵/۱۷	۱۹/۱۸	۴/۶۷	۴/۶۷	۲۴/۰۵	۶/۲۲	۵/۱۹	۳۲/۲۸
Propose AFA	**۳/۱۴**	**۳/۰۸**	**۹/۶۷**	**۳/۷۹**	**۳/۱۱**	**۱۰/۸۶**	**۴/۲۱**	**۳/۱۵**	**۱۳/۲۶**

مراحل میانی زیادی در معماری ساخته شده وجود دارد [۲۳-۲۶]، بنابراین ولتاژهای بالاتری برای به حرکت درآوردن عناصر مدار تاخیر و شیفت مورد نیاز است. جدول ۵ و شکل ۷ توان، تعداد ترانزیستور، تاخیر، PDP، محصول PDP و مساحت (PDAP) و جریان متوسط را با هم مقایسه می‌کنند. سلول پیشنهادی نسبت به سایر ساختارها از نظر توان، مساحت و جریان متوسط عملکرد بهتری دارد. مدار دقیق و ساختار AFA1 حداکثر توان و جریان را با مساحت زیاد و تعداد زیاد ترانزیستور دارد. هر ورودی تحت یک تبدیل کسینوس گسسته قرار گرفت تا یک خروجی تبدیل شده تولید کند. طراحی معماری تبدیل‌کسینوسی‌گسسته با ۸ ورودی به مجموع ۱۳۱۰ ترانزیستور نیاز دارد و ۲/۲۳۲۱ میلی‌وات توان برای هر عملیات موفقیت آمیز تبدیل‌کسینوسی‌گسسته مصرف می‌کند. همچنین مدار از نظر PDAP عملکرد بهتری دارد.



شکل۷: مقایسه ساختار تبدیل‌کسینوسی‌گسسته

Figure 7. A comparison of the DCT architecture

جدول۵: نتایج شبیه‌سازی ساختار تبدیل‌کسینوسی‌گسسته با پیاده‌سازی تمام‌جمع‌کننده‌های مختلف

Table 5. Simulated results of DCT architecture by implementing the FAs

Adder Type	Power (mW)	Delay (ns)	Area (#)	PDP (fJ)	PDAP	I_{dd} (mA)
DCT_Exact [20]	۲۴۶۷/۳	۲۹/۳۰	۱۵۲۸	۹۵/۱۲۸۳۱	۱۴۵۳۵۶/۱	۱۲/۰۱
DCT_AFA1 [7]	۲/۷۲۹۱	۲۹/۹۵	۱۴۲۸	۸۱/۷۳۶۵۵	۱۱۶۷۱۹/۸	۹/۷۷
DCT_AFA2 [6]	۲/۵۲۱۳	۲۹/۹۸	۱۴۲۰	۷۵/۵۸۸۵۷	۱۰۷۳۳۵/۸	۹/۲۰
DCT_PPA1[27]	۲/۳۵۱۲	۲۹/۴۰	۱۴۳۸	۶۹/۱۲۵۲۸	۹۹۴۰۲/۱۵	۹/۱۲
DCT_PPA2[27]	۲/۵۴۱۷	۲۹/۵۰	۱۴۴۵	۷۴/۹۸۰۱۵	۱۰۸۳۴۶/۳	۸/۹۹
DCT_Proposed AFA	**۲/۲۳۲۱**	**۲۹/۲۰**	**۱۳۱۰**	**۶۵/۱۷۷۳۲**	**۸۵۳۸۲/۲۹**	**۶/۷۸**

۵-نتیجه‌گیری

در این مطالعه یک تمام جمع‌کننده تقریبی جدید با تعداد ترانزیستور کم، توان کم و تاخیر کم پیشنهاد شده است. مدار پیشنهادی بر اساس مشخصات قابل توجه منطق اکثریت طراحی شده است. برای مقایسه بهتر، سایر تمام‌جمع‌کننده‌های شناخته شده برای ارزیابی عملکرد طرح پیشنهادی در مقایسه با سایر تمام‌جمع‌کننده‌ها از نظر توان، تاخیر و جریان شبیه‌سازی شده‌اند. بلوک پیشنهادی از نظر قابلیت انتقال و افزایش سرعت عملیاتی آن بهبود یافته است. مساحت و توان مصرفی طرح پیشنهادی نیز نسبت به سایر طرح‌های تمام‌جمع‌کننده با تعداد گیت‌های بالا برتری دارد. علاوه بر این، تمام‌جمع‌کننده پیشنهادی در معماری تبدیل‌کسینوسی-گسسته برای کاهش بیشتر مصرف توان و تاخیر برای اجرای سخت‌افزار بهینه‌تر استفاده می‌شود.

مراجع:

[1] M. Rafiee, N.Shiri and A.Sadeghi, “High-performance 1-bit full adder with excellent driving capability for multista structures,’’ *IEEE Embedded Syst Lett*., vol. 14, no. 1, pp. 47-50, 2021, doi: 10.1109/LES..3108474.

[2] N. Shiri, A.Sadeghi,M. Rafiee and M.Bigonah “SR-GDI CNTFET-based magnitude comparator for new generation of programmable integrated circuits,” *Int. J. Circ. Theor*. Appl.;pp.1-26, 2022, doi:10.1002/cta.3251.

[3] S. Ansari, H. Jiang, B.Cockburn and J.Han, “Low-power approximate multipliers using encoded partial products and approximate compressors,’’*IEEE J Emerg Sel Top Circ Syst*., vol. 8, no. 3, pp. 404-416, 2018, doi:10.1109/JETCAS.2832204.

[4] J. Deng and W. H-SP, “A compact SPICE model for carbon-nanotube field-effect transistors including nonidealities and its application—part I: model of the Intrinsic Channel Region,’’ *IEEE Trans Electron Dev*., vol. 54, no. 12, pp. 3186-3194, 2007, doi:10.1109/TED.909030.

[5] Z. Chu, C. Shang, T. Zhang, Y. Xia, L. Wang and W. Liu, “Efficient Design of Majority-Logic-Based Approximate Arithmetic Circuits, ” in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 30, no. 12, pp. 1827-1839, Dec. 2022, doi: 10.1109/TVLSI.2022.3210252.

[6] T. Zhang, W. Liu, E. McLarnon, M. O'Neill and F. Lombardi, "Design of Majority Logic (ML) Based Approximate Full Adders, ” *IEEE International Symposium on Circuits and Systems (ISCAS)*, Florence, Italy, 2018, pp. 1-5, doi: 10.1109/ISCAS.2018.8350962.

[7] C. Labrado, H. Thapliyal and F. Lombardi, "Design of majority logic based approximate arithmetic circuits, " *IEEE International Symposium on Circuits and Systems (ISCAS)*, Baltimore, MD, USA, 2017, pp. 1-4, doi: 10.1109/ISCAS.2017.8050819.

[8] E. Esmaeili, F.Pesaran and N.Shiri. "A high-efficient imprecise discrete cosine transform block based on a novel full adder and Wallace multiplier for bioimages compression'' *Int. J. Circ.Theor.Appl.* vol. 51, no. 3, pp. 1-24, 2023, doi:10.1002/cta.3551.

[9] T. Rashedzadeh, S.M. Riazi and N. Cheraghi Shirazi, "Analysis of effect of changes of FINs Architectural on FINFET Drain current and on Average Power Dissipation and Propagation Delay in the Hybrid-CMOS full adder," *Journal of Southern Communication Engineering*, vol. 10, no. 40, pp. 25–36, July 2021, (in persian).

[10] H. Arfavi, SM. Riazi, and R. Hamzehyan, "Evaluation of temperature, Disturbance and Noise Effect in Full Adders Based on GDI Method," *Journal of Southern Communication Engineering*, June 2023, doi: 10.30495/jce.2023.1973764.1197, (in persian).

[11] M. Sayyaf, A. Ghasemi and R. Hamzehyan, "Design of Low Power Single-Bit Full-Adder Cell Based on Pass-Transistor Logic," *Journal of Southern Communication Engineering*, 2022, doi: 10.30495/jce.2022.692834, (in persian).

[12] A. Sadeghi, N. Shiri, and M. Rafiee, M.Tahghigh. "An efficient counter-based Wallace-tree multiplierwith hybrid full adder core for image blending," *Front Inform Technol Electron Eng*, Vol. *23*, PP.950–965, 2022, https://doi.org/10.1631/FITEE.2100432.

[13] F. M. Bayer and R. J. Cintra, "Image Compression via a Fast DCT Approximation," in *IEEE Latin America Transactions*, vol. 8, no. 6, pp. 708-713, Dec. 2010, doi: 10.1109/TLA.2010.5688099.

[14] S. Bouguezel, M. O. Ahmad and M. N. S. Swamy, "A novel transform for image compression," *IEEE International Midwest Symposium on Circuits and Systems*, Seattle, WA, USA, 2010, pp. 509-512, doi: 10.1109/MWSCAS.2010.5548745.

[15] M. Jridi, A. Alfalou and P. K. Meher, "A Generalized Algorithm and Reconfigurable Architecture for Efficient and Scalable Orthogonal Approximation of DCT, " in *IEEE Transactions on Circuits and Systems I: Regular Papers*, vol. 62, no. 2, pp. 449-457, Feb. 2015, doi: 10.1109/TCSI.2014.2360763.

[16] R. J. Cintra and F. M. Bayer, "A DCT Approximation for Image Compression, " in *IEEE Signal Processing Letters*, vol. 18, no. 10, pp. 579-582, Oct. 2011, doi: 10.1109/LSP.2011.2163394.

[17] U S. Potluri, A .Madanayake, R J. Cintra, F M. Bayer and N. Rajapaksha, "Multiplier-free DCT approximations for RF multi-beam digital aperture-array space imaging and directional sensing," *Meas. Sci. Technol.*, vol. 23, p. 114003, 2012, doi: 10.1088/0957-0233/23/11/114003.

[18] A. Sadeghi, N. Shiri, and M. Rafiee, "High-Efficient, Ultra-Low-Power and High-Speed 4:2 Compressor with a New Full Adder Cell for Bioelectronics Applications," *Circuits Syst Signal Process* , vol. 39, pp. 6247–6275, 2020, doi: 10.1007/s00034-020-01459-x.

[19] A. Sadeghi., et al.: "Tolerant and low power subtractor with 4:2 compressor and a new TG-PTL-float full adder cell,'' *IET Circuits Devices Syst*. vol. 16, no. 1, pp. 1-24, 2022, doi: 10.1049/cds2.12117.

[20] H. Cho and E. E. Swartzlander, "Adder and Multiplier Design in Quantum-Dot Cellular Automata, " in *IEEE Transactions on Computers*, vol. 58, no. 6, pp. 721-727, June 2009, doi: 10.1109/TC.2009.21.

[21] S. Bouguezel, M.O. Ahmad and M.N.S. Swamy, "Low-complexity 8× 8 transform for image compression," *Electron. Lett.*, vol. 44, no. 21, pp. 1249–1250, 2008, doi: 10.1049/el:20082239.

[22] Y. -H. Chen, T. -Y. Chang and C. -Y. Li, "High Throughput DA-Based DCT With High Accuracy Error-Compensated Adder Tree," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 19, no. 4, pp. 709-714, April 2011, doi: 10.1109/TVLSI.2009.2037968.

[23] N. R. Konijeti, J. V. R. Ravindra and P. Yagateela, "Power Aware and Delay Efficient Hybrid CMOS Full-Adder for Ultra Deep Submicron Technology," *European Modelling Symposium, Manchester*, UK, 2013, pp. 697-700, doi: 10.1109/EMS.2013.117.

[24] G. Ramana Murthy, C. Senthilpari, P. Velrajkumr and L.T. Sze, "A novel design of multiplexer based full-adder cell for power and propagation delay optimization," *Journal of Engineering Science and Technology*, vol. 8, no. 6, pp. 764–777. 2013.

[25] S. Verma, D. Kumar and G. K. Marwah, "New High Performance 1-Bit Full Adder Using Domino Logic," *International Conference on Computational Intelligence and Communication Networks*, Bhopal, India, 2014, pp. 961-965, doi: 10.1109/CICN.2014.203.

[26] M. Mirzaei and S. Mohammadi, "Process variation-aware approximate full adders for imprecision-tolerant applications," *Computers & Electrical Engineering*, vol. 87, p. 106761, 2020, doi: 10.1016/j.compeleceng.2020.106761.

[27] M. C. Parameshwara and N. Maroof, "An Area-EfficientMajority Logic-Based Approximate Adders with Low Delay for Error-Resilient Applications," *Circuits, Systems, and Signal Processing*, vol. 41, pp. 4977–4997, 2022, doi: 10.1007/s00034-022-02014-6.

COPYRIGHTS
©2024 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0