JOURNAL OF SOUTHERN COMMUNICATION ENGINEERING
ISLAMIC AZAD UNIVERSITY BUSHEHR BRANCH
E-ISSN: 2980-9231
https://jce.bushehr.iau.ir
https://doi.org/10.30495/jce.2022.692834

Vol. 13/ No. 49/Autumn 2023

Research Article

Design of Low Power Single-Bit Full-Adder Cell Based on Pass-Transistor Logic

Mehdi Sayyaf, MsC [1] | Abdolrasool Ghasemi, Assistant Professor[2*] | Roozbeh Hamzehyan, Assistant Professor[2]

[1]Department of Electrical Engineering, Bushehr Branch Islamic Azad University, Bushehr, Iran, mehdi.sayyaf@gmail.com

[2]Department of Electrical Engineering, Bushehr Branch Islamic Azad University, Bushehr, Iran, rasul_ghasemi@yahoo.com

[3]Department of Electrical Engineering, Bushehr Branch Islamic Azad University, Bushehr, Iran, r.hamzehyan@srbiau.ac.ir

Correspondence
Abdolrasool Ghasemi, Assistant Professor of Electrical Engineering, Bushehr Branch Islamic Azad University, Bushehr, Iran, rasul_ghasemi@yahoo.com

Received: 16 February 2022
Revised: 9 June 2022
Accepted: 14 July 2022

Abstract

In today's electronic and digital world, increasing demand for portable systems has led the electronics industry and chip design technology to reduce power consumption methods, and therefore power consumption has become an important criterion in this field. Also, increasing the speed of chips and reducing the propagation delay of circuits has always been an important goal of digital design engineers. Since the Adder element is one of the important elements in many digital systems, so today various Adders with different technologies and design approaches have been proposed, each of which has certain advantages and disadvantages. This paper presents a low-power single-bit full-adder cell design that is based on pass-transistor logic.This circuit is used in the arithmetic logic units of digital signal processors and also in several electronic and digital communication systems that operate within the frequency range of in 1GHz. The proposed cell exploits the pass transistor techniques and XOR-XOR structures to improve the design parameters namely power consumption, propagation delay, power–delay product, and the number of transistors. The proposed circuit is designed using 180nm CMOS technology and the simulation results show that for a supply voltage of 1.8V, the power consumption, delay, and power–delay product have been achieved as 83µW, 89ps, and 7fJ respectively.

Keywords: Full Adder, Low Power, Pass-transistor logic, Minimum propagation delay

Highlights

- The improvement of power consumption, propagation delay, the product of power in delay and the number of transistors (including 10 transistors) Using XOR-XOR structure based on the pass transistor technique.
- High switching speed of pass transistors which has resulted in reduction of propagation delay.
- Removing the XNOR structure in the circuit, which has reduced the power consumption and physical area of the proposed circuit.

Citation: M. Sayyaf, A. Ghasemi, and R. Hamzehyan, "Design of Low Power Single-Bit Full-Adder Cell Based on Pass-Transistor Logic," *Journal of Southern Communication Engineering*, vol. 13, no. 49, pp. 105–112, 2023, doi: 10.30495/jce.2022.692834, (in Persian).

مقاله پژوهشی

طراحی سلول تمام جمع کننده تک بیتی کم توان مبتنی بر ترانزیستور عبور

مهدی سیاف [۱] | عبدالرسول قاسمی* [۲] | روزبه حمزه ئیان [۳]

[۱]گروه برق، دانشکده فنی و مهندسی، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران،
mehdi.sayyaf@gmail.com

[۲]استادیار گروه برق، دانشکده فنی و مهندسی ، واحد بوشهر، دانشگاه آزاد اسلامی ،بوشهر ، ایران،
rasul_ghasemi@yahoo.com

[۳]استادیار گروه برق ، دانشکده فنی و مهندسی، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر ، ایران،
r.hamzehyan@srbiau.ac.ir

نویسنده مسئول
*عبدالرسول قاسمی،استادیار گروه برق،دانشکده فنی و مهندسی، واحد بوشهر، دانشگاه آزاد اسلامی، بوشهر، ایران،
rasul_ghasemi@yahoo.com

تاریخ دریافت: ۲۷ بهمن ۱۴۰۰
تاریخ بازنگری: ۱۹ خرداد ۱۴۰۱
تاریخ پذیرش: ۲۳ تیر ۱۴۰۱

چکیده:

در دنیای الکترونیک و دیجیتال امروزی، افزایش تقاضا برای سیستم‌های قابل حمل موجب شده تا صنعت الکترونیک و تکنولوژی طراحی تراشه‌ها به سمت روش‌های کاهش مصرف توان سوق پیدا کنند و لذا مصرف توان به معیاری مهم در این زمینه تبدیل‌شده است. همچنین افزایش سرعت تراشه‌ها و کاهش تأخیر انتشار مدارها همواره از اهداف مهم مهندسان طراح دیجیتال بوده است. ازآنجاکه عنصر جمع کننده ازجمله عناصر مهم در بسیاری از سیستم‌های دیجیتال است، لذا امروزه جمع‌کننده‌های گوناگون با تکنولوژی‌ها و رویکردهای مختلف طراحی مطرح شده‌اند که هر یک دارای مزایا و معایب مشخصی هستند. در این مقاله، سلول مدار تمام جمع کننده تک بیتی مبتنی بر ترانزیستور عبور با مصرف توان کم ارائه‌شده است. این مدار با فرکانس ۱ گیگاهرتز برای استفاده در بلوک‌های واحد محاسبه منطق و ریاضی پردازنده‌های سیگنال دیجیتال و انواع سیستم‌های الکترونیکی و مخابراتی دیجیتال کاربرد دارد. در مدار پیشنهادی از ساختار XOR-XOR استفاده‌شده و مبتنی بر تکنیک ترانزیستور عبور است و پارامترهایی نظیر توان مصرفی، تأخیر انتشار، حاصل‌ضرب توان در تأخیر و تعداد ترانزیستورها بهبود حاصل‌شده است. مدار پیشنهادی در تکنولوژی ۱۸۰ نانومتر CMOS طراحی‌شده است و نتایج شبیه‌سازی نشان می‌دهد که به ازای ولتاژ تغذیه ۱/۸ ولت توان مصرفی برابر با ۸۳ میکرو وات، تأخیر زمانی ۸۹ پیکو ثانیه، حاصل‌ضرب توان در تأخیر ۷ فمتو ژول به دست می‌آید.

کلید واژه‌ها: تمام‌جمع‌کننده، کم توان، ترانزیستور عبور، حداقل تأخیر

https://doi.org/10.30495/jce.2022.692834

۱-مقدمه

جمع کننده به‌عنوان یکی از مهم‌ترین اجزای پردازنده‌ها و مهم‌ترین عنصر اصلی در CPU، واحدهای منطقی محاسباتی و پردازش سیگنال دیجیتال به شمار می‌روند [۱-۳]. بر این اساس بهبود طراحی مدارات جمع کننده‌ای، با توان کم و کارآیی بالا، بسیار مهم است. چراکه این امر می‌تواند باعث کاهش توان مصرفی ادوات الکترونیکی شود. تمام جمع کننده عبارت است از مدار ترکیبی که قادر است سه رقم دودویی را جمع کند. این مدار دارای سه ورودی و دو خروجی است که با توجه به جدول ۱ دو متغیر A و B بر ورودی‌هایی که قرار است باهم جمع شوند دلالت دارند و سومین ورودی C_{in}، رقم نقلی حاصل از جمع ستون مرتبه‌ی پایین‌تر است. داشتن دو خروجی در مدار الزامی است، زیرا جمع سه رقم دودویی ازنظر مقدار بین صفر تا سه است و اعداد دو و سه در مبنای دو، به دو رقم برای نمایش نیاز دارند .خروجی‌ها شامل SUM برای حاصل جمع و C_{out} برای خروجی نقلی نشان داده‌شده است.

جدول ۱: جدول درستی تمام جمع کننده تک بیتی [۴]

Table.1-Single bit Full adder truth table

A	B	C_{in}	C_{out}	SUM
۰	۰	۰	۰	۰
۰	۰	۱	۰	۱
۰	۱	۰	۰	۱
۰	۱	۱	۱	۰
۱	۰	۰	۰	۱
۱	۰	۱	۱	۰
۱	۱	۰	۱	۰
۱	۱	۱	۱	۱

با توجه به جدول ۱ و جداول کارنو روابط خروجی تمام جمع کننده به شرح ذیل است،

$$SUM = A \oplus B \oplus C_{in} \quad (۱)$$

$$C_{out} = A.B + C_{in}\left(A \oplus B\right) \quad (۲)$$

عبارت‌های بولی فوق می‌تواند به‌صورت زیر نیز نمایش داده شود،

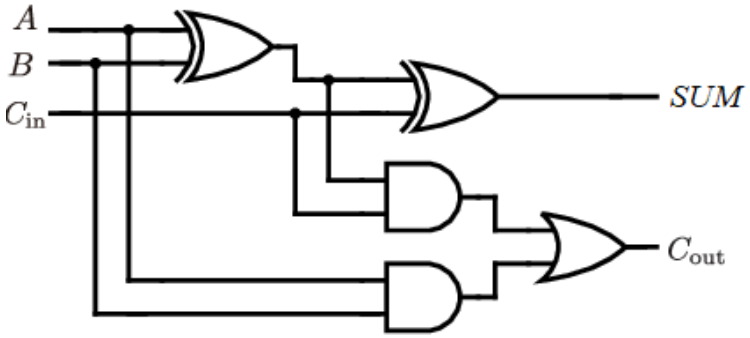
$$H = A \oplus B \quad (۳)$$

$$SUM = H \oplus C_{in} = H.\bar{C}_{in} + \bar{H}.C_{in} \quad (۴)$$

$$C_{out} = A.\bar{H} + C_{in}.H \quad (۵)$$

همان‌طوری که از رابطه ۴ و ۵ مشاهده می‌شود H و متمم آن $\bar{H}$ تغییرهای اولیه برای SUM و C_{out} هستند.

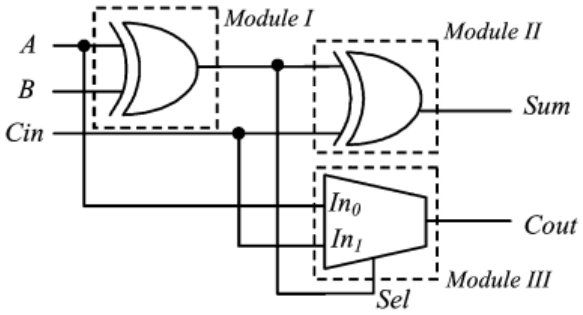
خروجی‌های روابط به‌دست‌آمده را می‌توان به شکل عبارت‌های منطقی بسیاری بیان و ساختار مدار را تعیین کرد. بر اساس این عبارت‌های منطقی، می‌توان تمام جمع کننده‌های مختلف زیادی با ساختارهای متفاوت در نظر گرفت. در شکل ۱ مدار یک تمام جمع کننده تک‌بیتی را مشاهده می‌کنید که از گیت‌های پایه‌ای AND-OR-XOR تشکیل‌شده است.



شکل ۱: مدار تمام جمع کننده تک بیتی [۵]

Fig.1. Single bit full adder [5]

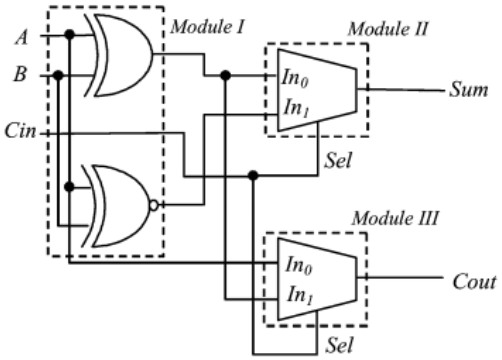
ساختارهای مختلفی برای تمام جمع کننده وجود دارد ازجمله تمام جمع‌کننده‌ی مبتنی بر XOR-XOR که در شکل ۲ نمایش داده‌شده است. در این تمام جمع‌کننده‌ها خروجی حاصل جمع توسط دو گیت XOR دو ورودی متوالی و خروجی رقم نقلی از خروجی یک مالتی‌پلکسر دو به یک که خط انتخاب آن از خروجی بلوک اول گرفته‌شده است، تولید می‌شوند. بلوک اول می‌تواند یک مدار XOR-XNOR یا فقط یک گیت XOR باشد. در حالت اول، خروجی H مدار XOR-XNOR در بلوک دوم با رقم نقلی حاصل از طبقه قبلی (C_{in})، XOR می‌شود. خروجی‌های H و $\bar{H}$ در بلوک سوم به‌عنوان خطوط انتخاب استفاده می‌شوند.



شکل۲: ساختار جمع کننده مبتنی بر XOR-XOR [۵]

Fig.2 Strucyure of full adder based on XOR-XOR [5]

ساختار مهم دیگر ساختار XOR-XNOR است که در شکل ۳ نمایش داده‌شده است. در این تمام جمع‌کننده بلوک اول شامل یک مدارXOR-XNOR است. بلوک دوم و بلوک سوم، به ترتیب خروجی‌های حاصل جمع و رقم نقلی را تولید می‌کنند. بلوک اول سیگنال‌های H و $\overline{H}$ را تولید می‌کند و بلوک‌های دوم و سوم مالتی‌پلکسرهای دو به یک با خطوط انتخاب H و $\overline{H}$ هستند. تولید هم‌زمان سیگنال H و $\overline{H}$ در تمام جمع‌کننده‌ها مهم است، زیرا خطوط انتخاب مالتی‌پلکسرهای طبقه خروجی را راه‌اندازی می‌کنند. در حالت دیگر ($\overline{H}$ و H غیر هم‌زمان)، ممکن است گذار غیرواقعی و اتلاف توان غیرضروری رخ دهد. تا زمانی که این سیگنال‌های میانی از بلوک اول در دسترس نیستند، خروجی‌های نهایی نمی‌توانند تولید شوند [۵].



شکل ۳: ساختار جمع کننده مبتنی بر XOR-XNOR [۵]

Fig.3. Structure of full adder based on XOR-XNOR [5]

در این مقاله یک تمام جمع کننده با ساختار جدیدی مبتنی بر XOR-XNOR و منطق ترانزیستور عبور پیشنهادشده است که نسبت به کارهای انجام‌شده ازلحاظ تعداد ترانزیستورها، مقدار تأخیر و توان مصرفی عملکرد خوبی دارد. در این مقاله پس از معرفی ساختارهای جمع کننده مبتنی بر XOR-XOR و XOR-XNOR ضمن بررسی و مطالعه به شبیه‌سازی و تحلیل پارامترهای مختلف مدار تمام جمع کننده CMOS Static [۶]، مدارهای تمام جمع کننده مبتنی بر منطق ترکیبی ترانزیستور گیت انتقالی و ترانزیستور عبور [۹-۷] پرداخته و درنهایت پس از شبیه‌سازی مدار پیشنهادی که مبتنی بر ترانزیستور عبور است نتایج شبیه‌سازی آن را بیان می‌نماییم.

۲-شبیه‌سازی مدار پیشنهادی

مطابق شکل ۴ شبیه‌سازی مدار پیشنهادی مبتنی بر XOR-XNOR و منطق ترانزیستور عبور است. برای طراحی این مدار از منطق ترانزیستورهای عبور استفاده‌شده است به‌نحوی‌که فاکتورهایی نظیر توان مصرفی، تأخیر زمانی، حاصل‌ضرب توان در تأخیر و مساحت فیزیکی کاملاً بهینه‌شده‌اند. مساحت اشغال‌شده توسط تراشه (که با فرض در اختیار داشتن معکوس ورودی‌ها، این

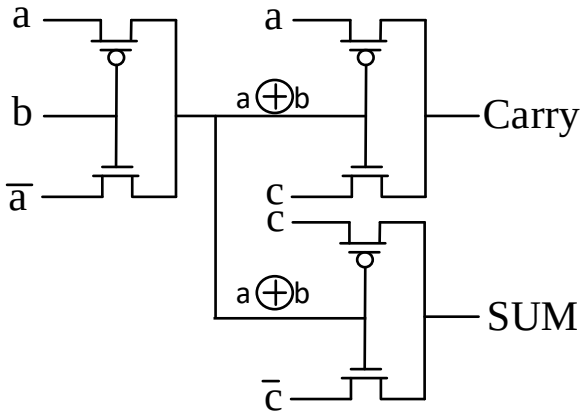
مدار توسط ۶ ترانزیستور ساخته‌شده است که در مقایسه با جمع کننده مرسوم CMOS [۵] (که ۲۸ ترانزیستور دارد) کاهش بسیار چشمگیری در مساحت را به دنبال دارد. تأخیر مدار و به‌تبع آن تأخیر تولید بیت نقلی بسیار کمتر از نمونه‌های قبلی است؛ بنابراین در مدار هدف ما که انتشار بیت نقلی مهم هست سرعت نهایی مدار افزایش می‌یابد. درواقع برای طراحی این مدار از ساختار مالتی پلکسری ورودی‌ها استفاده‌شده است؛ مثلاً در ماژول سمت چپ (شکل ۴)، اگر b=۰ باشد آنگاه خروجی این ماژول a و اگر b=۱ باشد خروجی این ماژول برابر $\bar{a}$ خواهد بود. به عبارت دیگر یک گیت XOR را در منطق ترانزیستورهای گذر طراحی کرده‌ایم.

دو ماژول موجود در خروجی‌های بیت نقلی و مجموع نیز چنین ساختار مالتی پلکسری را پیاده‌سازی می‌کنند. ماژول موجود در خروجی مجموع هم یک XOR را برای ورودی‌هایش (رودی‌های $a \oplus b$ و ورودی c) پیاده‌سازی کرده است، زیرا خروجی مجموع در یک جمع کننده درواقع XOR بین ۳ ورودی آن است. ولی در خروجی بیت نقلی سعی شده است که به کمک ورودی‌های ترانزیستورهای عبور (یعنی a و c) و مقدار گیت ترانزیستورها (یعنی $a \oplus b$) تابع اکثریت[1] پیاده‌سازی شود. سرعت‌بالای سوئیچینگ ترانزیستورهای عبور، از مزایای مدار تمام جمع کننده‌ی پیشنهادی است. این مزیت باعث کاهش تأخیر انتشار و حذف ساختار XNOR در مدار می‌شود که درنتیجه موجب کاهش توان مصرفی و مساحت فیزیکی مدار پیشنهادی شده است. مدار پیشنهادی نسبت به مدار تمام جمع کننده CMOS Static [۶] ٪۷۰ کاهش، نسبت به مدارهای تمام جمع کننده‌ی ترکیبی مبتنی بر ترانزیستور گیت انتقالی و ترانزیستور گذر [۷-۹] ٪۶۰ کاهش توان مصرفی، ازلحاظ تأخیر زمانی بین ٪۲۴ تا ٪۳۴ کاهش، ازلحاظ حاصل‌ضرب تأخیر در توان و ازلحاظ تعداد ترانزیستور بهترین عملکرد را داشته است.

معادلات بهبودیافته SUM و Carry در این مدار به‌صورت زیر است،

$$SUM = (a \oplus b) \oplus c = (a \oplus b).\bar{c} + \overline{(a \oplus b)}.c \quad (۶)$$

$$Carry = ab + bc + ac = \overline{(a \oplus b)}.a + (a \oplus b).c \quad (۷)$$



شکل ۴: مدار پیشنهادی

Fig.4. Proposed circuit

۳-نتایج شبیه‌سازی

شبیه‌سازی مدار پیشنهادی به ازای ورودی‌های a، b و c طبق جدول ۲ اعمال می‌شود. دلیل انتخاب این مقادیر جهت انتخاب ورودی‌های محدوده ۰۰۰ الی ۱۱۱ است به‌نحوی‌که تمامی حالات ممکن را پوشش بدهد.

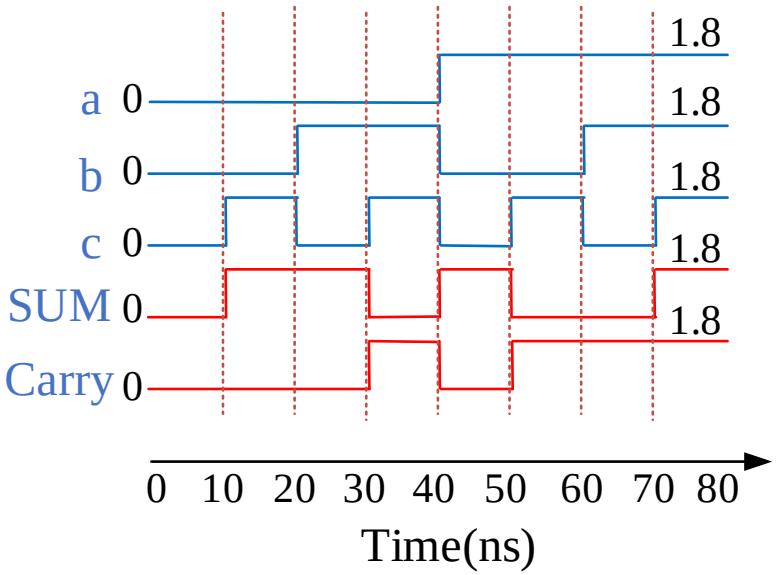
[1]. Majority

جدول ۲: مقادیر ورودی‌های A,B,Cin

Table2. input values of a,b and c signals

IN	period	Pulse width	Rise time	Fall time
a	۴۰ns	۲۰ns	۲۰۰ps	۲۰۰ps
b	۲۰ns	۱۰ns	۲۰۰ps	۲۰۰ps
c	۱۰ns	۵ns	۲۰۰ps	۲۰۰ps

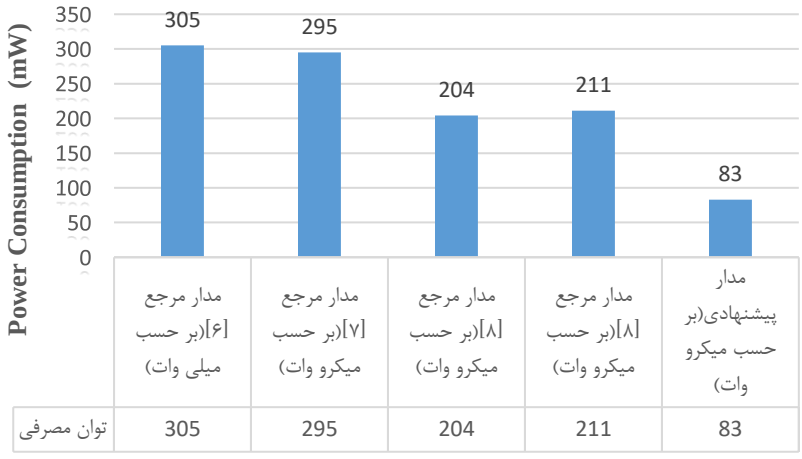
نتایج خروجی SUM و Carry برای ورودی‌های پالسی در مدار پیشنهادی به‌صورت زیر است.



شکل ۵: نمودار سیگنال‌های اعمالی ورودی به همراه سیگنال‌های خروجی مدار پیشنهادی

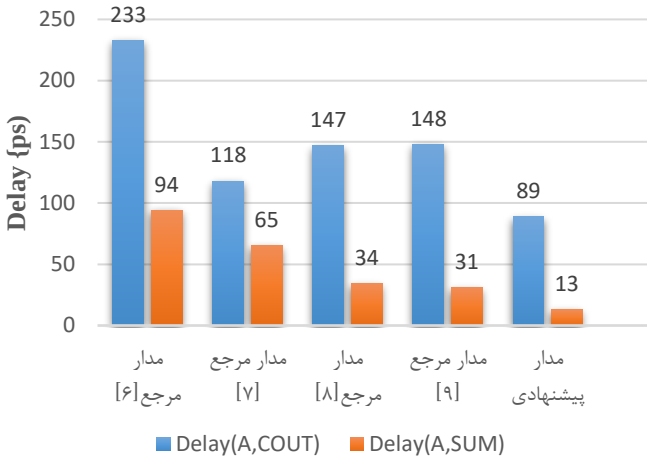
Fig. 5. Input and output signals of proposed circuit

شکل ۶ و ۷ به ترتیب نتایج ارزیابی توان مصرفی و تأخیر زمانی مدارهای شبیه‌سازی‌شده را نشان می‌دهد.



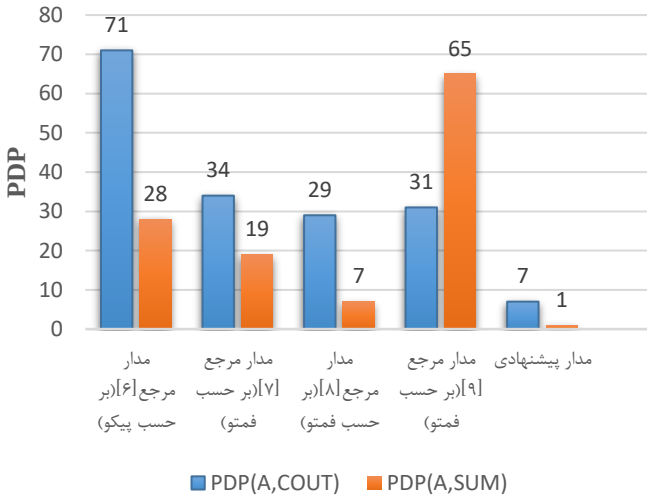
شکل ۶: مقایسه توان مصرفی مدارهای شبیه‌سازی‌شده

Fig.6. Power consumption comparision of proposed circuits



شکل ۷: نمودار مقایسه‌ای تأخیر زمانی

Fig.7. Delay comparision diagram



شکل ۸: مقایسه PDP مدار پیشنهادی با کارهای قبلی

Fig.8. Comparision of PDP parameter of proposed circuits with others

شکل ۸ نتایج شبیه‌سازی PDP (حاصل‌ضرب توان در تأخیر) مدار پیشنهادی در مقایسه با کارهای دیگران را نمایش می‌دهد. مقایسه مدار پیشنهادی با کارهای دیگران ازنظر تعداد ترانزیستورهای تشکیل‌دهنده نیز در جدول ۳ و مقایسه کلی در جدول ۴ آورده شده است.

جدول ۳: مقایسه تعداد ترانزیستورهای مدار پیشنهادی با کارهای قبلی

Table3. Number of transistors in proposed circuit in comparision with others

مدار موردنظر	تعداد ترانزیستور
مدار تمام جمع کننده CMOS STATIC مرجع [۶]	۲۸
مدار تمام جمع کننده مبتنی بر تکنیک GDI و Tgate مرجع [۷]	۱۶
مدار تمام جمع کننده مبتنی بر ۱۴XOR-XNOR- ترانزیستوری مرجع [۸]	۱۴
مدار تمام جمع کننده مبتنی بر تکنیک CPL و GDI - ۱۶ ترانزیستوری مرجع [۹]	۱۶
مدار پیشنهادی - مبتنی بر ترانزیستور CPL	۱۰

جدول ۴: مقایسه چهار ساختار موردبحث فوق با ساختار پیشنهادی

Table4. Comparision of proposed structure with others

تعداد ترانزیستورها	حاصل‌ضرب توان در تأخیر(فمتو)	تأخیر (پیکو ثانیه)	توان مصرفی (میکرو وات)	Switching procedure
۲۸	۲۸-۷۱ (پیکو)	۹۴-۲۳۳	۳۰۵(میلی وات)	[۶]
۱۶	۱۹-۳۴	۶۵-۱۱۸	۲۹۵	[۷]
۱۴	۷-۲۹	۳۴-۱۴۷	۲۰۴	[۸]
۱۶	۶۵-۳۱	۳۱-۱۴۸	۲۱۱	[۹]
۱۰	۱-۷	۱۳-۸۹	۸۳	روش پیشنهادی

با توجه به نتایج شبیه‌سازی و مقایسه شده در جدول ۴ واضح است که درنهایت مدار پیشنهادی از لحاظ توان مصرفی، تعداد ترانزیستور و تأخیر زمانی بهترین عملکرد را داراست.

۴-نتیجه گیری

در این کار، یک سلول مدار تمام جمع کننده تک بیتی مبتنی برXOR-XOR و با تکنیک ترانزیستور عبور ارائه‌شده است. افزایش سرعت تراشه‌ها و کاهش تأخیر انتشار مدارها همواره از اهداف مهم مهندسان طراح دیجیتال بوده است. ازآنجاکه عنصر جمع کننده ازجمله عناصر مهم در بسیاری از سیستم‌های دیجیتال است، لذا امروزه جمع‌کننده‌های گوناگون با تکنولوژی‌ها و تکنیک-های مختلف طراحی‌شده‌اند. در این مقاله سرعت بالای سوئیچینگ ترانزیستورهای عبور، از مزایای مدار تمام جمع کننده‌ی پیشنهادی است. این مزیت باعث کاهش تأخیر انتشار و حذف ساختار XNOR در مدار می‌شود که درنتیجه موجب کاهش توان مصرفی و مساحت فیزیکی مدار پیشنهادی شده است. با شبیه‌سازی تمام جمع کننده پیشنهادی شامل ۱۰ ترانزیستور به ازای ولتاژ تغذیه ۱.۸ ولت در تکنولوژی ۱۸۰نانومتر CMOS با نرم‌افزار کیدنس، توان مصرفی برابر با ۸۳ میکرو وات، تأخیر زمانی ۸۹ پیکو ثانیه، حاصل‌ضرب توان در تأخیر ۷ فمتو ژول به دست آمد.

مراجع

[1] Y. Safaei Mehrabani and M. Eshghi, "Noise and Process Variation Tolerant, Low-Power, High-Speed, and Low-Energy Full Adders in CNFET Technology," in *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 24, no. 11, pp. 3268-3281, Nov. 2016, doi: 10.1109/TVLSI.2016.2540071.

[2] M. Keerthana and T. Ravichandran, "Implementation of Low Power 1-bit Hybrid Full Adder using 22 nm CMOS Technology," *2020 6th International Conference on Advanced Computing and Communication Systems (ICACCS)*, 2020, pp. 1215-1217, doi: 10.1109/ICACCS48705.2020.9074256.

[3] M. A. Chowdhury, M. A. Mona, A. Al Asif, M. Nayem, M. A. Z. Dipto and A. Sorwar, "Performance Comparison of Full Adder Cells in 45nm Technology Node," *2021 International Conference on Computer Communication and Informatics (ICCCI)*, 2021, pp. 1-5, doi: 10.1109/ICCCI50826.2021.9402506.

[4] O. A. Badry and M. A. Abdelghany, "Low power 1-Bit full adder using Full-Swing gate diffusion input technique," *2018 International Conference on Innovative Trends in Computer Engineering (ITCE)*, 2018, pp. 205-208, doi: 10.1109/ITCE.2018.8316625.

[5] A. N. M. Hossain and M. A. Abedin, "Implementation of an XOR Based 16-bit Carry Select Adder for Area, Delay and Power Minimization," *2019 International Conference on Electrical, Computer and Communication Engineering (ECCE)*, 2019, pp. 1-4, doi: 10.1109/ECACE.2019.8679293.

[6] K. Himabindu and K. Hariharan, "Design of area and power efficient full adder in 180nm," *2017 International Conference on Networks & Advances in Computational Technologies (NetACT)*, 2017, pp. 336-340, doi: 10.1109/NETACT.2017.8076791.

[7] T. Nikoubin, O. Kavehie and K. Navi, "A New Design for 6 Transistors XOR / XNOR, Based on High-Speed and Low-Power Arithmetic Circuits Chains Design," International conference on computer society of Iran , Tehran, 2006, pp. 930-923.

[8] J.M. Wang, S.C. Fang and W.S. Feng, "New efficient designs for XOR and XNOR functions on the transistor level," in *IEEE Journal of Solid-State Circuits*, vol. 29, no. 7, pp. 780-786, July 1994, doi: 10.1109/4.303715.

[9] V. Moalemi and A. Afzali-Kusha, "Subthreshold 1-Bit Full Adder Cells in sub-100 nm Technologies," *IEEE Computer Society Annual Symposium on VLSI (ISVLSI '07)*, 2007, pp. 514-515, doi: 10.1109/ISVLSI.2007.93.

COPYRIGHTS
©2023 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0