بهبود SNDR با بهینه سازی ضرایب مسیرهای فیدبک مدولاتورهای CRFB مرتبه دوم در مبدل‌های آنالوگ به دیجیتال سیگما-دلتا

مریم شهریاری[۱]، عبدالرسول قاسمی[۲*]، نجمه چراغی شیرازی[۳]

۱: گروه مهندسی برق، دانشکده فنی مهندسی، دانشگاه آزاد اسلامی، بوشهر، ایران maryamshahriary1371@gmail.com
۲*: گروه مهندسی برق، دانشکده فنی مهندسی، دانشگاه آزاد اسلامی، بوشهر، ایران rasul_ghasemi@yahoo.com
۳: گروه مهندسی برق، دانشکده فنی مهندسی، دانشگاه آزاد اسلامی، بوشهر، ایران nch_shirazi@yahoo.com

تاریخ دریافت: ۱۴۰۰/۴/۱ تاریخ پذیرش: ۱۴۰۰/۵/۹

چکیده

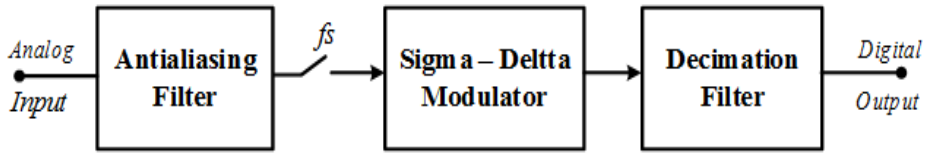
مبدل های آنالوگ به دیجیتال از نظر فرکانس نمونه برداری به دو دسته کلی ، مبدل های با نرخ نایکوئیست و مبدل های بیش نمونه برداری تقسیم می شوند.در مبدل های بیش نمونه برداری سیگنال ورودی با چندین برابر نرخ نایکوئیست نمونه برداری می شود. افزایش نسبت بیش نمونه برداری منجر به افزایش رزولوشن موثر می شود در مقابل برای سیگنالهای باند وسیع استفاده از نسبت بیش نمونه برداری بالا به خاطر نیاز به فرکانسهای نمونه برداری و توان مصرفی بالا، غیر عملی است.افزایش تعداد بیتها نیز باعث افزایش محدوده دینامیکی می گردد در مقابل DAC چند بیتی مورد نیاز در مسیر فیدبک خطی نمی باشد .در این مقاله یک مبدل آنالوگ به دیجیتال سیگما دلتا با دقت 12 بیت، منبع تغذیه 1V و فرکانس نمونه برداری 2.4 MS/s برای کاربردهای توان پایین طراحی کردیم. از سوی دیگرافزایش سطوح کوانتیزاسیون(تعداد بیت کوانتایزر) باعث کاهش توان نویز داخل باند سیستم می شود و حاصل آن بهتر شدن نسبت سیگنال به نویز، پایداری و عدم نیاز به افزایش نسبت فوق نمونه برداری است.ما با انتخاب ضرایب فیدبک بهینه در این مدولاتور توانستیم به SNDR بالایی دست یابیم . ساختار پیشنهادی در فن آوری 0.18µm CMOS طراحی شده و نتایج شبیه سازی نشان می‌دهد که به ازای ولتاژ تغذیه‌ی1V نسبت سیگنال به نویز 71.3 dB و توان مصرفی 451µW و رقم شایستگی رقم شایستگی 3.76 (pJ/Conver.step) بدست می‌آید

واژه‌های کلیدی: مبدل آنالوگ به دیجیتال، مبدل های سیگما – دلتا، مبدل‌های توان پایین، تقویت کننده‌های عملیاتی، ساختارCRFB، بهینه سازی ضرایب فیدبک.

۱- مقدمه

اکثر پدیده های دنیا به صورت آنالوگ هستند. اما دلایلی مانند سهولت پردازش، تست سیگنال‌های دیجیتال، ساختار برنامه‌پذیر و انعطاف پذیر این سیستم ها و همچنین مشکلات زیاد سیستم های آنالوگ مثل حساسیت به نویز و محدودیت در سرعت، انگیزه ساخت مبدل های کارآمدتر آنالوگ به دیجیتال را افزایش داده است. سیگنال‌هایی مانند صوت و تصویر در طبیعت به صورت آنالوگ وجود دارند. در نتیجه نیاز به مبدل های واسطی برای تبدیل آنالوگ به دیجیتال و بلعکس وجود دارد. مبدل‌های آنالوگ به دیجیتال را از نظر فرکانس نمونه برداری می توان به دو دسته‌ی مبدل‌ها با نرخ نایکوئیست و مبدل‌های بیش نمونه برداری تقسیم‌بندی نمود. از جمله مبدل‌های نرخ نایکوئیست می‌توان به مبدل پایپ لاین، فلش، تقریب متوالی اشاره کرد که سیگنال ورودی این مبدل‌ها با نرخ نایکوئیست نمونه برداری می‌شود. در حالی که سیگنال آنالوگ ورودی در مبدل‌های بیش نمونه برداری با چندین برابر نرخ نایکوئیست، نمونه برداری می‌شود.

این مبدل‌ها با استفاده از تکنیک شکل دادن نویز کوانتیزاسیون دقت بالایی دارد در نتیجه در مقایسه با مبدل‌های نرخ نایکوئیست نسبت به اثرات غیر ایده آلی مدارهای آنالوگ مقاوم هستند. مناسبترین ساختار جهت پیاده سازی مبدل‌های بیش نمونه برداری، مبدل‌های سیگما – دلتا هستند. شکل ۱ ساختار کلی مدولاتور سیگما – دلتا را نشان می‌دهد.



شکل۱: ساختار کلی مبدل سیگما – دلتا[۱]

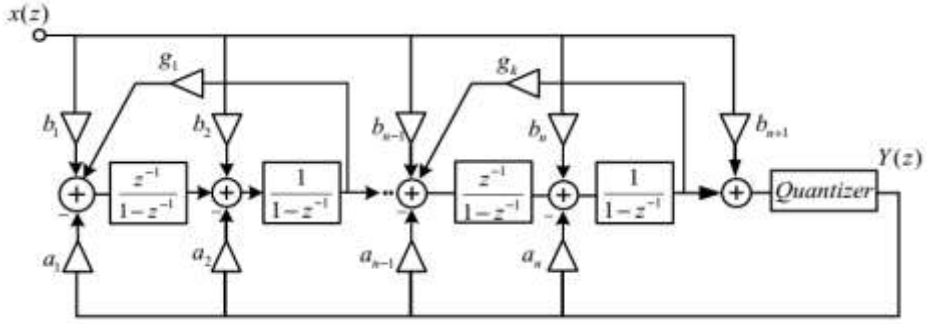
در اکثر کاربردهای مخابرات بدون سیم نیاز به مبدل های آنالوگ به دیجیتال سریع و با دقت بالا می باشد. مدولاتور سیگما دلتا در زمان های پیوسته و زمان های گسسته بکار می روند . امروزه استفاده از مبدل های سیگما دلتا بدلیل دقت بالا و توان مصرفی کم افزایش یافته است. از طرفی با پیشرفت تکنولوژی بهره ذاتی ترانزیستورها افت می کند که کوچک شدن بهره ذاتی در ترانزیستورها باعث می شود بهره آپ امپ نیز کاهش یابد. بر خلاف مبدل های پایپ لاین، مدولاتورهای سیگما دلتا به آپ امپ های با بهره کم نیاز دارند. ساختار مدولاتور سیگما – دلتا را می توان به دو دسته عمده تک حلقه و چند حلقه تقسیم بندی کرد.در مدولاتور تک حلقه ای از یک کوانتایزر و فیدبک منفی اصلی برای شکل دهی نویز کوانتیزاسیون استفاده می شود.در حالیکه در ساختارهای چند حلقه ای که به ساختارهای کسکید هم معروف هستند، چند کوانتایزر وحلقه مجزا از هم بکار برده می شوند[۲و۳].

در این مقاله هدف اصلی، بهینه سازی ضرایب فیدبک به منظور دست یابی به SNR بالا و یک مدولاتور سیگما-دلتا توان پایین است. این مقاله به اینصورت سازماندهی شده است که ساختار مدولاتور در بخش دوم بحث خواهد شد، در بخش سوم بلوک‌های سازنده ساختار پیشنهادی معرفی می‌شود و نتایج حاصل از شبیه سازی در بخش چهارم و در نهایت در بخش پنجم نتیجه گیری ارائه شده است. همه شبیه سازیهای سیستمی و مداری به ترتیب در محیط Simulink/Matlab و Cadence انجام شد.

۲- ساختار مدولاتور

همانطور که در بخش قبل خیلی کوتاه اشاره شد، ساختار مدولاتور سیگما – دلتا را می توان به دو دسته تک حلقه و چند حلقه تقسیم نمود. مبدل سیگما دلتا تک حلقه به عنوان تنها یک مبدل تک حلقه وجود دارد توانایی شکل گیری نویز را می توان با افزایش میزان فیلتر حلقه افزایش داد . با قرار دادن یک انتگرال دیگر درون حلقه می توان مدولاتور سیگما دلتا مرتبه دوم را بدست آورد. به طور مشابه ، تعداد انتگرالگیررا زیاد می‌کنیم در نتیجه مرتبه مدولاتور بالاتر می رود.

مدولاتورهای تک حلقه به ازای سیگنال های ورودی نزدیک مرجع فیدبک ناپایدارهستند.یک روش برای تضمین پایداری استفاده از تابع تبدیل نویز با بهره کم در خارج از باند سیگنال است.هر مدولاتور سیگما دلتا یک تابع تبدیل نویز و یک تابع تبدیل سیگنال دارد.تابع تبدیل سیگنال یک مدولاتور با مرتبه L ام به صورت Z^{-L} وتابع تبدیل نویز ان به صورت$1-Z^{-L}$ است تابع تبدیل نویز یک فیلتر بالاگذر است. برای تضمین پایداری مدولاتور از تکنیک کاهش بهره خارج از باند سیگنال تابع تبدیل نویز استفاده می شود[۴و۵]. شکل ۲ یک مدولاتور تک حلقه ای با استفاده از کوانتایزر تک بیتی می باشد.که فیلتر حلقه آن با مسیرهای فیدبک توزیع شده(CRFB) پیاده سازی شده است. در این ساختار ضرایب b_i و a_i به ترتیب قطب‌ها و صفرهای تابع انتقال سیگنال را مشخص می کنند. همچنین ضرایب فیدبک g_i ، صفرهای تابع انتقال نویز را تعیین می‌نماید.



شکل ۲: مدولاتور تک حلقه مرتبه بالا با ساختار CRFB[۲]

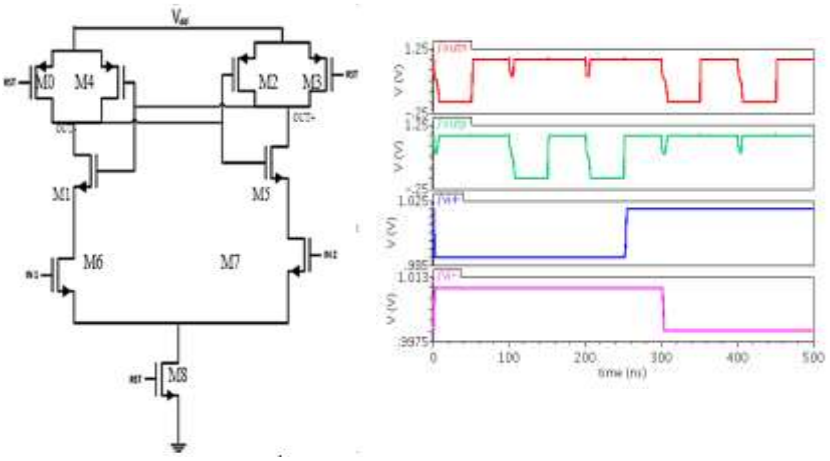
۳- ساختار مبدل پیشنهاد شده

با در نظر گرفتن اثرات غیر ایده آل، ابتدا یک شبیه سازی رفتاری از مبدل سیگما-دلتا در محیط سیمولینک متلب انجام داده تا به ضرایب بهینه فیدبک برای ماکزیمم SNDR دست یابیم. سپس از روی ضرایب بهینه بدست آمده، مقادیر خازن‌های انتگرالگیر و خازن‌های فیدبک برای مدار مبدل سیگما-دلتای مرتبه ۲ پیشنهادی را محاسبه می‌کنیم.

۳-۱- مقایسه گر دینامیکی

استفاده از مقایسه‌گرهای دینامیکی به دلیل عملکرد سرعت بالا با توجه به فیدبک مثبت طبقه‌ی خروجی و همچنین توان مصرفی کم سبب افزایش سرعت مقایسه می‌شود و با توجه به عملکرد دینامیکی آن، هیچ توان استاتیکی مصرف نمی‌کند. شکل ۳ ساختار این مقایسه گر دینامیکی‌ای که در ساختار پیشنهادی استفاده شده را به همراه خروجی مقایسه گر را نشان می‌دهد.

مقایسه گر در فاز مقایسه RST=1 تا سرعت های بالا می تواند به خوبی کار کند. عملکرد مقایسه گر به گونه ای است که زمانیکه مقایسه گر در فاز ریست قرار داشته(RST=0) و M8 خاموش شده و ترانزیستورهای M0 و M3 روشن می شود و خروجی مقایسه گر برابر V_{DD} خواهد شد. برای بررسی عملکرد مقایسه گر برای دو حالت $Vi^+ > Vi^-$ و $Vi^+ < Vi^-$ در این شبیه سازی دو ورودی را با اختلاف ۰/۲ ولت به مقایسه گر می دهیم و دو خروجی با اختلاف صفر و یک (outn=1 و outp=0) در خروجی مشاهده می شود.

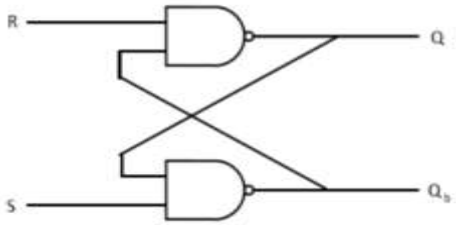


شکل۳: ساختار مقایسه گر دینامیکی و خروجی مقایسه گر

۳-۲- لچ SR

ساختار مبدل پیشنهادی در انتها نیاز به یک لچ دارد که مدار آن با استفاده از ترانزیستورهای مینیمم سایز به صورت زیر طراحی شده اند. مدار داخلی گیت NAND که با ترانزیستور های NMOS وPMOS پیاده سازی شده است، عملکرد این مدار به این صورت

کار می کند که زمانی که هر دو ورودی برابر ۱باشند خروجی برابر صفر خواهد شد و زمانی که یکی از ورودی ها صفر باشد ،خروجی برابر با ۱ خواهد بود. شکل ۴ لچ SR استفاده شده در ساختار پیشنهادی را نشان می‌دهد.

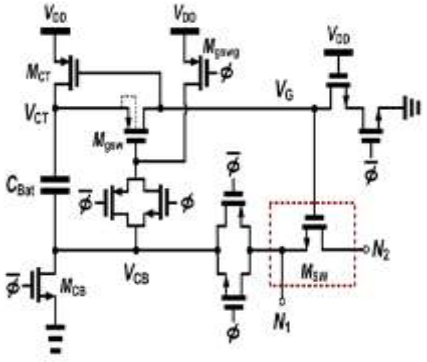


شکل ۴ : لچ SR استفاده شده در ساختار پیشنهادی

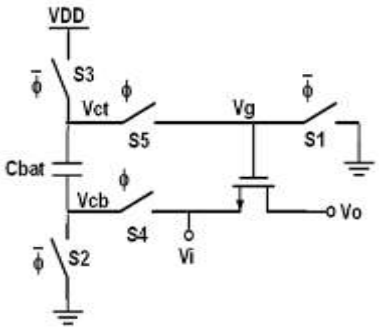
۳-۳- سوییچ بوت استرپ

برای سوئیچ‌هایی که حداقل یک طرف آنها ولتاژ ثابت است از یک NMOS یا PMOS استفاده می شود، اما برای سوئیچ هایی که دارای تغییرات زیادی در دوطرف خود هستند مجبور به استفاده از سوئیچ بوت استرپ هستیم. برای تحقق یک سوئیچ با تکنیک بوت استرپ در ابتدا ساختار آن به صورت ساده و ایده‌آل در شکل۵-الف) مورد تحلیل قرار می‌گیرد. طرز کار این مدار به اینصورت است که در فاز $\bar{\varphi}$، NMOS از طریق S_1 خاموش می‌شود. همچنین در این فاز خازن C_{bat} از طریق S_2 و S_3 تا ولتاژ VDD شارژ می‌شود. در فاز φ که سوئیچ بسته است و باید V_o را به V_i متصل کند، ولتاژ خازن C_{bat} از طریق S_4 و S_5 بر روی GS ترانزیستور NMOS قرار می-گیرد و NMOS را روشن می‌کند. چون این ولتاژ ثابت است ولتاژ گیت به همراه V_i تغییر می‌کند و سوئیچ بسیار خطی می‌شود. در سوئیچ بوت استرپ V_i به صورت سینوسی به مدار وارد می شود و V_g ثابت و همراه V_i تغییر می کند و باعث می شود سوئیچ خطی باشد. شکل ۵ (الف) ساختار ساده و ایده آل سوئیچ بوت استرپ و ۵ (ب) پیاده سازی مداری این سوئیچ را نشان می‌دهد.

Transistor	W(um)/L(um)
M_{CT}	1/0.18
M_{CB}	1/0.18
M_{gsw}	1/0.18
M_{gswg}	1/0.18
M_{sw}	3.5/0.18
$M(NMOS)$	1/0.18
$M(PMOS)$	2/0.18
$M(NMOS)(S1)$	2/0.18



(ب)

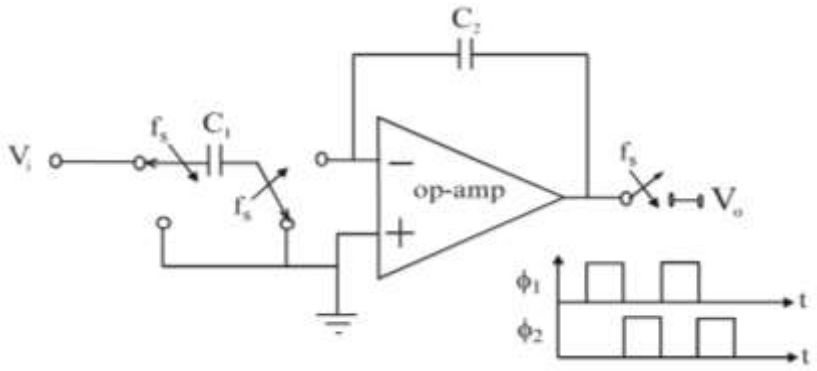


(الف)

شکل ۵: الف) ساختار ساده و ایده آل سوئیچ بوت استرپ و ب) پیاده سازی مداری این سوئیچ

۳-۴- انتگراتور

شکل ۶ شمای یک مدار انتگراتور با خازن سوئیچ شونده استفاده شده در ساختار پیشنهادی را نشان می دهد. این مدار بصورت تک سر پیاده سازی شده است اما در نهایت برای افزایش SNDR مدار را بصورت تفاضلی پیاده سازی می کنیم. سیگنال کلاک نمونه برداری شامل دو فاز ناهمپوشان می‌باشد.

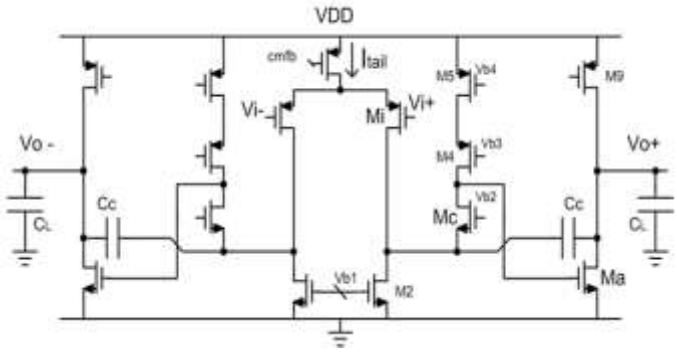


شکل۶: مدار انتگراتور ساختار پیشنهادی

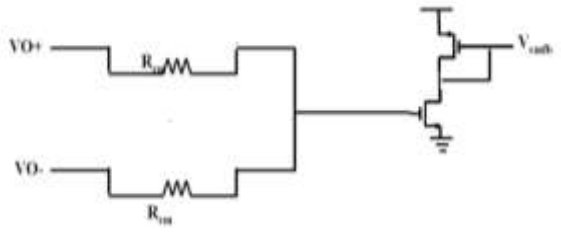
۳-۴-۱- آپ امپ با جبرانسازی کسکود

بر خلاف جبرانسازی میلر که خازن جبرانساز از خروجی طبقه اول به خروجی طبقه دوم وصل می‌شود، در جبرانسازی کسکود،خازن جبرانساز بین گره خروجی و سورس ترانزیستور کسکود M_C در طبقه ورودی وصل می‌شود. آپ امپی با جبرانسازی کسکود در شکل۷ نشان داده‌شده‌است.

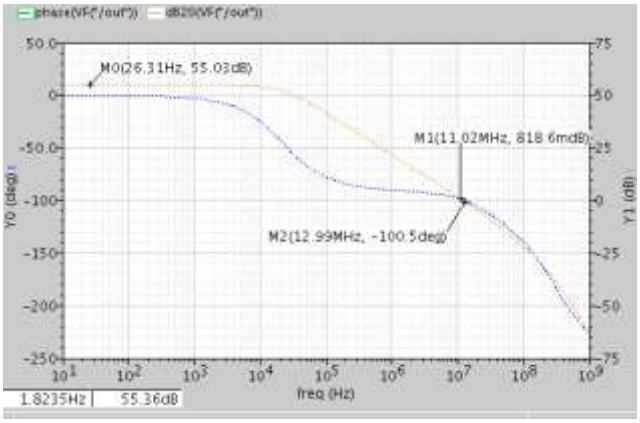
OTA بلوک اصلی ساختمان مدولاتور سیگما دلتا را تشکیل می دهد که مقدار توان مصرفی اصلی مدولاتور را تعیین می کند. پارامترهای مهم آپ امپ به طور عمده سوئینگ خروجی،گین dc و پهنای باند است. سوئینگ خروجی اهمیت زیادی در طراحی های با ولتاژ کم دارد که ولتاژ مرجع را تعیین می کند. مقدار بهره dc آپ امپ معادل است با ۵۵/۰۳ دسیبل که برای مبدل سیگما - دلتا طراحی شده کافی می باشد. همچنین با توجه به پاسخ فاز مقدار پهنای باند بهره واحد آپ امپ مساوی با۱۲/۹۹ مگاهرتز و حاشیه فاز ۷۹/۵ درجه که پهنای باند بهره واحد با توجه به فرکانس نمونه برداری برای مبدل سیگما دلتای پیشنهادی مناسب می باشد. از طرفی با توجه به مقدار حاشیه فاز، پایداری آپ امپ در مدار مبدل سیگما دلتا تضمین شده می‌باشد. شکل ۷ آپ امپ طراحی شده (با مدارCMFB مربوطه)را به همراه پاسخ فرکانسی آن را نشان می‌دهد. اندازه ترانزیستورهای مربوط به آپ امپ طراحی شده در جدول ۱ نمایش داده شده است.



(الف)



(ب)



(ج)

شکل۷: الف) مدار آپ امپ بکاربرده شده در انتگراتورها ب) مدار CMFB ج) پاسخ فرکانسی و پاسخ فاز آپ امپ طراحی شده

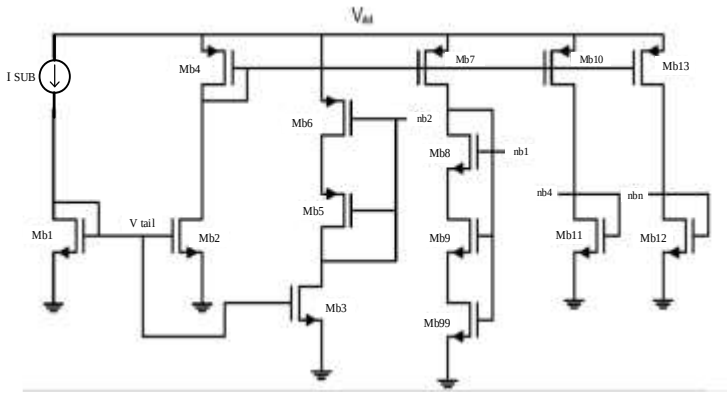
جدول۱: اندازه ترانزیستورهای آپ امپ طراحی شده در شکل ۷ الف

Transistor	$\frac{W(\mu m)}{L(\mu m)}$
Mi	0.3/0.18
M2	12.3/0.54
Mc	10.3/0.54
M4	1.34/0.18
M5	1.34/0.18
Ma	7/0.54
M_9	2.76/0.54
Mt	0.3/0.18

۳-۴-۲- طراحی مدار بایاس

برای عملکرد صحیح ترانزیستور در مدار، ولتاژها و جریان های لازم را باید برای آن فراهم کرد یا اصطلاحاً آن را بایاس کرد. ولتاژها و جریان ها پایه های آن طوری تنظیم شوند که با اعمال سیگنال ورودی، ترانزیستور تا جایی که امکان دارد در ناحیه فعال خود کار کرده و در همان حالت باقی بماند. شکل ۷ ساختار مدار بایاس را نشان می‌دهد.

Transistor	$W_{(um)}/L_{(um)}$
Mb_1	0.25/0.18
Mb_2	0.85/0.18
Mb_3	0.56/0.18
Mb_4	0.68/0.18
Mb_5	1/0.18
Mb_6	1/0.18
Mb_7	0.66/0.18
$Mb_8Mb_9Mb_{99}$	0.25/0.18
$Mb_{10}Mb_{13}$	0.6/0.18
Mb_{11}	0.7/0.18
Mb_{12}	0.67/0.18



شکل ۸: مدار بایاس طراحی شده

۴- اثرات غیر ایده‌آل مدولاتور سیگما - دلتا

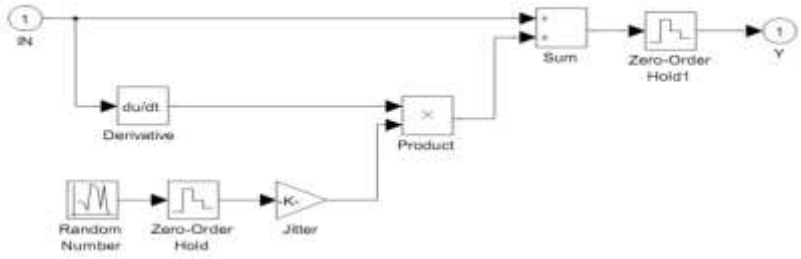
از جمله اثرات غیر ایده آل مدولاتور سیگما دلتا می توان به جیترکلاک در مدار نمونه بردار ورودی ،نویز حرارتی سوئیچ‌ها ،نویز آپ امپ، بهره محدود آپ امپ ،پهنای باند آپ امپ ،SR آپ امپ و ولتاژهای اشباع آپ امپ اشاره نمود. اثرات غیر ایده‌آل باعث می‌شود که نمونه های خروجی نسبت به مقدار ایده‌آل خود تغییراتی داشته باشند. با در نظر گرفتن اثرات غیر ایده آل، ابتدا یک شبیه سازی رفتاری از مبدل سیگما-دلتا در محیط سیمولینک متلب انجام داده تا به ضرایب بهینه فیدبک برای ماکزیمم SNDR دست یابیم. سپس از روی ضرایب بهینه بدست آمده، مقادیر خازنهای انتگرالگیر و خازنهای فیدبک برای مدار مبدل سیگما-دلتای پیشنهادی را محاسبه می‌کنیم.

۴-۱- جیتر کلاک

اثر جیترکلاک بر روی مدار SC کاملاً با محاسبه اثر آن روی نمونه برداری سیگنال ورودی توصیف می‌شود که مستقل از مرتبه مدولاتور می‌باشد.جیترکلاک به زمان نمونه برداری غیریکنواختی منجر می‌شود و خطایی ایجاد می‌کند که توان خطای کل در خروجی کوانتیزه کننده را افزایش می‌دهد. دامنه این خطا وابسته به ویژگی‌های آماری جیتر و سیگنال ورودی مدولاتور می‌باشد.

$$x(t+\delta)-x(t)\approx 2\pi f_{in}\delta A\cos(2\pi f_{in}t)=\delta\frac{d}{dt}x(t) \qquad (۱)$$

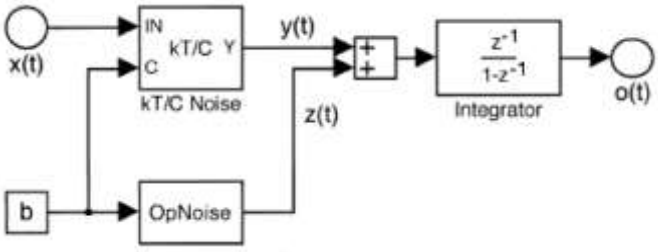
این بلوک در سیمولینک متلب به صورت شکل ۱۰ مدل شده است که معادله ۱ را برآورده می‌نماید.



شکل ۹: جیتر کلاک پیاده سازی شده در سیمولینک متلب

۴-۲- نویز حرارتی و نویز آپ امپ

این اثرات غیر ایده‌آل با مدل نویزی انتگرالگیر شکل ۱۰ مدل می‌شود که تابع انتقال انتگرالگیر نیز در معادله زیر مشخص شده است.



شکل ۱۰: مدل نویزی انتگراتور

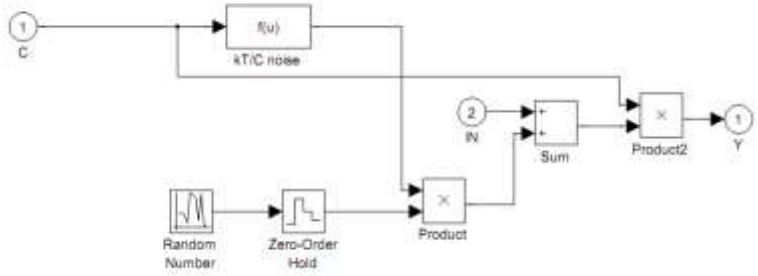
$$H_{I(z)}=\frac{c_s}{c_f}\frac{z^{-1}}{1-z^{-1}}=b\frac{z^{-1}}{1-z^{-1}} \qquad b=\frac{c_s}{c_f} \qquad (۲)$$

۴-۳- نویز حرارتی سوئیچ‌ها

نویز حرارتی یک نویز سفید با پهنای باند زیاد می‌باشد که با ثابت زمانی خازنهای سوئیچ شونده یا پهنای باند تقویت‌کننده‌های عملیاتی محدود می‌شود.

$$e_t = \frac{kT}{c_s} \qquad y(t) = [x(t) + e_t(t)]b \tag{۳}$$

مدل نویز حرارتی سوئیچها در شکل ۱۱ نشان داده شده است.



شکل۱۱: نویز حرارتی سوئیچها

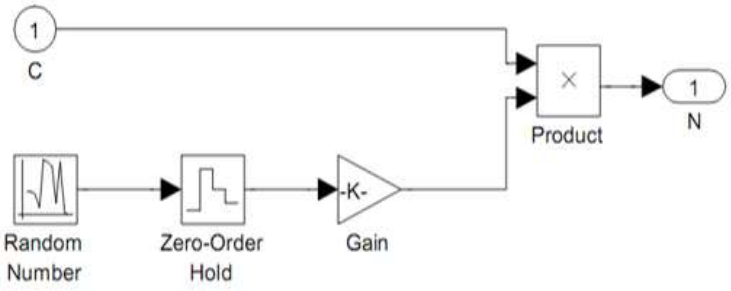
در داخل بلوک f(u) ،تابع f(u) را بصورت زیر قرار می دهیم که k ثابت بولتزمن و temp دما بر حسب کلوین و ci مقدار ظرفیت خازن می باشد که m-File نوشته شده این پارامترها را مقدار دهی می کنیم.

$$f(u) = sqrt(\frac{k*\frac{temp}{ci}}{abs(u)}) \tag{۴}$$

در اینجا فقط ما نویز حرارتی را در نظر گرفته شده و اثر نویز فلیکر $(\frac{1}{f})$ و آفست dc در نظر گرفته نشده‌اند.

۴-۴- نویز آپ امپ

از شکل ۱۲ برای شبیه سازی اثر نویز آپ امپ استفاده می‌کنیم . که مقدار k ولتاژ موثر نویز آپ امپ می باشد که در m-File با پارامتر noise نشان داده شده است. این ولتاژ نویز به ورودی انتگراتور ارجاع داده شده است. توان نویز آپ امپ از طریق شبیه سازی نویز سطح ترانزیستور کل انتگراتور شبیه سازی شود. نویز خروجی ارجاعی به ورودی در کل طیف فرکانسی انتگرال گرفته شود. در این مدل تنها توزیع نویز نمونه برداری شده مدل شده است.

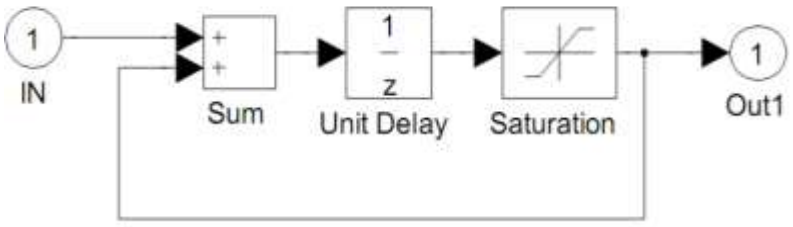


شکل۱۲: نویز آپ امپ

۴-۵- اثرات غیر ایده‌آل آپ امپ

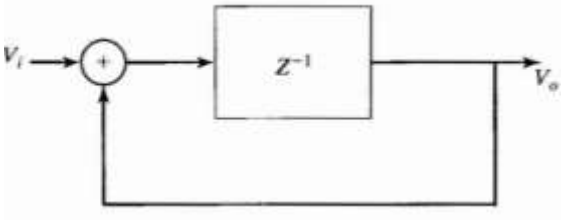
مدل رفتار انتگرالگیر ایده‌آل با ضریب واحد در شکل ۱۳ نشان داده شده است.

$$H_{I\,(z)} = \frac{z^{-1}}{1-z^{-1}} \tag{۵}$$



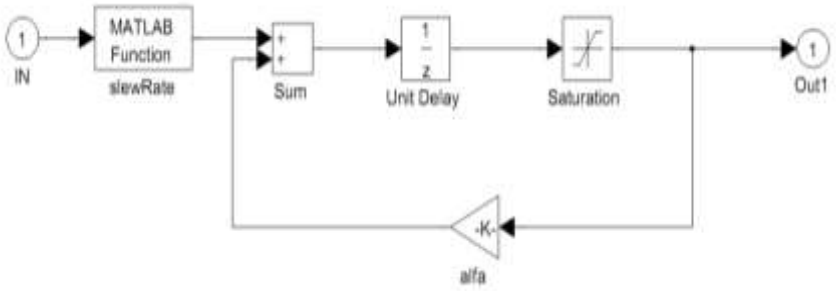
شکل۱۳: اثرات غیر ایده آل آپ امپ

در اینجا از انتگراتورتک حلقه که در شکل ۱۴ نشان داده شده است، استفاده شده است که دارای تاخیر مستقیم می باشد.



شکل ۱۴: پیاده سازی انتگراتور در محیط سیمولینک

بلوک Saturation ولتاژ اشباع آپ امپ را نشان می دهد که بایستی مقدار ولتاژ اشباع را بصورت حد بالا و پایین در داخل بلوک قرار دهیم. در این مقاله چون مقدار منبع تغذیه مساوی با ۱ ولت می باشد، حد اشباع بالا و پایین را مساوی با ± 0.5 ولت در نظر گرفته ایم و در m-file با پارامتر A_{max} نشان داده ایم. شکل۱۵مدل انتگراتور واقعی شامل اثرات غیر ایده‌آل را نشان می‌دهد.



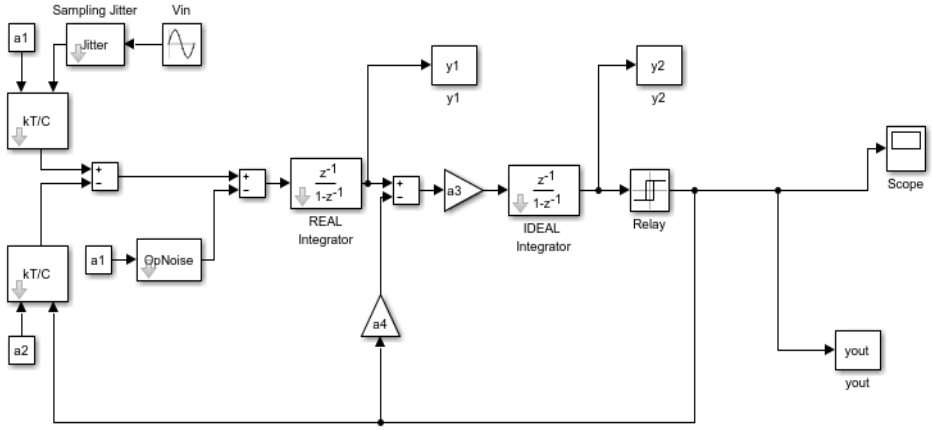
شکل ۱۵: انتگراتور واقعی با اثرات غیر ایده آل

۴-۶- بهره DC

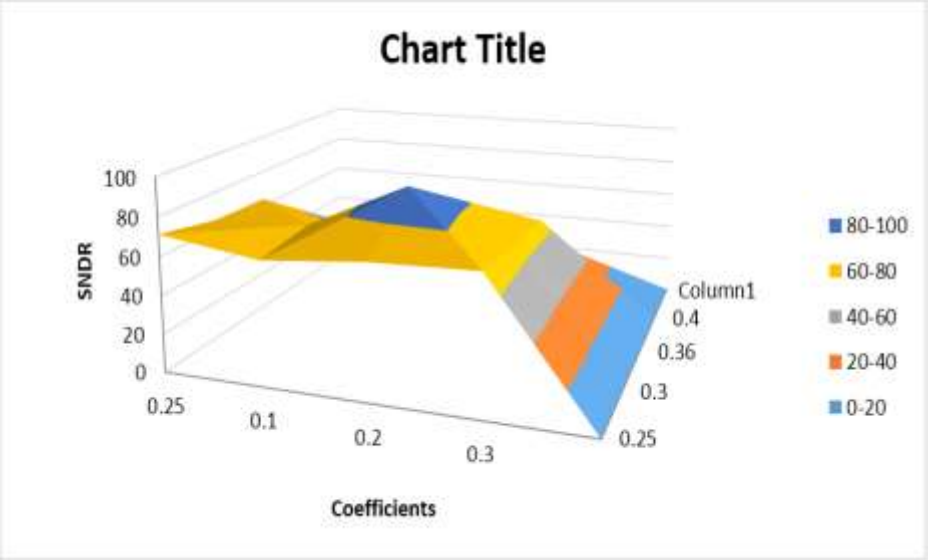
با توجه به خطای مربوط به گین آپ امپ تابع انتقال بصورت $H_{I\,(z)} = \frac{z^{-1}}{1-\alpha z^{-1}}$ درمی‌آید که بهره dc انتگرالگیر عبارتست از :

$$H_0 = \frac{1}{1-\alpha} \qquad (۶)$$

در این طراحی مقدار بهره آپ امپ تقریبا ۳۰۰ محاسبه شده است وبنابراین خطای ناشی از بهره محدود آپ امپ مساوی با در $\alpha = \frac{A-1}{A} = \frac{300-1}{300}$ درنظر گرفته شد.



شکل۱۶: بلوک دیاگرام مدولاتور سیگما دلتا مرتبه دوم در محیط سیمولینک



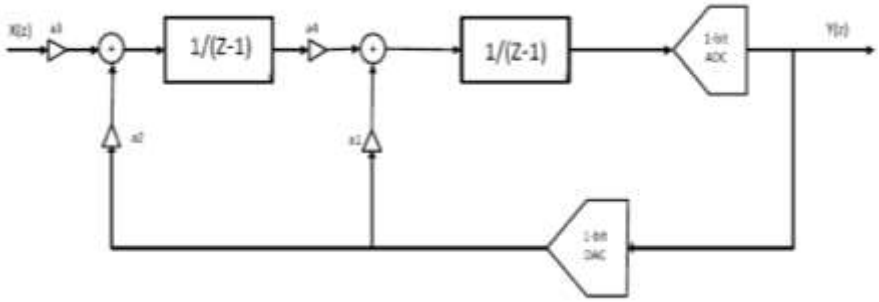
۱۷: نمودار سطحی SNDR بر حسب تغییرات ضرایب در فضای سه بعدی

شبیه سازی رفتاری مبدل سیگما دلتا مرتبه دوم با در نظرات همه اثرات در شکل ۱۶ در محیط سیمولینک متلب انجام شد و به تعدادی مقادیر برای ضرایب دست یافتیم که با توجه به شکل۱۷ (نمودار سه بعدی) بهترین ضرایب در فاصله های ۶۰-۸۰ دسیبل می‌باشد که ضرایب بهینه عبارتند از:$a_4 = 0.5, a_3 = 0.5, a_2 = 0.25 , a_1 = 0.25$.

۵- نتایج شبیه سازی

در این بخش به طراحی و شبیه سازی یک مبدل آنالوگ به دیجیتال سیگما دلتا مرتبه دوم با ساختار CRFB ۱ولتی، ۱۲بیت با فرکانس نمونه برداری ۲/۴Ms/sبرای کاربردهای صوتی با پهنای باند۲۰KHzخواهیم پرداخت. مبدل طراحی شده در تکنولوژی0.18µm CMOSپیاده سازی شده است.نتایج شبیه سازی بیانگر کارایی ساختار پیشنهادی بدست آمده با شبیه سازی رفتاری می باشد. ساختار بلوکی مدار پیشنهادی شامل ضرایب فیدبک CRFB ، درشکل ۱۸ نمایش داده شده است.

باتوجه به سیمولینک متلب ضرایب $a_4 = 0.5, a_3 = 0.5, a_2 = 0.25 , a_1 = 0.25$ اندازه گیری شده مقادیر خازن های بدست آمده برای مبدل پیشنهادی در شکل ۱۹ در جدول۲ نشان داده شده است.

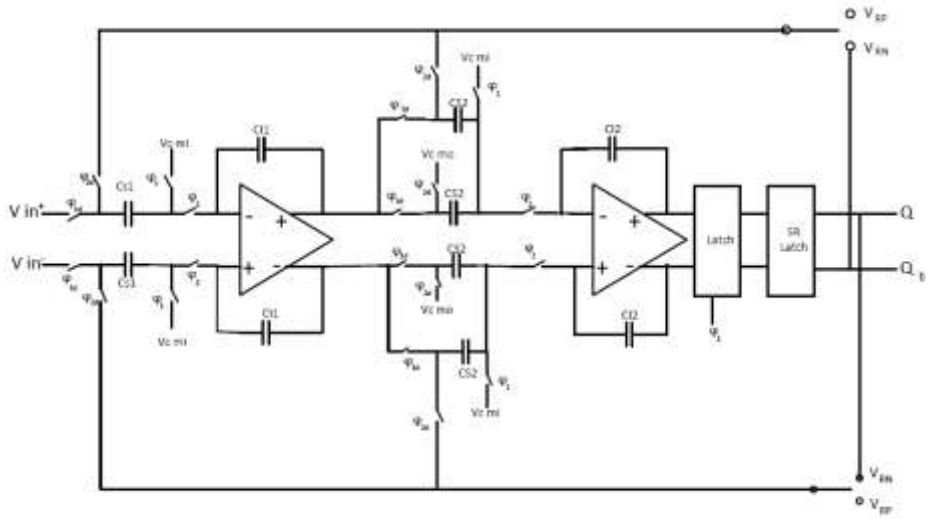


شکل ۱۸: بلوک دیاگرام مدولاتور CRFB مرتبه دوم شامل ضرایب فیدبک

جدول۲: مقادیر خازن ها با توجه به ضرایب بهینه بدست آمده

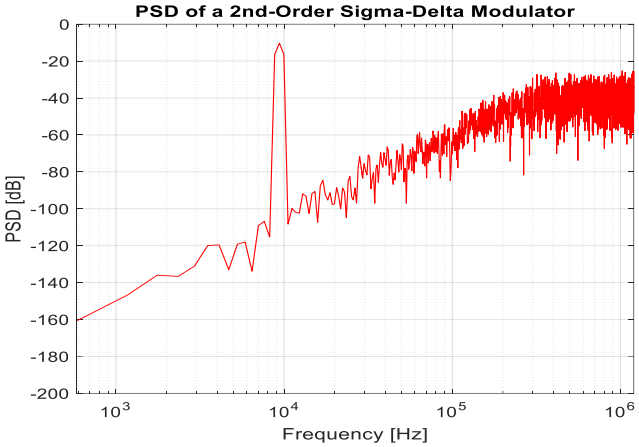
C_0	C_1	C_2	C_3	C_4	C_5	C_6	C_7	C_8	C_9
250fF	200fF	1pF	1pF	500fF	200fF	1pF	500fF	1pF	1pF

در این ساختار در ورودی مدار و همچنین در خروجی آپ امپ ها از سوئیچ بوت استرپ استفاده شده ، در قسمت‌هایی از مدار برای اینکه سوئیچ برای محدوده تمام مقیاس ورودی به خوبی کار کند از سوئیچ CMOS استفاده شده است، ولتاژ مرجع برابر Vref=800µV در نظر گرفته شده است، از یک کوانتایزر یک بیت (یا مقایسه گر)استفاده شده است آپ امپ ها به صورت تمام تفاضلی بسته شدند و مدار CMFB برای تنظیم ولتاژ خروجی مد مشترک برای بیشترین نوسان خروجی به صورت زمان پیوسته استفاده شده است. لازم به ذکر است که V_{RN} و V_{RP} به ترتیب صفر و 0.8 ولت در نظر گرفته شده است.



شکل۱۹: مبدل سیگما دلتا مرتبه دوم (CRFB)پیشنهادی با استفاده از ضرایب بهینه

به منظور بررسی رفتار دینامیکی مبدل یک ولتاژ سینوسی با دامنه ۲۰۰ میلی ولت و مقدار DC معادل با ۵۰۰ میلی ولت با فرکانس ورودی ۹/۳۷۵ KHz به عنوان ورودی به مبدل اعمال شده است.فرکانس نمونه برداری ۲/۴Ms/sمی‌باشد. شکل ۲۰ نمودارFFT مربوط به خروجی مبدل را نمایش می‌دهد. مقدارSNDR معادل ۶۹/۷ دسیبل می باشد. هنگامی که فرکانس نمونه برداری ۲/۴Ms/s فرکانس سینوسی ورودی۷/۰۳۱۲۵ KHz و اندازه منبع تغذیه برابر ۱ می باشد،مقدار توان مصرفی برابر با ۴۵۱ میکرو وات می باشد.



شکل ۲۰: چگالی طیف توان خروجی مدولاتور با سیگنال ورودی ۹/۳۷۵ KHz و فرکانس نمونه برداری ۲/۴Ms/s و پهنای باند ۲۰ KHz

جدول۳ نتایج بدست آمده از شبیه سازی مدار طراحی شده را نشان می دهد. در نهایت به منظور مقایسه میزان کارایی مدارطراحی شده با برخی از گزارش ها ،استفاده از معیار شایستگیFOM متداول که به صورت زیر تعریف می شود[۶و۷و۸] می تواند مفید باشد.

$$FOM=\frac{POWER}{2^{ENOB}\times 2\times BW} \quad (۷)$$

که در آن POWER بیانگر کل توان مصرفی مبدلENOB تعدادبیت موثر مبدل وBW برابر با فرکانس سیگنال ورودی می باشند. FOM مدار طراحی شده برابر با 3.76pJ/Conv-step می باشد. جدول ۴ کارآیی مبدل طراحی شده را با کارهای منتشر شده دیگران مقایسه می‌کند. مشاهده می‌شود که مبدل طراحی شده از نظر معیار شایستگی در مقایسه با مقالات[۶و۳و۱۱] از کارآیی نسبتا خوبی برخوردار می باشد.

جدول ۳: مشخصات بدست آمده از مبدل سیگما-دلتای پیشنهادی

Parameter	Value
OSR	60
SNR	71.3dB
Number of Samples	4096
Signal bandwidth	20kHz
Sampling Frequenecy	2.4MHz
Power dissipation	451µW

جدول ۴ :کارایی مدولاتور سیگما دلتا پیشنهادی در مقایسه با کارهای دیگران

Parameter	This work	J. Johansson [6]	S. T. Chandrasekaran [9]	J. Goes [10]	F. Cannillo [3]	B. Tran [11]
Tecnoloji	0.18µm	0.35µm	65nm	0.18µm	0.18µm	0.13µm
Signal bandwidth(khz)	20kHz	45Hz	400kHz	10kHz	256Hz	750kHz
Over sampling ratio	60	1022	65	256	250	64
SNDR(dB)	71.3	90db	67.3dB	80.1dB	72dB	74.76dB
Power Dissipation(µw)	451µW	60µW	400µW	200µW	13.3µW	33mW
Supply voltage(v)	1v	2.2v	0.9v	0.9v	1.4v	3.3/1.2
FOM(pJ/c-s)	3.76	26	2.4	1.21	8	4.94

۶-نتیجه گیری

در این مقاله یک مبدل سیگما-دلتا مرتبه دوم تک حلقه ای با استفاده ازکوانتایزر تک بیتی طراحی شد که فیلتر حلقه آن با مسیر های تمام پسخور توزیع شده (CRFB)، پیاده سازی شده است. این مبدل شامل بلوک های آپ امپ، مقایسه گر،سوئیچ بوت استرپ می باشد که کلیه بلوک ها با هدف دستیابی به توان مصرفی بهتر و نسبت سیگنال به نویز بالاتر طراحی شدند. با شبیه سازی رفتاری این مبدل پیشنهادی در محیط سیمولینک متلب توانستیم به ضرایب بهینه دست یابیم. با شبیه سازی رفتاری در سیمولینک متلب توانستیم به بهترین ضرایب برای تابع انتقال سیگما دلتا مرتبه دوم برسیم و با ضرایب اعمال شده($a_1 = 0.25$, $a_2 =$, $a_3 = 0.5$, $a_4 = 0.5$ 0.25) به مبدل پیشنهادی به نسبت سیگنال به نویز۷۱/۳ دسیبل دست یافتیم.

منابع

[1] S. Northworthy, R. Schreier, and G. Temes, Delta-Sigma Data Converters, *IEEE Press*, Piscataway, NJ, 1997.

[2] A. marques¸ V.zopelso¸ M.steyaert and m.sansen ¸ "Transaction on Circuits and systems-ll," *IEEE Analog and Digital signal processing*, vol.45 , no.9 , Sep. 1998.

[3] F. Cannillo *et al.*, "1.4 V 13 W 83 dB DR CT- modulator with dual-slope quantizer and PWM DAC for biopotential signal acquisition," in *Proc. IEEE Eur. Solid-State Circuits*, 2011, pp. 267–270..

[4] L. Liu, Dongmei Li, L. Chen, Yafei Ye, and Z.Wang, " A 1-V 15-Bit Audio $\Delta\sum$-ADC in 0.18μm CMOS ," *IEEE transaction on circuits and system—i: regular papers*, vol. 59, no. 5, pp. 510 – 513, May 2012.

[5] Y. Yoon, and et al, "A Delta–Sigma Modulator for Low-Power Analog Front Ends in Biomedical Instrumentation," *IEEE Transactions on Instrumentation and Measurement*, vol. 65, no. 7, pp. 1530-1539, 2016.

[6] J. Johansson et al., "A 16-bit 60μW Multi-Bit ΣΔ Modulator for Portable ECG Applications," *Proc. 29th European Solid-State Circuits Conference, 2003*, pp. 161 – 164.

[7] H. Lee, and et al, "A Compressive Sensing-Based CMOS Image Sensor With Second-Order $\Delta\sum$ ADCs," *IEEE Sensors Journal*, vol. 18, no. 6, pp. 2404-2409, Mar. 2018.

[8] H. Park, K. Nam, K Su, K. Vleugels, and B A. Wooley, "A 0.7-V 870-uw Digital-Audio CMOS Sigma-Delta Modulator," *IEEE Journal of Solid-State Circuits*, vol. 44, no. 4, pp. 218 – 21, Apl. 2009

[9] S. T. Chandrasekaran, V. E. G. Karnam and A. Sanyal, "0.36-mW, 52-Mbps True Random Number Generator Based on a Stochastic Delta–Sigma Modulator, " *IEEE Solid-State Circuits Letters*, vol. 3, pp. 190-193, 2020.

[10] J. Goes, B. Vaz, R. Monteiro, and Paulino, "A 0.9 V modulator with 80 dB SNDR and 83 dB DR using a single-phase technique," in *Proc. IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers*, Feb. 2006, pp. 74–75.

[11] B. Tran and C. Huynh, "A 12-Bit 33-mW and 96-MHz Discrete-Time Sigma Delta ADC in 130 nm CMOS Technology, " *International Symposium on Electrical and Electronics Engineering (ISEE)*, 2019, pp. 1-6.

Improvement of SNDR using Optimization of Feedback Path Coefficients for Second Order CRFB Modulators in Sigma – Delta Analog to Digital Converters

Maryam Shahriary [1], AbdolRasool Ghasemi[2*], Najmeh Cheraghi shirazi[3]

Elrectrical Engineering, Islamic Azad University, Bushehr Branch, Bushehr, Iran
1: maryamshahriary1371@gmail.com
2*: rasul_ghasemi@yahoo.com
3: nch_shirazi@yahoo.com

ABSTRACT:

Analog to digital converters are divided into two categories, Nyquist rate converter and oversampling converter, in terms of sampling frequency. At oversampling converter, input signal are sampled at several times the Nyquist rate. Increasing the over sampling rate leads to an increase in effective resolution, but although the use of high sampling rate for wide band signals is impractical due to the need for high sampling frequency and power consumption. Increasing the number of bits also increases the dynamic range as opposed to the multi-bit DAC required in the linear feedback path. In this paper, we designed sigma delta structure with 12 bit resolution, 1-v power supply for low power applications. on the other hand, increasing levels of quantization (number of bits) causes the reduction in-band noise power of the system, as well as the modulator stability improves without need increasing oversampling ratio. The maximum value of a signal-to-noise-and-distortion ratio(SNDR) will be achieved by means of choosing appropriate feedback coefficients. Simulation results of a 12-bit,2.4-MS/s , and 1-v proposed structure in a 0.18-µm CMOS technology show a signal-to-noise-and-distortion ratio (SNDR) of 71.3 dB, a power consumption of 451μW, and figure of merit 3.76(pJ/Conver.step.)

Keywords: Analog to Digital Converter, Sigma – Delta converter, Operational amplifiers, CRFB Structure, Optimization of Feedback Coefficients.