طراحی و شبیه‌سازی یک مدار نمونه‌بردار و نگه‌دار جدید با دقت ۱۲ بیت و نرخ نمونه‌برداری یک GS/s با استفاده از تکنیک نمونه‌برداری دوگانه

نجمه چمن پیرا[۱] – سید محمد علی زنجانی[۲] – مهدی دولتشاهی[۳]

(۱) کارشناس ارشد - دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

(۲) مربی - دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

(۳) استادیار - دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

تاریخ دریافت: ۱۳۹۶/۶/۲۹ تاریخ پذیرش: ۱۳۹۷/۱/۱۹

خلاصه: در این مقاله، یک مدار جدید نمونه‌بردار و نگه‌دار[۱] با دقت ۱۲ بیت و نرخ نمونه‌برداری یک GS/s ۱ با استفاده از تکنیک نمونه‌برداری دوگانه پیشنهاد شده است. تکنیک نمونه‌برداری دوگانه این امکان را فراهم آورده است که مدار همیشه در فاز نگه‌داری عمل نماید که خود منجر به افزایش سرعت کل سیستم در مبدل‌های داده می‌شود. به‌منظور کاهش خطاهای ناشی از غیرخطی بودن کلیدهای ورودی، از کلید انتقال[۲] استفاده شده است، چرا که مقاومت خطی‌تری نسبت به کلید MOS دارند. مدار S&H پیشنهادی در نرم‌افزار HSPICE و با فناوری‌های 180nm CMOS و 45nm CMOS شبیه‌سازی شده است. شبیه‌سازی مدار در هر دو فناوری با ولتاژ تغذیه 1.8V انجام شده است و به‌ترتیب توان مصرفی برابر ۸ mW و ۳۰۰ μW حاصل شده است. از دیگر نتایج شبیه‌سازی می‌توان به مقدار ۱۲ بیت دقت در هر دو فناوری اشاره نمود که در فناوری ۱۸۰ nm برای فرکانس ورودی ۵۰/۲۹ MHz و در فناوری ۴۵ nm برای فرکانس ورودی ۴۳/۴۵ MHz به دست آمده است، درحالی که فرکانس نمونه‌برداری در هر دو فناوری برابر با یک ۱ GHz می‌باشد.

کلمات کلیدی: نمونه‌بردار و نگه‌دار، نمونه‌برداری دوگانه، دقت، نرخ نمونه‌برداری.

Design and Simulation of a New Sample and Hold Circuit with Resolution of 12-Bit and a Sampling Rate of 1 GS/s Using a Dual Sampling Technique

Najmeh Chamanpira[(1)] – Seyyed Mohammad Ali Zanjani[(2)] – Mehdi Dolatshahi[(3)]

(1) MSc – Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran

najmeh_681228@yahoo.com

(2) Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran

Sma_zanjani@pel.iaun.ac.ir

(3) Assistant Professor - Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran

dolatshahi@iaun.ac.ir

In this paper, a new sample and hold circuit (S & H) with 12 bits resolution and sampling rate of 1 GS/s is proposed using dual sampling technique. The dual sampling technique allows the circuit to always operate in higher speed and sampling rates. Furthermore, transmission gates (TGs) are used to reduce the errors caused by nonlinear input switches, because TGs have a more linear resistance in comparison with complementary-metal-oxide-semiconductor (CMOS) conventional switches. The proposed S & H circuit is simulated in HSPICE using 180 nm CMOS and 45 nm CMOS technologies. Simulation results in both technologies is done with 1.8 V power supply and have power consumption of 8mW and 300 μW, respectively. Moreover, simulation results show a 12 bits resolution in both technologies, for 50.29 MHz and 43.45 MHz input frequency, in 180 nm and 45 nm respectively, while the sampling frequency in both technologies is equal to 1 GHz.

Key Words: Sample and hold, dual sampling, bit resolution, sampling rate.

نویسنده مسئول: سیدمحمد علی زنجانی، مربی - دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران، Sma_zanjani@pel.iaun.ac.ir

۱- مقدمه

از آنجایی که مدارهای نمونه‌بردار و نگه‌دار کاربرد وسیعی در مبدل‌های آنالوگ به دیجیتال دارند، افزایش سرعت، کاهش خطای نمونه‌برداری، افزایش خطی‌پذیری مدار و کاهش توان مصرفی مدار S&H می‌تواند منجر به بهبود عملکرد کل مدار ADC گردد.

پیاده‌سازی مدارهای S&H می‌تواند به دو صورت حلقه بسته[۳] و حلقه باز[۴] صورت پذیرد. با این حال مدارهای نمونه‌بردار و نگه‌دار با ساختار حلقه بسته، نیاز به یک تقویت‌کننده عملیاتی با بهره بالا دارند که خود سبب افزایش توان مصرفی و همچنین افزایش سطح تراشه می‌گردد [۱-۴]. از مزایای ساختار حلقه بسته، دقت بالای مدار است در حالی که سرعت مدار را محدود می‌کند. مدارهای حلقه باز به دلیل عدم نیاز به طبقات مداری همچون آپ‌امپ، توان مصرفی و سطح تراشه کمتری دارند و سرعت بالاتری دارند [۴-۱۰]. در این مدارها، سرعت با دقت مدار در چالش بوده و رسیدن به سرعت و دقت مناسب در مدارهای نمونه‌بردار و نگه‌دار حلقه باز نیاز به ایجاد مصالحه و به‌کارگیری تکنیک‌هایی دارد که منجر به کاهش خطاهای مربوط به کلید می‌گردد. از مهمترین خطاهایی که در مدارهای نمونه‌بردار و نگه‌دار در اثر کلیدزنی ایجاد می‌شود عبارتند از: ۱- خطای ناشی از تزریق بار، ۲- خطای اثر مستقیم کلاک، ۳- خطای ناشی از لحظه نمونه‌برداری وابسته به سیگنال ورودی.

به منظور رفع خطاهای فوق از روش‌هایی همچون حذف تزریق بار توسط کلید قلابی[۵] [۱۱]، استفاده از کلیدهای خطی‌شده همچون کلیدهای بوت‌استراپ [۱] و ساختارهای تفاضلی مدارهای نمونه‌بردار و نگه‌دار می‌باشد [۱۲-۱۵]. از دیگر روش‌های افزایش دقت در مدار S&H، استفاده از کلید انتقال به دلیل داشتن مقاومت خطی‌تر نسبت به دیگر کلیدهای MOS است که در مدار پیشنهادی استفاده شده است.

در ساختارهای تفاضلی مدارهای نمونه‌بردار و نگه‌دار به دلیل سطح متفاوت سیگنال‌های ورودی، کلیدهای نمونه‌بردار همزمان خاموش نمی‌شوند. مدارهای نمونه‌بردار و نگه‌دار پیشنهاد شده در [۱۱-۱۵] از یک ترانزیستور به‌نحوی استفاده می‌کنند که قطع همزمان کلیدهای ورودی را تضمین می‌نمایند.

اثر تزریق بار در مدارهای نمونه‌بردار و نگه‌دار به طور کامل حذف نخواهند شد. از این رو در مراجع [۱۱-۱۵] از خازن‌های نمونه‌بردار کمکی استفاده می‌کنند که سبب تقسیم بار ذخیره شده در کانال ترانزیستورهای کلید می‌شود. این تقسیم بار به صورتی است که مقدار زیادی از این بار در خازن کمکی و مقدار کمی از آن در خازن‌های نمونه‌بردار تزریق شود.

بهرحال، همه روش‌های کاهش خطا، کاهش اعوجاج غیرخطی و افزایش دقت، سبب افزایش توان مصرفی مدار و افزایش سطح تراشه خواهند شد. این مقاله به‌صورت زیر ارائه شده است: در بخش دوم، مدار پیشنهاد شده آورده شده است. بخش سوم، نتایج شبیه‌سازی مدار نمونه‌بردار و نگه‌دار پیشنهادی را نشان می‌دهد. مقایسه بین عملکرد مدار پیشنهاد شده با سایر کارهای قبلی در بخش چهارم آورده شده است و در بخش آخر به نتیجه‌گیری پرداخته شده است.

۲- مدار نمونه‌بردار و نگه‌دار پیشنهادی

مدار نمونه‌بردار و نگه‌دار پیشنهادی از دو مدار متقارن تشکیل شده است. نیم مدار پایینی در شکل (۱) نمایش داده شده است.

چنانچه از شکل (۱) مشخص است، نیم‌مدار S&H پیشنهادی دارای ساختار تفاضلی است که خود سبب بهبود دقت مدار می‌گردد. کلیدهای ورودی (ترانزیستورهای m_{12} الی m_{15}) به صورت TG پیاده‌سازی شده‌اند که دارای مقاومت خطی‌تری نسبت به کلید MOS می‌باشند. ترانزیستورهای m_{10} و m_{11} کلیدهای قلابی هستند که برای جذب بار باقیمانده در کلیدهای TG استفاده شده‌اند. ترانزیستور m_0 برای قطع همزمان کلیدهای TG ورودی استفاده شده است. این تکنیک در [۱۱-۱۵] آورده شده است. همچنین ترانزیستورهای m_1 و m_2 کلیدهای قلابی هستند که بار باقیمانده در کانال کلید m_0 را پس از قطع‌شدن جذب می‌کنند. ابعاد ترانزیستورهایی که در نقش کلید قلابی به‌کار می‌روند، تقریباً برابر با نصف ابعاد کلیدهای اصلی در نظر گرفته می‌شود. ترانزیستورهای m_3 وm_4 برای اجرای تکنیک Bottom Plate استفاده شده‌اند. ترانزیستورهای m_5 و m_6 هم نقش کلیدهای قلابی برای این ترانزیستورها را برعهده دارند. در مراجع [۱۱-۱۵] از خازن‌های نگهداری کمکی به صورت زمین شده، استفاده شده است تا مقدار بار تزریق شده به خروجی را کاهش دهد. در مدار پیشنهادی خازن کمکی به صورت شناور بین دو خروجی قرار گرفته است. ترانزیستور m_7 در نقش یک کلید بعد از قطع کلیدهای TG ورودی، وصل خواهد شد تا مقدار بار باقیمانده تزریقی از کانال ترانزیستورهای TG را به سمت خازن‌های کمکی هدایت نماید. مقدار این خازن در عمل بایستی نسبت به خازن معادل دیده شده در فاز نگه‌داری بزرگتر باشد.

به صورت خلاصه، عملکرد مدار نمونه‌بردار و نگه‌دار پیشنهادی در شش فاز متوالی به صورت زیر است:

۱- حالت دنبال‌کنندگی: در این حالت، کلیه کلیدها بسته‌اند و سیگنال خروجی، ورودی را دنبال می‌کند.

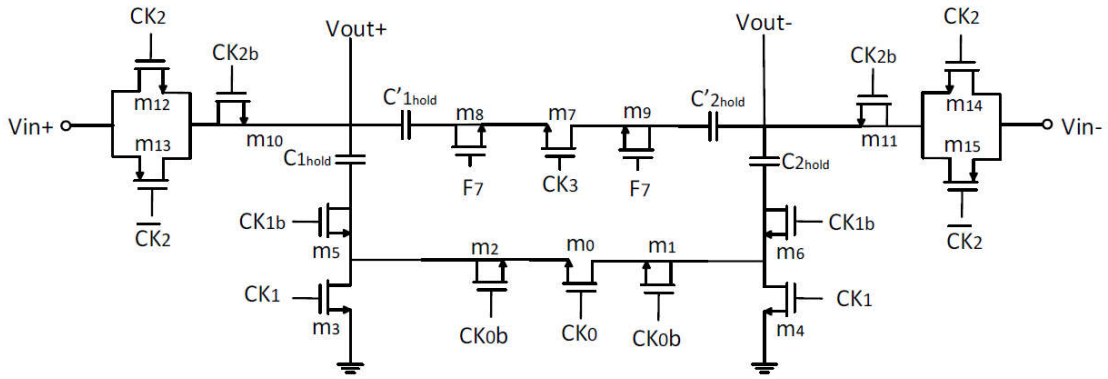
۲- حالت پیش‌نمونه‌برداری: ترانزیستورهای m_3 وm_4 باز می‌شوند تا برای کلید m_0 امکان نمونه‌برداری اصلی به صورت تفاضلی از سیگنال ورودی فراهم آید.

۳- حالت نمونه‌برداری: کلید m_0 باز می‌شود و مقدار تفاضل ورودی بر روی خازن‌های ذخیره‌سازی، ذخیره می‌شود.

۴- حالت بازشدن کلیدهای ورودی: در این حالت TGها از دو طرف باز می‌شوند. در حالی‌که m_7 بسته می‌باشد و مسیر امپدانسی برای تزریق بار به وسیله TGها فراهم می‌شود.

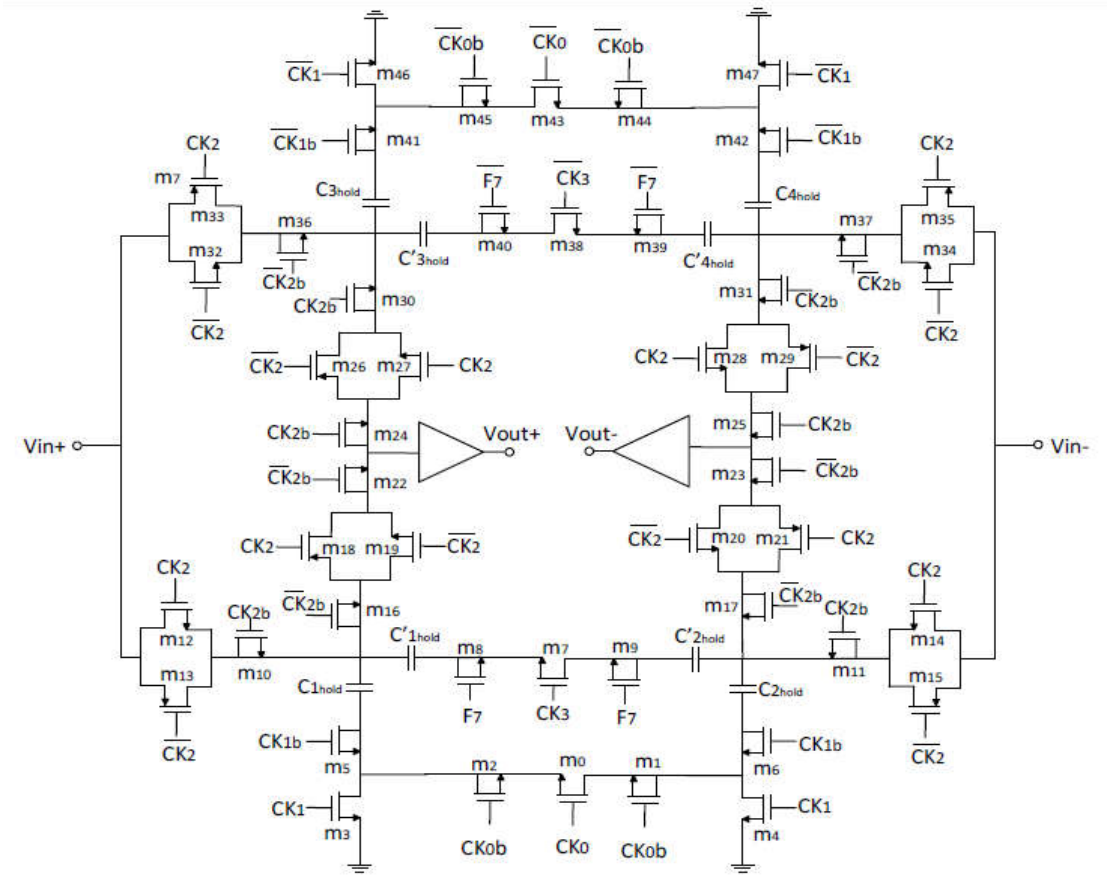
۵- حالت پیش نگه‌داری: در این حالت ترانزیستور m_7 پس از کاهش اثر بارهای تزریقی ناشی از کلیدهای TG ورودی، باز می‌شود.

۶- حالت نگه‌داری: کلیدهای m_3 و m_4 مجدداً بسته می‌شوند و مدار به حالت اصلی نگه‌داری وارد می‌شود تا مقدار ذخیره‌شده روی خازن‌های نگه‌داری را به خروجی برساند.



شکل (۱): نیم مدار نمونه‌بردار و نگهدار پیشنهادی

Fig. (1): Proposed S&H half-circuit



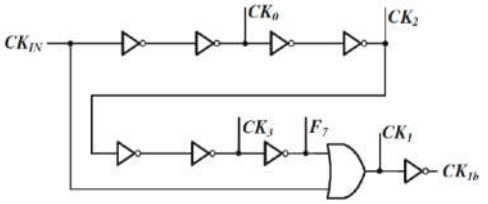
شکل (۲): مدار کامل نمونه‌بردار و نگهدار پیشنهادی با استفاده از تکنیک نمونه‌برداری دوگانه

Fig. (2): The proposed sample and hold complete circuit using double sampling technique

شکل (۲) مدار کامل نمونه‌بردار و نگه‌دار را نشان می‌دهد.

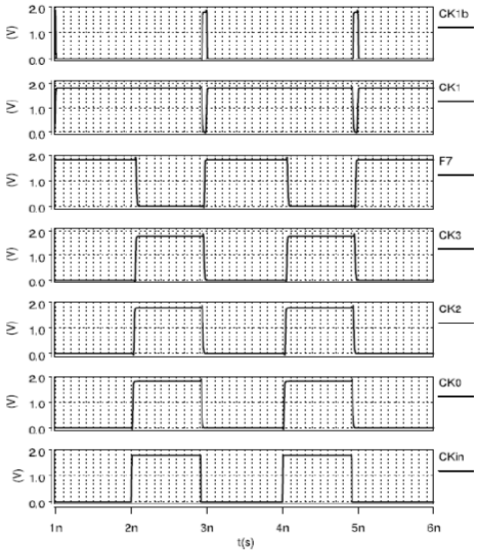
۲- ۱- مدار توزیع کلاک برای مدار پیشنهادی

مدار توزیع کلاک برای نمونه‌بردار و نگه‌دار پیشنهادی در شکل (۳) نمایش داده شده است [۱۱]. این مدار از شش اینورتر و یک گیت OR تشکیل شده تا تمامی کلاک پالس‌های مورد نیاز مدار پیشنهادی را تأمین نماید. شکل (۴) نتایج شبیه‌سازی مدار توزیع کلاک را نشان می‌دهد.



شکل (۳): مدار توزیع کلاک استفاده شده در مدار نمونه‌بردار و نگهدار پیشنهادی [۱۱]

Fig. (3): Clock distribution circuit used in the proposed sample and hold circuit [11]



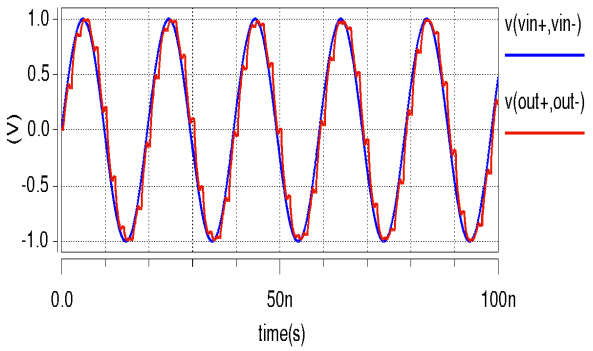
شکل (۴): نتایج شبیه‌سازی مدار توزیع کلاک

Fig. (4): Clock distribution circuit simulation results

۳- نتایج شبیه‌سازی مدار نمونه‌بردار و نگه‌دار پیشنهادی

مدار با استفاده از نمونه‌برداری دوگانه توسط نرم‌افزار HSPICE و با فناوری‌های TSMC 180 nm و PTM 45 nm شبیه‌سازی شده است. نتایج شبیه‌سازی نشان می‌دهد که مدار نمونه‌بردار و نگه‌دار پیشنهادی در ولتاژ تغذیه ۱/۸ V برای فناوری‌های فوق، به‌ترتیب ۸ mW و ۳۰۰ µW توان مصرف می‌کند. شکل (۵) سیگنال سینوسی با دامنه قله تا قله Vp-p= 2 V و فرکانس ۵۰/۲۹ MHz اعمالی به ورودی و خروجی تک‌سر را به طور همزمان نشان می‌دهد، در حالی که سرعت نمونه‌برداری برابر با ۵۰۰ MHz می‌باشد.

شکل (۶) خروجی مدار را درحالت نمونه‌برداری دوگانه نشان می‌دهد. همانطورکه مشخص است، نرخ نمونه‌برداری از سیگنال ورودی 1GS/s می‌باشد و خروجی مدار همواره در حالت نگه‌داری است. لذا این امکان فراهم می‌گردد تا مدارهایی همچون مقایسه‌کننده‌ها که خروجی مدار نمونه‌بردار و نگه‌دار را آنالیز می‌کنند، با سرعت دو برابر، سیگنال دریافتی را پردازش کنند.



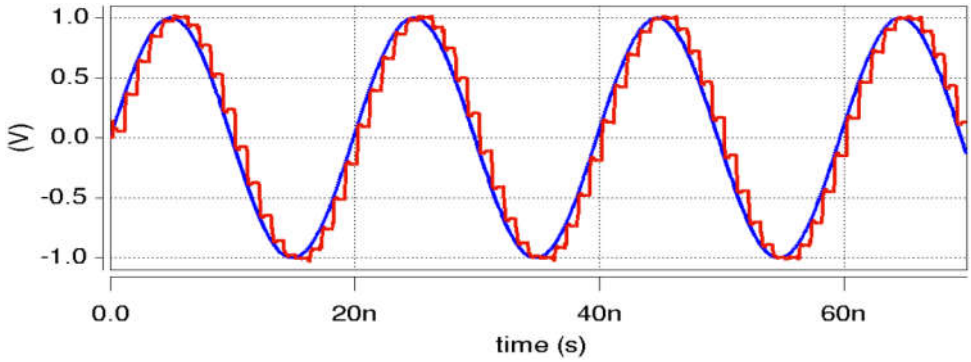
شکل (۵): نتایج خروجی نمونه‌بردار و نگه‌دار پیشنهادی برای ورودی با فرکانس ۵۰/۲۹ MHz و دامنه قله تا قله ۲ V

Fig. (5): Output results of the proposed sample and hold for input frequency of 50.29 MHz and amplitude of 2 V_{P-P}

در حالی که در سایر مدارهای رایج نمونه‌بردار و نگه‌دار، سیگنال خروجی در کمتر از نیمی از فرکانس نمونه‌برداری معتبر است و سرعت طبقات بعدی و در نتیجه سرعت کل مبدل را محدود می‌نماید.

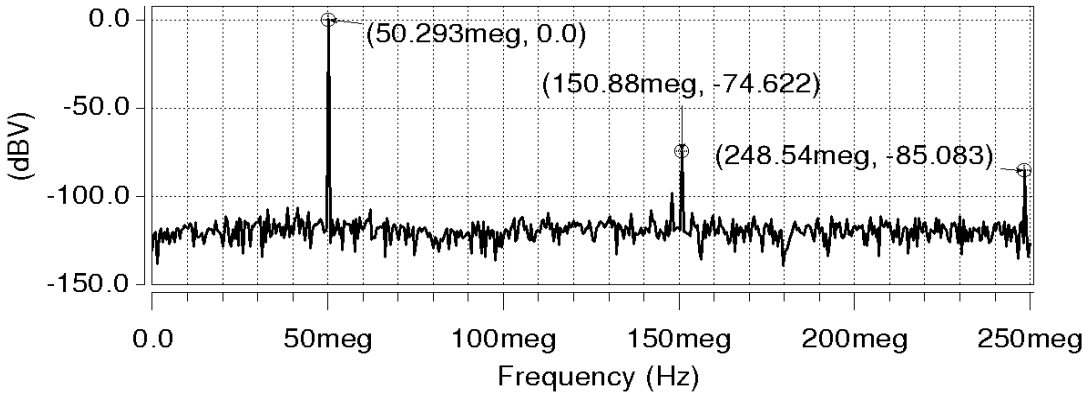
شکل (۷) تحلیل FFT را برای سیگنال خروجی مدار نمونه‌بردار و نگه‌دار پیشنهادی نشان می‌دهد. این تحلیل برای یک سیگنال سینوسی ورودی با دامنه قله تا قله 2V و فرکانس ۵۰/۲۹ MHz انجام شده است. مقدار اعوجاج هارمونیک کل THD برای مدار پیشنهادی برابر با ۷۴/۶ dB- به دست آمده است.

همچنین به صورت کامل، خصوصیات مدار نمونه‌بردار و نگه‌دار پیشنهادی در جدول (۱) آمده است. براساس نتایج به دست آمده مشخص است که مقدار هارمونیک سوم فرکانس ورودی در فرکانس ۱۵۰/۸۸ MHz به اندازه ۷۴/۶ dB از دامنه سیگنال ورودی کوچکتر است. به عبارت دیگر، بر اساس شکل (۷) مقدار HD_3=-۷۴/۶۲ dB و مقدار HD_5=-۸۵ dB است. همچنین مقادیر مهم دیگری از جمله THD، SNDR، ENOB، SNR و SFDR از تحلیل FFT به دست آمده است که در جدول (۱) نشان داده شده است. مشخص شده است که سیگنال خروجی دارای قدرت تفکیک‌پذیری ۱۲ بیت می‌باشد.



شکل (۶): سیگنال خروجی مدار نمونه‌بردار و نگه‌دار برای حالت دیفرانسیلی خروجی

Fig. (6): The output signal of the sample and hold circuit for the differential mode of output



شکل (۷): نتایج تحلیل FFT برای سیگنال خروجی

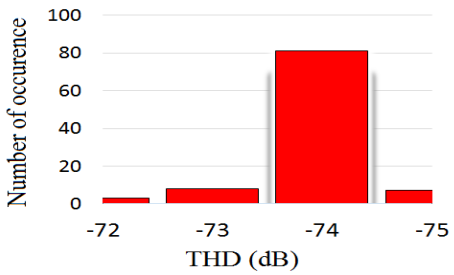
Fig. (7): FFT analysis results for the output signal

جدول (۱): خلاصه‌ای از مشخصات مدار نمونه‌بردار و نگه‌دار در فناوری 180 nm

Table (1): Summary of the proposed sample and hold circuit specifications in the 180 nm technology

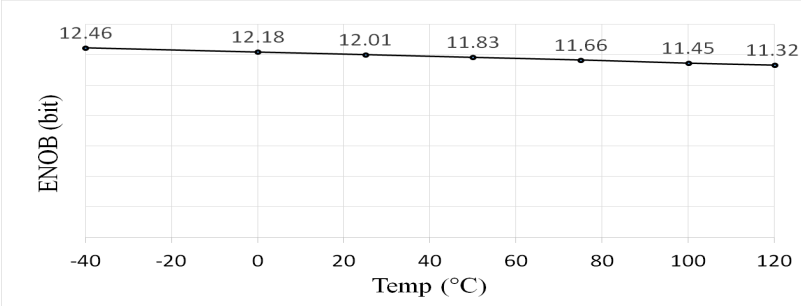
Fin (MHz)	FS (GHz)	THD (dB)	SNDR (dB)	ENOB (Bit)	SNR (dB)	SFDR (dB)
۳/۹	۱	-۸۷/۲۸	۸۷/۲۳	۱۴/۱۹	۱۳۱/۵۲	۸۷/۲۲
۱۱/۷	۱	-۷۸/۶۷	۷۸/۶۷	۱۲/۷۷	۱۰۷	۷۸/۶۸
۱۹/۵	۱	-۷۵/۷	۷۵/۶۶	۱۲/۲۷	۱۰۲/۹۱	۷۵/۶۸
۴۲/۹	۱	-۷۵/۱	۷۴/۸	۱۲/۱	۸۶/۳	۷۵/۱۲
۵۰/۲۹	۱	-۷۴/۶	۷۴/۱۴	۱۲/۰۲	۸۳/۹۵	۷۴/۶۲

به منظور نشان‌دادن عملکرد صحیح مدار پیشنهادی و عدم تغییر در درجه‌ی تفکیک مدار، ناشی از تغییرات عدم تطابق[۶] درحین ساخت تراشه، تحلیل مونت-کارلو[۷] برای تغییرات طول و عرض کانال ترانزیستورهای مدار تا ۵ درصد (در حالی که از تغییرات سایر پارامترها چشم‌پوشی شده است)، انجام گرفت. نتایج تحلیل مونت-کارلو در شکل (۸) نشان داده شده است. شبیه‌سازی، ۱۰۰ بار تکرار شده است و در هر بار شبیه‌سازی، به صورت تصادفی ابعاد ترانزیستورها تغییر یافته است. همچنین به منظور نشان دادن عملکرد صحیح مدار در دماهای مختلف کاری، مدار پیشنهادی در بازه دمایی 40- درجه تا 120 درجه سانتی‌گراد شبیه‌سازی شده است. منحنی تغییرات تعداد بیت‌های موثر (ENOB) برحسب تغییرات دما در شکل (۹) آورده شده است. بر اساس شکل (۹) با تغییر دما بین 40- درجه سانتی‌گراد تا 120 درجه سانتی‌گراد، مقدار ENOB حداکثر یک بیت تغییر می‌کند. جدول (۲) نتیجه تأثیر تغییر در گوشه‌های فرآیند فناوری 180 nm را بر مقادیر THD، SNDR، SNR، ENOB و SFDR نشان می‌دهد. این شبیه‌سازی‌ها در حالی انجام شده است که یک سیگنال سینوسی با دامنه قله تا قله ۲ V و فرکانس ۵۰/۲۹ MHz به ورودی مدار اعمال شده است. تغییرات ناشی از فرآیند ساخت در عملکرد مدار، قابل قبول و خیلی کم هستند. ابعاد ترانزیستورهای مدار برای فناوری ۱۸۰ nm در جدول (۳) آورده شده است. همچنین خازن‌های کمکی مدار با نام C'hold1 و C'hold2 برابر با ۲ pF انتخاب شده‌اند.



شکل (۸): تحلیل مونت-کارلو و تغییرات THD

Fig. (8): Monte Carlo analysis and THD variations



شکل (۹): تغییرات مقدار تعداد بیت‌های موثر با تغییرات دما

Fig. (9): Variation in the number of effective bits with temperature changes

جدول (۲): نتیجه شبیه‌سازی تاثیر تغییر در گوشه‌های فرایند فناوری 180 nm

Table (2): Result of the proposed sample and hold circuit process variation in the technology of 180 nm

Process Corner	FS (GHz)	THD (dB)	SNDR (dB)	ENOB (Bit)	SNR (dB)	SFDR (dB)
SS	۱	-۷۳/۸۲	۷۳/۶۸	۱۱/۸۶	۸۳/۲۷	۷۴/۲۲
SF	۱	-۷۳/۹	۷۳/۸۲	۱۱/۹۳	۸۳/۴۲	۷۴/۳۶
FS	۱	-۷۴/۶۷	۷۴/۲۴	۱۲/۱۳	۸۴/۰۵	۷۴/۷
FF	۱	-۷۵/۰۲	۷۴/۳۲	۱۲/۲۶	۸۴/۱۷	۷۴/۸۱

جدول (۳) : ابعاد ترانزیستورهای مدار پیشنهاد شده در فناوری ۱۸۰ nm

Table (3): Aspect ratio of transistor of the proposed circuit in 180 nm

Transistor	W (µm)	L (µm)
m_0	۱۸	۰/۱۸
$m_1=m_2=m_5=m_6=m_8=m_9=m_{10}=m_{11}=m_{14}$	۹	۰/۱۸
$m_3=m_4=m_9=m_{10}$	۵	۰/۱۸
$m_{12}=m_{13}=m_{14}=m_{15}=m_{18}=m_{19}=m_{20}=m_{21}$	۰/۵	۰/۱۸
$m_{16}=m_{17}=m_{22}=m_{23}$	۰/۸	۰/۱۸

۴- مقایسه مدار پیشنهاد شده با کارهای قبلی

در این بخش، مقایسه‌ای بین نتایج مدار نمونه‌بردار پیشنهادی با سایر کارهای قبلی که اخیراً منتشر شده است، آورده شده است. مقایسه بین نتایج به دست آمده در این تحقیق و کارهای قبلی، ویژگی مدار پیشنهاد شده را به صورت کامل مشخص می‌نماید. براساس جدول (۴) مدار پیشنهادی نسبت به کارهای قبلی دارای فناوری، تغذیه و توان کمتری است. همچنین با کوچکتر شدن ابعاد ترانزیستورها، ظرفیت خازن C_H هم کوچکتر شده است. طبق جدول (۴) مدار پیشنهادی می‌تواند با سرعتی حداقل دو برابر کارهای قبلی عمل نماید. این درحالی است که مقدار ENOB کاهش چشم‌گیری نداشته است. طبق جدول (۴) مدار پیشنهادی می‌تواند تا فرکانس نمونه‌برداری 1 GHz کار نماید که دو برابر فرکانس کارهای قبلی در مراجع [۱۱] و [۱۵] و همچنین چهار برابر فرکانس نمونه‌برداری مرجع [۱۳] می‌باشد. این درحالی است که توان مصرفی مدار پیشنهاد شده با فناوری 180 nm و 45 nm به ترتیب برابر با 8 mW و 300 µW می‌باشد.

۵- نتیجه‌گیری

طبق نتایج شبیه‌سازی‌ها، مدار نمونه‌بردار و نگه‌دار پیشنهادی به‌کمک تکنیک‌های مداری مانند استفاده از گیت‌های انتقال، کلیدهای تقلبی، نمونه‌برداری Bottom Plate، نمونه‌برداری تفاضلی و روش Double Sampling تا حد قابل قبولی توانسته است بر چالش‌های جدی طراحی حلقه باز غلبه کرده و امکان دستیابی به سرعت نمونه‌برداری

بالا تا محدوده گیگاهرتز در کنار تفکیک‌پذیری بالا در حد ۱۲ بیت را فراهم آورد. در این مقاله نشان داده شد که تکنیک‌هایی همچون نمونه‌برداری تفاضلی، خازن میلر، استفاده از خازن کمکی، استفاده از تکنیک Bottom Plate می‌تواند در عین افزایش سرعت، دقت را نیز تا مقدار مطلوبی حفظ نماید. این درحالی است که در مبدل‌های داده یکی از محدودیت‌ها، سرعت نمونه‌برداری در مدارهای نمونه‌بردار و نگه‌دار می‌باشد. بدین ترتیب در این مقاله یک ساختار جدید برای مدارهای نمونه‌بردار و نگه‌دار پیشنهاد شده است که می‌تواند چالش بین سرعت و دقت را تا حد زیادی برطرف نماید به طوری که فرکانس تا یک GHz افزایش یافته است.

پی‌نوشت:

1. Sample and Hold (S&H)
2. Transmission Gate (TG)
3. (Closed-loop)
4. Open-loop
5. Dummy
6. Mismatch
7. Monte-Carlo

جدول (۴): مقایسه نتایج مدار جدید با کارهای قبلی

Table (4): Comparison of the new circuit results with previous works

پارامتر	[15]	[13]	[11]	مدار پیشنهادی 0.18 µm	مدار پیشنهادی 45 nm
سال	۲۰۱۰	۲۰۱۶	۲۰۱۳	۲۰۱۷	۲۰۱۷
فناوری	۰/۳۵ µm	۰/۳۵ µm	۰/۱۸ µm	۰/۱۸ µm	۴۵ nm
ولتاژ تغذیه	۳/۳ V	۰/۳ V	۳/۳ V	۱/۸ V	۱/۸ V
توان مصرفی	-	-	۵/۸ mW	۸ mW	۳۰۰ µW
فرکانس ورودی	۲۲۰ MHz	۲۰ MHz	۴۰ MHz	۵۰/۲۹ MHz	۴۳/۴ MHz
فرکانس نمونه‌برداری	۵۰۰ MHz	۲۵۰ MHz	۵۰۰ MHz	۱ GHz	۱ GHz
خازن نمونه‌بردار	۵ pF	۱ pF	-	۱/۸ PF	۰/۱ PF
ENOB	>۱۰ bit	۱۴ bit	۱۳/۱ bit	۱۲/۰۲ bit	۱۲/۱۲ bit
THD	-۷۸ dB	-	-۷۷/۸۱ dB	-۷۴/۶۲ dB	-۷۵/۸۴ dB
SNR	-	-	-	۸۳/۹۵ dB	۸۲/۹۵ dB
SNDR	۷۶ dB	-	77.5 dB	۷۴/۱ dB	۷۴/۱۴ dB
SFDR	-	۸۶ dB	-	۷۴/۶۲ dB	۷۵/۶۵ dB

Reference

[1] D. Aksin, Devrim, M.A. Al-Shyoukh, F. Maloberti, "A bootstrapped switch for precise sampling of inputs with signal range beyond supply voltage", Proceedings of the IEEE/CICC, San Jose, CA, USA, Sep. 2005.

[2] T.S. Lee, C.C. Lu, "Design technique for low-voltage high-speed pseudo-differential CMOS track-and-hold circuit with low hold pedestal", Electronics Letters, Vol. 40, No.9, April 2004.

[3] T.S. Lee, C.C. Lu, "A 1.5-v 50-MHz pseudodifferential CMOS sample-and-hold circuit with low hold pedestal", IEEE Trans. on Circuits and System, Vol. 52, No. 9, 2005.

[4] M. sadollahy, K. Hadidi, "High-speed highly-linear CMOS S/H circuit", Proceeding of the IEEE/ICCCE, pp. 550–553, Kuala Lumpur, Malaysia, May 2008.

[5] A. Boni, A. Pierazzi, and C. Morandi. "A 10-b 185-MS/s track-and-hold in 0.35-/spl mu/m CMOS", IEEE Journal of Solid-State Circuits, Vol. 36, No. 2, 2001.

[6] Y. Sugimoto, D.G. Haigh, "A current-mode circuit with a linearized input V/I conversion scheme and the realization of a 2/2.5V operational, 100MS/s, MOS SHA", IEEE Trans. on Circuits and Systems, Vol. 55, No. 8, pp. 2178–2187, Sep. 2008.

[7] M. Mousazadeh, K.H. Hadidi, A. Khoei, "A novel open-loop high-speed CMOS sample-and-hold", AEU International Journal of Electronics and Communications, Vol. 62, No. 8, pp. 588–596, Sep. 2008.

[8] L. Schillaci, A. Baschirotto, R. Castello, "A 3-V 5.4-mW BiCMOS track & hold circuit with sampling frequency up to 150 MHz", IEEE Journal of Solid-State Circuits, Vol. 32, pp. 926–932, 1997.

[9] G.K. Balachandran, P.E. Allen, "Fully differential switched-current memory cell with low charge-injection errors", IEE Proceedings Circuits Devices and Systems, Vol. 148, No. 3, pp.157–163, Jun. 2001.

[10] C. Sawigun, W.A. Serdijn, "Analysis and design of a low-voltage, low-power, high-precision, class-AB current-mode subthreshold CMOS sample and hold circuit", IEEE Trans. on Circuits and Systems, Vol. 58, No. 7, pp. 1615–1626, July 2011.

[11] A. Abolhasani, M. Tohidi, K. Hadidi. A. Khoei, "A new high-speed, high-resolution open-loop CMOS sample and hold", Analog Integrated Circuits and Systems, Springer, Vol. 78, No. 2, pp. 409–419, Feb. 2014.

[12] M. Mousazadeh, K.H. Hadidi, A. Khoei, "A novel open-loop high-speed CMOS sample-and-hold", AEU-International Journal of Electronics and Communications 62.8, 2008.

[13] T.M. Khanshan, M. Nematzadeh, K. Hadidi. A. Khoei, Z.D. Kozehkanani, J. Sobhi, "Very linear open-loop CMOS sample-and-hold structure for high precision and high speed ADCs", Analog Integrated Circuits and Systems, Springer, Vol. 88, No. 1, pp. 23–30, July 2016.

[14] T.S. Lee, C.C. Lu, C.C. Ho "A 330MHz 11 bit 26.4 mW CMOS low-hold-pedestal fully differential sample-and-hold circuit", VLSI Design, Automation and Test, IEEE International Symposium on. IEEE, 2008.

[15] M. Mousazadeh, K. Hadidi, A. Khoei, "A highly linear open-loop high-speed CMOS sample-and-hold", Proceeding of the IEEE/ APCCAS, pp. 228 – 231, 2010.