یک فشرده‌ساز ۴:۲ مافوق ولتاژ پایین و توان پایین با استفاده از ترانزیستورهای FinFET

امیر باغی رهین - وحید باغی رهین
مربی - گروه مهندسی برق، واحد سردرود، دانشگاه آزاد اسلامی، سردرود، تبریز، ایران

تاریخ دریافت: ۱۳۹۴/۹/۲ تاریخ پذیرش: ۱۳۹۶/۱۱/۲۳

خلاصه: فشرده‌ساز، بلوک سازنده بسیاری از مدارات محاسباتی است. طراحی یک فشرده‌ساز که مساحت کوچکتر، توان مصرفی کم و سرعت بالا دارد همواره مورد تقاضا می‌باشد. از آنجایی که طول کانال به سمت مقیاس نانو میل می‌کند استفاده از MOSFET به عنوان افزاره پایه در فشرده‌ساز اکنون به محدودیت‌های عملکردی خود از قبیل اتلاف توان میانگین و سرعت نائل می‌شود. در این مقاله، یک سلول تمام جمع‌کننده یک بیتی با استفاده از ترانزیستور FinFET براساس مدل فرآیند PTM 32nm با ولتاژ تغذیه ۰/۵ ولت برای کاربردهای موبایل پیشنهاد شده است. سپس، از تمام جمع‌کننده پیشنهادی در ساختار فشرده‌ساز استفاده شده و عملکرد فشرده‌ساز ۴:۲ پیشنهادی با نتایج شبیه‌سازی به دست آمده از نرم‌افزار HSPICE ارزیابی شده است. پارامترهای اصلی فشرده‌ساز از قبیل توان مصرفی، تاخیر، PDP و EDP اندازه‌گیری شده و عملکرد ممتاز آن با شبیه‌سازی‌های مختلف ثابت گردید. همچین، در مقایسه با فشرده‌ساز مبتنی بر MOSFET، تعداد ترانزیستورها به ۴۲ عدد کاهش یافت.

کلمات کلیدی: فشرده‌ساز ۴:۲، تمام جمع‌کننده، ولتاژ فوق‌العاده پایین، توان پایین، ترانزیستور FinFET.

Ultra Low Voltage and Low Power 4-2 Compressor Using FinFET Transistors

Amir Baghi Rahin – Vahid Baghi Rahin
Indicator - Department of Electrical Engineering, Sardorood Branch, Islamic Azad University, Sardorood, Tabriz, Iran
mohandes.amir.baghi@gmail.com
mohandes.baghi@gmail.com

Abstract:
Compressor is a basic building block of many arithmetic circuits. Design of smaller area, low power consumption and high speed compressor is always in demand. As the channel length approaches nanometer scale, the use of MOSFET as the basic device in compressor now has reached its performance limits such as average power dissipation and speed. In this paper, a 1-bit full adder cell using FinFET transistor based on PTM 32nm process model with 0.6 V supply voltage for mobile applications is proposed. Then, the proposed full adder cell is used in the structure of compressor and performance of the proposed 4: 2 compressor is evaluated with the simulation results obtained from HSPICE. The main parameters of proposed compressor such as power compression, delay, power-delay product (PDP) and energy-delay product (EDP) were measured and its superior performance has been proved by various simulations. Also, in comparison to MOSFET based compressor, the number of transistors is decreased to 42.

Index Terms: 4-2 compressor,full adder, ultra low-voltage, low power, FinFET transistor.

نویسنده مسئول: امیر باغی رهین، مربی، گروه مهندسی برق، واحد سردرود، دانشگاه آزاد اسلامی، سردرود، تبریز، ایران، mohandes.amir.baghi@gmail.com

۱- مقدمه

ضرب‌کننده‌ها یکی از بلوک‌های قابل‌توجه در محاسبات کامپیوتری هستند و به طور کلی در پردازنده‌های سیگنال دیجیتال استفاده می‌شوند. تقاضاهای رو به رشد برای ضرب‌کننده‌های سرعت بالا در کاربردهای مختلف سیستم‌های محاسباتی از قبیل گرافیک کامپیوتری، محاسبات علمی، پردازش تصویر و غیره وجود دارد. سرعت ضرب‌کننده تعیین می‌کند که پردازنده چقدر سریع اجرا خواهد شد و طراحان در حال حاضر بیشتر بر روی سرعت بالا با مصرف توان کم متمرکز شده‌اند. ساختار ضرب‌کننده شامل یک طبقه تولید حاصلضرب جزئی، طبقه کاهش حاصلضرب جزئی و طبقه جمع نهایی می‌باشد. طبقه کاهش حاصلضرب جزئی مسئول بخش عمده‌ای از تاخیر کل ضرب، توان و مساحت می‌باشد. بنابراین به منظور جمع کردن حاصلضرب‌های جزئی، فشرده‌سازها معمولاً این طبقه را پیاده‌سازی می‌کنند. از آنجایی که فشرده‌سازها در کاهش حاصلضرب‌های جزئی و نیز کاهش مسیر بحرانی (که برای حفظ عملکرد مدار مهم هستند) مؤثر می‌باشند، این موضوع با استفاده از ساختارهای فشرده‌ساز ۳:۲، ۴:۲ و ۵:۲ به انجام می‌رسد. یک مدار فشرده‌ساز ۳:۲ اصطلاحاً سلول تمام جمع‌کننده نیز گفته می‌شود.

جمع‌کننده‌ها قلب تپنده مدارهای محاسباتی و بسیاری از مدارهای محاسباتی پیچیده هستند [۱،۲]. استفاده گسترده از این عملیات در توابع ریاضی توجه تعداد زیادی از محققان را برای کاربردهای موبایل جذب کرده است. در سال‌های اخیر، چندین گونه مختلف از سبک‌های منطقی برای پیاده‌سازی سلولهای جمع‌کننده یک بیتی ارائه شده است. این سلول‌های جمع‌کننده معمولاً با هدف کاهش مصرف توان و افزایش سرعت ارائه شده‌اند. این مطالعات همچنین روشهای مختلف تحقق جمع کننده‌ها را با استفاده از تکنولوژی CMOS مورد تحقیق و بررسی قرار داده‌اند [۳،۴].

برای کاربردهای موبایل، طراحان باید در محدوده مشخصات توان نشتی خیلی کم به منظور برآورده نمودن الزامات طول عمر زیاد باتری و اهداف هزینه بسته‌بندی کار کنند. نگرانی طراحها برای سطح جریان نشتی مرتبط با حصول اطمینان از عملکرد درست مدار نیست، بلکه مربوط به حداقل رساندن اتلاف انرژی می‌باشد. برای دستگاه‌های الکترونیکی قابل حمل این معادل با افزایش دادن طول عمر باتری است. برای مثال، گوشی‌های تلفن همراه نیاز دارند که برای مدت‌های طولانی کار کنند (با عنوان حالت آماده به کار شناخته شده است، که طی آن تلفن همراه قادر به دریافت یک تماس ورودی است)، اما برای مدت بسیار کوتاه به طور کامل فعال هستند (با عنوان حالت صحبت یا فعال شناخته شده است، در حالی که یک تماس برقرار می‌شود). هنگامی که یک دستگاه الکترونیکی مانند تلفن همراه در حالت آماده به کار است، بخش‌های خاصی از مدار در داخل دستگاه الکترونیکی فعال هستند و مابقی خاموش می‌شوند. اما این مدارات، حتی اگر غیر فعال شده باشند همچنان جریان‌های نشتی خواهند داشت. اگر جریان نشتی وجود داشته باشد بسیار کوچکتر از حالت کار عادی مدار است. این جریان نشتی در حالت آماده به کار در دراز مدت شارژ باتری را خالی می‌کند، در حالی که در حالت فعال شارژ باتری در کوتاه مدت خالی می‌شود. در نتیجه، این جریان نشتی دارای اثر نامتناسب بر روی طول عمر کل باتری است. به این دلیل است که ساختن سلول‌های تمام جمع‌کننده دارای نشتی کم برای کاربردهای موبایل مورد علاقه فراوان اکثر طراحها می‌باشد.

به طور خلاصه، برخی از معیارهای عملکرد هستند که در طراحی و بررسی سلول‌های جمع‌کننده در نظر گرفته می‌شوند، مانند توان نشتی، توان اکتیو، نویز ground bounce، مساحت، حاشیه اغتشاش و نیرومندی با توجه به مقیاس‌بندی ولتاژ و ترانزیستور و همچنین تغییر پروسه و سازگاری با مدارهای پیرامونی. کوتاه شدن طول گیت ترانزیستور توان مصرفی آنرا به دلیل افزایش جریان نشتی مابین سورس و درین ترانزیستور، موقعی که ولتاژی به گیت اعمال نمی‌شود، افزایش می‌دهد [۵،۶]. علاوه بر جریان نشتی زیر آستانه، جریان تونل‌زنی گیت نیز با توجه به مقیاس‌بندی ضخامت اکسید گیت افزایش می‌یابد. هر نسل تکنولوژی جدید منجر به افزایش ۳۰ برابری در نشتی گیت می‌شود [۸،۷]. توان نشتی انتظار می‌رود که به بیش از ۵۰٪ از توان کل در تکنولوژی زیر ۱۰۰ نانو متر برسد [۹]. از این رو، توان نشتی برای توسعه تکنیک‌های طراحی به منظور کاهش اتلاف توان استاتیک در طول دوره‌های عدم فعالیت بسیار مهم است. کاهش توان باید بدون مصالحه به دست آید که باعث می‌شود کاهش نشتی در هنگام عملکرد عادی (زمان اجرا) سخت‌تر شود. از سوی دیگر، تکنیک‌های مختلفی برای کاهش توان نشتی وجود دارد [۱۰]. power gating یکی از این تکنیکهای شناخته شده است که در آن یک ترانزیستور sleep مابین خط زمین واقعی و زمین مدار (اصطلاحاً زمین مجازی گفته می‌شود) اضافه می‌شود [۱۴-۱۱]. این افزاره در حالت sleep خاموش می‌شود تا مسیر نشتی را قطع کند. نشان داده شده که این روش، کاهش قابل توجهی در نشتی با یک تاثیر حداقل بر روی عملکرد فراهم می‌کند [۱۸-۱۵].

کاهش مقیاس MOSFET به حوزه نانو بسیاری از چالش‌ها مانند جریان نشتی گیت، نشتی درین ایجاد شده توسط گیت (GIDL)، جریان نشتی حالت خاموش، تاخیرها، اتلاف توان، اثرات کانال کوتاه و بسیاری دیگر را آشکار می‌کند. این چالش‌ها اجتناب‌ناپذیر هستند به طوری که اندازه ترانزیستور مهمترین پارامتری می‌باشد که باید توسط طراحها در پروسه کاهش اندازه در نظر گرفته شود. موسسه ITRS گزارشی را در سال ۲۰۰۶ میلادی بروزرسانی کرد که در آن کاهش اندازه MOSFET تا تولید تکنولوژی ۳۲ نانومتر افشا شده بود. بنابراین برای فائق آمدن بر مشکل کاهش اندازه MOSFET در حوزه مقیاس نانو، ITRS یک جایگزین برای پیاده‌سازی ساختارهای این چنینی مانند سیلیکون روی عایق کاملاً تهی شده با بدنه فوق‌العاده نازک (SOI) و MOSFETهای چند گیتی (یعنی FinFET) را به صنعت تولید معرفی نمود [۱۹].

فرآیند کاهش مقیاس MOSFET در حال نزدیک شدن به حد فن آوری در زیر ۲۰ نانومتر است که ممکن است به دلیل تغییرات پروسه سیلیکون موجب تخریب عملکرد کارایی افزاره شود. FinFET یک ساختار جایگزین جدید برای MOSFET است که اجازه خواهد داد ترانزیستورها را به اندازه کوچکتر مقیاس‌بندی کرد و مزیت‌های بسیاری

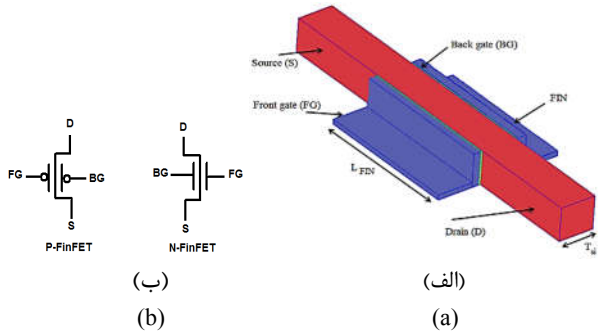
نسبت به MOSFET سنتی از قبیل جریان درین بالاتر، ولتاژ سوئیچینگ و همچنین ۹۰ درصد کاهش در جریان نشتی ایستا دارد [۲۰].

این مقاله بر روی کاهش توان مصرفی نشتی زیر آستانه در مدارات تمام جمع‌کننده و فشرده‌ساز تمرکز می‌کند. با استفاده از تمام جمع‌کننده FinFET، فشرده‌ساز پیاده‌سازی شده و یک ساختار افزاره چند گیتی (FinFET) با ساختار تک گیتی سنتی (MOSFET) مقایسه می‌شود. ادامه این مقاله به شرح زیر سازماندهی می‌شود. در بخش دوم این مقاله، مدار تمام جمع‌کننده FinFET مقیاس نانو پیشنهاد شده، و عملکرد آن در مدارات فشرده‌ساز بحث و بررسی می‌شود. در بخش سوم، تجزیه و تحلیل عملکرد و نتایج شبیه‌سازی سلول تمام جمع‌کننده و فشرده‌ساز پیشنهادی ارائه می‌شود. سپس مقاله در بخش چهارم نتیجه‌گیری می‌شود.

۲- طرح پیشنهادی

۲-۱- ساختار FinFET

FinFET به عنوان افزاره چند-گیتی دسته‌بندی می‌شود که عملکرد آن اغلب مشابه با ترانزیستورهای MOSFET سنتی است. به طور معمول، یک سورس، یک درین و یک گیت برای کنترل جریان دارا می‌باشد. کانال بین سورس و درین FinFET که به صورت یک نوار سه بعدی در بالای بستر سیلیکونی است (که اصطلاحاً Fin نامیده می‌شود) ساخته می‌شود. با هدف شکل دادن چندین الکترود گیت در هر سمت که ممکن است اثرات نشتی را کاهش داده و جریان تحریک را افزایش دهد، گیت در اطراف کانال به صورت شکل ۱ (الف) پوشانده می‌شود. همچنین در تحقیقات قبلی محققین مشاهده کرده‌اند که ادوات چند گیتی مانند FinFET مصونیت بهتری در برابر تغییرات دارند، که این ممکن است به خود ترازی دو گیت منجر شود [۲۱]. ادوات FinFET در گونه‌های مختلف تولید می‌شوند. در FinFET های با گیت بهم اتصال‌یافته (SG-FinFET)، دو گیت به همدگیر اتصال یافته‌اند و منجر به ایجاد یک قطعه سه ترمینالی می‌شود. این را می‌توان به عنوان یک جایگزین مستقیم برای ادوات bulk-CMOS سنتی به کار گرفت. در FinFETهای با گیت مستقل (IG-FinFET)، بخش بالایی گیت لایه‌برداری شده و دو گیت مستقل را در اختیار قرار می‌دهد. از آنجایی که دو گیت مستقل را می‌توان به طور مجزا کنترل نمود، FinFETهای حالت IG انتخاب‌های طراحی بیشتری را ارائه می‌کنند (شکل ۱(ب)). FinFETهای چهار ترمینالی به طور گسترده در مراجع [۲]، [۲۲]، [۲۴]، [۲۹] مورد مطالعه و تجزیه و تحلیل قرار گرفته‌اند. گیتهای جلویی و پشتی FinFET چهار ترمینالی (4T FinFET) می‌تواند در ساختارهای مختلفی اتصال یابند. یکی از این ساختارها بستن هر دو گیت به هم می‌باشد (SG-FinFET). یک FinFET چهار ترمینالی می‌تواند به صورت دو ترانزیستور موازی در نظر گرفته شده و دو گیت می‌تواند به طور مستقل از هم به طوری که در شکل ۱(ب) نشان داده شده تحریک شوند. یکی از گیتها که به طور معمول گیت پشتی نامیده می‌شود میدان عمودی ترانزیستور دیگر در منطقه کانال را تحت تاثیر قرار می‌دهد، بنابراین ولتاژ آستانه آن را تغییر می‌دهد. همچنین، جریان نفوذ را در ناحیه زیر آستانه عملکرد تحت تاثیر قرار داده و جریان نشتی را کنترل می‌کند. علاوه بر این، دو ترانزیستور موازی در FinFET چهار ترمینالی می‌تواند به همدیگر بسته شوند تا قابلیت درایو نمودن را بهبود بخشند یا یک ترانزیستور واحد با گیتهای بطور مستقل تحریک شده را شکل دهند. این موضوع در کاهش مساحت و اتلاف توان در مدارات دیجیتال مفید خواهد بود [۲۳].



(ب) (الف)

(b) (a)

شکل (۱): (الف) ساختار FinFET چهار ترمینالی، (ب) سمبل FinFET چهار ترمینالی نوع p و n

Fig. (1): (a) The structure of 4T FinFET, (b) The symbol of p-type and n-type 4T FinFET

برای افزاره نشان داده شده در شکل ۱(الف)، طول و عرض مؤثر کانال به ترتیب برابر با L_{FIN} و h_{FIN} می‌باشد. پارامترهای افزاره که در این مقاله استفاده شده‌اند در جدول (۱) لیست شده‌اند.

Table (1): Device parameters for 4T FinFET

جدول (۱): پارامترهای افزاره FinFET چهار ترمینالی مورد استفاده

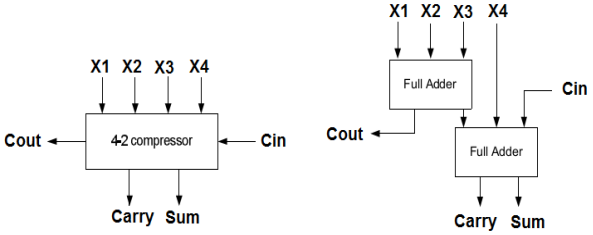
Parameter	Value
Length of the channel (L)	32nm
Thickness of front/back gate oxide t_{oxbg})/(t_{oxfg}	1.6nm
Thickness of the fin (t_{Si})	8nm
Height of the fin (h_{fin})	32nm
Work function (N/P) (φ_N/φ_P)	4.5eV/4.9eV
Power supply (VDD)	0.9
Channel doping (N_{BODY})	2×10^{20} cm^{-3}
Source/ Drain doping	2×10^{20} cm^{-3}

۲-۲- فشرده ساز ۴:۲ پیشنهادی

یک فشرده‌ساز ۴:۲ به طوری که در شکل (۲) نشان داده شده است، پنج ورودی و سه خروجی دارد. چهار ورودی X_1، X_2، X_3 و X_4 و خروجی sum وزن مشابهی دارند. Carry خروجی یک بیت باینری وزنش بالاتر می‌باشد. فشرده‌ساز ۴:۲ یک ورودی C_{in} از ماژول قبلی یک مرتبه بیت باینری کمتر در اهمیت دریافت می‌کند و یک C_{out} خروجی به ماژول فشرده‌ساز بعدی تولید می‌کند [۲۵]. معادلات زیر بر فشرده ساز ۴:۲ حکمفرما می‌باشد [۲۶]:

$$X_1 + X_2 + X_3 + X_4 + C_{in} = sum + 2(Carry + C_{out}) \quad (۱)$$

به طوری که در شکل (۲) نشان داده شده است، پیاده‌سازی سنتی از یک فشرده‌ساز ۴:۲ از دو تمام جمع‌کننده به طور سریال متصل شده تشکیل یافته است.

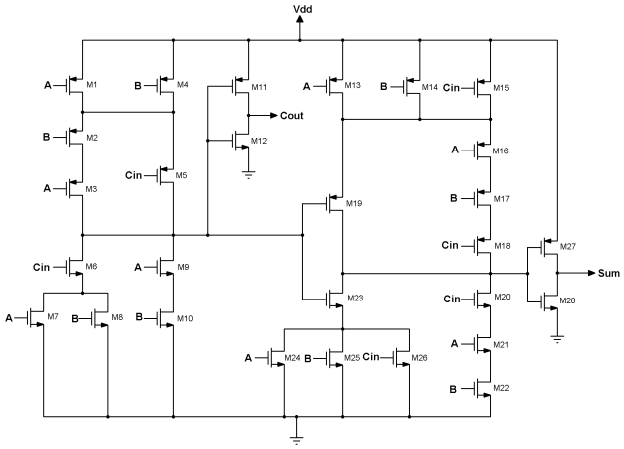


شکل (۲): پیاده سازی سنتی فشرده ساز ۴:۲ ؛ سمبل فشرده‌ساز و پیاده‌سازی با تمام جمع‌کننده‌ها

Fig. (2): Implementation of the conventional 4-2 compressor ; symbol of compressor and implementation with full adders

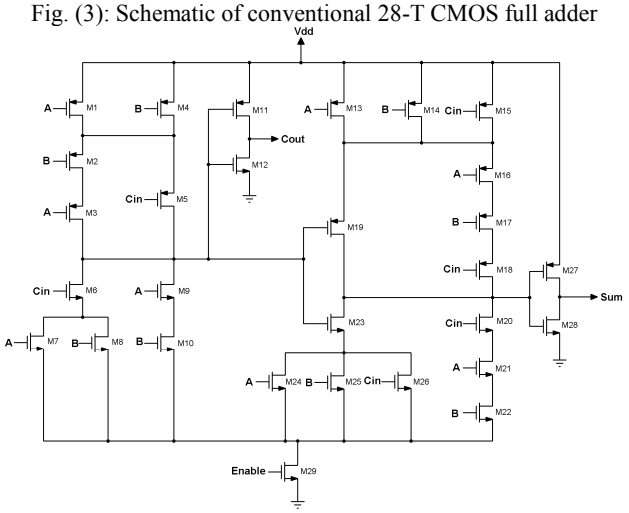
به تازگی، اتلاف انرژی اهمیت ویژه‌ای یافته است و تاکید قابل توجهی بر روی درک منابع توان و روش‌های برخورد با اتلاف توان می‌شود [۳]. سبک منطق ایستا استحکام در برابر اثرات نویز را ارائه می‌کند، بنابراین به طور خودکار یک عملکرد قابل اعتماد را فراهم می‌کند. منطق‌های شبه NMOS و ترانزیستور عبور می‌توانند تعداد ترانزیستورهای مورد نیاز را برای پیاده‌سازی یک تابع منطقی مشخص را کاهش دهند اما این منطق‌ها از اتلاف توان ایستا رنج می‌برند. پیاده‌سازی مدارات مبتنی بر مالتی پلکسر و XOR موقعی که ما توسط منطق ترانزیستور عبور پیاده‌سازی را انجام می‌دهیم سودمند هستند [۴]. از سوی دیگر، پیاده سازی منطق پویا توابع پیچیده به مساحت سیلیکون کوچکتری نیاز دارد اما نشتی شارژ و تازه سازی شارژ نیاز می‌باشد که فرکانس کاری را کاهش می‌دهد. در کل، هیچ یک از سبک‌های اشاره شده نمی‌توانند با سبک CMOS از نظر نیرومندی و پایداری رقابت کنند [۴]، [۱۳].

شکل (۳) جمع‌کننده ۲۸ ترانزیستوری CMOS مرسوم را نشان می‌دهد [۱۲]. ساختار CMOS، شبکه‌های بالاکش PMOS و پایین‌کش NMOS را برای تولید خروجی مورد نظر ترکیب می‌کند. تعیین اندازه ترانزیستورها نقش کلیدی در سبک CMOS ایستا بازی می‌کند. مدارات جمع‌کننده اصلاح شده از نظر اندازه، در مرجع [۲۷] با هدف قرار دادن حاشیه اغتشاش و نویز ground bounce ارائه شده‌اند. علاوه بر این، روش power gating به منظور کاهش توان نشتی در این مرجع استفاده شده است که در آن یک ترانزیستور sleep ما بین خط زمین واقعی و زمین مدار متصل شده است. در شکل (۴) ساختار تمام جمع‌کننده پیشنهاد شده در مرجع [۲۷] نشان داده شده است.



شکل (۳): شماتیک تمام جمع‌کننده ۲۸ ترانزیستوری CMOS مرسوم

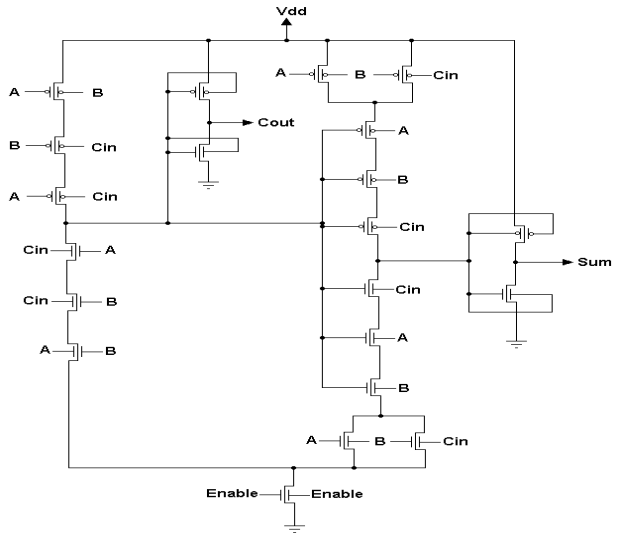
Fig. (3): Schematic of conventional 28-T CMOS full adder



شکل (۴): شماتیک تمام جمع‌کننده پیشنهاد شده در مرجع [۲۷] با ترانزیستور sleep (29-T MOSFET)

Fig. (4): Schematic of proposed full adder in [27] with sleep transistor (29-T MOSFET)

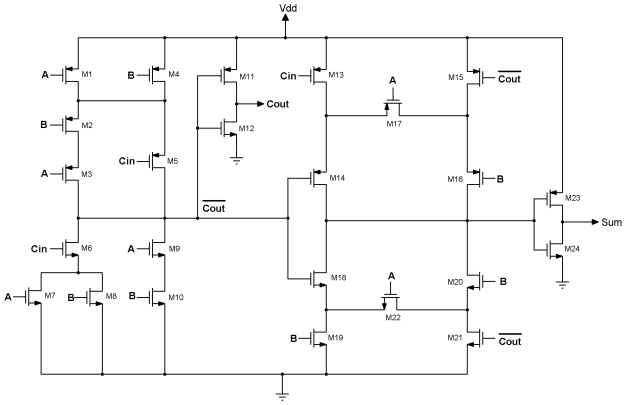
در کار قبلی‌مان [۲۸]، ساختار نشان داده شده در شکل (۴) را که براساس ترانزیستور MOSFET می‌باشد با استفاده از ترانزیستورهای FinFET پیاده‌سازی نموده‌ایم. ترانزیستور FinFET که ما در این مقاله استفاده نموده‌ایم می‌تواند دو گیت مستقل و جداگانه داشته باشد (IG-FinFET). بدین منظور می‌توان دو ترانزیستور موازی MOSFET را با یک ترانزیستور FinFET پیاده‌سازی نمود. شماتیک ساختار پیشنهادی تمام جمع‌کننده CMOS با استفاده از ترانزیستورهای FinFET در شکل (۵) نشان داده شده است. ساختار پیشنهادی در مرجع [۲۸]، با استفاده از ترانزیستورهای FinFET ساده‌تر شده و تعداد ترانزیستورهای تمام جمع‌کننده پیشنهادی به همراه ترانزیستور sleep به ۲۱ عدد کاهش یافته است.



شکل (۵): شماتیک تمام جمع‌کننده پیشنهادی در مرجع [۲۸] با استفاده از ترانزیستورهای FinFET (21-T FinFET)

Fig. (5): Schematic of proposed full adder in [28] based on FinFET transistors (21-T FinFET)

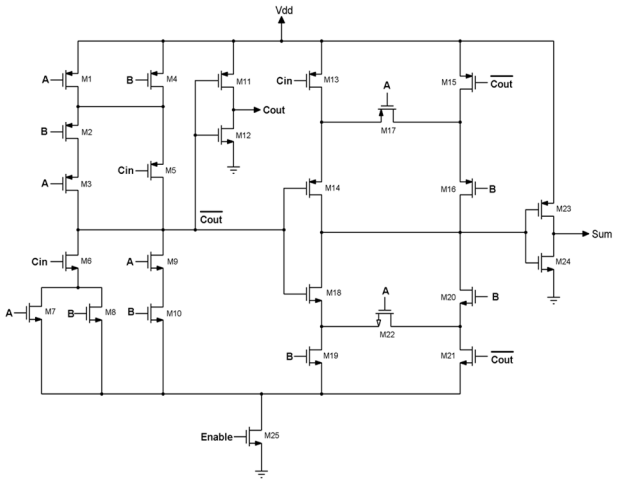
ساختار بهبودیافته‌ای از جمع‌کننده ۲۸ ترانزیستوری CMOS در مرجع [۲۹] ارائه شده است. شماتیک این تمام جمع‌کننده در شکل (۶) نشان داده شده است. طبقه تولید رقم نقلی در این تمام جمع‌کننده مشابه طبقه تولید رقم نقلی تمام جمع‌کننده ۲۸ ترانزیستوری CMOS مرسوم می‌باشد و عمده تفاوت این دو تمام جمع‌کننده در طبقه تولید Sum است که می‌تواند به تاخیر انتشار کم در این طبقه منجر شود.



شکل (۶): شماتیک تمام جمع‌کننده ۲۸ ترانزیستوری CMOS اصلاح شده [۲۹]

Fig. (6): Schematic of modified 28-T CMOS full adder

به منظور اصلاح بیشتر تمام جمع‌کننده شکل (۶) و با هدف قرار دادن حاشیه اغتشاش و نویز ground bounce، از روش power gating ارائه شده در مرجع [۲۷] به منظور کاهش توان نشتی سلول تمام جمع‌کننده شکل (۶) استفاده می‌کنیم که در آن یک ترانزیستور sleep ما بین خط زمین واقعی و زمین مدار قرار می‌گیرد. در شکل (۷) ساختار تمام جمع‌کننده پیشنهادی‌مان بر اساس ترانزیستور MOSFET نشان داده شده است.



شکل (۷): شماتیک تمام جمع‌کننده پیشنهادی مبتنی بر MOSFET با ترانزیستور sleep (25-T MOSFET)

Fig. (7): Schematic of proposed MOSFET-based full adder with sleep transistor (29-T MOSFET)

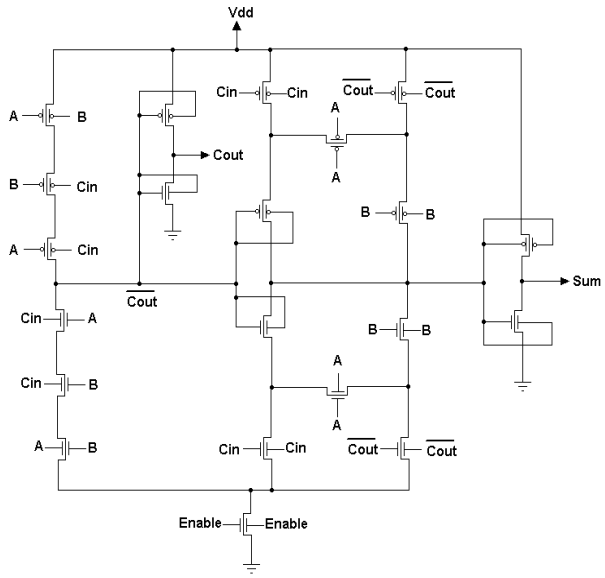
ساختار پیشنهادی نشان داده شده در شکل (۷) براساس ترانزیستور MOSFET می‌باشد و هدف ما این است که این ساختار را با استفاده از ترانزیستورهای FinFET ساده‌تر و بهینه کنیم. با استفاده از ترانزیستور FinFET با دو گیت مستقل و جداگانه (IG-FinFET) می‌توان دو ترانزیستور موازی MOSFET را با یک ترانزیستور FinFET پیاده‌سازی نمود. با تمرکز بر شکل (۷) ترانزیستورهای موازی را در شماتیک مدار مشخص کرده و آنها را با یک ترانزیستور FinFET جایگزین می‌کنیم. شماتیک ساختار تمام جمع‌کننده پیشنهادی بهبود یافته با استفاده از ترانزیستورهای FinFET در شکل (۸) نشان داده شده است. با بررسی شکل‌های (۷) و (۸) مشاهده می‌کنیم که ساختار پیشنهادی با استفاده از ترانزیستورهای FinFET ساده‌تر شده و تعداد ترانزیستورهای تمام جمع‌کننده پیشنهادی به همراه ترانزیستور sleep به ۲۱ عدد کاهش یافته است.

در ادامه این مقاله برای سادگی، ساختار تمام جمع‌کننده پیشنهاد شده در مرجع [۲۷] را با عنوان 29-T MOSFET و ساختار پیشنهادی‌مان در مرجع [۲۸] را با عنوان 21-T FinFET، ساختار تمام جمع‌کننده پیشنهادی‌مان (در این مقاله) که مبتنی بر MOSFET می‌باشد را با عنوان 25-T MOSFET و ساختار تمام جمع‌کننده پیشنهادی‌مان (در این مقاله) را که مبتنی بر FinFET می‌باشد با عنوان 21-T FinFET NEW ارجاع خواهیم داد.

۳- نتایج شبیه‌سازی

۳-۱ شبیه‌سازی تمام جمع‌کننده پیشنهادی

تمام جمع‌کننده 29-T MOSFET، تمام جمع‌کننده 21-T FinFET و تمام جمع‌کننده‌های پیشنهادی 25-T MOSFET و 21-T FinFET NEW با تکنولوژی‌های PTM Si-CMOS 32nm و PTM FinFET 32nm [۳۰،۳۱] و با استفاده از نرم‌افزار HSPICE مورد شبیه‌سازی قرار گرفتند. شبیه‌سازی‌ها در دمای اتاق و ولتاژهای تغذیه مختلف به انجام رسیدند.



شکل (۸): شماتیک تمام جمع‌کننده پیشنهادی براساس ترانزیستورهای FinFET (21-T FinFET NEW)

Fig. (8): Schematic of proposed full adder based on FinFET transistors (21-T FinFET NEW)

الگوی ورودی کامل با تمام حالتهای گذار ممکن از یک ترکیب ورودی به دیگری به مدارات اعمال شدند تا تاخیر انتشار آنها را اندازه‌گیری کنیم. تأخیر هر مدار از زمانیکه سیگنال ورودی به ½VDD می‌رسد تا زمانی که سیگنال خروجی به همان سطح ولتاژ می‌رسد اندازه‌گیری شدند. تمام حالتهای انتقال از یک ورودی به یکدیگر بررسی شده و تاخیر برای هر انتقال اندازه‌گیری شده و مقدار حداکثر به عنوان تاخیر هر مدار گزارش شده است. توان مصرفی میانگین در طی یک دوره زمانی طولانی نیز به عنوان پارامتر توان متوسط در نظر گرفته شده است. به منظور ایجاد یک مصالحه بین توان مصرفی و تاخیر مدارها، عملکرد این مدار را می‌توان با محاسبه حاصلضرب تاخیر در توان (PDP) که حاصلضرب توان مصرفی میانگین و حداکثر تاخیر می‌باشد و نیز حاصلضرب تاخیر در انرژی (EDP) که حاصلضرب PDP و حداکثر تاخیر است ارزیابی نمود. در نتیجه، PDP و EDP می‌تواند یک پارامتر مهم برای ارزیابی و مقایسه عملکرد این تمام جمع‌کننده‌ها می‌باشد.

در آزمایش اول، تمام جمع‌کننده‌های پیشنهادی در ولتاژهای تغذیه ۰/۸، ۰/۶۵ و ۰/۵ ولت و در فرکانس ۱۰۰ مگا هرتز با خازن‌های بار ۲/۱ فمتو فاراد شبیه‌سازی شدند. نتایج دقیق این شبیه‌سازی‌ها در جدول (۲) ذکر شده و با سایر ساختارهای مذکور مقایسه شده است. بهترین نتایج در هر ولتاژ با اعداد پر رنگ نمایش داده شده است. با توجه به نتایج تجربی، تمام جمع‌کننده پیشنهادی مبتنی بر FinFET (21-T FinFET NEW) در ولتاژهای تغذیه ۰/۸، ۰/۶۵ و ۰/۵ ولت و در فرکانس ۱۰۰ مگا هرتز با خازن‌های بار ۲/۱ فمتو فاراد عملکرد مناسبی از نظر تاخیر انتشار، توان میانگین و PDP می‌تواند از خود نشان دهد. در کار قبلی [۲۸]، تمام جمع‌کننده پیشنهادی 21-T FinFET با ساختارهای مرسوم و جدیدی از تمام جمع‌کننده از قبیل Hybrid، CMOS-Bridge، TGA، Design3، CNT-3c2c و CNT-Design2 در ولتاژهای تغذیه ۰/۸، ۰/۶۵ و ۰/۵ ولت و در فرکانس ۱۰۰ مگا هرتز با خازن‌های بار ۲/۱ فمتو فاراد شبیه‌سازی شده بود که در آن تمام جمع‌کننده 21-T FinFET در ولتاژ تغذیه ۰/۶۵ و ۰/۵ ولت عملکرد بهتری از نظر تاخیر انتشار، توان میانگین و PDP از خود نشان داده بود. حال آنکه، براساس نتایج به دست آمده در این مقاله طرح پیشنهادی ما از ساختار 21-T FinFET نیز بهتر می‌باشد. لذا می‌توان بیان نمود که تمام جمع‌کننده پیشنهادی‌مان نسبت به همه‌ی تمام جمع‌کننده‌های بررسی شده در مرجع [۲۸] عملکرد بهتری دارد.

جدول (۲): نتایج شبیه‌سازی تمام جمع‌کننده پیشنهادی و مقایسه با سایر ساختارها (فرکانس ۱۰۰ مگا هرتز و خازن بار ۲/۱ فمتو فاراد)

Table (2): Simulation results of proposed full adders and comparsion with other structures (capacitor load=2.1fF, frequency=100 MHz)

V_{DD} (v)	0.5	0.65	0.8
Delay ($\times10^{-12}$ s)			
29-T MOSFET	491.53	185.97	114.29
21-T FinFET	106.82	78.76	66.68
25-T MOSFET	445.03	185.42	106.60
21-T FinFET NEW	**76.94**	**58.77**	**50.47**
Average power ($\times10^{-7}$ w)			
29-T MOSFET	1.68	2.96	4.68
21-T FinFET	1.34	2.49	4.21
25-T MOSFET	1.38	2.39	3.73
21-T FinFET NEW	**1.20**	**2.18**	**3.61**
Leakage power ($\times10^{-9}$ w)			
29-T MOSFET	13.44	28.68	60.01
21-T FinFET	**7.24**	**13.20**	**21.79**
25-T MOSFET	15.32	29.92	57.16
21-T FinFET NEW	10.67	19.53	32.32
PDP ($\times10^{-17}$ j)			
29-T MOSFET	8.27	5.50	5.34
21-T FinFET	1.43	1.96	2.80
25-T MOSFET	6.18	4.43	3.98
21-T FinFET NEW	**0.92**	**1.28**	**1.82**

در آزمایش دوم، تمام جمع‌کننده‌های پیشنهادی در ولتاژهای تغذیه ۰/۸، ۰/۶۵ و ۰/۵ ولت و در فرکانس ۳۷۵ مگا هرتز با خازن‌های بار ۳/۵ فمتو فاراد شبیه‌سازی شدند. نتایج دقیق این شبیه‌سازی‌ها در جدول (۳) ذکر شده و با سایر ساختارهای مذکور مقایسه شده است. بهترین نتایج در هر ولتاژ با اعداد پر رنگ نمایش داده شده است. با توجه به نتایج تجربی، تمام جمع‌کننده پیشنهادی مبتنی بر FinFET (21-T FinFET NEW) در ولتاژهای تغذیه ۰/۸، ۰/۶۵ و ۰/۵ ولت و در فرکانس ۳۷۵ مگا هرتز با خازن‌های بار ۳/۵ فمتو فاراد عملکرد مناسبی از نظر تاخیر انتشار، توان میانگین و PDP می‌تواند از خود نشان می‌دهد. در آزمایش سوم، هر چهار تمام جمع‌کننده مذکور در فرکانس ۱۰۰ مگا هرتز و ولتاژ تغذیه ۰/۶۵ ولت با تغییر بار خازنی در بازه ۱/۴ فمتو فاراد تا ۴/۹ فمتو فاراد مورد شبیه‌سازی قرار گرفتند. نتایج شبیه‌سازی این سلول‌ها در شکل‌های (۹) و (۱۰) نشان داده شده است. با توجه به این شکل‌ها، می‌توان مشاهده نمود که تمام جمع‌کننده ۲۱ ترانزیستوری

مبتنی بر FinFET پیشنهاد شده در این مقاله عملکرد بسیار خوبی از نظر PDP و EDP نسبت به سایر سلول‌ها در خازن‌های بار مختلف از خود نشان می‌دهد.

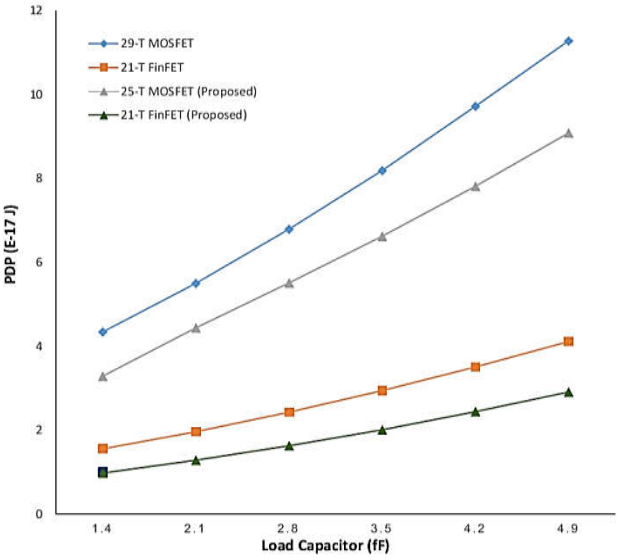
جدول (۳): نتایج شبیه‌سازی تمام جمع‌کننده پیشنهادی و مقایسه با سایر ساختارها (فرکانس ۳۷۵ مگا هرتز و خازن بار ۳/۵ فمتو فاراد)

Table (3): Simulation results of proposed full adders and comparsion with other structures (capacitor load=3.5fF, frequency=375 MHz)

V_{DD} (v)	0.5	0.65	0.8
Delay ($\times10^{-12}$ s)			
29-T MOSFET	601.35	255.51	172.98
21-T FinFET	161.22	125.79	102.43
25-T MOSFET	531.06	239.27	159.10
21-T FinFET NEW	**127.77**	**104.03**	**88.32**
Average power ($\times10^{-6}$ w)			
29-T MOSFET	0.665	1.17	1.81
21-T FinFET	0.629	1.19	1.96
25-T MOSFET	0.591	1.01	1.56
21-T FinFET NEW	**0.571**	**1.05**	**1.67**
Leakage power ($\times10^{-9}$ w)			
29-T MOSFET	13.44	28.68	60.01
21-T FinFET	**7.24**	**13.20**	**21.79**
25-T MOSFET	15.32	29.92	57.16
21-T FinFET NEW	10.67	19.53	32.32
PDP ($\times10^{-16}$ j)			
29-T MOSFET	4	2.98	3.12
21-T FinFET	1.01	1.49	2.01
25-T MOSFET	3.14	2.42	2.48
21-T FinFET NEW	**0.729**	**1.09**	**1.48**

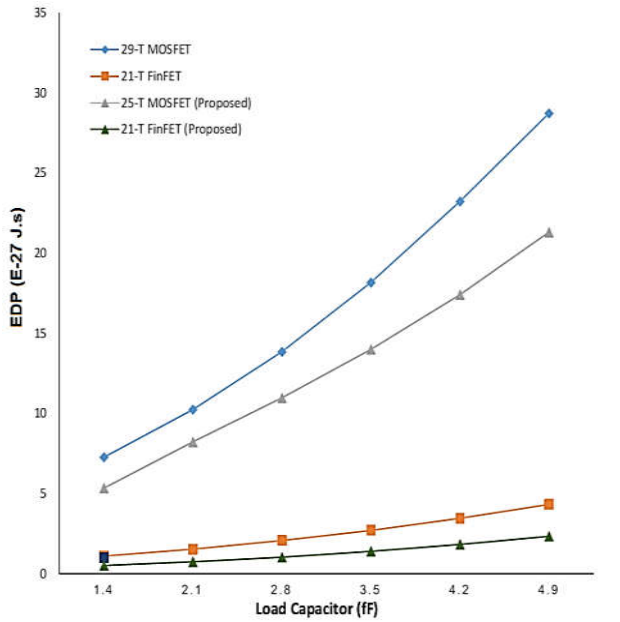
در آزمایش چهارم که بر روی تمام جمع‌کننده به انجام رسید، هر چهار تمام جمع‌کننده مذکور در فرکانس ۱۰۰ مگا هرتز و ولتاژ تغذیه ۰/۶۵ ولت با تغییر دما در بازه صفر تا ۱۰۰ درجه سانتی‌گراد مورد شبیه‌سازی قرار گرفتند. نتایج شبیه‌سازی این سلول‌ها در شکل‌های (۱۱) و (۱۲) نشان داده شده است. با توجه به این شکل‌ها، می‌توان مشاهده نمود که تمام جمع‌کننده ۲۱ ترانزیستوری مبتنی بر FinFET پیشنهاد شده در این مقاله (21-T FinFET NEW) عملکرد بسیار خوبی از نظر PDP و EDP نسبت به سایر سلول‌ها در دماهای مختلف از خود نشان می‌دهد.

آنالیز مونت‌کارلو روش مرسوم برای یافتن تغییرات در پاسخ مدار در نتیجه تغییرات پارامتر می‌باشد. در این مقاله، آنالیز مونت‌کارلو با تعداد ۳۰ تکرار برای هر شبیه‌سازی، با استفاده از شبیه‌سازی HSPICE ، بر روی چهار جمع‌کننده مذکور در ولتاژ تغذیه ۰/۶۵ ولت و فرکانس ۱۰۰ مگا هرتز با بار خازنی ۲/۱ فمتو فاراد به انجام رسید. اهمیت آماری ۳۰ تکرار بسیار زیاد است. اگر یک مدار برای کل ۳۰ تکرار به درستی عمل کند، ۹۹ درصد احتمال وجود دارد که بیش از ۸۰ درصد تمامی مقادیر المان‌ها به درستی عمل کنند. توزیع ولتاژ آستانه و طول کانال به صورت گاوسی با توزیع ۳ سیگما و ۱۰ درصد تغییر نسبت به مقدار نامی فرض شده‌اند. نتایج شبیه‌سازی توزیع تاخیر، توان مصرفی و PDP چهار تمام جمع‌کننده مذکور به ازای تغییر ۱۰ درصدی در طول کانال و ولتاژ آستانه به ترتیب در جداول (۴) و (۵) نشان داده شده است. با توجه به این نتایج، تمام جمع‌کننده پیشنهادی مبتنی بر FinFET (21-T FinFET NEW) همچنان با اعمال تغییرات مذکور عملکرد مناسبی از نظر تاخیر انتشار، توان میانگین و PDP می‌تواند از خود نشان می‌دهد.



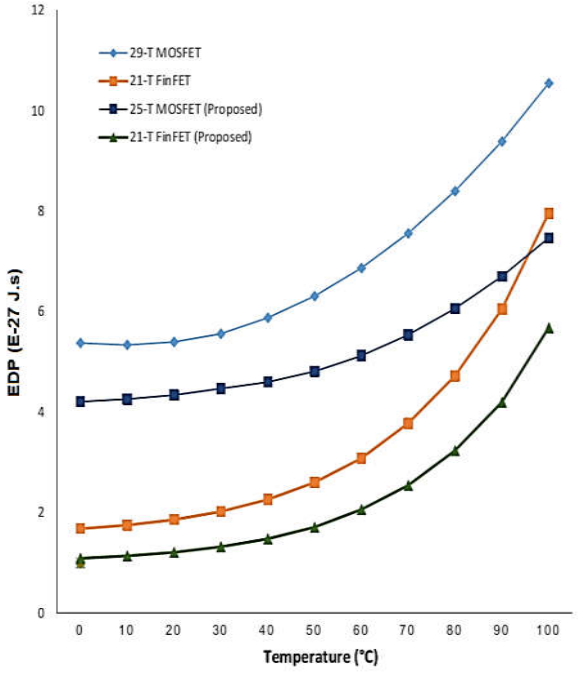
شکل (۹): نمودارهای PDP برای مدارات تمام جمع‌کننده مبتنی بر MOSFET و FinFET با تغییر خازن بار (ولتاژ تغذیه ۰/۶۵ ولت و فرکانس ۱۰۰ مگا هرتز)

Fig. (9): PDP plots of MOSFET and FinFET based full adders with load capacitor variation (supply voltage=0.65 V, frequency=100 MHz)



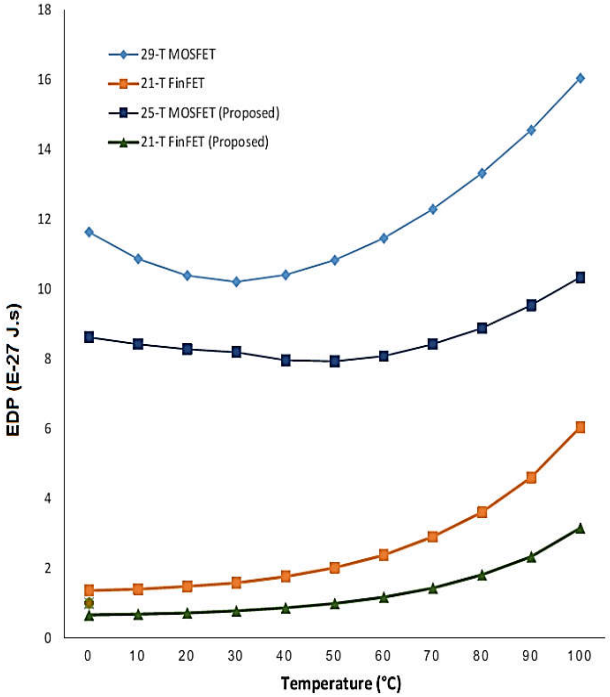
شکل (۱۰): نمودارهای EDP برای مدارات تمام جمع‌کننده مبتنی بر MOSFET و FinFET با تغییر خازن بار (ولتاژ تغذیه ۰/۶۵ ولت و فرکانس ۱۰۰ مگا هرتز)

Fig. (10): EDP plots of MOSFET and FinFET based full adders with load capacitor variation (supply voltage=0.65 V, frequency=100 MHz)



شکل (۱۱): نمودارهای PDP برای مدارات تمام جمع‌کننده مبتنی بر MOSFET و FinFET با تغییر دما (ولتاژ تغذیه ۰/۶۵ ولت و فرکانس ۱۰۰ مگا هرتز)

Fig. (11): PDP plots of MOSFET and FinFET based full adders with temperature variation (supply voltage=0.65 V, frequency=100 MHz)



شکل (۱۲): نمودارهای EDP برای مدارات تمام جمع‌کننده مبتنی بر MOSFET و FinFET با تغییر دما (ولتاژ تغذیه ۰/۶۵ ولت و فرکانس ۱۰۰ مگا هرتز)

Fig. (12): EDP plots of MOSFET and FinFET based full adders with temperature variation (supply voltage=0.65 V, frequency=100 MHz)

جدول (۴): نتایج شبیه‌سازی مونت‌کارلو تمام جمع‌کننده پیشنهادی و مقایسه با سایر ساختارها با ۱۰ درصد تغییر در طول کانال

Table (4): Monte Carlo simulation results of proposed full adders and comparsion with other structures with 10% channel length variation

Strueture / Value	Min.	Max.	Mean
Delay (ps)			
29-T MOSFET	184.53	188.08	185.93
21-T FinFET	78.57	78.94	78.77
25-T MOSFET	183.61	187.02	185.54
21-T FinFET NEW	**58.62**	**58.90**	**58.77**
Average power (nW)			
29-T MOSFET	294.10	297.38	295.86
21-T FinFET	248.75	250.07	249.54
25-T MOSFET	237.75	240.68	239.30
21-T FinFET NEW	**217.88**	**218.58**	**218.29**
PDP (aJ)			
29-T MOSFET	54.56	55.57	55.01
21-T FinFET	19.56	19.72	19.65
25-T MOSFET	44.09	44.71	44.40
21-T FinFET NEW	**12.79**	**12.85**	**12.82**

جدول (۵): نتایج شبیه‌سازی مونت کارلو تمام جمع‌کننده پیشنهادی و مقایسه با سایر ساختارها با ۱۰ درصد تغییر در ولتاژ آستانه

Table (5): Monte Carlo simulation results of proposed full adders and comparsion with other structures with 10% threshold voltage variation

Strueture / Value	Min.	Max.	Mean
Delay (ps)			
29-T MOSFET	181.85	189.50	185.79
21-T FinFET	78.37	78.94	78.72
25-T MOSFET	180.61	188.80	185.20
21-T FinFET NEW	**58.62**	**58.98**	**58.79**
Average power (nW)			
29-T MOSFET	294.48	298.91	296.23
21-T FinFET	248.50	250.36	249.62
25-T MOSFET	237.82	241.94	239.47
21-T FinFET NEW	**217.58**	**219.34**	**218.47**
PDP (aJ)			
29-T MOSFET	54.29	55.81	55.03
21-T FinFET	19.50	19.75	19.65
25-T MOSFET	43.46	45.04	44.35
21-T FinFET NEW	**12.77**	**12.87**	**12.84**

نتایج شبیه‌سازی تمام جمع‌کننده‌های پیشنهادی در گوشه‌های FF،TT و SS در ولتاژ تغذیه ۰/۶۵ ولت، فرکانس ۱۰۰ مگا هرتز و خازنهای بار ۲/۱ فمتو فاراد در جدول (۶) نشان داده شده و با سایر ساختارهای مذکور مقایسه شده است. بهترین نتایج در هر گوشه با اعداد پر رنگ نمایش داده شده است. با توجه به نتایج تجربی، تمام جمع‌کننده پیشنهادی مبتنی بر FinFET (21-T FinFET NEW) در ولتاژ تغذیه ۰/۶۵ ولت و در فرکانس ۱۰۰ مگا هرتز با خازن‌های بار ۲/۱ فمتو فاراد عملکرد مناسبی از نظر تاخیر انتشار و PDP می‌تواند در گوشه‌های FF،TT و SS از خود نشان دهد.

جدول (۶): نتایج شبیه‌سازی تمام جمع‌کننده پیشنهادی در گوشه‌های مختلف و مقایسه با سایر ساختارها (فرکانس ۱۰۰ مگا هرتز و خازن بار ۲/۱ فمتو فاراد)

Table (6): Simulation results of proposed full adders at different corners and comparsion with other structures (capacitor load=2.1fF, frequency=100 MHz)

Strueture / Corner	TT	FF	SS
Delay ($\times10^{-12}$ s)			
29-T MOSFET	185.97	121.05	760.47
21-T FinFET	78.76	86.85	76.40
25-T MOSFET	185.42	109.51	674.05
21-T FinFET NEW	**58.77**	**63.84**	**56.17**
Average power ($\times10^{-7}$ w)			
29-T MOSFET	2.96	2.23	2.09
21-T FinFET	2.49	1.89	6.18
25-T MOSFET	2.39	1.90	**1.77**
21-T FinFET NEW	**2.18**	**1.64**	5.76
PDP ($\times10^{-17}$ j)			
29-T MOSFET	5.50	2.71	15.91
21-T FinFET	1.96	1.64	4.72
25-T MOSFET	4.43	2.08	11.93
21-T FinFET NEW	**1.28**	**1.05**	**3.23**

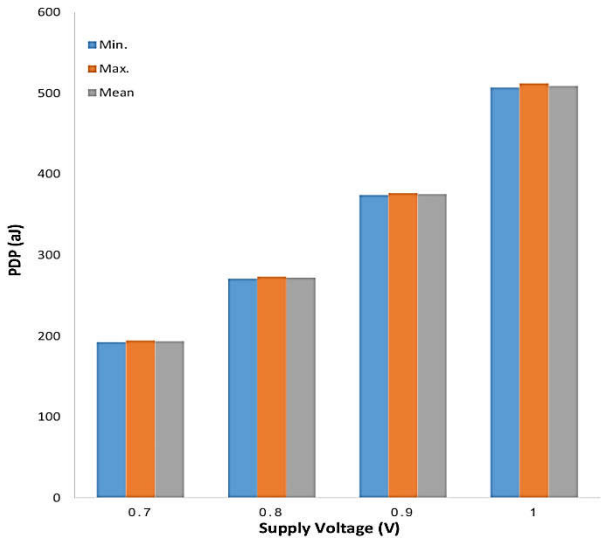
۳-۲ شبیه‌سازی فشرده‌ساز پیشنهادی

در این بخش، عملکرد فشرده‌ساز ۴:۲ پیشنهادی که بر اساس تمام جمع‌کننده ۲۱ ترانزیستوری (21-T FinFET NEW) می‌باشد از جنبه‌های مختلف مورد ارزیابی قرار گرفته و با جدیدترین طرح‌های مرتبط در مقالات مقایسه شده است. شبیه‌سازی در دمای اتاق، فرکانس ۲ گیگاهرتز و ولتاژهای تغذیه مختلف به انجام رسیده است.

یک مدار تست فشرده‌ساز که یک محیط واقعی‌تر را شبیه‌سازی می‌کند در مرجع [۳۲] ارائه شده است. این مدار تست برخلاف طرح‌های پیشین بیشتر از دو فشرده‌ساز را برای شبیه‌سازی محیط واقعی عملکرد فشرده‌ساز استفاده می‌کند. ما نیز از این مدار تست برای شبیه‌سازی فشرده‌سازی پیشنهادی‌مان استفاده می‌کنیم. تمامی ورودی‌ها با سیگنال‌های بافر شده تحریک می‌شوند و هر خروجی یک بافر را به عنوان بار درایو می‌کند.

فشرده‌ساز ۴:۲ پیشنهادی مورد شبیه‌سازی قرار گرفت تا تاخیر مسیر بحرانی، توان مصرفی، حاصلضرب تاخیر در توان (PDP) و حاصلضرب تاخیر در انرژی (EDP) اندازه‌گیری شود. به منظور اندازه‌گیری تاخیر انتشار، الگوی ورودی کامل با تمام حالتهای گذار ممکن از یک ترکیب ورودی به دیگری به مدارات اعمال شدند تا تاخیر انتشار آنها را اندازه‌گیری کنیم. تاخیر هر مدار از زمانی که سیگنال ورودی به ½VDD می‌رسد تا زمانی که سیگنال خروجی به همان سطح ولتاژ می‌رسد اندازه‌گیری شدند. تمام حالتهای انتقال از یک ورودی به یکدیگر بررسی شده و تاخیر برای هر انتقال اندازه‌گیری شده و مقدار حداکثر به عنوان تاخیر هر مدار گزارش شده است. توان مصرفی میانگین در طی یک دوره زمانی طولانی نیز به عنوان پارامتر توان متوسط در نظر گرفته شده است. به منظور ایجاد یک مصالحه بین توان مصرفی و تاخیر مدارها، عملکرد این مدار را می‌توان با محاسبه حاصلضرب تاخیر در توان (PDP) ارزیابی نمود. فشرده‌ساز ۴:۲ پیشنهادی با ولتاژ تغذیه ۰/۹ ولت و فرکانس ۲ گیگا هرتز شبیه‌سازی شده و نتایج حاصله در جدول (۷) گزارش شده و با سایر ساختارهای شبیه‌سازی شده در [۳۲] مورد مقایسه قرار گرفته است. بهترین نتایج در جدول (۷) با اعداد پر رنگ نمایش داده شده است. با توجه به این نتایج، فشرده‌ساز پیشنهادی مبتنی بر FinFET عملکرد مناسبی از نظر تاخیر انتشار، PDP و EDP نسبت به سایر فشرده‌سازهای بررسی شده در جدول (۷) از خود نشان می‌دهد.

آنالیز مونت‌کارلو با تعداد ۳۰ تکرار برای هر شبیه‌سازی، بر روی فشرده‌ساز ۴:۲ پیشنهادی در ولتاژهای تغذیه مختلف از ۰/۷ تا ۱ ولت و فرکانس ۲ گیگا هرتز به انجام رسید. توزیع ولتاژ آستانه و طول کانال بصورت گاوسی با توزیع ۳ سیگما و ۱۰ درصد تغییر نسبت به مقدار نامی در نظر گرفته شد. نتایج شبیه‌سازی توزیع PDP فشرده‌ساز پیشنهادی به ازای تغییر ۱۰ درصدی در طول کانال و ولتاژ آستانه در شکل (۱۳) نشان داده شده است. با توجه به این نتایج، فشرده‌ساز پیشنهادی مبتنی بر FinFET همچنان با اعمال تغییرات مذکور می‌تواند عملکرد مناسبی از خود نشان می‌دهد.



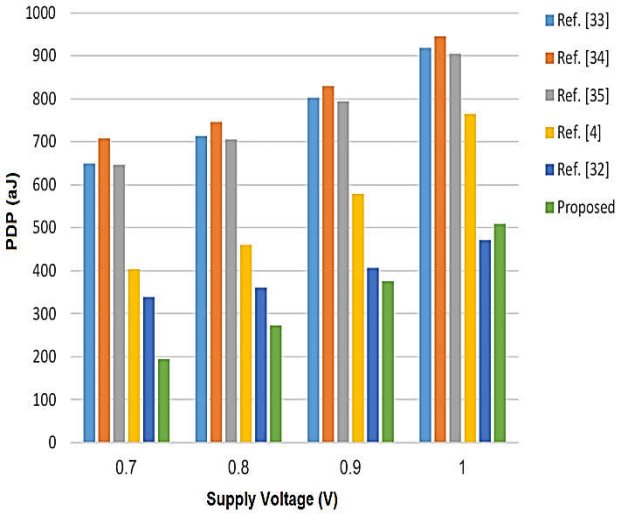
شکل (۱۳): نتایج شبیه‌سازی مونت‌کارلو توزیع PDP فشرده ساز ۴:۲ پیشنهادی با تغییر ولتاژ تغذیه (فرکانس ۲ گیگا هرتز)

Fig. (13): Monte Carlo simulation results of PDP distribution of proposed 4:2 compressor with supply voltage variation (frequency=2 GHz)

PDP و EDP فشرده‌سازهای ۴:۲ مختلف در فرکانس ۲ گیگا هرتز و ولتاژهای تغذیه مختلف در شکل‌های (۱۴) و (۱۵) ترسیم شده‌اند. با توجه به این نتایج، طرح پیشنهادی‌مان کمترین PDP و EDP را در مقایسه با سایر فشرده‌سازهای ۴:۲ در ولتاژهای تغذیه مختلف از خود نشان می‌دهد.

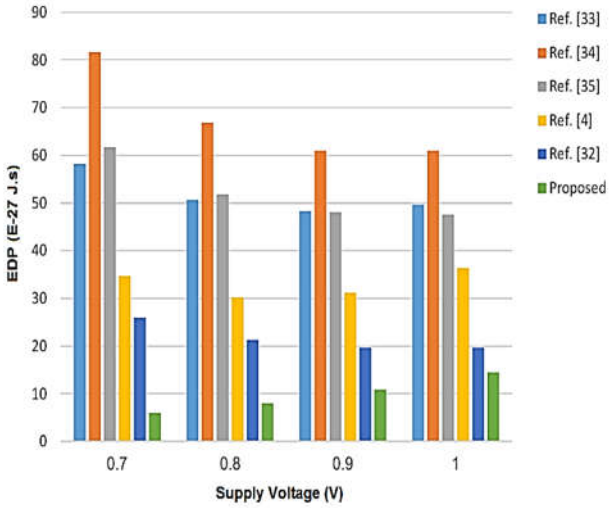
۴- نتیجه گیری

FinFETها یک جایگزین امیدبخش برای bulk CMOS برای تلافی کردن چالش‌های مطرح شده با کاهش مقیاس MOSFET های سنتی می‌باشند. این ترانزیستورها به دلیل ساختار دو گیتی شان، سبکهای ابتکاری طراحی مدار را عرضه می‌کنند. در این مقاله، سلول تمام جمع‌کننده یک بیتی با نشتی کم با استفاده از ترانزیستورهای FinFET برای کاربردهای موبایل پیشنهاد شد. سلول تمام جمع‌کننده یک بیتی پیشنهادی با تکنولوژی ۳۲ نانومتر طراحی شده و تا ولتاژ تغذیه ۰/۵ ولت به خوبی عمل می‌کند. با توجه به نتایج به دست آمده مشاهده شد که تمام جمع‌کننده پیاده‌سازی شده با FinFET عملکرد بهتری نسبت به نمونه ۲۵ ترانزیستوری مبتنی بر MOSFET از خود نشان می‌دهد. پارامترهای تاخیر، توان ایستا، توان مصرفی میانگین، PDP و EDP برای مدار تمام جمع‌کننده قبلی و تمام جمع‌کننده پیشنهادی محاسبه شدند و با توجه به نتایج حاصله، عملکرد بسیار خوب تمام جمع‌کننده پیاده‌سازی شده با FinFET آشکار گردید. از تمام جمع‌کننده پیشنهادی در ساختار یک فشرده‌ساز ۴:۲ استفاده گردید. براساس نتایج شبیه‌سازی فشرده‌ساز ۴:۲ پیشنهادی با ولتاژ تغذیه ۰/۷ ولت، توان ایستای ۴۶/۶۳ نانو وات، تاخیر میانگین ۳۱/۱۹ پیکو ثانیه، توان مصرفی میانگین ۶/۲۲ میکرو وات و حاصلضرب تاخیر در توان (PDP) برابر ۱۹۴/۱۷ آتو ژول به دست آمد. تعداد ترانزیستورهای مدار فشرده‌ساز پیشنهادی نیز به طور چشمگیری کاهش یافته و برابر ۴۲ شد و نسبت به نمونه پیاده‌سازی شده با MOSFET حدود ۲۵ درصد در مساحت تراشه صرفه‌جویی گردید.



شکل (۱۴): نمودارهای PDP برای مدارات فشرده‌ساز ۴:۲ مبتنی بر FinFET با تغییر ولتاژ تغذیه (فرکانس ۲ گیگا هرتز)

Fig. (14): PDP plots of FinFET based 4:2 compressors with supply voltage variation (frequency=2 GHz)



شکل (۱۵): نمودارهای EDP برای مدارات فشرده‌ساز ۴:۲ مبتنی بر FinFET با تغییر ولتاژ تغذیه (فرکانس ۲ گیگا هرتز)

Fig. (15): EDP plots of FinFET based 4:2 compressors with supply voltage variation (frequency=2 GHz)

جدول (۷): مقایسه فشرده‌ساز ۴:۲ پیشنهادی با سایر کارهای قبلی (ولتاژ تغذیه ۰/۹ ولت و فرکانس ۲ گیگا هرتز)

Table (7): Comparsion of proposed 4:2 compressor with previous works (supply voltage=0.9 V, frequency=2 GHz)

Ref.	Technology Model	Structure	Delay (ps)	Average power (µs)	PDP (aJ)	EDP ($\times 10^{-27}$ J.s)	No. Transistor
[4]	22nm BSIM-MG	Tri-Gate FinFET	54.07	10.65	575.85	31.136	56
[32]	22nm BSIM-MG	Tri-Gate FinFET	47.75	**8.38**	400.14	19.106	**38**
[33]	22nm BSIM-MG	Tri-Gate FinFET	60.52	13.21	799.36	48.377	60
[34]	22nm BSIM-MG	Tri-Gate FinFET	73.66	11.19	824.26	60.714	54
[35]	22nm BSIM-MG	Tri-Gate FinFET	60.65	12.96	786.29	47.688	60
Proposed	32nm PTM	Double-Gate FinFET	**29.06**	12.92	**375.77**	**10.919**	42

References

[1] R. Zlatanovici, S. Kao, B. Nikolic, "Energy-delay of optimization 64-bit carry- lookahead adders with a 240ps 90nm cmos design example", IEEE J. Solid State Circuits, Vol.44, No. 2, pp. 569-583, Feb. 2009.

[2] A.B. Abdul Tahrim, H.C. Chin, C.S. Lim, M.L.P. Tan, "Design and performance analysis of 1-bit FinFET full adder cells for subthreshold region at 16 nm process technology", J. of Nanomaterials, Vol. 2015, Article ID 726175, 13 pages, 2015.

[3] J. M.Rabaey, A.Chandrakasan, B.Nikolic, "Digital Integrated circuits, a design perspective, 2nd", Prentice Hall, Englewood Cliffs, NJ, 2002.

[4] P.R.Zimmermann, W.Fichtner, "Low-power logic styles:CMOS versus pass-transistor logic", IEEE J. Solid- State Circuits, Vol. 32, pp. 1079–1090, 1997.

[5] S.G.Narendra, A.Chandrakasan, "Leakage in nanometer CMOS technologies", New York: Springer-verlag, 2006.

[6] K. Bernstein; C. Chuang, R. Joshi; R. Puri, "Design and CAD challenges in sub-90nm CMOS technologies", Proceeding of the IEEE/ICCAD, pp.129-136, San Jose, CA, USA, Nov. 2003.

[7] "International technology roadmap for semiconductors", Semiconductor Industry Association, 2005. [Online]. Available: http://public.itrs.net.

[8] H.Felder, J.Ganger, "Full chip analysis of leakage power under process variations,including spatial correlations", Proceeding of the IEEE/DAC, pp.523-528, Anaheim, CA, USA.

[9] J.C. Park, V.J. Mooney,"Sleepy stack leakage reduction", IEEE Trans. on Very Large Scale Integration (vlsi) Systems, Vol.14, No.1, 2006.

[10] H. Singh, K. Agarwal, D. Sylvester, K.J. Nowka, "Enhanced leakage reduction techniques using intermediate strength power gating", IEEE Trans. on VLSI Systems, Vol. 15, No. 11, 2007.

[11] Y. Chang, S.K.Gupta, M.A.Breuer, "Analysis of ground bounce in deep sub-micron circuits", Proceeding of the IEEE/VLSI Test symp, pp110-116, Monterey, CA, USA, May 1997.

[12] N.West, K.Eshragian, "Principles of CMOS VLSI design: A systems perspective", Addison-wesley,1993.

[13] S. Kim, C.J. Choi, D-K. Jeong, S.V. Kosonocky, S.B. Park, "Reducing ground-bounce noise and stabilizing the data-retention voltage of power-gating structures", IEEE Trans. on Electron Devices,Vol. 55, No. 1, 2008.

[14] S. Mutoh et al., "1-v power supply high-speed digital circuit technology with multithreshold-voltage CMOS", IEEE Journal of Solid-State Circuits, Vol. 30, No. 8, pp.847-854, Aug. 1995.

[15] C.J. Akl, R.A. Ayoubi, M.A. Bayoumi, "An effective staggered-phase damping technique for suppressing power-gating resonance noise during mode transition", Proceeding of the IEEE/ISQED, pp.116-119, San Jose, CA, USA, March 2009.

[16] K. Kawasaki, T. Shiota, K. Nakayama, A. Inoue, "A sub-us wake-up time power gating technique with bypass power line for rush current support", IEEE Journal of Solid-State Circuits, Vol. 44, No. 4, pp. 1178-1183, April 2009.

[17] K. He, R. Luo, Y.Wang, "A power gating scheme for ground bounce reduction during mode transition", Proceeding of the IEEE/ICCD, pp. 388-394, Lake Tahoe, CA, USA, Oct. 2007.

[18] M.V. D. L. Varaprasad, R. Bapna, M. Pattanaik, "Performance analysis of low leakage 1-bit nano-cmos based full adder cells for mobile applications", Proceedings of the IEEE/ICEDSA, pp.233-238, Kuala Lumpur, Malaysia, April 2010..

[19] International Technology Roadmap for Semiconductor (ITRS)- updated [www.itrs.net/Links/2006update/ 2006updatefinal.htm].

[20] FinFET Technology for Dummies [http://cologneseandrea.wordpress.com/2013/03/20/finfet-technology-for-dummies-like-me/].

[21] A. Islam, M. Akram, M. Hasan, "Variability immune fin FET-based full adder design in subthreshold region", Proceeding of the IEEE/ICDeCom,pp. 1-5, Mesra, India, Feb. 2011..

[22] M. Agostinelli, M. Alioto, D. Esseni, L. Selmi, "Leakage delay tradeoff in finfet logic circuits: a comparative analysis with bulk technology", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 18, No. 2, pp. 232–245, 2010.

[23] M. Alioto, "Comparative evaluation of layout density in 3T, 4T, and MT FinFET standard cells", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, Vol. 19,No. 5, pp. 751–762, 2011.

[24] S.M. Kang ,Y. Leblebici, "CMOS digital integrated circuits analysis and design", McGraw-Hill", New York, NY,USA, 2003.

[25] C. Vinoth, V.S. Kanchana Bhaaskaran, B. Brindha, S. Sakthikumaran, V. Kavinilavu, B. Bhaskar, M. Kanagasabapathy, B. Sharath, " A novel low power and high speed Wallace tree multiplier for RISC processor", Proceedings of the IEEE/ICECT, Vol. 1, pp. 330–334, April 2011.

[26] C.-H. Chang, J. Gu, M. Zhang, "Ultra low-voltage low power CMOS 4-2 and 5-2 compressors for fast arithmetic circuits", IEEE Trans. on Circuits and Systems I, vol. 51, no. 10, pp. 1985–1997, 2004.

[27] M. Pattanaik, M.V.D.L. Varaprasad, F.R. Khan, "Ground bounce noise reduction of low leakage 1-bit nano-CMOS based full adder cells for mobile applications", Proceeding of the IEEE/ICEDSA, pp.31-36, April 2010.

[28] A.B. Rahin, V.B. Rahin, " applications", International Journal of Mechatronics, Electrical and Computer Technology (IJMEC), Article In Press.

[29] O. Kavehei, M.R. Azghadi, K. Navi, A.P. Mirbaha, "Design of robust and high-performance 1-bit CMOS full adder for nanometer design", Proceeding of the IEEE/ISVLSI, pp. 10-15, Montpellier, France, April 2008.
[30] S. Sinha, G. Yeric, V. Chandra, B. Cline, Y. Cao, "Exploring sub-20nm FinFET design with predictive technology models," to be published at DAC, 2012.
[31] http://ptm.asu.edu/
[32] A. Arasteh, M.H. Moaiyeri, M.R. Taheri, K. Navi, N. Bagherzadeh, "An energy and area efficient 4:2 compressor based on FinFETs", In Integration, the VLSI Journal, Vol. 60, pp. 224-231, 2018.
[33] A. Pishvaie, G. Jaberipur, A. Jahanian, "Improved CMOS (4;2) compressor designs for parallel multipliers", Computers and Electrical Engineering, Vol. 38, No. 6, pp. 1703–1716, Nov. 2012.
[34] D. Baran, M. Aktan, V.G. Oklobdzija, "Energy efficient implementation of parallel CMOS multipliers with improved compressors", Proceeding of the IEEE/ACM, pp. 147–152, Austin, TX, USA, .
[35] A. Pishvaie, G. Jaberipur, A. Jahanian, High-performance CMOS (4:2) compressors, Int. J. Electron., Vol. 101, No. 11, pp.1511–1525, 2014.