JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 15/ No. 60/ Winter 2025
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

20……
Research Article

A 0.5 V Operational Transconductance Amplifier Based on Dynamic Threshold-Voltage MOSFET and Floating Gate MOSFET Inverters in 180 nm CMOS Technology

Amir Baghi Rahin, ***Instructor*****, Vahid Baghi Rahin,** ***Instructor***

Department of Electrical Engineering- Sardroud Branch, Islamic Azad University, Sardroud, Tabriz, Iran
amir.baghi.rahin@gmail.com, mohandes.baghi@gmail.com

Abstract

This paper presents a fully differential operational transconductance amplifier (OTA) based on the dynamic threshold-voltage MOSFET and floating gate MOSFET (DT/FGMOS) inverter with a supply voltage of 0.5 V. The proposed inverter in the structure of this OTA is a combination of the dynamic threshold-voltage MOSFET (DTMOS) technique (for all PMOS transistors) and the floating gate MOSFET (FGMOS) (for all NMOS transistors) in an n-well process. In this circuit, feedforward and feedback paths have been used to limit the common-mode gain. The first stage has feedforward paths to eliminate the common-mode and the second stage has the common-mode feedback to stabilize the common-mode output voltage on $V_{dd}/2$. Based on the post-layout simulation results, the proposed OTA showed a gain of 61 dB with a unity gain frequency (UGF) of 1.1 MHz under 13 pF load capacitors. With the studies performed by Monte Carlo analysis, it was found that the OTA based on the proposed inverter can perform well under process variations and device mismatches. The proposed circuit in 180 nm CMOS technology occupies an area of 0.182 mm^2 from the chip. Its power consumption is 17 µW and can be used well in low voltage and low power applications, including portable equipment. According to studies, the use of DTMOS and FGMOS techniques can effectively reduce the threshold voltage of transistors and the good performance of the proposed OTA at low voltage.

Keywords: dynamic threshold-voltage MOSFET, floating gate MOSFET transistor, low voltage and low power, operational transconductance amplifier

Received: 1 April 2022
Revised: 5 May 2022
Accepted: 1 August 2022

Corresponding Author: Amir Baghi Rahin

Citation: A. Baghi-Rahin, V. Baghi-Rahin, "A 0.5 v operational transconductance amplifier based on dynamic threshold-voltage MOSFET and floating gate MOSFET inverters in 180 nm CMOS technology", Journal of Intelligent Procedures in Electrical Technology, vol. 15, no. 60, pp. 1-18, March 2025 (in Persian).

20.....
مقاله پژوهشی

یک تقویت‌کننده ترارسانایی عملیاتی مبتنی بر وارونگرهای موس با ولتاژ آستانه دینامیکی و موس گیت شناور با ولتاژ تغذیه ۰/۵ ولت در فناوری ۱۸۰ نانومتر فناوری نیمه‌هادی-اکسید-فلز مکمل

امیر باغی‌رهین، مربی، وحید باغی‌رهین، مربی

دانشکده مهندسی برق- واحد سردرود، دانشگاه آزاد اسلامی، سردرود، تبریز، ایران
amir.baghi.rahin@gmail.com, mohandes.baghi@gmail.com

چکیده: در این مقاله یک تقویت‌کننده ترارسانایی عملیاتی (OTA) کاملاً تفاضلی دو طبقه مبتنی بر وارونگر موس گیت شناور/ موس با ولتاژ آستانه دینامیک (DT/FGMOS) با ولتاژ تغذیه ۰/۵ ولت ارائه می‌شود. وارونگر پیشنهادی در ساختار این تقویت‌کننده ترارسانایی عملیاتی به‌صورت ترکیبی از روش موس با ولتاژ آستانه دینامیکی (DTMOS) [برای تمامی ترانزیستورهای پی-موس (PMOS)] و ترانزیستور موس گیت شناور (FGMOS) [برای تمامی ترانزیستورهای ان-موس (NMOS)] در یک فرایند ان-ول (n-well) است. در این مدار جهت محدودسازی بهره حالت مشترک از مسیرهای پیش‌رو و پسخور استفاده شده است. طبقه اول دارای مسیرهای پیش‌رو جهت حذف حالت مشترک و طبقه دوم دارای فیدبک حالت مشترک جهت تثبیت ولتاژ حالت مشترک خروجی بر روی نصف ولتاژ (V_{dd}) است. براساس نتایج شبیه‌سازی پسا-جانمایی، تقویت‌کننده ترارسانایی عملیاتی پیشنهادی بهره ۶۱ دسی‌بل را با فرکانس بهره واحد ۱/۱ مگاهرتز تحت خازن‌های بار ۱۳ پیکوفاراد از خود نشان داد. با بررسی‌های انجام شده با آنالیز مونت-کارلو مشخص گردید که تقویت‌کننده ترارسانایی عملیاتی مبتنی بر وارونگر پیشنهادی تحت تغییرات فرایند و عدم مطابقت افزاره می‌تواند به خوبی عملکرد مناسبی از خود نشان دهد. مدار پیشنهادی در فناوری ۱۸۰ نانومتر سی‌موس مساحت ۰/۱۸۲ میلی‌متر مربع را از تراشه اشغال می‌کند. توان مصرفی آن ۱۷ میکروووات بوده و می‌تواند در کاربردهای ولتاژ پایین و توان پایین از جمله در تجهیزات قابل حمل به خوبی استفاده شود. براساس بررسی‌های انجام شده، استفاده از روش موس با ولتاژ آستانه دینامیکی و موس گیت شناور می‌تواند به کاهش موثر ولتاژ آستانه ترانزیستورها و عملکرد خوب تقویت‌کننده ترارسانایی عملیاتی پیشنهادی در ولتاژ پایین منجر شود.

کلمات کلیدی: ترانزیستور موس گیت شناور، تقویت‌کننده ترارسانایی عملیاتی، روش موس با ولتاژ آستانه دینامیکی، ولتاژ پایین و توان پایین

تاریخ ارسال مقاله: ۱۴۰۱/۱/۱۲
تاریخ بازنگری مقاله: ۱۴۰۱/۲/۱۵
تاریخ پذیرش مقاله: ۱۴۰۱/۵/۱۰

نام نویسنده‌ی مسئول: امیر باغی‌رهین
نشانی نویسنده‌ی مسئول: سردرود- بلوار دانشگاه- دانشگاه آزاد اسلامی واحد سردرود- دانشکده مهندسی برق

۱- مقدمه

تقویت‌کننده ترارسانایی عملیاتی[۱] (OTA) بلوک سازنده و اصلی بسیاری از مدارهای آنالوگ است و در تحقق بسیاری از مدارها و سیستم‌های زمان پیوسته مانند فیلترهای G_m-C، اسیلاتورها، شبکه‌های گیرنده بی‌سیم و سایر کاربردها استفاده شده است [۱،۲]. عملکرد تقویت‌کننده ترارسانایی عملیاتی را می‌توان به‌صورت یک منبع جریان کنترل شده با ولتاژ[۲] (VCVS) مدل‌سازی نمود که ولتاژ ورودی را به جریان خروجی تبدیل می‌کند. به دلیل تنظیم‌پذیری تقویت‌کننده ترارسانایی عملیاتی و سرعت سریع آن در مقایسه با تقویت‌کننده‌های عملیاتی[۳] (آپ-امپ) مرسوم، در بسیاری از کاربردها این نوع از تقویت‌کننده‌ها ترجیح داده می‌شوند [۳،۴].

استفاده از وارونگرهای فناوری نیمه‌هادی-اکسید-فلز مکمل[۴] (CMOS) یکی از گزینه‌های مطرح در طراحی مدارات OTA است [۵،۶]. اولین بار یک ترارسانای تفاضلی براساس وارونگر سی‌موس در مرجع [۵] پیشنهاد شد. ترارسانای ناوتا[۵] مبتنی بر شش وارونگر سی‌موس در یک پیکربندی تفاضلی است. دو تا از وارونگرها، ترارسانای تفاضلی اصلی را تشکیل داده و بقیه وارونگرها بار خروجی را ایجاد می‌کنند. ترارسانای ناوتا یک بلوک سازنده کاربردی در پیاده‌سازی فیلترهای G_m-C فرکانس بالا است. طرح پیشنهادی ناوتا به دلیل ساختار ویژه‌ای که دارد همواره مورد توجه طراحان الکترونیک بوده و طرح‌های زیادی در راستای بهبود این ساختار در طول سالیان اخیر ارائه شده است. به عنوان مثال، ترارسانای ناوتا با ترانزیستورهای گیت شناور چند ورودی[۶] (MIFGT) [۷] و با استفاده از زوج سی‌موس [۸] پیاده‌سازی شده است. با توجه به کم بودن بهره ترارسانای ناوتا، استفاده از ساختار دو طبقه مبتنی بر وارونگر سی‌موس مطرح شد [۹]. این تقویت‌کننده ترارسانایی عملیاتی در چند سال اخیر توسط بسیاری از محققین مورد بررسی قرار گرفته و با ارائه پیشنهادهایی جدید بهبودهایی از لحاظ کاهش توان مصرفی، کاهش ولتاژ کاری و افزایش بهره آن صورت گرفته است. با استفاده از وارونگرهای ان-ماس (NMOS) [۱۰] و همچنین با استفاده از وارونگرهای موس گیت شناور[۷] (FGMOS)، ولتاژ کاری این تقویت‌کننده ترارسانایی عملیاتی دو طبقه را به یک ولت کاهش داده‌اند [۱۱]. در مرجع [۱۲] به جای استفاده از وارونگرهای سی‌موس در ساختار تقویت‌کننده ترارسانایی عملیاتی دو طبقه مذکور، از وارونگرهای کسکود سی‌موس دو ورودی استفاده شده است. همچنین به‌منظور کاهش موثر ولتاژ آستانه[۸] (V_{th}) ترانزیستورها روش بایاس از بدنه در نظر گرفته شده و تقویت‌کننده ترارسانایی عملیاتی پیشنهادی با استفاده از فناوری چاه سه قلو[۹] و با تغذیه یک ولت طراحی و ساخته شده است. در مرجع [۱۳] ترانزیستور پی-ماس (PMOS) موجود در ساختار وارونگر سی‌موس با ترانزیستور موس با ولتاژ آستانه دینامیکی[۱۰] (DTMOS) جایگزین شده و بدین طریق ولتاژ کاری این تقویت‌کننده ترارسانایی عملیاتی دو طبقه به ۰/۸ ولت کاهش یافته است. موارد اشاره شده بخشی از تحقیقات بر روی استفاده از وارونگر در ساختار تقویت‌کننده ترارسانایی عملیاتی مبتنی بر وارونگر است.

مدارهای با توان مصرفی خیلی پایین و بدون از دست دادن بیش از حد سرعت همواره مورد توجه طراحان مدار بوده‌اند. در سال‌های اخیر، وسایل الکترونیکی قابل حمل و دستگاه‌های پوشیدنی هوشمند، مانند هدست‌های بلوتوث بی‌سیم، ساعت‌های هوشمند، دوربین‌های دیجیتال و رایانه‌های نوت‌بوک به‌طور گسترده در دسترس قرار گرفته‌اند. با توجه به اینکه افزایش ظرفیت باتری در چنین دستگاه‌هایی دشوار است، باید مصرف توان مدارها را کاهش داد تا استقامت آنها بهبود یابد [۱۴]. کاهش ولتاژ تغذیه به یکی از ابتکارهای مهم برای کاهش مصرف توان محصولات قابل حمل تبدیل شده است. سیستم‌های قابل حمل معمولاً به تغذیه با باتری نیاز دارند و بنابراین باید ملاحظات مصرف انرژی در آنها با سخت‌گیری خاصی همراه است. متاسفانه فناوری‌های باتری سریع‌تر از تقاضای کاربردها رشد و نمو نکرده‌اند و در نتیجه تمامی تلاش‌ها در صنعت الکترونیک براساس کم‌کردن توان مصرفی مدارها است. از طرف دیگر امروزه عملکرد مدارهای آنالوگ در ولتاژ پایین به‌منظور بهره‌گیری از فناوری‌های ساخت مقیاس پایین به یک ضرورت تبدیل شده است. در حال حاضر، عملکرد مدارهای آنالوگ در ولتاژ تغذیه زیر یک ولت اجتناب ناپذیر شده است. با این وجود استفاده از زوج تفاضلی در ولتاژ تغذیه زیر یک ولت در ساختار تقویت‌کننده ترارسانایی عملیاتی کاملاً تفاضلی رایج مشکل است. ایده استفاده از وارونگرهای سی‌موس به جای زوج تفاضلی برای پایین آوردن ولتاژ کاری در مرجع‌های [۱۵] و [۱۶] ارائه شده است. با این حال وارونگرهای سی‌موس به دو برابر ولتاژ آستانه نیاز دارند به‌طوری‌که عملکرد ولتاژ پایین زیر یک ولت شاید مشکل باشد [۱۰]. با سوق یافتن صنعت الکترونیک به سمت

محصول‌های الکترونیکی که با باتری و ولتاژ پایین و توان پایین کار می‌کنند نیاز مبرمی به استراتژی‌های جدید احساس می‌شود که دو پارامتر ولتاژ و توان را در این تجهیزات کمینه کنند. از آنجایی‌که ولتاژ تغذیه در اینگونه مدارها کاهش می‌یابد، عملکرد مدار دستخوش تغییرات محسوسی خواهد شد که گاهاً زیان‌بار است. بنابراین باید از توپولوژی‌هایی استفاده شود که قادر باشند محدوده عملکرد مدار را تحت محدودیت ولتاژ پایین، بدون مصالحه با سایر پارامترها بیشینه کرده و همچنین توان مصرفی را کمینه نمایند.

عمده عامل محدودیت عملکرد ولتاژ پایین در کاربردهای آنالوگ وارونگرهای سی‌موس، ولتاژ آستانه ماسفت[11] است. ولتاژ آستانه را می‌توان در فرایند ساخت پایین آورد اما این روش باعث افزایش جریان نشتی خواهد شد. همچنین استفاده از یک فرایند با چندین ولتاژ آستانه هزینه اضافی را تحمیل می‌کند. بنابراین نمی‌توان به سادگی ولتاژ آستانه را کاهش داد. همچنین کاهش ولتاژ تغذیه بیشینه سرعت مدار را هم کاهش می‌دهد. به‌منظور افزایش سرعت و داشتن توان مصرفی خیلی کم، روش موس گیت شناور و روش موس با ولتاژ آستانه دینامیکی در مرجع‌ها پیشنهاد شده‌اند [۱،۱۱،۱۳،۱۷].

در ادامه این مقاله به این شرح سازماندهی می‌شود. در بخش دوم ابتدا اصول و مبانی روش موس با ولتاژ آستانه دینامیکی و ترانزیستور موس گیت شناور تشریح شده و سپس یک تقویت‌کننده ترارسانایی عملیاتی کاملاً تفاضلی دو طبقه بر اساس وارونگرهای تلفیقی با روش موس با ولتاژ آستانه دینامیکی و موس گیت شناور معرفی می‌شود. در بخش سوم نتایج طراحی و شبیه‌سازی تقویت‌کننده ترارسانایی عملیاتی پیشنهادی ارائه شده و با سایر طرح‌های قبلی مقایسه می‌شود. درنهایت در بخش چهارم نتیجه‌گیری ارائه شده است.

۲- طرح پیشنهادی

در این قسمت مروری بر روش موس با ولتاژ آستانه دینامیکی، ترانزیستور موس گیت شناور و روش پیشنهادی ارائه می‌شود.

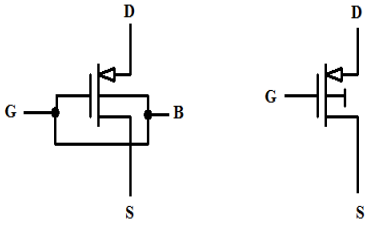
۲-۱- مروری بر روش موس با ولتاژ آستانه دینامیکی

اولین بار در سال ۱۹۹۴ میلادی روش موس با ولتاژ آستانه دینامیکی معرفی گردید [۱۷]. پس از آن بسیاری از کاربردهای مداری جدید بر اساس این روش پیشنهاد شده‌اند [۲۱-۱۸]. در کاربردهای دیجیتال به‌طور گسترده از روش موس با ولتاژ آستانه دینامیکی استفاده شده که در آن گیت و بدنه ماسفت به همدیگر متصل شده که در شکل (۱) نشان داده شده است. این کار منجر به کاهش جریان نشتی در خلال خاموشی ترانزیستور و کاهش ولتاژ آستانه در حین روشن بودن ترانزیستور می‌شود تا ولتاژ مؤثر را افزایش دهد. استفاده از روش موس با ولتاژ آستانه دینامیکی برای کاربردهای مداری آنالوگ در فناوری سی‌موس استاندارد نیز مقدور است [۲۰]. اما در کاربردهای آنالوگ ترمینال بدنه ترانزیستور ماسفت معمولاً به عنوان ترمینال چهارم استفاده می‌شود. در فناوری سی‌موس استاندارد، استفاده از بدنه ترانزیستورهای پی-ماس به عنوان ترمینال چهارم امکان‌پذیر است. با تغییر دادن قدر مطلق ولتاژ بدنه-سورس (V_{bs})، ولتاژ آستانه ترانزیستور بیشتر از ۲۵ درصد کاهش می‌یابد [۲۱]. علیرغم محدودیت‌های ترمینال بدنه یک ترانزیستور پی-ماس، روش موس با ولتاژ آستانه دینامیکی می‌تواند چندین مزیت در مدارهای آنالوگ ولتاژ پایین ارائه کند [۲۱]:

۱) در کاربردهای ولتاژ پایین سقف ولتاژ زیادی برای سوئینگ سیگنال وجود ندارد و کاهش ولتاژ آستانه می‌تواند مفید واقع شود.

۲) داشتن ترمینال چهارم می‌تواند سودمند باشد؛ از آنجایی‌که می‌تواند به مداری کوچک‌تر با تعداد کمتری ترانزیستور منجر شود.

۳) محدوده ولتاژ در ترمینال بدنه یک ترانزیستور پی-ماس معمولاً محدوده‌ای از ولتاژها را پوشش می‌دهد که توسط گیت ترانزیستور پوشش داده نمی‌شود. بنابراین استفاده از ترمینال بدنه ترانزیستور محدوده ولتاژ ورودی یک مدار را گسترش می‌دهد.



(ب) مدار معادل (الف) نماد

شکل (۱): روش موس با ولتاژ آستانه دینامیکی

Figure (1): DTMOS technique, a) Symbol, b) Equivalent circuit

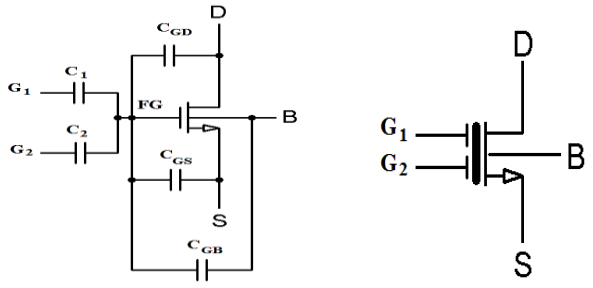
در روش موس با ولتاژ آستانه دینامیکی ولتاژ آستانه به‌صورت رابطه (۱) بیان می‌شود و انتظار می‌رود که به‌ازای ولتاژ بدنه-سورس بزرگتر از صفر مقدار ولتاژ آستانه کاهش یابد. در این رابطه، φ_F پتانسیل فرمی، γ ضریب اثر بدنه و V_{th0} ولتاژ آستانه زمانی‌که ولتاژ بدنه-سورس صفر است.

$$V_{th} = V_{th0} + \gamma\left[\sqrt{|2\varphi_F - V_{BS}|} - \sqrt{2|\varphi_F|}\right] \quad (۱)$$

۲-۲- مروری بر ترانزیستور موس گیت شناور

از وقتی که برای نخستین بار در سال ۱۹۶۷ میلادی ترانزیستور موس گیت شناور گزارش شد، به دلیل مشخصات ویژه این ترانزیستور کاربرد آن در مدارهای آنالوگ و دیجیتال خیلی وسیع بوده است. اولین کاربرد مشهور موس گیت شناور ذخیره‌سازی داده در حافظه‌های ئی‌ئی‌پی‌رام[۱۲]، ئی‌پی‌رام[۱۳] و فلش[۱۴] بوده است. در اواخر دهه ۱۹۸۰ میلادی، تراشه ETANN اینتل، آنرا به‌عنوان یک المان حافظه غیر فرار آنالوگ به‌کار گرفت. امروزه این فناوری در هر کامپیوتر شخصی موجود است. اما این تنها زمینه‌ای نبود که ترانزیستور موس گیت شناور استفاده شد. در طی بیست سال اخیر، تعدادی از کاربردهای مختلف امکانات موس گیت شناور را آشکار کرد که این قطعه می‌تواند در بسیاری از زمینه‌های دیگر کاربرد داشته باشد. این از همه کاره بودن آن در پیاده‌سازی تابع‌های مختلف مانند ظرفیت برنامه‌پذیری ناشی می‌شود. به‌طور وسیع موس گیت شناور به‌عنوان یک المان برای اهداف تنظیم به‌کار رفته است. مثالی از این کاربرد استفاده از ترانزیستورهای موس گیت شناور به‌عنوان المان‌های قابل تنظیم در تقویت‌کننده‌های سی‌موس آنالوگ است. هدف به‌کار بردن این المان‌های قابل تنظیم اصلاح نمودن خطاهای آفست، خطی بودن، خطاهای بهره و غیره است [۲۲]. یک موس گیت شناور با عایق‌کردن گیت یک ترانزیستور موس (MOS) استاندارد به‌طور الکتریکی ساخته می‌شود، به‌طوری که هیچ اتصال مقاومتی با گیت این ترانزیستور وجود ندارد. بنابراین تعدادی از گیت‌ها یا ورودی‌های کمکی بالای گیت شناور (FG) قرار گرفته و به‌طور الکتریکی از هم‌دیگر ایزوله شده‌اند. از آنجایی که گیت شناور به‌طور کامل با مواد مقاومت بالا احاطه شده است این ورودی‌ها فقط به‌طور خازنی به گیت شناور وصل شده‌اند. بنابراین در عبارت‌های نقطه کار DC گیت شناور یک گره شناور است. در شکل (۲) نماد و مدار معادل یک ترانزیستور گیت شناور ورودی دو ورودی از نوع N نشان داده شده است. مدل‌سازی روابط عملکرد موس گیت شناور می‌تواند به روشی خیلی آسان از روابطی که عملکرد ترانزیستور موس استفاده شده را برای ساختن موس گیت شناور توصیف می‌کنند استنتاج شود. پارامترهای ورودی که جریان درین-سورس در یک ترانزیستور موس را تعیین می‌کنند ولتاژهایی ما بین ترمینال‌های گیت-سورس (V_{GS})، درین-سورس (V_{DS}) و سورس-بدنه (V_{SB}) هستند. رابطه بین این ولتاژها و جریان‌ها به‌طور کامل توسط محققین مختلف بررسی شده‌اند و می‌توان به‌طور ریاضی با استفاده از تعدادی معادله مختلف که آن‌را در چندین ناحیه عملیاتی مدل می‌کند بیان کرد. اگر ولتاژ در گیت شناور یک قطعه موس گیت شناور مشخص شود، بیان کردن جریان درین- سورس آن با استفاده از مدل‌های ترانزیستور موس استاندارد ممکن می‌شود.

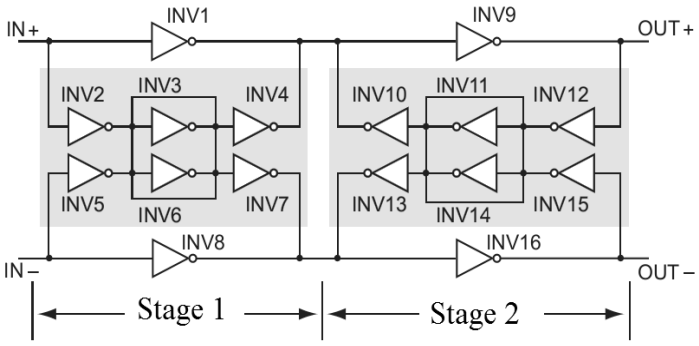
ویژگی ممتاز موس گیت شناور مجموعه‌ای از خازن‌های ورودی ما بین ورودی‌های مؤثر و گیت شناور است که در شکل (۲) مشخص شده است. خازن‌های پارازیت C_{GD}، C_{GS} و C_{GB} نشان داده شده در شکل (۲)، خازن‌های پارازیت یکسانی هستند که در یک ترانزیستور موس ساخته شده با استفاده از فناوری یکسان با مساحت فعال یکسان ظاهر خواهند شد.



(ب) مدار معادل (الف) نماد

شکل (۲): ترانزیستور موس گیت شناور نوع N

Figure (2): N-type FGMOS transistor (a) symbol, (b) equivalent circuit



شکل (۳): ساختار پایه تقویت‌کننده ترارسانایی عملیاتی دو طبقه کاملاً تفاضلی [۹]

Figure (3): Basic structure of fully differential two-stage OTA [9]

ارتباط مابین جریان DC درین-سورس و ولتاژ گیت شناور (V_{FG}) یک موس گیت شناور، تحت تاثیرخازن‌های پارازیت قرار نمی‌گیرد. اما، C_{GD}، C_{GS} و C_{GB} ارتباط مابین ولتاژ گیت شناور و ولتاژهای ورودی مؤثر G_1 و G_2 را تحت تاثیر قرار می‌دهند.

به‌طور خلاصه، روابطی که رفتار سیگنال بزرگ یک موس گیت شناور را مدل می‌کنند می‌توانند با ترکیب یک مدل موس استاندارد برای فناوری یکسان با رابطه‌ای که ولتاژ گیت شناور را با V_i، V_D، V_S، C_i، C_{GD}، C_{GS} و C_{GB} بازگو می‌کند نتیجه‌گیری شوند. این معادله می‌تواند با اعمال قانون تبدیل بار به گره شناور نشان داده شده در شکل (۲) به‌دست آید. اگر یک مقاومت بی‌نهایت مابین گره شناور و تمام لایه‌های در برگیرنده موجود باشد، هیچ جریان نشتی مابین آنها وجود نخواهد داشت و بنابراین گره شناور به‌طور کامل ایزوله خواهد شد. تحت این فرض ولتاژ در گیت شناور به‌صورت زیر خواهد شد:

$$V_{FG}=\sum_{i=1}^{2}\frac{C_i}{C_T}V_i+\frac{C_{GS}}{C_T}V_S+\frac{C_{GD}}{C_T}V_D+\frac{Q_{FG}}{C_T}=\sum_{i=1}^{2}\frac{C_i}{C_T}V_{iS}+\frac{C_{GD}}{C_T}V_{DS}+\frac{C_{GB}}{C_T}V_{BS}+\frac{Q_{FG}}{C_T}+V_S \qquad (۲)$$

در اینجا تعداد ورودی‌های مؤثر ۲ در نظر گرفته شده و برای گیت شناور چند ورودی می‌تواند این مقدار N باشد. عبارت Q_{FG} به مقدار معین باری که در گره شناور در طی مراحل ساخت به تله افتاده است اشاره می‌کند. نظر به اینکه این عبارت ثابت است، می‌تواند به‌عنوان ولتاژ آفست در گیت شناور، یا به‌عنوان آفست در ولتاژ آستانه قطعه تفسیر شود. عبارت C_T به خازن کل دیده شده از گره شناور اشاره می‌کند و برای موس گیت شناور دو گیتی به‌صورت زیر است:

$$C_T=C_{GD}+C_{GS}+C_{GB}+\sum_{i=1}^{2}C_i=C_{GD}+C_{GS}+C_{GB}+C_1+C_2 \qquad (۳)$$

مدل‌سازی روابط رفتار سیگنال بزرگ موس گیت شناور می‌تواند با جایگزین کردن V_{GS} در رابطه‌های توصیف‌کننده رفتار سیگنال بزرگ ترانزیستور موس با توصیف‌کردن عبارت ولتاژ مابین گیت شناور و منبعی که می‌تواند با نسبت دادن ولتاژ گیت شناور به ترمینال سورس به جای بدنه به‌دست آید. یک قطعه موس گیت شناور با N ورودی، N-1 ترمینال بیشتر از یک ترانزیستور موس دارد و بنابراین N+2 پارامتر سیگنال کوچک می‌تواند تعریف شود: N تا ترارسانایی مؤثر ورودی (g_{mi} برای i=[1,N])، یک هدایت خروجی (g_{dsF}) و یک ترارسانایی بدنه (g_{mbF}). اگر g_m، g_{ds} و g_{mb} به‌ترتیب ترارسانایی گیت، هدایت

خروجی و ترارسانایی بدنه یک ترانزیستور موس دارای اندازه کانال، جریان و V_{DS} ایده‌آل مانند موس گیت شناور باشند، بنابراین پارامترهای سیگنال کوچک موس گیت شناور با پارامترهای موس به‌صورت زیر مرتبط می‌شوند:

$$g_{mi} = \frac{C_i}{C_T} g_m \quad , i = [1, N] \tag{۴}$$

$$g_{dsF} = g_{ds} + \frac{C_{GD}}{C_T} g_m \tag{۵}$$

$$g_{mbF} = g_{mb} + \frac{C_{GB}}{C_T} g_m \tag{۶}$$

۳-۲- تقویت‌کننده ترارسانایی عملیاتی پیشنهادی

همان‌طور که در بالا اشاره شد، ایده استفاده از وارونگر سی‌موس در ساختار تقویت‌کننده ترارسانایی عملیاتی توسط ناوتا مطرح شد. این موضوع باعث تحریک پژوهشگران الکترونیک شد تا ساختارهای دیگری با قابلیت‌های بهتر نسبت به طرح ناوتا ارائه کنند. یکی از گزینه‌های مطرح در این زمینه ساختار تقویت‌کننده ترارسانایی عملیاتی دو طبقه مبتنی بر وارونگر سی‌موس است [۹] که بر خلاف طرح ناوتا دو طبقه بوده و به بهره بالاتری نایل می‌شود. ساختار پایه این تقویت‌کننده ترارسانایی عملیاتی دو طبقه مبتنی بر وارونگر سی‌موس در شکل (۳) نشان داده شده است. در این شکل یک وارونگر سی‌موس منطقی به‌عنوان یک منبع جریان کنترل شده با ولتاژ در این تقویت‌کننده ترارسانایی عملیاتی عمل می‌کند.

این تقویت‌کننده ترارسانایی عملیاتی اساساً یک تقویت‌کننده بالانس شده دو طبقه با قابلیت حذف حالت مشترک است. بخش‌های سایه‌دار در شکل (۳) مسئول عملکرد حذف حالت مشترک هستند. تقویت‌کننده ترارسانایی عملیاتی شکل (۳) می‌تواند با موفقیت در فناوری ۱۸۰ نانومتر سی‌موس با تغذیه ۱/۸ ولت کار کند. با این حال، بهره ولتاژ آن حدود ۴۸ دسی‌بل است [۹]. از آنجایی که این تقویت‌کننده ترارسانایی عملیاتی با استفاده از وارونگرهایی با حداقل طول گیت طراحی شده است، منجر به بهره ولتاژ پایین به دلیل بهره ذاتی پایین ادوات سی‌موس زیر میکرون می‌شود. این تقویت‌کننده ترارسانایی عملیاتی در چند سال اخیر توسط بسیاری از محققین مورد بررسی قرار گرفته [۱۳-۱۰] و پیشنهادهایی جدید جهت بهبود عملکرد این تقویت‌کننده ترارسانایی عملیاتی از لحاظ کاهش توان مصرفی، ولتاژ کاری و بهره صورت گرفته است. در مرجع [۱۰] با استفاده از وارونگرهای ان-ماس، ولتاژ کاری این ساختار تقویت‌کننده ترارسانایی عملیاتی دو طبقه را به یک ولت کاهش داده‌اند. در مرجع [۱۰] با استفاده از فناوری ۱۸۰ نانومتر سی‌موس و با در نظر گرفتن خازن بار ۱۳ پیکوفاراد در خروجی‌های تفاضلی، بهره ۴۲ دسی‌بل، فرکانس بهره واحد ۹ مگاهرتز، نسبت رد حالت مشترک برابر ۷۵ دسی‌بل و توان ۱۷۰ میکروووات حاصل شده است. در مرجع [۱۱] با استفاده از وارونگرهای موس گیت شناور، ولتاژ کاری این تقویت‌کننده ترارسانایی عملیاتی دو طبقه را به یک ولت کاهش داده‌اند. در مرجع [۱۱] با استفاده از فناوری ۰/۱۸ میکرومتر سی‌موس و با در نظر گرفتن خازن بار ۱۳ پیکو فاراد در خروجی‌های تفاضلی، بهره ۵۰ دسی بل، فرکانس بهره واحد ۸/۸۲ مگاهرتز، نسبت رد حالت مشترک برابر ۷۳/۸ دسی‌بل و توان ۱۱۸ میکروووات حاصل شده است. در مرجع [۱۲] به جای استفاده از وارونگرهای سی‌موس در ساختار تقویت‌کننده ترارسانایی عملیاتی دو طبقه مذکور، از وارونگرهای کسکود سی‌موس دو ورودی استفاده شده است. همچنین به‌منظور کاهش موثر ولتاژ آستانه ترانزیستورها تکنیک بایاس از بدنه در نظر گرفته شده و تقویت‌کننده ترارسانایی عملیاتی پیشنهادی با استفاده از فناوری ۰/۱۵ میکرومتر با چاه سه قلو طراحی و ساخته شده است. این تقویت‌کننده ترارسانایی عملیاتی با موفقیت با تغذیه یک ولت و با در نظر گرفتن خازن بار ۵ پیکوفاراد در خروجی‌هایش، بهره ولتاژ تفاضلی۵۹ دسی‌بل، نسبت رد حالت مشترک ۸۰/۹ دسی‌بل و فرکانس بهره واحد ۲۵ مگاهرتز ارائه کرده و ۶۰ میکروووات توان مصرف می‌کند. در مرجع [۱۳]، ترانزیستور پی-ماس موجود در ساختار وارونگر سی‌موس با ترانزیستور موس با ولتاژ آستانه دینامیکی جایگزین شده و به این طریق ولتاژ کاری این تقویت‌کننده ترارسانایی عملیاتی دو طبقه به ۰/۸ ولت کاهش یافته است. در مرجع [۱۳] با استفاده از فناوری ۱۸۰ نانومتر سی‌موس و با در نظر گرفتن خازن بار ۱۳ پیکوفاراد در خروجی‌های تفاضلی، بهره ۷۵/۳۱

دسی‌بل، فرکانس بهره واحد ۸/۴ مگاهرتز، نسبت رد حالت مشترک برابر ۱۱۶/۳۱ دسی‌بل و توان ۱۶۰ میکروووات حاصل شده است.

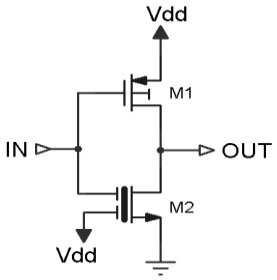
مقاله‌های زیادی در مورد عملکرد ولتاژ پایین تقویت‌کننده‌های ترارسانایی عملیاتی کاملاً تفاضلی وجود دارد که با تغذیه پایین‌تر از یک ولت عمل می‌کنند. برای عملکرد ولتاژ پایین، باید به ولتاژ آستانه موس اهمیت دهیم. عملکرد ولتاژ پایین به خودی خود با استفاده از زوج‌های تفاضلی مکمل [۲۳] یا استفاده از زوج تفاضلی تحریک شده از بدنه [۲۴]، یا استفاده از تقویت‌کننده‌های شبه تفاضلی متشکل از وارونگرهای ان-ماس یا پی-ماس انجام می‌گیرد [۲۵]. با این حال، محدوده حالت مشترک ورودی آنها به سمت یک طرف تغذیه میل می‌کند، و اغلب شامل ولتاژ نصف تغذیه (V_{dd}) نمی‌شود که در خروجی این مقدار مورد نظر است. براین اساس، هدف ما طراحی یک تقویت‌کننده ترارسانایی عملیاتی کاملاً تفاضلی با بهره ولتاژ بالاتر و با تغذیه زیر یک ولت براساس تقویت‌کننده دو طبقه شکل (۳) است. مطابق بررسی‌هایی که در مورد اصلاح و بهبود ساختار تقویت‌کننده ترارسانایی عملیاتی شکل (۳) در بالا اشاره شد، متوجه می‌شویم که در مرجع [۱۳] از ترانزیستورهای موس با ولتاژ آستانه دینامیکی به عنوان یک راه حل برای پایین آوردن ولتاژ کاری مدار تقویت‌کننده ترارسانایی عملیاتی در ساختار وارونگر سی‌موس استفاده شده است. مزیت استفاده از ترانزیستورهای موس با ولتاژ آستانه دینامیکی در مرجع [۱۳] کاهش توان مصرفی، کاهش ولتاژ تغذیه، بالا بردن بهره و همچنین پایین آوردن ولتاژ آستانه ترانزیستور پی-ماس مدار تقویت‌کننده ترارسانایی عملیاتی است و همچنین لازم نیست که همانند مرجع [۱۰] تغییراتی در ساختار مدار داد و مساحت تراشه را بالا برد. اما ولتاژ تغذیه تقویت‌کننده ترارسانایی عملیاتی پیشنها شده در مرجع [۱۳] را، به دلیل افت عملکرد، نمی‌توان کمتر از ۰/۸ ولت استفاده کرد.

در صورتی که از یک فرایند چاه دو قلو[۱۵] استفاده شود می‌توان هم ترانزیستور ان-ماس و هم پی-ماس را با استفاده از روش موس با ولتاژ آستانه دینامیکی پیاده‌سازی نمود. اما اینکار به بهای استفاده از یک فرایند گران قیمت تمام خواهد شد. در اینجا ما با یک راه‌حل ارزان قیمت ولتاژ آستانه ترانزیستور ان-ماس را کاهش می‌دهیم و در عین حال از یک فرایند تک چاه استفاده خواهیم کرد.

در شکل (۴) شماتیک مدار وارونگر پیشنهادی نشان داده شده است، که ما آنرا در اینجا وارونگر موس گیت شناور/موس با ولتاژ آستانه دینامیک نامگذاری می‌کنیم. در شکل (۴)، ترانزیستور پی-ماس با استفاده از تکنیک موس با ولتاژ آستانه دینامیکی پیاده‌سازی شده و ولتاژ آستانه آن کاهش یافته است. در وارونگر پیشنهادی برای ترانزیستور ان-ماس نیز از تکنیک گیت شناور استفاده نموده و با استفاده از یک ترانزیستور موس گیت شناور دو ورودی ولتاژ آستانه ترانزیستور ان-ماس را بدون نیاز به فرایندهای گران قیمت چاه دو قلو کاهش می‌دهیم. در اینجا یکی از گیت‌های ترانزیستور موس گیت شناور به ورودی و گیت دوم به‌منظور کاهش ولتاژ آستانه ترانزیستور به پتانسیل V_{dd} متصل شده است. این عمل باعث می‌شود که به راحتی ولتاژ تغذیه را تا حد ممکن کاهش داد. چنانچه در مرجع [۱۳] نویسندگان مقاله تنها تا ۰/۸ ولت توانسته بودند ولتاژ کاری مدار تقویت‌کننده ترارسانایی عملیاتی پیاده سازی شده در فناوری ۱۸۰ نانومتر را کاهش دهند و برای کاهش بیشتر یا باید از یک فرایند چاه دو قلو استفاده می‌شد و یا اینکه ترانزیستور ان-ماس مورد استفاده در ساختار تقویت‌کننده ترارسانایی عملیاتی به‌صورت زیر آستانه پیاده‌سازی می‌شد. استفاده از زیر آستانه نیز باعث کاهش پهنای باند تقویت کننده می‌شد که بر خلاف اهداف نویسندگان مقاله در مرجع [۱۳] بود. اگر دو خازن استفاده شده در ترانزیستور موس گیت شناور دو ورودی را C_1 و C_2 بنامیم ولتاژ در گیت شناور وارونگر شکل (۴) را می‌توان بصورت زیر خلاصه نمود:

$$V_{FG} = \frac{C_1 V_{IN} + C_2 V_{dd}}{C_1 + C_2} \quad (۷)$$

با توجه به اینکه سیگنال ورودی V_{in} از طریق خازن C_1 به وارونگر پیشنهادی اعمال می‌شود، لذا برای کاهش اثرات سوء مقدار خازن C_1 را نسبت به خازن C_2 بسیار کوچکتر انتخاب می‌کنیم تا پهنای باند وارونگر به دلیل استفاده از روش گیت شناور کاهش چشم‌گیری نداشته باشد.



شکل (۴): وارونگر موس گیت شناور/ موس با ولتاژ آستانه دینامیک پیشنهادی
Figure (4): Proposed DT/FGMOS inverter

این انتخاب بر روی فرکانس بهره واحد تقویت‌کننده دو طبقه پیشنهادی تاثیر به‌سزایی خواهد داشت. ترارسانایی کل وارونگر پیشنهادی را می‌توان مطابق رابطه (۸) بیان نمود:

$$G_m = G_{m_p} + G_{m_n} \quad (۸)$$

در اینجا G_{mp} و G_{mn} به ترتیب نشان دهنده ترارسانایی ترانزیستور پی-ماس و ان-ماس وارونگر موس گیت شناور/ولتاژ آستانه دینامیک پیشنهادی است. با توجه به اینکه در اینجا ترانزیستور پی-ماس استفاده شده با روش موس با ولتاژ آستانه دینامیکی پیاده‌سازی شده است، لذا ترارسانایی G_{mp} را می‌توان به‌صورت زیر بازنویسی نمود که مجموع ترارسانایی گیت g_{mp} و ترارسانایی بدنه g_{mbp} ترانزیستور پی-ماس پیاده‌سازی شده با روش موس با ولتاژ آستانه دینامیکی است:

$$G_{m_p} = g_{m_p} + g_{mb_p} \quad (۹)$$

با توجه به اینکه در اینجا ترانزیستور ان-ماس استفاده شده با تکنیک موس گیت شناور پیاده‌سازی شده است، لذا ترارسانایی G_{mn} را می‌توان به‌صورت زیر بازنویسی نمود:

$$G_{m_n} = \frac{C_1}{C_T} g_{m_n} \quad (۱۰)$$

که در اینجا g_{mn} ترارسانایی یک ترانزیستور ماسفت معمولی، C_1 خازن موجود در گیت شناور که ورودی V_{in} به آن اعمال شده، و C_T خازن کل دیده شده از گیت شناور است. با جای‌گذاری رابطه‌های (۹) و (۱۰) در رابطه (۸)، می‌توان ترارسانایی کل وارونگر پیشنهادی را به‌صورت زیر بازنویسی کرد:

$$G_m = g_{m_p} + g_{mb_p} + \frac{C_1}{C_T} g_{m_n} \quad (۱۱)$$

با توجه به رابطه (۱۱) متوجه می‌شویم که استفاده از روش موس با ولتاژ آستانه دینامیکی باعث افزایش ترارسانایی و استفاده از ترانزیستور موس گیت شناور باعث کاهش ترارسانایی شده و به دلیل اینکه ترارسانایی دو ترانزیستور پی-ماس و ان-ماس در وارونگر پیشنهادی جمع می‌شود لذا اثرات منفی کاهش ترارسانایی ترانزیستور موس گیت شناور با استفاده از روش موس با ولتاژ آستانه دینامیکی جبران‌سازی می‌شود. ساختار مداری تقویت‌کننده ترارسانایی عملیاتی دو طبقه پیشنهادی با استفاده از وارونگر پیشنهادی در شکل (۵) نشان داده شده است. مدار تقویت‌کننده ترارسانایی عملیاتی پیشنهادی به‌منظور دستیابی به بهره بالاتر، دو طبقه بوده و شامل مسیرهای پیش‌رو[۱۶] و پسخور[۱۷] است.

در شکل (۵) طبقات اول، دوم، پیشرو و پسخور به‌ترتیب با اسامی stage 1، stage 2، F/F stage و F/B stage نشان داده شده است. در این مدار جهت محدودسازی بهره حالت مشترک، از مسیرهای پیش‌رو و پسخور استفاده شده است. طبقه اول دارای مسیرهای پیش‌رو (stage F/F) جهت حذف حالت مشترک و طبقه دوم دارای فیدبک حالت مشترک (F/B stage) جهت تثبیت ولتاژ حالت مشترک خروجی است [۹]. با استفاده از ترانزیستورهای موجود در طبقه اول (M5، M6 و M11، M12) ولتاژ حالت مشترک ورودی آشکارسازی شده و پس از میانگین‌گیری، ولتاژ حالت مشترک با استفاده از ترانزیستورهای (M7، M8 و M13، M14) به مسیر اصلی پیشخور می‌شود. همچنین با استفاده از ترانزیستورهای موجود در طبقه خروجی در مسیر فیدبک (M19،

M20 و M25، M26) ولتاژ حالت مشترک خروجی آشکارسازی و میانگین‌گیری شده و سپس به مسیر سیگنال اصلی در طبقه دوم (M29، M30 و M31، M32) پسخور می‌شود.

مزیت این ساختار در این است که سیگنال‌های حالت تفاضلی به دلیل میانگین‌گیری، پیشخور یا پسخور نمی‌شوند. همچنین با استفاده از روش موس با ولتاژ آستانه دینامیکی و موس گیت شناور برای کاربردهای ولتاژ پایین و توان پایین بهینه‌سازی شده است. این بهینه‌سازی باعث می‌شود که نسبت به حالتی که سیگنال ورودی به گیت ترانزیستورها اعمال می‌شود، به دلیل ولتاژ راه‌اندازی کمتر، محدوده ولتاژ ورودی در حالت مشترک افزایش یافته و نیز جریان بایاس ترانزیستورهای به‌کار رفته کاهش یابد. کاهش جریان بایاس ترانزیستورها نیز به نوبه خود منجر به کاهش توان مصرفی خواهد شد. بهره ولتاژ حالت تفاضلی OTA پیشنهادی را می‌توان به‌صورت زیر بیان نمود:

$$A_{dm} = \frac{v_{out,dm}}{v_{in,dm}} = G_{m1}(\frac{r_{o1}}{2})G_{m2}r_{o2} \quad (۱۲)$$

در اینجا، G_{m1} و G_{m2} به ترتیب ترارسانایی وارونگر طبقه اول و دوم، و r_{o1} و r_{o2} به ترتیب امپدانس خروجی وارونگر طبقه اول و دوم هستند. با جای‌گذاری مقدار G_{m2} از رابطه (۱۱) در رابطه (۱۲) بهره ولتاژ حالت تفاضلی تقویت‌کننده ترارسانایی عملیاتی پیشنهادی را می‌توان به‌صورت زیر بیان نمود:

$$A_{dm} = \frac{1}{2}(g_{m_{p1}} + g_{mb_{p1}} + \frac{C_1}{C_T}g_{m_{n1}})(g_{m_{p2}} + g_{mb_{p2}} + \frac{C_1}{C_T}g_{m_{n2}})r_{o1}r_{o2} \quad (۱۳)$$

امپدانس ورودی دیده شده از ورودی طبقه دوم را می‌توان به‌صورت زیر بیان نمود:

$$Z_{in,stage2} = \frac{r_{o1}}{1 + G_{m1}\frac{r_{o2}}{2}(G_{m2}r_{o2})^2} \quad (۱۴)$$

با استفاده از مقدار امپدانس ورودی مشخص شده در رابطه (۱۴) می‌توان بهره ولتاژ حالت مشترک تقویت‌کننده ترارسانایی عملیاتی پیشنهادی را مطابق رابطه (۱۵) بیان نمود:

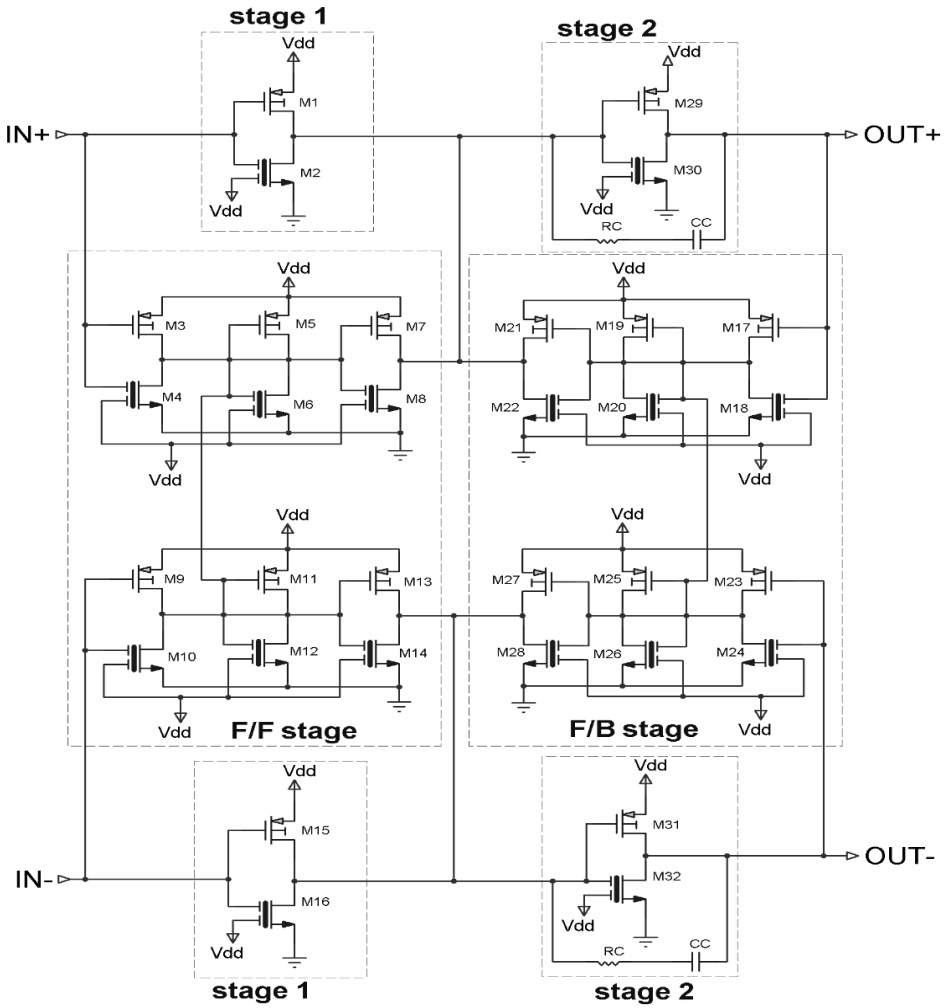
$$A_{cm} = \frac{v_{out,cm}}{v_{in,cm}} = G_{m1}Z_{in,stage2}G_{m2}r_{o2} \approx \frac{1}{G_{m2}r_{o2}} = \frac{1}{(g_{m_{p2}} + g_{mb_{p2}} + \frac{C_1}{C_T}g_{m_{n2}})r_{o2}} \quad (۱۵)$$

نسبت رد حالت مشترک[۱۰] (CMRR) را برای تقویت‌کننده ترارسانایی عملیاتی پیشنهادی می‌توان به‌صورت رابطه (۱۶) بیان نمود:

$$CMRR = \frac{A_{dm}}{A_{cm}} \approx \frac{1}{2}G_{m1}r_{o1} = \frac{1}{2}(g_{m_{p1}} + g_{mb_{p1}} + \frac{C_1}{C_T}g_{m_{n1}})r_{o1} \quad (۱۶)$$

شایان ذکر است که در رابطه‌های (۱۲) تا (۱۶) زیرنویس یک و دو به‌ترتیب به طبقه اول و دوم تقویت‌کننده ترارسانایی عملیاتی پیشنهادی اشاره می‌کنند. برای اینکه طبقه اول بتواند حالت مشترک را با نسبت بالایی حذف کند ابعاد وارونگرهای طبقه اول همگی یکسان انتخاب می‌شوند. در طبقه دوم هم تمامی ترانزیستورها، به جز M29 تا M32، باید ابعاد یکسانی با ترانزیستورهای طبقه اول داشته و ترانزیستورهای M29 تا M32 به دلیل اینکه باید جریان خروجی بزرگتری داشته باشند ابعادشان حداقل ۱۰ برابر بزرگتر از ترانزیستورهای طبقه اول انتخاب می‌شود.

از فناوری TSMC 0.18 µm CMOS برای طراحی مدار پیشنهادی استفاده کرده، نسبت ابعاد ترانزیستورهای ان-ماس و پی-ماس را به‌ترتیب ۶ میکرومتر به ۰/۱۸ میکرومتر و ۱۱ میکرومتر به ۰/۱۸ میکرومتر انتخاب می‌کنیم. به دلیل اینکه ساختار تقویت‌کننده ترارسانایی عملیاتی دو طبقه است، به جبران‌سازی در طبقه دوم نیاز داریم. در شکل (۵) خازن جبران‌ساز میلر C_C به همراه مقاومت جبران‌ساز R_C نشان داده شده است. مقدار خازن جبران‌ساز C_C برابر با ۳ پیکوفاراد و مقدار مقاومت RC برابر با ۳ کیلواهم است. خازن‌های موجود در گیت شناور تمامی ترانزیستورهای ان-ماس را نیز با مقدار ۹۵۱/۶ فمتوفاراد و ۲۰/۲۸ فمتوفاراد طراحی نموده‌ایم که در نرم افزار کیدنس[۱۸] با استفاده از خازن‌های MIMcap (خازن‌های فلز-فلز) به راحتی قابل پیاده‌سازی هستند.



شکل (۵): تقویت‌کننده ترارسانایی عملیاتی دو طبقه پیشنهادی مبتنی بر موس با ولتاژ آستانه دینامیکی و موس گیت شناور

Figure (5): Schematic of the proposed two-stage OTA based on DTMOS and FGMOS

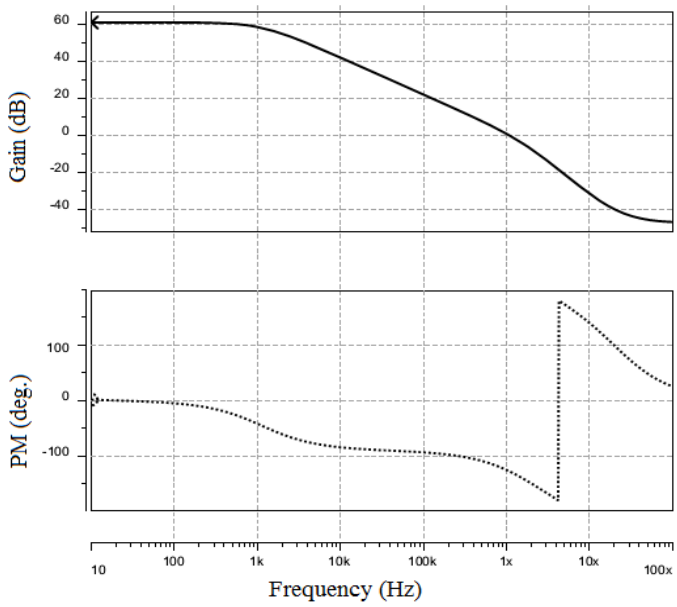
۳- نتایج شبیه‌سازی

تقویت‌کننده ترارسانایی عملیاتی پیشنهادی با فناوری TSMC 0.18 µm CMOS و با ولتاژ تغذیه ۰/۵ ولت با استفاده از نرم‌افزار HSPICE طراحی و شبیه‌سازی شد. در شکل (۶) دیاگرام بُود[۱۹] تقویت‌کننده ترارسانایی عملیاتی پیشنهادی با در نظر گرفتن خازن بار ۱۳ پیکوفاراد در خروجی‌های تقویت‌کننده ترارسانایی عملیاتی نشان داده شده است. از روی شکل (۶) به راحتی بهره حالت تفاضلی ۶۱ دسی‌بل و حد فاز ۵۳ درجه قابل محاسبه است. بهره حالت مشترک طرح پیشنهادی در فرکانس ۱۰ کیلوهرتز مطابق شکل (۷) برابر ۳۷/۳- دسی‌بل است. همچنین پاسخ فرکانسی رد حالت مشترک[۲۰] (CMRR) ترارسانای پیشنهادی در شکل (۸) نشان داده شده و در فرکانس های زیر یک کیلوهرتز مقدار آن برابر ۹۸/۴ دسی‌بل است. در شکل (۹) ماکزیمم نوسان ولتاژ خروجی نشان داده شده است. هریک از خروجی‌ها نوسانی برابر با ۴۰۰ میلی‌ولت پیک تا پیک دارند که برای ولتاژ تغذیه پایین این مقدار نوسان خیلی زیاد است و تقویت‌کننده ترارسانایی عملیاتی پیشنهادی می‌تواند ۰/۸ ولت نوسان به‌طور تفاضلی داشته باشد.

در شکل‌های (۱۰) و (۱۱) پاسخ فرکانسی نسبت‌های رد منبع تغذیه[۲۱] (PSRR) به‌ترتیب برای حالت‌هایی که ورودی ac به خط vdd و gnd اعمال شده نشان داده شده است. با توجه به این شکل‌ها مقدار +PSRR و -PSRR به‌ترتیب برابر ۵۹/۷ و ۶۲/۹ دسی‌بل است. آنالیز مونت-کارلو[۲۲] برای تقویت‌کننده ترارسانایی عملیاتی پیشنهادی با در نظر گرفتن عدم مطابقت افزاره و تغییرات فرایند با ۱۰۰۰ اجرا به انجام رسید. نتیجه این آنالیز برای بهره حالت تفاضلی، بهره حالت مشترک و ولتاژ خروجی

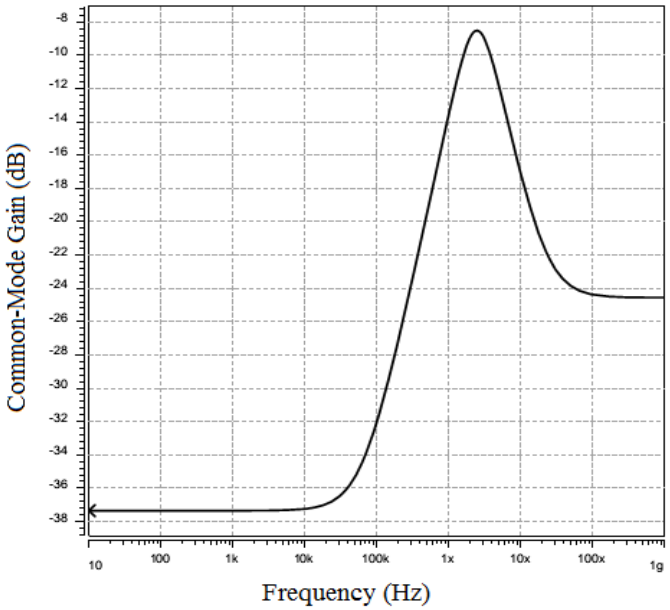
حالت مشترک به‌ترتیب در شکل‌های (۱۲) تا (۱۴) نشان داده شده است. نتیجه این آنالیز نشان می‌دهد که تقویت‌کننده ترارسانایی عملیاتی پیشنهادی در مقابل تغییرات فرایند و عدم مطابقت افزاره مقاوم است و الزامات مورد نیاز طراحی را به خوبی برآورده می‌کند.

نتایج شبیه‌سازی تقویت‌کننده ترارسانایی عملیاتی پیشنهادی براساس نتایج شبیه‌سازی پس از چینش پسا-جانمایی[۲۳] در جدول (۱) خلاصه شده و با سایر کارهای پیشین مقایسه شده است.



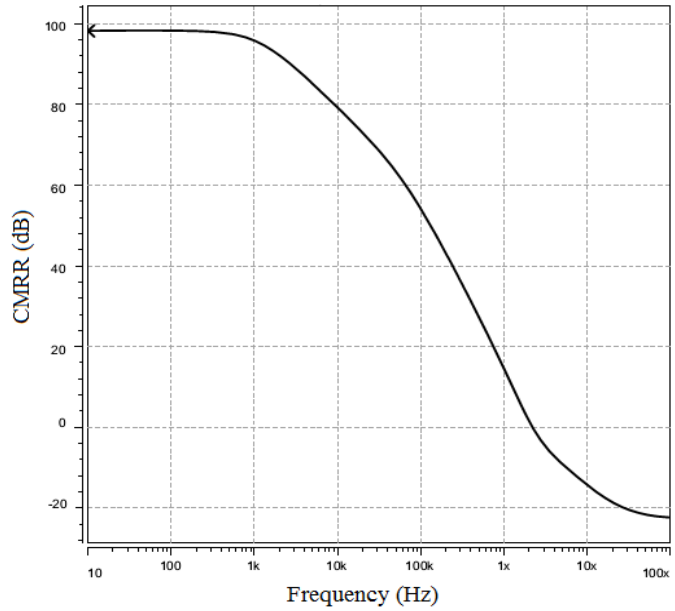
شکل (۶): دیاگرام بُود تقویت‌کننده ترارسانایی عملیاتی پیشنهادی

Figure (6): Bode diagram of proposed OTA



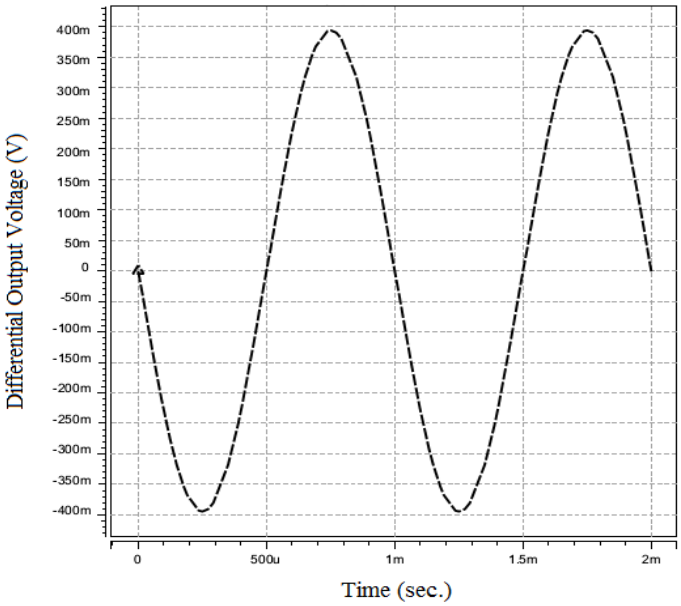
شکل (۷): پاسخ فرکانسی بهره حالت مشترک تقویت‌کننده پیشنهادی

Figure (7): Common-mode gain response of proposed OTA



شکل (۸): رد حالت مشترک تقویت‌کننده ترارسانایی عملیاتی پیشنهادی

Figure (8): CMRR frequency response of proposed OTA



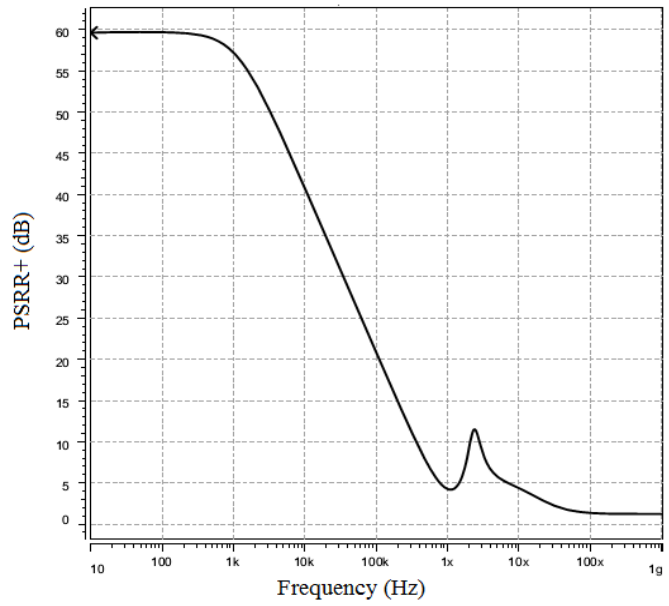
شکل (۹): نوسان خروجی تفاضلی تقویت‌کننده ترارسانایی عملیاتی پیشنهادی

Figure (9): Differential output swing of proposed OTA

برای ارزیابی طرح پیشنهادی و مقایسه عادلانه با سایر طرح‌های پیشین، چندین معیار شایستگی[۲۴] (FoM) به‌صورت زیر مورد ارزیابی قرار گرفته است. در اولین معیار شایستگی (FoM_1)، تاثیر بهره و فرکانس بهره واحد را در کنار هم به‌صورت رابطه (۱۷) در نظر می‌گیریم:

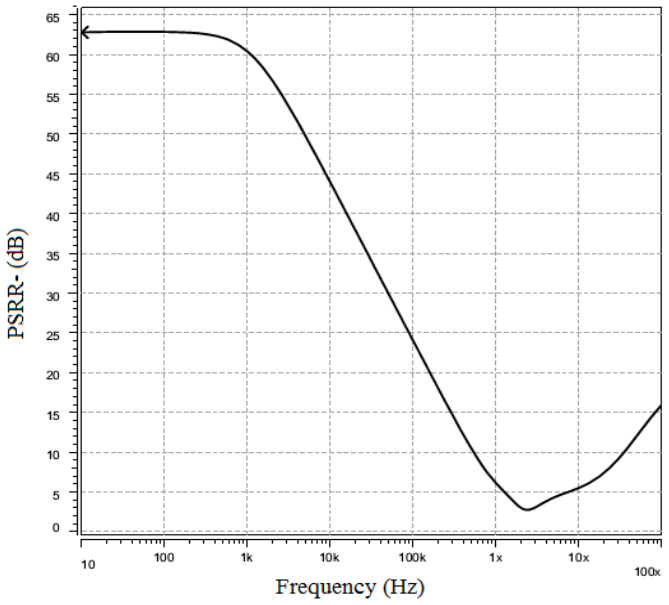
$$FoM_1 = \frac{\text{Gain (dB)} \times \text{UGF (MHz)}}{\text{Supply voltage (V)} \times \text{Power (mW)}} \qquad (۱۷)$$

در رابطه (۱۷)، Gain بهره تفاضلی بر حسب دسی بل، UGF فرکانس بهره واحد برحسب مگا هرتز، supply voltage ولتاژ تغذیه برحسب ولتاژ و power توان مصرفی تقویت‌کننده برحسب میلی وات است. دومین معیار شایستگی (FoM_2) و سومین معیار شایستگی (FoM_3) نیز به‌صورت رابطه‌های (۱۸) و (۱۹) تعریف می‌شوند.



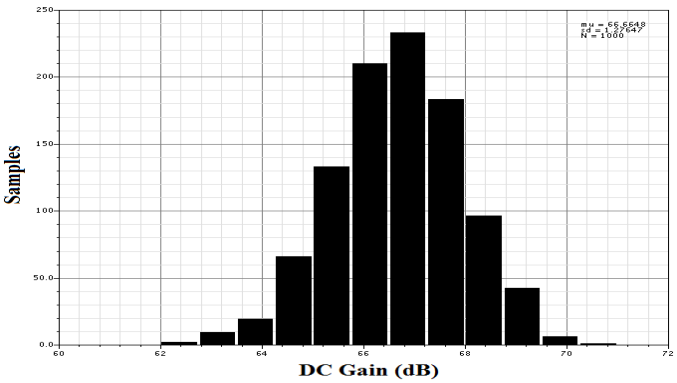
شکل (۱۰): پاسخ فرکانسی PSRR+ تقویت‌کننده ترارسانایی عملیاتی پیشنهادی

Figure (10): PSRR+ frequency response of proposed OTA



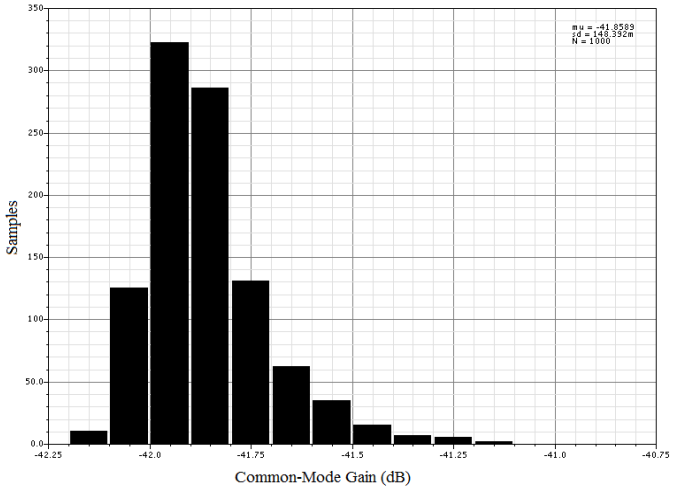
شکل (۱۱): پاسخ فرکانسی PSRR- تقویت‌کننده ترارسانایی عملیاتی پیشنهادی

Figure (11): PSRR- frequency response of proposed OTA



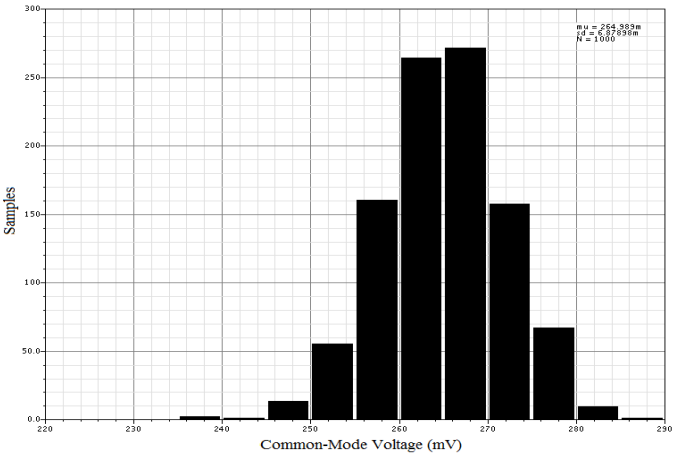
شکل (۱۲): بهره حالت تفاضلی تقویت‌کننده ترارسانایی عملیاتی پیشنهادی برای ۱۰۰۰ اجرا

Figure (12): Differential-mode gain of proposed OTA for 1000 runs



شکل (۱۳): بهره حالت مشترک تقویت‌کننده ترارسانایی عملیاتی پیشنهادی برای ۱۰۰۰ اجرا

Figure (13): Common-mode gain of proposed OTA for 1000 runs



شکل (۱۴): ولتاژ خروجی حالت مشترک تقویت‌کننده ترارسانایی عملیاتی پیشنهادی برای ۱۰۰۰ اجرا

Figure (14): Output common-mode voltage of proposed OTA for 1000 runs

$$\mathrm{FoM}_2 = \frac{\mathrm{SR\,(V/\mu s)} \times \mathrm{C_L\,(pF)}}{\mathrm{Power\,(mW)}} \qquad (۱۸)$$

$$\mathrm{FoM}_3 = \frac{\mathrm{UGF\,(MHz)} \times \mathrm{C_L\,(pF)}}{\mathrm{Power\,(mW)}} \qquad (۱۹)$$

در رابطه (۱۸) SR نرخ چرخش بر حسب ولت بر میکروثانیه و C_L خازن بار برحسب پیکوفاراد است. سایر پارامترها در رابطه (۱۷) توضیح داده شدند. براساس مقدار FoM به‌دست آمده، مشاهده می‌شود که طرح پیشنهادی نسبت به سایر طرح‌های گزارش شده در جدول (۱)، بهترین FoM را داراست و می‌تواند برای کاربردهای ولتاژ پایین و توان پایین گزینه بسیار مناسبی باشد. طرح های ارائه شده در مرجع‌های [۹،۱۰،۱۱،۱۳] همگی مبتنی بر وارونگر هستند و در ساختار آنها به‌ترتیب از وارونگرهای سی‌موس، ان-ماس، موس گیت شناور و موس با ولتاژ آستانه دینامیکی استفاده شده است. طرح پیشنهادی ما با داشتن وارونگر موس با ولتاژ آستانه دینامیکی و موس گیت شناور در ساختار خود می‌تواند نسبت به هر چهار طرح هم خانواده قبلی در ولتاژهای پایین عملکرد بهتری داشته باشد. از مزایای دیگر طرح پیشنهادی به قابل تنظیم بودن آن می‌توان اشاره کرد که با گیت دوم موس گیت شناور می‌تواند قابل دسترسی باشد. این موضوع در کارهای آتی مورد بحث و بررسی قرار خواهد گرفت.

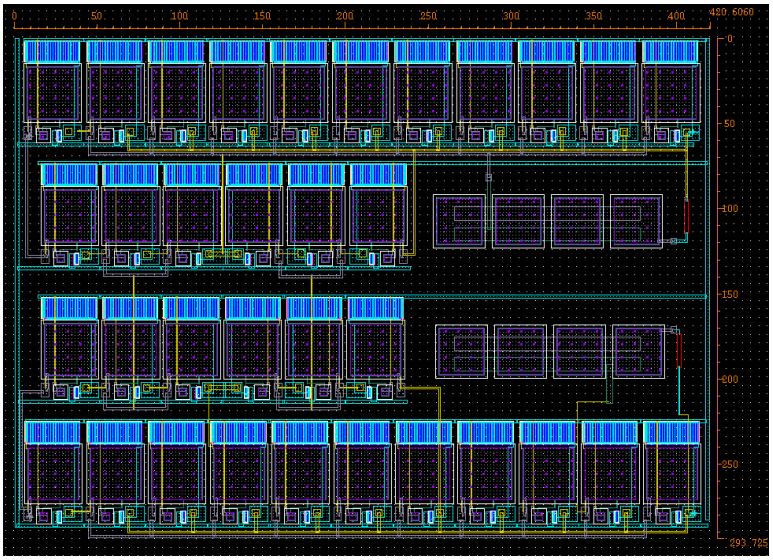
برای ارزیابی بهتر طرح پیشنهادی با طرح‌های پیشنهاد شده در مرجع‌های [۹] و [۱۳]، این دو ساختار قبلی را با ولتاژ تغذیه ۰/۵ ولت و با فناوری ۱۸۰ نانومتر سی‌موس در دمای اتاق شبیه‌سازی نمودیم. برای مقایسه منصفانه‌تر، توان مصرفی هر سه

ساختار مورد بحث را برابر در نظر گرفتیم (۱۷ میکروآمپر). همچنین مقدار حد فاز را در هر سه ساختار ۵۳ درجه در نظر گرفتیم تا مقایسه خوبی از لحاظ مقدار خازن و مقاومت مورد نیاز برای جبران‌سازی حاصل شود. نتایج این مقایسه در جدول (۲) خلاصه شده است. براساس معیارهای شایستگی محاسبه شده، متوجه می‌شویم که طرح پیشنهادی ما نسبت به دو طرح پیشین ارائه شده در مرجع‌های [۹] و [۱۳] می‌تواند به خوبی در ۰/۵ ولت کار کند و عملکرد بهتری در شرایط یکسان داشته باشد. همچنین در یک شرایط یکسان، دو طرح پیشین مذکور برای پایداری فرکانسی در حد طرح پیشنهادی ما (حد فاز ۵۳ درجه) به مقاومت و خازن بار بزرگ‌تری نیاز دارند.

چینش تقویت‌کننده ترارسانایی عملیاتی پیشنهادی با نرم‌افزار Cadence IC Design و فناوری TSMC 0.18 µm CMOS به انجام رسید. در شکل (۱۵) چینش تراشه طراحی شده نشان داده شده که دارای اندازه ۲۹۳/۷۲ میکرومتر در ۶۲۰/۶۰ میکرومتر است. بر این اساس، تقویت‌کننده ترارسانایی عملیاتی پیشنهادی مساحت ۰/۱۸۲ میلی‌متر مربع را اشغال خواهد کرد. سطح اشغال شده تراشه در طرح پیشنهادی ما در مقایسه با طرح‌های مرجع‌های [۱۰]، [۱۳] و [۲۷] به‌ترتیب ۳، ۶ و ۵۱ برابر بیشتر بوده، اما از لحاظ معیار شایستگی FoM_1 طرح پیشنهادی ما نسبت به مرجع‌های [۱۰]، [۱۳] و [۲۷] به‌ترتیب ۳/۹۵، ۱/۷۷ و ۱/۹۴ برابر بهتر است. از لحاظ معیار شایستگی FoM_3 نیز طرح پیشنهادی ما نسبت به مرجع‌های [۱۰]، [۱۳] و [۲۷] به‌ترتیب ۲/۸۹، ۱/۲۳ و ۱/۲۲ برابر بهتر است.

۴- نتیجه‌گیری

در این مقاله یک تقویت‌کننده ترارسانایی عملیاتی دو طبقه جدید براساس روش‌های موس با ولتاژ آستانه دینامیکی و موس گیت شناور ارائه شد. طرح پیشنهادی با فناوری TSMC 0.18 µm CMOS شبیه‌سازی شده و با استفاده از ترانزیستورهای موس با ولتاژ آستانه دینامیکی و موس گیت شناور در ساختار تقویت‌کننده ترارسانایی عملیاتی پیشنهادی ولتاژ تغذیه مدار و توان مصرفی آن به‌ترتیب به ۰/۵ ولت و ۱۷ میکروواط تقلیل یافت. بهره حالت تفاضلی و پهنای باند بهره واحد این تقویت‌کننده ترارسانایی عملیاتی به‌ترتیب ۶۱ دسی‌بل و ۱/۱ مگاهرتز بوده و حد فاز ۵۳ درجه را با خازن بار ۱۳ پیکوفاراد از خود نشان داد. با توجه به کلاس AB بودن وارونگر موس گیت شناور/ موس با ولتاژ آستانه دینامیک پیشنهادی نیازی به تغییر در ساختار و اضافه‌کردن مقاومت‌های بزرگ در طبقه خروجی تقویت‌کننده ترارسانایی عملیاتی نیست و مدار پیشنهادی مساحت ۰/۱۸۲ میلی‌متر مربع را از تراشه اشغال می‌کند. تقویت‌کننده ترارسانایی عملیاتی پیشنهادی با قابلیت‌های ممتازی که از خود نشان می‌دهد می‌تواند در کاربردهای ولتاژ پایین و توان پایین از جمله در تجهیزات قابل حمل به خوبی استفاده شود.



شکل (۱۵): چینش تقویت‌کننده ترارسانایی عملیاتی پیشنهادی

Figure (15): Layout of the proposed OTA

Table (1): Simulation results of the proposed OTA and comparison with other works

جدول (۱): نتایج شبیه سازی تقویت‌کننده ترارسانایی عملیاتی پیشنهادی و مقایسه با طرح های قبلی

پارامتر	[۹]	[۱۰]	[۱۱]	[۱۳]	[۲۶]	[۲۷]	پیشنهادی
فناوری (میکرومتر)	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۸	۰/۱۳	۰/۱۳	۰/۱۸
ولتاژ تغذیه (ولت)	۱/۸	۱	۱	۰/۸	۰/۶	۰/۳	۰/۵
توپولوژی	وارونگر CMOS	وارونگر NMOS	وارونگر FGMOS	وارونگر DTMOS	کلاس AB	شبه تفاضلی	وارونگر DT/FGMOS
ساختار	دو طبقه	دو طبقه	دو طبقه	دو طبقه	تک طبقه	تک طبقه	دو طبقه
توان (میلی‌وات)	۵/۰۴	۰/۱۷	۰/۱۱۸	۰/۱۶	۰/۰۰۱۸	۰/۰۱۷۹	۰/۰۱۷
بهره (دسی‌بل)	۴۸/۲	۴۲	۵۰	۷۵/۳۱	۴۳/۸۶	۲۳/۴	۶۱
فرکانس بهره واحد (مگاهرتز)	۱/۳*	۹	۸/۸۲	۸/۴	۰/۱۱۲	۱/۰۴	۱/۱
حد فاز (درجه)	-	۵۲	۴۵	۵۴	۸۸/۸	۹۷/۴	۵۳
نسبت حذف حالت مشترک (دسی‌بل)	۶۵/۸	۷۵	۷۳/۸	۱۱۶/۳۱	۵۶/۶۲	۴۷/۴	۹۸/۴
نسبت رد منبع تغذیه مثبت (دسی‌بل)	–	–	–	۷۶	–	–	۵۹/۷
نسبت رد منبع تغذیه منفی (دسی‌بل)	–	–	–	۷۵	–	–	۶۲/۹
نرخ چرخش مثبت (ولت بر میکروثانیه)	–	–	–	۷/۴۳	۰/۸۴۵	–	۳/۹۷
نرخ چرخش منفی (ولت بر میکروثانیه)	–	–	–	۱۲	–	–	۴/۵۸
خازن بار (پیکوفاراد)	۱۶	۱۳	۱۳	۱۳	۶	۵	۱۳
مساحت (میلی‌متر مربع)	–	۰/۰۶	–	۰/۰۳	–	۰/۰۰۳۶	۰/۱۸۲
اولین معیار شایستگی	۶۹۱ *	۲۲۲۳	۳۷۱۷	۴۹۴۲	۴۵۴۸	۴۵۳۱	**۸۷۹۴**
دومین معیار شایستگی	–	–	–	۷۸۹	۲۸۱۷	–	**۳۲۶۹**
سومین معیار شایستگی	۴۱۳ *	۶۸۸	۹۷۲	۶۸۳	۳۷۳	۲۹۱	۸۴۱

* فرکانس قطع ۳ دسی بل به جای فرکانس بهره واحد در مقاله ذکر شده است. فرکانس بهره واحد را ۱۰۰ برابر مقدار فرکانس قطع فرض کردیم.

Table (2): Simulation results of the proposed OTA and comparison with other works

جدول (۲): نتایج شبیه سازی تقویت‌کننده ترارسانایی عملیاتی پیشنهادی با دو طرح قبلی با تغذیه ۰/۵ ولت و مقایسه

پارامتر	[۹]	[۱۳]	پیشنهادی
فناوری (میکرومتر)	۰/۱۸	۰/۱۸	۰/۱۸
توان (میلی‌وات)	۰/۰۱۷	۰/۰۱۷	۰/۰۱۷
بهره حالت تفاضلی (دسی‌بل)	۶۵/۲	۶۶	۶۱
بهره حالت مشترک (دسی‌بل)	- ۴۰/۸	-۴۱	- ۳۷/۴
فرکانس بهره واحد (مگاهرتز)	۰/۳۹۲	۰/۸۰۵	۱/۱
حد فاز (درجه)	۵۳	۵۳	۵۳
نسبت حذف حالت مشترک (دسی‌بل)	۱۰۶	۱۰۷	۹۸/۴
نسبت رد منبع تغذیه مثبت (دسی‌بل)	۶۵	۶۵/۷	۵۹/۷
نسبت رد منبع تغذیه منفی (دسی‌بل)	۶۵/۴	۶۶/۸	۶۲/۹
نویز ارجاع به ورودی (نانو ولت بر مجذور هرتز)	۳۴	۳۳/۸	۱۶/۴
خازن بار (پیکوفاراد)	۱۳	۱۳	۱۳
مقاومت جبران‌ساز (کیلواهم)	۲۳	۳	۳
خازن جبران ساز (پیکوفاراد)	۱۱	۵	۳
اولین معیار شایستگی	۳۰۰۷	۶۲۵۰	**۸۷۹۴**
سومین معیار شایستگی	۳۰۰	۶۱۶	**۸۴۱**

References

مرجع‌ها

[1] A.B. Rahin, Z.D.K. Kanani, "A low-voltage and low-power programmable Gm-C filter for wireless applications", Journal of Intelligent Procedures in Electrical Technology, vol. 5, no. 19, pp. 3-10, Dec. 2014 (in Persian) (dor: 20.1001.1.23223871.1393.5.19.1.4).

[2] S.M.A. Zanjani, M. Parvizi, "Design and simulation of a bulk driven operational trans-conductance amplifier based on CNTFET technology", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 45, pp. 63-74, June 2021 (in Persian) (dor: 20.1001.1.23223871.1400.12.1.5.1).

[3] S.A. Zanjani, A. Jannesari, P. Torkzadeh, "Design and simulation of ultra-low-power sigma-delta converter using the fully differential inverter-based amplifier for digital hearing aids application", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 51, pp. 75-90, Dec. 2022 (in Persian) (dor: 20.1001.1.23223871.1401.13.51.5.8).

[4] R. Póvoa, A. Canelas, R. Martins, N. Horta, N. Lourenço, J. Goes, "A low noise CMOS inverter-based OTA for and healthcare signal receivers", Proceeding of the IEEE/SMACD, pp. 1-4, Lausanne, Switzerland, July 2019 (doi: 10.1109/SMACD.2019.8795248).

[5] B. Nauta, "A CMOS transconductance-C filter technique for very high frequencies", IEEE Journal of Solid-State Circuits, vol. 27, no. 2, pp. 142–153, Feb. 1992 (doi: 10.1109/4.127337).

[6] H. Barthélemy, S. Meill, J. Gaubert, N. Dehaese, S. Bourdel, "OTA based on CMOS inverter and application in the design of tunable bandpass filter", Analog Integrated Circuits and Signal Processing, vol. 57, no. 2, pp. 169-178, Dec 2008 (doi: 10.1007/s10470-008-9167-8).

[7] F. Muñoz, A. Torralba, R.G. Carvajal, J. Tombs, J. Ramirez–Angulo, "Floating-gate-based tunable CMOS low voltage linear transconductor and its application to HF gm-C filter design", IEEE Trans. on Circuits and Systems II, vol. 48, no. 1, pp. 106-110, May 2001 (doi: 10.1109/82.913194).

[8] S. Ramasamy, B. Venkataramani, "A low power reconfigurable analog baseband block for software defined radio", Journal of Signal Processing System, vol. 62, no. 2, pp. 131–144, Feb. 2011 (doi: 10.1007/s11265-009-0357-0).

[9] K. Komoriyama, E. Yoshida, M. Yashiki, & H. Tanimoto, "A very wideband fully balanced active RC polyphase filter based on CMOS inverters in 0.18μm CMOS technology", Proceeding of the IEEE/VLSIC, pp. 98-99, Kyoto, Japan, June 2007 (doi: 10.1109/VLSIC.2007.4342676).

[10] A. Tanaka, H. Tanimoto, "Design of 1 V operating fully differential OTA using NMOS inverters", IEICE Transactions on Electronics, vol. 92, no. 6, pp. 822-827, June 2009 (doi: 10.1587/transele.E92.C.822).

[11] J. Sobhi, Z. Daei Koozeh Kanani, A. Baghi Rahin, A. Tahmasebi, "A new OTA based on FGMOS inverters for low voltage and low power applications", Proceedings of the ICCSP, vol. 3, pp. 23-26, Jan. 2010.

[12] H. Tanimoto, K. Yazawa, M. Haraguchi, "A fully-differential OTA based on CMOS cascode inverters operating from 1-V power supply", Springer, Analog Integrated Circuits and Signal Processing, vol. 78, no. 1, pp. 23–31, Jan. 2014 (doi: 10.1007/s10470-013-0126-7).

[13] A. Baghi Rahin, M.H. Ghasemi, V. Baghi Rahin, "DTMOS-based low-voltage and low-power two-stage OTA", Proceeding of the IEEE/ETECH, pp. 685-690, Bangalore, India, March 2021 (doi: 10.1109/R-TEICT52294.2021.9573559).

[14] A. Baghi Rahin, V. Baghi Rahin, "A new 2-input CNTFET-based XOR cell with ultra-low leakage power for low-voltage and low-power full adders", Journal of Intelligent Procedures in Electrical Technology, vol. 10, no. 37, pp. 2322-3871, May 2019 (in Persian) (dor: 20.1001.1.23223871.1398.10.37.2.6).

[15] H. Liu, A.I. Karsilayan, "A high frequency bandpass continuous-time filter with automatic frequency and Q-factor tuning", Proceeding of the IEEE/ISCAS, vol. 1, pp. 328–331, May 2001 (doi: 10.1109/ISCAS.2-001.921859).

[16] X. Zhang, E.I. EI-Masry, "A novel CMOS OTA based on body-driven MOSFETs and its applications in OTA-C filters", IEEE Trans. on Circuits and Systems I: Fundamental Theory and Applications, vol. 54, no. 6, pp. 1204–1212, June 2007 (doi: 10.1109/TCSI.2007.897765).

[17] F. Assaderaghi, D. Sinitsky, S. A. Parke, J. Bokor, P. K. Ko and Chenming Hu, "Dynamic threshold-voltage MOSFET (DTMOS) for ultra-low voltage VLSI", IEEE Trans. on Electron Devices, vol. 44, no. 3, pp. 414-422, March 1997 (doi: 10.1109/16.556151).

[18] H. Kuntman, D. Özenli, "DTMOS-based ultra-low-voltage low-power circuit design. In: trends in circuit design for analog signal processing", Trends in Circuit Design for Analog Signal Processing, pp. 267-283, May 2022 (doi: 10.1007/978-3-030-96836-6_11).

[19] M. Mahendra, S. Kumari, M. Gupta, "DTMOS based low power adaptively biased fully differential transconductance amplifier with enhanced slew-rate and its filter application", IETE Journal of Research, May 2021 (doi: 10.1080/03772063.2021.1925599).

[20] E. Kargaran, M. Sawan, K. Mafinezhad, H. Nabovati, "Design of 0.4V, 386nW OTA using DTMOS technique for biomedical applications", Proceeding of the IEEE/MWSCAS, pp. 270-273, Boise, ID, USA, Aug. 2012 (doi: 10.1109/MWSCAS.2012.6292009).
[21] M. Maymandi-Nejad and M. Sachdev, "DTMOS Technique for Low-Voltage Analog Circuits", IEEE Trans. on Very Large Scale Integration Systems, vol. 14, no. 10, pp. 1151-1156, Oct. 2006 (doi: 10.110-9/TVLSI.2006.884174).
[22] E. Rodriguez-Villegas, "Low power and low voltage circuit design with the FGMOS transistor", IET, 2006 (ISBN: 9780863416170).
[23] J.F. Duque-Carrillo, J.L. Ausin, G. Torelli, J.M. Valverde, M.A. Domı´nguez, "1-V rail-to-rail operational amplifiers in standard CMOS technology", IEEE Journal of Solid-State Circuits, vol. 35, no. 1, 33–44, Jan. 2000 (doi: 10.1109/4.818918).
[24] M. Kumngern, T. Kulej, F. Khateb, V. Stopjakova, R.K. Ranjan, "Nanopower multiple-input DTMOS OTA and its applications to high-order filters for biomedical systems", AEU- International Journal of Electronics and Communications, vol. 130, Article Number: 153576, Feb. 2021 (doi: 10.1016/j.aeue.2020.153576).
[25] J. Wang, Y. Li, Z. Zhu, "A 0.6-V pseudo-differential OTA with switched-opamp technique for low power applications", Microelectronics Journal, vol. 90, pp. 117–122, Aug. 2019 (doi: 10.1016/j.mejo.2019.06.002).
[26] F. Centurelli, A. Fava, M. Olivieri, P. Tommasino, A. Trifiletti, "A low-voltage class-ab ota exploiting adaptive biasing", AEU-International Journal of Electronics and Communications, vol. 122, Article Number: 153282, July 2020 (doi: 10.1016/j.aeue.2020.153282).
[27] F. Rezaei, "0.3V tunable OTA and Gm-C filter in 0.13µm CMOS", Transactions D: Computer Science and Engineering and Electrical Engineering, Scientia Iranica, vol. 28, no. 6, pp. 3333-3341, Dec. 2021 (doi: 10.24200/sci.2019.5452.1278).

زیرنویس‌ها

1. Operational transconductance amplifier
2. Voltage controlled voltage Source
3. Operational amplifier
4. Complementary metal-oxide semiconductor
5. Nauta
6. Multiple input floating-gate MOS
7. Threshold voltage
8. Floating-gate MOSFET
9. Triple-well
10. Dynamic threshold-voltage MOSFET
11. MOSFET
12. Electrically Erasable Programmable Read-Only Memory (EEPROM)
13. Erasable Programmable Read-Only Memory (EPROM)
14. Flash
15. Twin-well
16. Feedforward
17. Feedback
18. Cadence
19. Bode
20. Common-mode rejection ratio
21. Power supply rejection ratio
22. Monte Carlo
23. Post-layout
24. Figure of merit