JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 13/ No. 51/ Autumn 2022
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://jipet.iaun.ac.ir/

https://dorl.net/dor/20.1001.1.23223871.1401.13.51.5.8
Research Article

# Design and Simulation of Ultra-Low-Power Sigma-Delta Converter Using the Fully Differential Inverter-Based Amplifier for Digital Hearing Aids Application

**Shima Alizadeh Zanjani[1], *Ph.D. Student*, Abumoslem Jannesari[2], *Associate Professor*, Pooya Torkzadeh[1], *Assistant Professor***

[1]Department of Electrical and Computer Engineering- Science and Research Branch, Islamic Azad University, Tehran, Iran
[2]Department of Electrical and Computer Engineering- Tarbiat Modares University, Tehran, Iran
shi.alizadeh@srbiau.ac.ir, jannesari@modares.ac.ir, p-torkzadeh@srbiau.ac.ir

**Abstract**

In this paper, an ultra-low-power, second-order, discrete-time sigma-delta converter is proposed for hearing aids application. In portable biomedical devices such as hearing aids that permanently use, the battery lifetime and power dissipation are very considerable. In a typical delta-sigma modulator, the operational trans-conductance amplifiers (OTAs) are the most power-consuming parts. The OTAs elimination in the converters is now challenging. Therefore, the converter with a self-biased fully differential inverter-based amplifier was designed with only 1.15 µw static power dissipation at a 1-volt power supply. The inverter-based amplifier was used instead of the OTAs in two stages of the modulator. The modulator's structure is CIFB, single-loop, and single bit. The proposed differential modulator was designed and simulated using a standard 180 nm CMOS technology, which obtained spurious free dynamic range (SFDR) and signal to noise and distortion ratio (SNDR) of 95.2878 dB and 64.004 dB, respectively. The sampling frequency is considered 2.56 MHz, and the input signal bandwidth is 10kHz. The modulator consumes power just about 5.1091 µW, and the Walden figure of merit ($FOM_W$) achieves 0.197 pj/step.

**Keywords**: digital hearing aids, inverter-based amplifier, modulator, sigma-delta converter, sigma-delta discrete-time, ultra-low-power

**Received:** 16 July 2021
**Revised:** 29 September 2021
**Accepted:** 15 October 2021

**Corresponding Author:** Dr. Abumolsem Jannesari

Citation: S. Alizadeh Zanjani, A. Jannesari, P. Torkzadeh, "Design and simulation of ultra-low-power sigma-delta converter using the fully differential inverter-based amplifier for digital hearing aids application", Journal of Intelligent Procedures in Electrical Technology, vol. 13, no. 51, pp. 73-88, December 2022 (in Persian).

https://dorl.net/dor/20.1001.1.23223871.1401.13.51.5.8
مقاله پژوهشی

# طراحی و شبیه‌سازی مبدل سیگما دلتای فوق‌کم‌مصرف با استفاده از تقویت‌کننده تمام تفاضلی مبتنی بر اینورتر برای کاربرد سمعک دیجیتال

**شیما علی‌زاده زنجانی[۱]،دانشجوی دکتری، ابومسلم جان‌نثاری[۲]، دانشیار، پویا ترکزاده[۱]، استادیار**

۱- دانشکده مهندسی برق و کامپیوتر- واحد علوم و تحقیقات، دانشگاه آزاد اسلامی، تهران، ایران
۲- دانشکده مهندسی برق و کامپیوتر- دانشگاه تربیت مدرس، تهران، ایران
shi.alizadeh@srbiau.ac.ir, jannesari@modares.ac.ir, p-torkzadeh@srbiau.ac.ir

**چکیده**: در این مقاله، یک مبدل سیگما-دلتای زمان گسسته فوق‌کم‌مصرف مرتبه دوم، برای کاربرد سمعک پیشنهاد شده است. در تجهیزات پزشکی مانند سمعک که دائما استفاده می‌شود، طول عمر باتری و مصرف انرژی مورد توجه است. در مبدل-های سیگما-دلتای نوعی، تقویت‌کننده رسانایی عملیاتی (OTA) بیشترین مصرف را دارند. حذف OTAها در مبدل‌های سیگما-دلتا همچنان یک چالش محسوب می‌شود. بنابراین مبدلی با یک تقویت‌کننده مبتنی بر اینورتر دیفرانسیلی کامل خود بایاس با اتلاف توان استاتیک ۱/۱۵ میکروووات با ولتاژ تغذیه یک ولت طراحی شده است. این تقویت‌کننده مبتنی بر اینورتر، به‌جای OTA در هر دو طبقه مدولاتور استفاده شده است. ساختار این مبدل، فیدبک انتگرالی آبشاری (CIFB)، تک‌حلقه و تک‌بیتی است. مدولاتور دیفرانسیل پیشنهادی با استفاده از فناوری استاندارد ۱۸۰ نانومتر CMOS طراحی و شبیه‌سازی شده و مقدار محدوده دینامیکی آزاد کاذب (SFDR) و نسبت سیگنال به نویز و اعوجاج (SNDR) آن به‌ترتیب برابر با ۹۵/۲۸۷۸ و ۶۴/۰۰۴ دسیبل به‌دست آمده است. فرکانس نمونه‌برداری ۲/۵۶ مگاهرتز در نظر گرفته شده و پهنای باند سیگنال ورودی برابر با ۱۰ کیلوهرتز است. این مدولاتور، تنها ۵/۱۰۹۱ میکروووات انرژی مصرف می‌کند و $FOM_W$ آن برابر با ۰/۱۹۷ پیکوژول در هر گام است.

**کلمات کلیدی:** تقویت‌کننده مبتنی بر اینورتر، سمعک دیجیتال، سیگما-دلتای زمان گسسته، فوق‌کم‌مصرف، مبدل سیگما-دلتا، مدولاتور، مبدل آنالوگ به دیجیتال

**تاریخ ارسال مقاله:** ۱۴۰۰/۴/۲۵
**تاریخ بازنگری مقاله:** ۱۴۰۰/۷/۷
**تاریخ پذیرش مقاله:** ۱۴۰۰/۷/۲۳

**نام نویسنده‌ی مسئول:** دکتر ابومسلم جان‌نثاری
**نشانی نویسنده‌ی مسئول:** تهران- خ جلال آل‌احمد- پل نصر- دانشگاه تربیت مدرس- دانشکده برق و کامپیوتر

**۱- مقدمه**

با پیشرفت روزافزون علم پزشکی، توسعه وسایل قابل حمل در پزشکی و از جمله نسل جدید مبدل‌های آنالوگ به دیجیتال با مصرف بهینه انرژی، بسیار مورد توجه هستند. یکی از این وسایل قابل حمل پزشکی که مورد استفاده بسیاری از مردم جهان است و نیاز به آن در حال افزایش است، سمعک است. طبق اعلام سازمان بهداشت جهانی[۱] (WHO) در سال ۲۰۲۱، بیش از ۵ درصد جمعیت جهان، برای جبران کاهش شنوایی، نیاز به وسایل کمک‌شنوایی دارند. این جمعیت شامل ۴۳۲ میلیون بزرگسال و ۳۴ میلیون کودک است و پیش‌بینی می‌شود تا سال ۲۰۵۰، این جمعیت به بیش از ۷۰۰ میلیون نفر برسد [۱]. مشکل شنوایی، ناشی از دلایل مختلف خارجی و پاتولوژی است. اما بیشتر مشکلات شنوایی ناشی از افزایش سن است، که به آن اختلال شنوایی مرتبط با سن[۲] (ARHI) می‌گویند. معمولاً ARHI به‌صورت متقارن و حسی-عصبی است و در فرکانس‌های بالاتر مشکل بیشتر است. البته ممکن است انواع مختلفی از ARHI وجود داشته باشد. بنابراین، سمعک به‌عنوان یکی از وسایل قابل حمل پزشکی، با کاربران زیاد، بسیار قابل توجه است. برای وسایلی مانند سمعک و به‌منظور کاهش هزینه‌های ساخت، باید اندازه آن هم بسیار کوچک باشد. برای پیاده‌سازی یک سیستم کمک‌شنوایی، باید مصرف کم، افزایش طول عمر باتری، پردازش مناسب و نیز تناسب اندازه وسیله کمک‌شنوایی با گوش فرد، برای راحتی استفاده از آن مورد توجه قرار گیرد. سمعک، دستگاه پزشکی پرتابلی است که بسیاری از مردم جهان مجبور به استفاده از آن هستند، چون کم‌شنوایی معلولیتی است که فعالیت اجتماعی انسان‌ها را محدود می‌کند. سمعک دیجیتال، به‌دلیل امکان پردازش بهتر، امروزه بیشتر مورد توجه قرار گرفته است. مبدل‌های آنالوگ به دیجیتال صوتی، در سمعک‌های نوین نقش کلیدی دارند. این مبدل‌ها، سیگنال صوتی را از میکروفن دریافت کرده و به یک سیگنال دیجیتال تبدیل می‌کنند، سپس پردازش‌های بیشتری توسط پردازشگر سیگنال دیجیتال[۳] (DSP) بر روی این سیگنال‌ها صورت می‌گیرد. برای کاربرد سمعک، یکی از بهترین مبدل‌ها، نوع سیگما دلتا است [۲].

در طراحی مدولاتور سیگما-دلتای زمان گسسته یا کلید-خازنی، یکی از قسمت‌هایی که مصرف توان زیادی دارد، تقویت‌کننده رسانایی عملیاتی[۴] (OTA) است. بنابراین با به‌کارگیری روش‌های مختلفی مانند استفاده از مدار پسیو [۳]، تقویت‌کننده بر پایه اینورتر [۴, ۵] ، تقویت‌کننده بر پایه مقایسه‌کننده [۶]، تقویت‌کننده بر پایه زمان [۷] و غیره در مقاله‌های مختلف سعی شده که بخش OTA، با یک مدار کم‌مصرف، جایگزین شود. اما حذف OTA منجر به کاهش بازدهی مدولاتور می‌شود. برای جبران کاهش بازدهی، روش‌های دیگری مانند استفاده از آینه جریان در تقویت‌کننده بر پایه اینورتر [۸]، استفاده از مدار بافر بهره واحد و فیدبک [۹] و غیره، در تحقیقات ارائه شده است. استفاده از OTA با راه‌اندازی بدنه نیز یکی از راه‌های کاهش مصرف در تقویت‌کننده‌های عملیاتی است، اما منجر به نویزپذیری بیشتر و کاهش بهره می‌شود [۱۰]. بنابراین، کاهش مصرف OTA و یا حذف آن، در مدولاتور سیگما-دلتا و در عین حال دقت مناسب، همچنان یک چالش محسوب می‌شود.

در این مقاله، یک مدولاتور مرتبه دوم فوق‌کم‌مصرف با فرکانس کاری سمعک ارائه شده است که در هر دو طبقه آن به‌جای OTA، تقویت‌کننده مبتنی بر اینورتر پیشنهادی، به‌کار رفته است. ساختار مدولاتور، از نوع فیدبک انتگرالی آبشاری[۵] (CIFB) تک‌حلقه و مبدل دیجیتال به آنالوگ[۶] (DAC) تک‌بیت است. این تقویت‌کننده، با مصرف بسیار کم و به مقدار ۱/۱۵ میکروواط و در فناوری ۱۸۰ نانومتر طراحی شده و با ۱ ولت تغذیه می‌شود. همچنین به‌منظور مصرف کمتر در بخش کوانتایزر، از روش بایاس بدنه با آستانه دینامیکی[۷] (DT-MOS) در مدار پیش‌تقویت‌کننده استفاده شده است. استفاده از این روش، ولتاژ آستانه ترانزیستور و در نتیجه توان مصرفی را کاهش می‌دهد. ادامه بخش‌های مقاله به این شرح است. در بخش دوم، طراحی سیستمی مبدل سیگما-دلتا شرح داده می‌شود، در بخش سوم، مدار پیشنهادی جایگزین OTA و در بخش چهارم، پیاده‌سازی مداری مدولاتور مرتبه دوم توضیح داده خواهد شد. نتایج شبیه‌سازی و مقایسه با تحقیقات گذشته، در بخش پنجم و نتیجه‌گیری در بخش ششم بیان خواهد شد.

**۲- طراحی سیستمی مدولاتور سیگما-دلتای زمان گسسته**

هدف در این طرح، ارائه یک مدولاتور سیگما دلتای زمان گسسته با مصرف و پیچیدگی کم و اندازه کوچک، برای به‌کارگیری در سمعک دیجیتال است. در این بخش به انتخاب ساختار و نتیجه طراحی سیستمی آن پرداخته می‌شود. براساس تعداد کمی-

سازها[۸] دو نوع ساختار کلی برای مدولاتور سیگما-دلتا در نظر گرفته می‌شود، که عبارتند از: ساختار تک‌حلقه و ساختار چند-حلقه با شکل‌دهی نویز. در واقع در ساختار تک‌حلقه فقط از یک کمی‌ساز استفاده می‌شود و ساختار دارای پیچیدگی کمتری است. در حالی‌که در ساختار چندحلقه با شکل‌دهی نویز، که بیشتر برای مدولاتورهای با فرکانس بالا استفاده می‌شود، به‌دلیل استفاده از مدولاتورهای مرتبه پایین به‌صورت متوالی، پایداری بیشتر است و بیش از یک کمی‌ساز در مدولاتور استفاده می‌شود [۱۱]. ساختاری که در این طرح استفاده شده به‌منظور پیچیدگی کمتر، تک‌حلقه انتخاب شده است. ساختار تک‌حلقه‌ای نیز به دو دسته تقسیم می‌شود: ساختار پیشخور[۹] (FF) و ساختار پسخور[۱۰] (FB).

در این مقاله، ساختار CIFB مرتبه دوم تک‌حلقه با DAC تک‌بیت استفاده شده است. در این ساختار، همان‌طور که در شکل (۱) و عبارت (۴) نشان داده شده است، اثر سیگنال ورودی در خروجی وجود دارد و به‌دلیل سیگنال بزرگ و نیز خطی نبودن کامل تقویت‌کننده، در خروجی، اثرات هارمونیکی به‌وجود می‌آید [۱۱]، اما به‌دلیل داشتن مسیر فیدبک، در حذف خطا بهتر است. برای افزایش نسبت نویز به سیگنال[۱۱] (SNR) در یک مدولاتور تک‌حلقه می‌توان مرتبه مدولاتور را افزایش داد یا از DAC چندبیتی استفاده کرد. اگر مرتبه مدولاتور بیشتر از دو باشد و DAC تک‌بیت استفاده شده باشد مدولاتور ذاتاً پایدار نیست و به‌صورت مشروط پایدار است. در صورت استفاده از DAC چندبیتی، پیچیدگی افزایش و خطی بودن کاهش می‌یابد [۱۱]. در این طرح از مدولاتور مرتبه دوم تک‌حلقه و تک‌بیت استفاده شده است. مقدار a در شکل (۱) برابر است با:

$$a=\frac{\text{Gain-1}}{\text{Gain}} \qquad (۱)$$

بنابراین، هرچه مقدار a به عدد ۱ نزدیک‌تر باشد، مقدار بازدهی و در نتیجه مقدار SNR بیشتر خواهد شد. این ساختار با استفاده از سیمولینک نرم‌افزار متلب، شبیه‌سازی شده است. معادلات تابع تبدیل نویز[۱۲] (NTF) و تابع تبدیل سیگنال[۱۳] (STF)، با فرض ضرایب پسخور برابر با ۱، به‌صورت رابطه‌های (۲)، (۳) و (۴) نوشته می‌شوند [۷]:

$$STF(z)=\frac{c_1c_2q*Z^{-2}}{1+(c_2q-2)*Z^{-1}+(1+c_1c_2q-c_2q)*Z^{-2}} \qquad (۲)$$

$$NTF(z)=\frac{(1-Z^{-1})^2}{1+(c_2q-2)*Z^{-1}+(1+c_1c_2g-c_2g)*Z^{-2}} \qquad (۳)$$

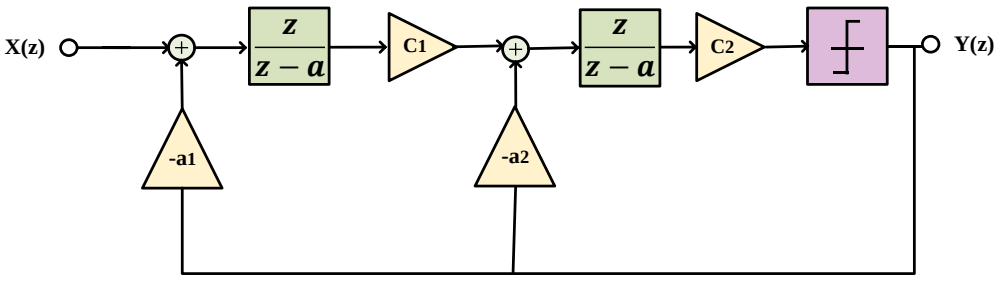
$$Y(z)=STF(z)*x(z)+NTF(z)*E(z) \qquad (۴)$$

که در آن q بهره کمی‌ساز است. ضرایب باید به‌گونه‌ای انتخاب شوند که STF و NTF برابر با [۷]:

$$STF=z^{-2} \qquad (۵)$$

$$NTF=(1-z^{-1})^2 \qquad (۶)$$

از آن‌جا که درجه آزادی در انتخاب ضرایب بسیار زیاد است، پس از شبیه‌سازی ساختار در سیمولینک نرم‌افزار متلب و در نظر گرفتن بهره تقویت‌کننده و مقدار ولتاژ بایاس، ضرایب ساختار CIFB شکل (۱) مطابق با جدول (۱) در نظر گرفته شده است. بهره در نظر گرفته شده در تحلیل سیمولینک، ۴۰ دسیبل است، که تقریباً برابر بهره تقویت‌کننده پیشنهادی است. این مقدار مطابق معادله (۱) برابر با ۰/۹۶۸۷۹ در نظر گرفته شده است.




**شکل (۱): ساختار مدولاتور سیگما دلتای مرتبه دوم پسخور [۱۰]**

Figure (1): Feedback structure of the second order sigma-delta modulator [10]

Table (1): System coefficients of the CIFB structure for the proposed modulator

**جدول (۱): ضرایب سیستمی ساختار CIFB برای مدولاتور پیشنهادی**

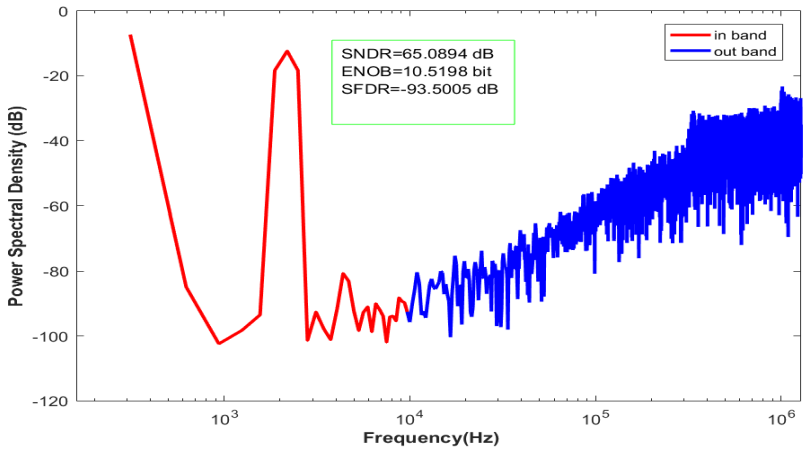
| ضرایب | مقدار |
|---|---|
| $a_1$ | ۱ |
| $a_2$ | ۱ |
| $c_1$ | ۰/۲ |
| $c_2$ | ۰/۴ |

چگالی طیف توان[۱۴] (PSD) خروجی تحلیل رفتاری مدولاتور پیشنهادی با اعمال سیگنال سینوسی و فرکانس ورودی با bin برابر ۷ و تعداد نقاط نمونه‌برداری ۸۱۹۲، در شکل (۲) نشان داده شده است. همچنین، فرکانس باند ۱۰ کیلوهرتز، مقدار نسبت بیش نمونه‌برداری (OSR) برابر ۱۲۸ و فرکانس نمونه‌برداری برابر با ۲/۵۶ مگاهرتز است. تعداد نقاط نمونه‌برداری باید ۶۴ برابر OSR باشد [۱۲]. در بخش بعد، تقویت‌کننده مبتنی بر اینورتر پیشنهادی در این مقاله شرح داده خواهد شد.

## ۳- تقویت‌کننده خودبایاس دیفرانسیلی کامل مبتنی بر اینورتر با مصرف بسیار پایین

یکی از روش‌های جایگزین OTA، استفاده از مدارهای مبتنی بر اینورتر است. استفاده از اینورتر ساده تک ورودی و تک خروجی در مرجع‌های [۱۳] و [۱۴] یا دیفرانسیلی در مرجع‌های [۴] و [۱۵] ارائه شده است. استفاده از اینورتر تک ورودی و تک خروجی نیاز به مدار اضافی برای تکنیک زمین مجازی[۱۵] دارد [۱۳].

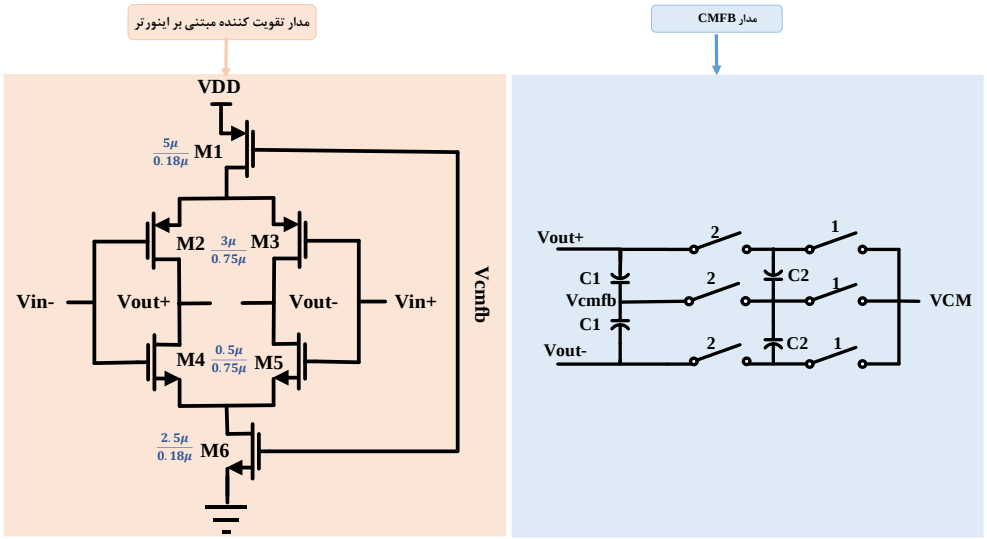
شکل (۳) تقویت‌کننده خودبایاس دیفرانسیلی کامل بر پایه اینورتر و مدار فیدبک حالت مشترک کلید-خازنی پیشنهادی را نشان می‌دهد. منظور از تقویت‌کننده خودبایاس، یعنی ولتاژ مورد نیاز برای بایاس تقویت‌کننده، از منبع تغذیه و ولتاژ حالت مشترک تامین می‌شود و نیاز به مدار بایاس اضافی ندارد. این تقویت‌کننده، با تغذیه ۱ ولت و به‌صورت فوق‌کم‌مصرف طراحی شده است و تنها ۱/۱۵ میکروواط مصرف انرژی در حالت DC دارد. علت توان مصرفی بسیار کم آن، قرار گرفتن ترانزیستورهای $M_1$ و $M_2$ در ناحیه زیرآستانه است و تغذیه کل آن ۱ ولت با فناوری ۰/۱۸ میکرومتر است و همان‌طور که در شکل (۴) نشان داده شده، بهره ولتاژ تقریبا برابر با ۴۰ دسیبل و محدوده فاز برابر با ۹۰ درجه است. همچنین مدار فیدبک حالت مشترک[۱۶] (CMFB) به‌صورت کلید-خازنی طراحی شده است. مدار فیدبک حالت مشترک کلید-خازنی، در مدارهای گسسته معمولا به‌کار می‌رود. این مدار، متوسط ولتاژهای خروجی دیفرانسیلی را با ولتاژ حالت مشترک مطلوب ($V_{cmfbi}$) مقایسه و ولتاژ مشترک خروجی ($V_{cmfb}$) را تولید می‌کند. برای انتخاب خازن‌های این مدار لازم است که خازن‌های $C_2$ حدود ۵ برابر بزرگتر از $C_1$ در نظر گرفته شود [۱۶]. در این طرح، مقدار خازن $C_1$ برابر با ۵۰ میکروفاراد و مقدار خازن $C_2$ برابر با ۱۰ میکروفاراد در نظر گرفته شده است.




**شکل (۲): نمودار چگالی طیف توان (PSD) شبیه‌سازی و تحلیل رفتاری مدولاتور مرتبه دوم پیشنهادی**

Figure (2): PSD diagram Simulation and behavioral analysis of the proposed second-order modulator

SC-CMFB ولتاژ کنترل $V_{cmfb}$ را تولید می‌کند تا ولتاژ کامان مد مشترک خروجی در مقدار ولتاژ کامان مد مرجع باقی بماند. کلاک‌های ۱ و ۲ برای کنترل کلیدها است. خازن‌های $C_2$ میانگین خروجی را در فاز کلاک ۲ تولید می‌کند و در فاز کلاک ۱ مقدار خازن شارژ شده به اشتراک گذاشته می‌شود. مقدار خازن با شبیه‌سازی‌های مختلف برای رسیدن به پایداری تقویت‌کننده به‌دست آمده است [۱۷]. در این‌جا به دلیل خودبایاس بودن تقویت‌کننده، ولتاژ $V_{cmfbi}$ برابر با $V_{cm}$ یعنی VDD/2 است. در جدول (۲) مقادیر ولتاژ و جریان عبوری از ترانزیستورهای تقویت‌کننده پیشنهادی نشان داده شده است. از آن‌جا که ولتاژ $V_{gs}$ ترانزیستورهای $M_1$ و $M_2$ کمتر از ولتاژ آستانه آن‌ها است، این ترانزیستورها در ناحیه زیرآستانه هستند، که باعث کاهش توان مصرفی می‌شود [۱۸]. همچنین، با استفاده از تحلیل ac و بدون مدار CMFB، مقدار GBW با خازن بار ۳۰۰ میکروفاراد، برابر با ۴/۵ مگاهرتز است، که در شکل (۴) نمایش بهره و فاز بدون مدار CMFB است. در دو طبقه مدولاتور پیشنهادی از تقویت-کننده بر پایه اینورتر خودبایاس تمام‌تفاضلی طراحی شده با مدار CMFB شکل (۳) استفاده شده است. تحلیل کرنر بهره ولتاژ این تقویت‌کننده در دماهای ۲۷، ۸۰ و ۴۰- درجه سانتیگراد برای کرنرها انجام شده که در جدول (۳) ارائه شده است. برای انجام تحلیل کرنرها به‌دلیل مدار CMFB کلید-خازنی از تحلیل جریان متناوب پریودیک[۱۷] (PAC) در نرم‌افزار کیدنس و از فرکانس نمونه‌برداری یعنی ۲/۵۶ مگاهرتز استفاده شده است. نمودار اعوجاج هارمونیک کل[۱۸] (THD) مربوط به تقویت‌کننده پیشنهادی در شکل (۵) نشان داده شده است. در این شکل همچنین مقادیر محدوده دینامیکی آزاد کاذب[۱۹] (SFDR) و نسبت سیگنال به نویز و اعوجاج[۲۰] (SNDR) مشخص شده است. با توجه به مقدار THD که برابر با ۵۸/۴۱- دسیبل به‌دست آمده است، میزان خطی بودن تقویت‌کننده پیشنهادی مطلوبست. همچنین تحلیل مونت-کارلو برای تقویت‌کننده پیشنهادی و با ۱۰۰ نمونه با تغییرات فرآیند و تطبیق، در شکل (۶) نشان داده شده است. تغییرات بهره در تحلیل مونت-کارلوی شکل (۶)، پراکندگی کمی دارد و میانگین بهره برابر با ۴۰/۷۵ دسیبل است.




**شکل (۳): مدار اینورتر استفاده شده در پیاده‌سازی مدولاتور سیگما دلتای زمان گسسته پیشنهادی مرتبه دوم**

Figure (3): The inverter circuit used in the implementation of the proposed second-order discrete-time sigma delta modulator

Table (2): Voltage and current values of the transistors in the proposed inverter-based amplifier

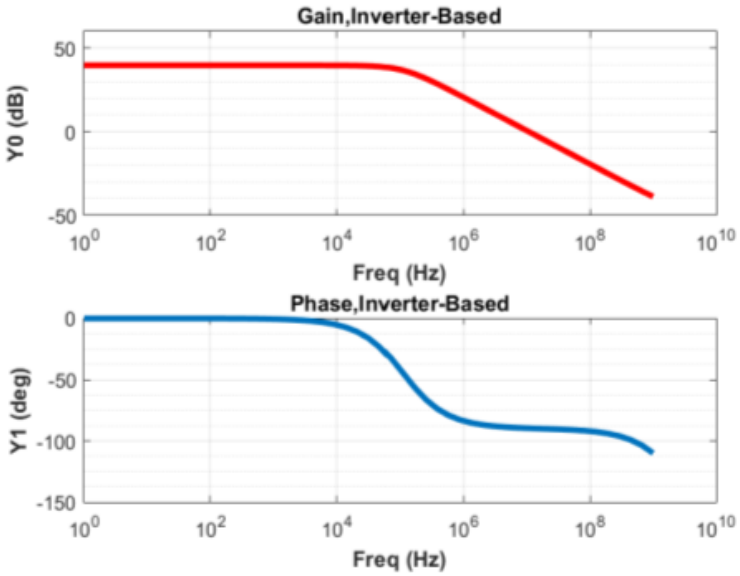
**جدول (۲): مقادیر ولتاژ و جریان ترانزیستورها در تقویت‌کننده پیشنهادی بر پایه اینورتر**

| پارامترها | $M_1$ | $M_{2,3}$ | $M_{4,5}$ | $M_6$ |
|---|---|---|---|---|
| $I_D$ | ۱/۱۵۷۴۶ µA | ۵۷۸/۷۲۹ nA | ۵۷۸/۷۲۹ nA | ۱/۱۵۷۴۶ µA |
| $V_{gs}$ | -۵۰۰ mV | -۴۸۳/۱۸ mV | ۴۹۳/۲۶۱ mV | ۵۰۰ mV |
| $V_{th}$ | -۵۰۹/۸۵۵mV | -۴۶۳/۱۴ mV | ۴۷۶/۴۶ mV | ۵۲۵/۲۹۹ mV |
| $V_{ds}$ | -۱۶/۸۲۱mV | -۷۷۶/۰۶ mV | ۲۰۰/۳۸ mV | ۶/۷۳۸۷۹ mV |
| ناحیه | زیرآستانه | اشباع | اشباع | زیرآستانه |

Table (3): The voltage gains corner analysis of the proposed amplifier

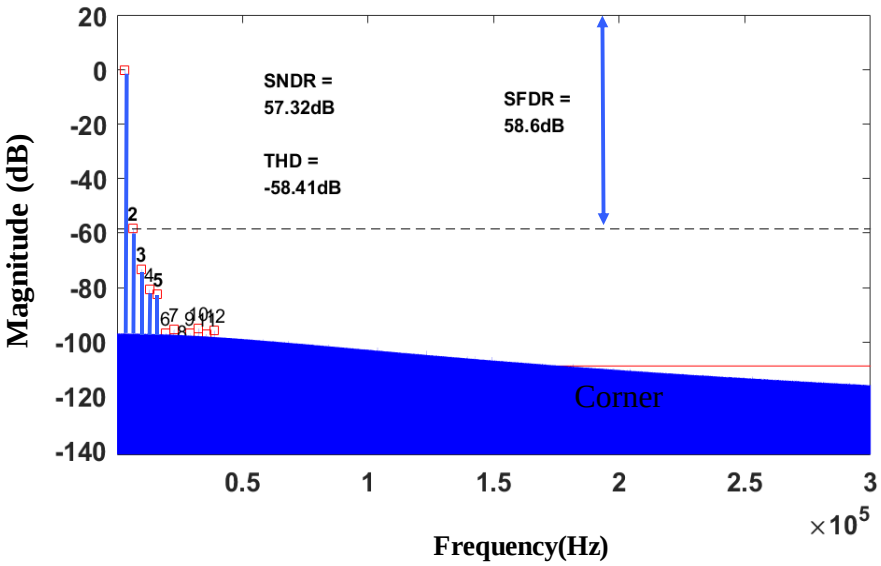
**جدول(۳): تحلیل کرنر بهره ولتاژ تقویت‌کننده پیشنهادی**

| دما (C°) / کرنر | -۴۰ | ۲۷ | ۸۰ |
|---|---|---|---|
| tt | ۳۷/۹۲ | ۴۱/۲۲ | ۴۱/۹۶ |
| ff | ۳۹/۲۹ | ۳۹/۷۱ | ۳۹/۶۲ |
| ss | ۳۱/۷۱ | ۳۷/۹۱ | ۴۰/۲۵ |
| fs | ۳۵/۲۵ | ۳۷/۰۵ | ۳۵/۷ |
| sf | ۳۵/۹۱ | ۳۹/۲۱ | ۳۸/۸ |



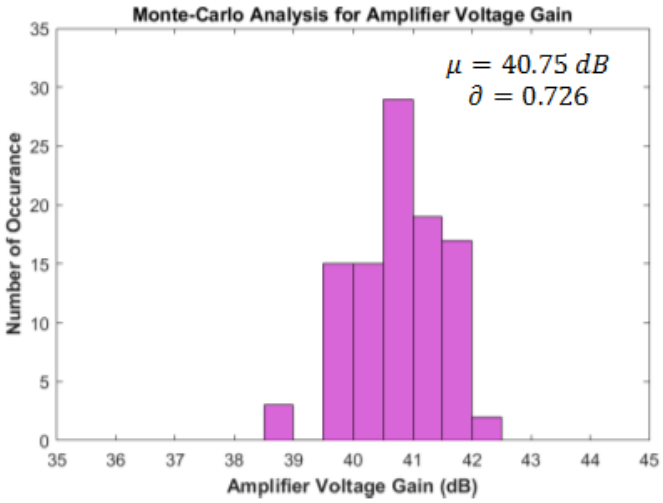

**شکل (۴): نمودار بهره و فاز تقویت‌کننده بر پایه اینورتر پیشنهادی**

Figure (4): The amplitude and phase diagram of the proposed inverter-based amplifier




**شکل (۵): نمودار خروجی تقویت‌کننده با ورودی سینوسی و نمایش مقادیر THD، SNDR و SFDR**

Figure (5): The amplifier output diagram with sine input and display the values of THD,SNDR and SFDR.



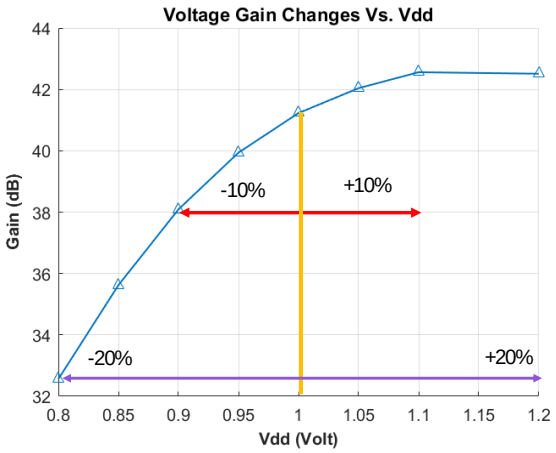

**شکل (۶): تحلیل مونت-کارلو برای بهره ولتاژ تقویت‌کننده پیشنهادی با تعداد ۱۰۰ نمونه**

Figure (6): Monte-Carlo analysis for voltage gain of the proposed amplifier with 100 samples

همچنین، نمودار تغییرات بهره ولتاژ با تغییرات ولتاژ منبع تغذیه در شکل (۷)، نشان داده شده است. تغییرات ۱۰± درصد و ۲۰± درصد اعمال شده و بهره ولتاژ به‌دست آمده است. با اعمال ۱۰± درصد تغییر به منبع تغذیه، بهره ولتاژ بین ۳۸/۰۹ دسیبل تا ۴۲/۵۶ دسیبل و با اعمال ۲۰± درصد تغییر به منبع تغذیه، بهره ولتاژ بین ۳۲/۵۶ دسیبل تا ۴۲/۵۱ دسیبل تغییر می‌کند. در شکل (۸)، تغییرات بهره ولتاژ بر حسب تغییرات دما نشان داده شده است. در این نمودار تغییرات دما از ۴۰- تا ۸۰ درجه سانتیگراد اعمال شده و بهره ولتاژ از ۳۷/۸۶ دسیبل تا ۴۱/۹۶ دسیبل تغییر کرده است و پایداری مناسب و مطلوب تقویت‌کننده را با تغییرات ولتاژ تغذیه نشان می‌دهد.

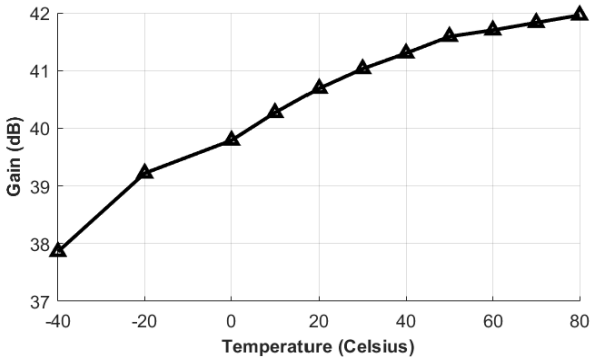
## ۴- پیاده‌سازی مداری مدولاتور سیگما دلتا

همان‌طور که در بخش ۲ بیان شد، در این مقاله از ساختار CIFB در طراحی مبدل سیگما دلتای زمان گسسته استفاده شده است. تحلیل سیستمی در بخش ۱ ارائه شد و در این بخش، قسمت‌های مداری برای پیاده‌سازی مدولاتور ارائه می‌شود. مدولاتور سیگما-دلتای زمان گسسته شامل فیلتر حلقه یا H(z)، کمی‌ساز و DAC مسیر خروجی است. فیلتر H(z) دارای بهره زیاد در داخل باند و تضعیف در خارج باند است. فیلتر حلقه در حالت زمان گسسته توسط انتگرال‌گیرهای خازن سوئیچ شده پیاده‌سازی می‌شود. کمی‌ساز به‌صورت تک‌بیت یا چندبیت می‌تواند باشد و توسط پیش‌تقویت‌کننده، مقایسه‌کننده و لچ پیاده-سازی می‌شود.




**شکل (۷): تغییرات بهره ولتاژ تقویت‌کننده پیشنهادی، در اثر ولتاژ تغذیه مختلف**

Figure (7): Voltage gain changes of the proposed amplifier due to the different power supply voltage



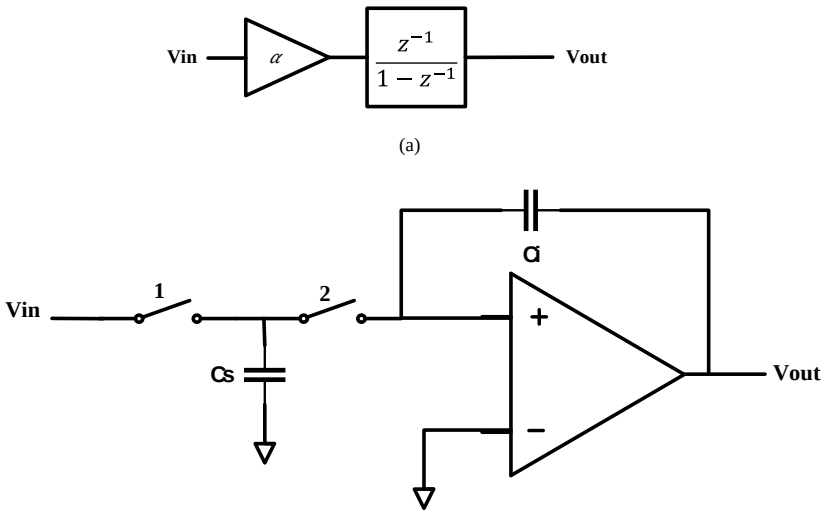

**شکل(۸): تغییرات بهره ولتاژ تقویت‌کننده پیشنهادی در اثر تغییرات دما**

Figure (8): Voltage gain changes of the proposed amplifier due to the different temperature

DAC مسیر فیدبک برای مقایسه سیگنال دیجیتال خروجی و سیگنال ورودی قرار دارد و در زمان گسسته با استفاده از توزیع مجدد شارژ[۲۱] پیاده‌سازی می‌شود [۱۱،۱۲]. در شکل (۹)، مدل خطی و مداری مربوط به انتگرال‌گیر مدولاتور سیگما-دلتا نشان داده شده است. با توجه به شکل (۹)، مشخص است که مدل خطی انتگرال‌گیر دارای بهره‌ای برابر با $\alpha$ است:

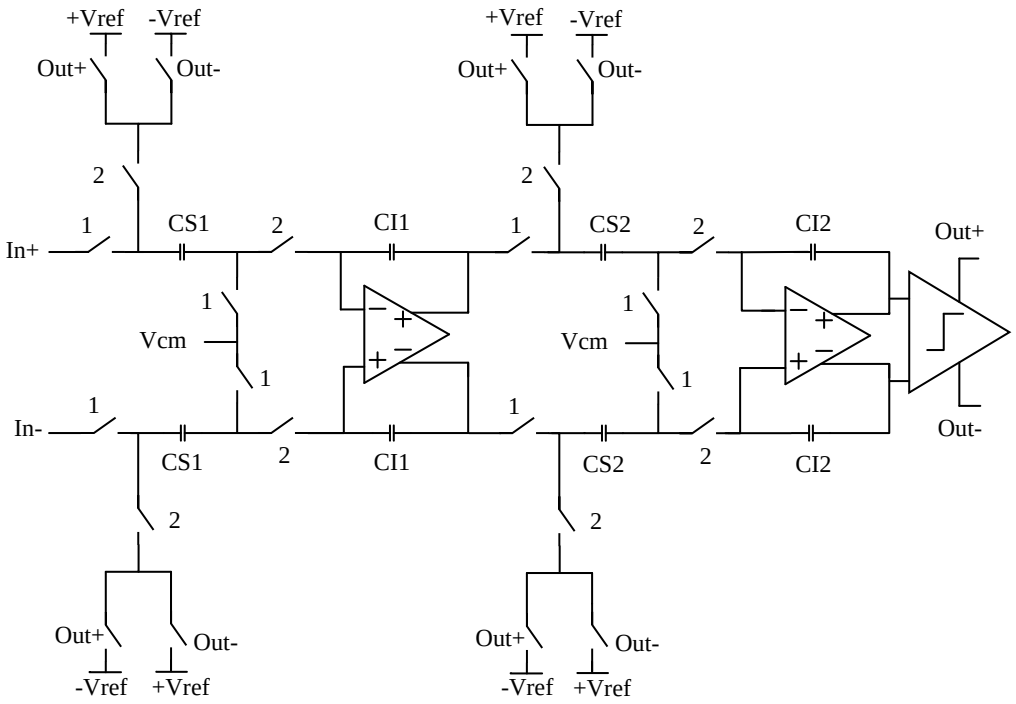
$$\alpha=\frac{C_S}{C_i} \qquad (۷)$$

اگر انتگرال‌گیرها در پیاده‌سازی مدولاتور سیگما-دلتا استفاده شوند، به این نسبت ضرایب گفته می‌شود که نقش بسیار مهمی در پایداری و بازدهی دارند. از آن‌جا که در مدولاتور سیگما-دلتای زمان گسسته این ضریب با نسبت خازن‌ها ایجاد می‌شود، تغییرات آن در فرآیند ساخت، کوچک است [۱۱]. مدولاتور سیگما-دلتای زمان گسسته، شامل تقویت‌کننده، مقایسه‌کننده، پیش‌تقویت‌کننده، لچ، کلید و خازن است. شکل (۱۰)، مدل مداری یک مدولاتور مرتبه دوم سیگما-دلتای زمان گسسته با ساختار CIFB را نشان می‌دهد [۸]. ساختار این مدولاتور به‌صورت CIFB و دیفرانسیلی است. از آن‌جا که DAC مدار شکل (۱۰)، تک‌بیتی است، شامل یک پیش‌تقویت‌کننده، یک مقایسه‌کننده و یک لچ از نوع فلیپ فلاپ RS است که ساختار آن، در شکل (۱۱) نشان داده شده است. ولتاژ مرجع مثبت برابر با ۰/۸ ولت و ولتاژ مرجع منفی برابر با ۰/۲ ولت در نظر گرفته شده است.



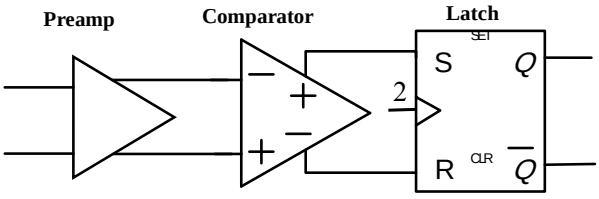

**شکل (۹): (a) مدل خطی انتگرال‌گیر مدولاتور سیگما-دلتا، (b) مدل مداری**

Figure (9): (a) The integrator linear model of sigma-delta modulator (b) The circuit model




**شکل (۱۰): شماتیک مداری مدولاتور مرتبه دوم زمان گسسته با ساختار** CIFB [**۷**]

Figure (10): The second-order discrete time modulator schematic with CIFB structure [7]




**شکل (۱۱): ساختار** DAC **تک‌بیتی مدولاتور سیگما-دلتای مرتبه دوم**

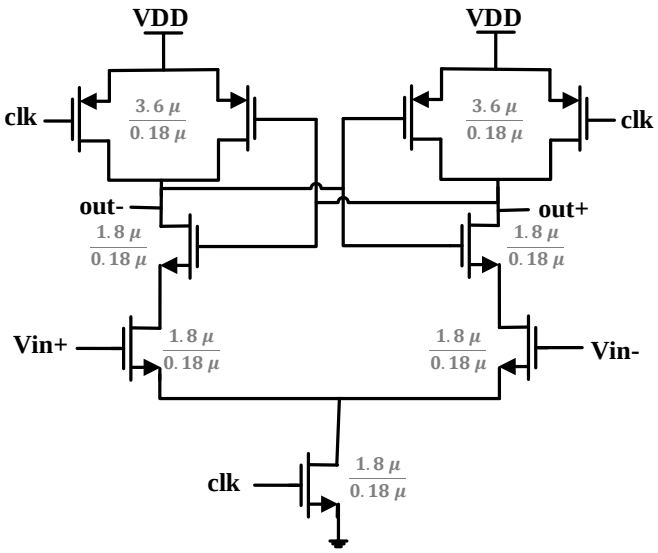
Figure (11): DAC structure of the second order, single–bit sigma-delta modulator

در شکل (۱۲)، مدار مقایسه‌کننده بخش کمی‌ساز نشان داده شده است. این مقایسه‌کننده دینامیکی است و با لبه بالارونده کلاک تریگر می‌شود و مقادیر خروجی تا لبه بالارونده بعدی در لچ ذخیره می‌شود. همچنین، مقایسه‌کننده‌های دینامیکی فیدبک مثبت ایجاد می‌کنند و سرعت بالا و مصرف کمی دارند [۱۹]. مدار پیش‌تقویت‌کننده شکل (۱۳) قبل از مقایسه‌کننده قرار دارد تا سیگنال ورودی مقایسه‌کننده را تقویت نماید و در نتیجه تشخیص سیگنال ورودی مقایسه‌کننده بهتر و صحیح‌تر انجام شود.

در مدار پیش‌تقویت‌کننده، به‌منظور مصرف کمتر، از روش بایاس بدنه با آستانه دینامیکی (DT-MOS) استفاده شده است. معمولا، در ترانزیستورهای NMOS، بدنه به کمترین ولتاژ مدار و در ترانزستورهای PMOS بدنه به بیشترین ولتاژ مدار متصل می‌شود. در روش DT_MOS، بدنه به گیت متصل می‌شود و به این ترتیب ولتاژ آستانه ترانزیستور، و در نتیجه مصرف توان کاهش می‌یابد. ولتاژ آستانه‌ی ترانزیستور MOSFET از عبارت (۸) به‌دست می‌آید:

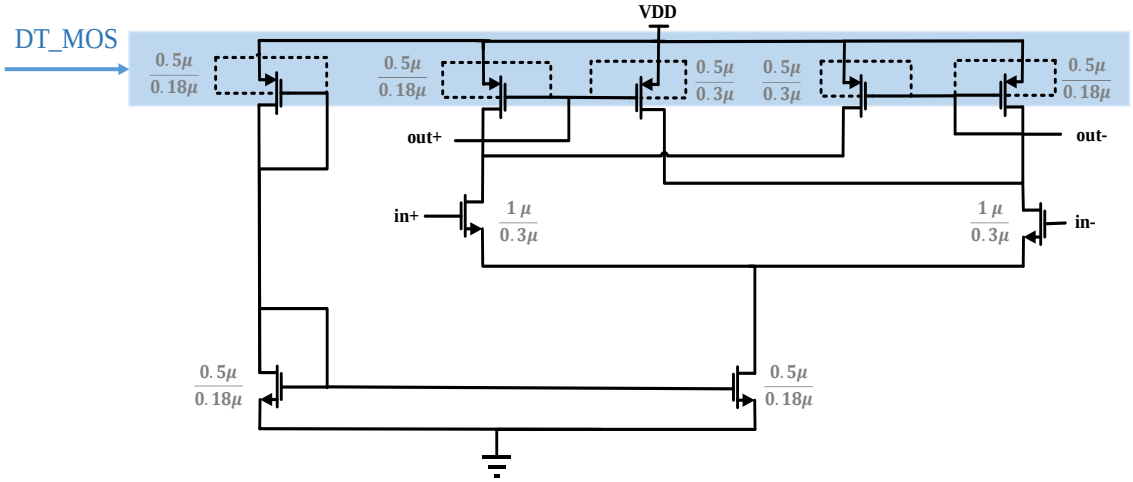
$$|V_{th}|=|V_{th0}|+|\gamma|\sqrt{2|\varphi_F|+V_{BS}}-\sqrt{2|\varphi_F|} \qquad (۸)$$

که در آن $V_{th0}$، ولتاژ آستانه به‌ازای $V_{BS}$ برابر با صفر، است، $\gamma$ اثر بدنه و $\Psi_F$ برابر با پتانسیل فرمی است. همان‌طور که در شکل (۱۳) نشان داده شده است، فقط در ترانزیستورهای PMOS متصل به تغذیه اصلی مدار، از این روش استفاده شده است [۱۰،۲۰].



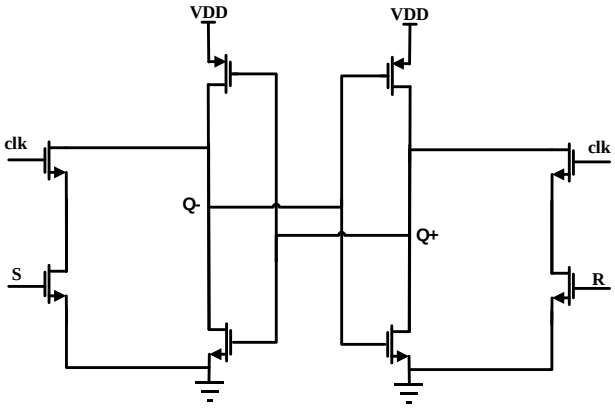

شکل (۱۲): مدار مقایسه‌کننده

Figure (12): The comparator circuit




شکل (۱۳): مدار پیش‌تقویت‌کننده

Figure (13): The preamplifier circuit




شکل (۱۴): مدار لچ (فلیپ فلاپ RS)

Figure (14): The latch (RS flip-flop) circuit

مقدار بهره ولتاژ پیش‌تقویت‌کننده برابر با ۱۴/۸۷ دسیبل است که برای پیش‌تقویت‌کننده مقدار مناسبی است. شکل (۱۴)، مدار مربوط به لچ کمی‌ساز را نشان می‌دهد. همان‌طور که در شکل (۱۱) نشان داده شده است، لچ مورد استفاده، همان فلیپ

فلاپ RS است که به خروجی مقایسه‌کننده متصل شده است. برای پیاده‌سازی ضرایب جدول (۱)، به‌صورت مداری، خازن‌های نمونه‌برداری $CS_i$ و انتگرال‌گیر $CI_i$ متناظر با ضرایب باید انتخاب شوند (i، بیانگر طبقات مدولاتور است). برای محاسبه $CS_1$ از معادله (۹) استفاده می‌شود [۸]:

$$CS_1 = \frac{2*k*T}{0.5*OSR*V_{FS}{}^2*10^{\frac{SNR}{10}}} \quad (۹)$$

که درآن K ثابت بولتزمن، T دما برحسب کلوین، SNR نسبت سیگنال به نویز مطلوب، OSR نسبت فرانمونه‌برداری و $V_{FS}$ برابر با دامنه تمام‌مقیاس است. مقدار $CS_1$ برابر است با ۲ پیکوفاراد در نظر گرفته شده است. خازن‌های انتگرال‌گیر با استفاده از ضرایب، به‌صورت روابط (۱۰) و (۱۱) به‌دست آمده است:

$$CI_1 = \frac{CS_1}{c_1} \quad (۱۰)$$

$$CI_2 = \frac{CS_2}{c_2} \quad (۱۱)$$

مقادیر خازن‌ها برحسب پیکوفاراد مطابق با جدول (۴) در نظر گرفته شده است. کلیدها به‌صورت دروازه انتقال[۲۲] (T.G) انتخاب شده‌اند. برای کاهش مقاومت کلید در زمان روشن بودن، در پیاده‌سازی این کلیدها، ترانزیستورهای NMOS و PMOS را به‌صورت موازی به یکدیگر متصل می‌نمایند. مقاومت این کلیدها نسبت به کلیدهای NMOS و PMOS خطی‌ترند [۲۱]. اندازه ترانزیستور کلیدها در این طرح، در شکل (۱۵) نشان داده شده است. از آن‌جا که فناوری مورد استفاده ۱۸۰ نانومتر است، به‌منظور عدم استفاده از اندازه بزرگ در کلیدها، ولتاژ کلاک ۱/۲ ولت در نظر گرفته شده است. در مدارات با تغذیه کم، به دلیل مشکل در درایو کلیدها از مدار افزایش دهنده ولتاژ کلاک[۲۳] استفاده می‌شود. در این روش کلاک با ولتاژ منبع تغذیه ایجاد می‌شود و سپس به مدار افزایش دهنده ولتاژ کلاک وارد می‌شود. خروجی این مدار، ولتاژ کلاک را افزایش می‌دهد [۸]. تحلیل THD کلید در شکل (۱۶) نشان داده شده است. مقدار THD کل کلید برابر با ۸۵/۱۴-دسیبل است. همچنین کلاک‌ها دارای دو فاز غیرهمپوشان با فرکانس ۲/۵۶ مگاهرتز هستند.

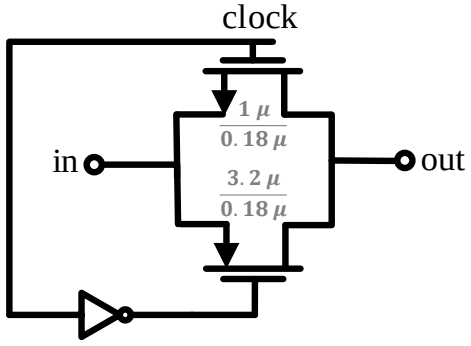
## ۵- نتایج شبیه‌سازی و مقایسه با تحقیقات گذشته

مدولاتور مرتبه دوم تک‌حلقه تک‌بیت، به‌صورت مداری و با عناصر واقعی در نرم افزار کیدنس پیاده‌سازی و شبیه‌سازی شده است. فرکانس ورودی سینوسی برابر با ۲/۱۸۷۵ کیلوهرتز در نظر گرفته شده است. این شبیه‌سازی برای ۸۱۹۲ نقطه انجام شده است. نمودار چگالی طیف توان خروجی در حالت پیاده‌سازی مداری در شکل (۱۷) نشان داده شده است.

Table (4): The sampling and integrator capacitors values of the proposed second order modulator

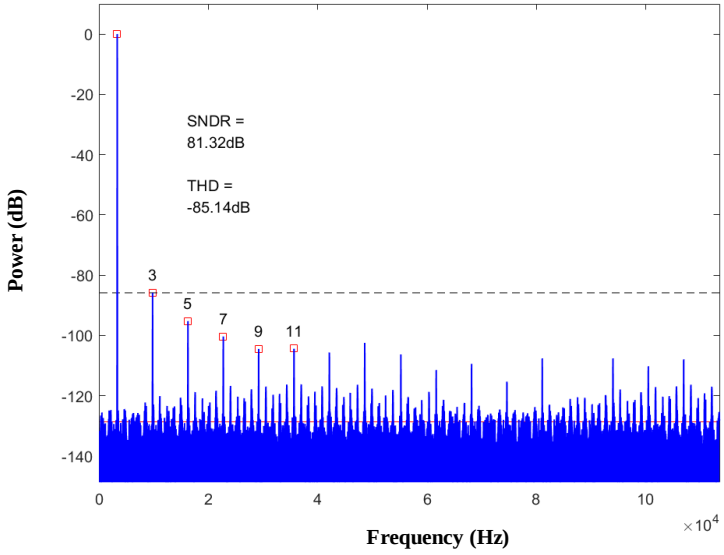
**جدول (۴): مقادیر خازنهای نمونه برداری و انتگرالگیر مدولاتور پیشنهادی مرتبه دوم**

| $Cs_1$ | $Cs_2$ | $CI_1$ | $CI_2$ |
|---|---|---|---|
| ۲ | ۱ | ۱۰ | ۲/۵ |



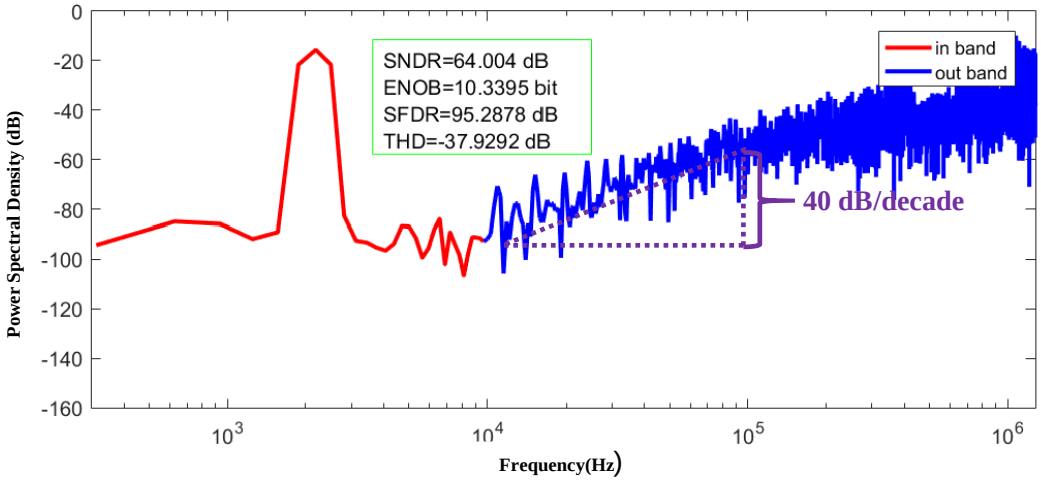

**شکل (۱۵): کلیدهای مورد استفاده در مدولاتور پیشنهادی**

Figure (15): The T.G switches used in the proposal modulator



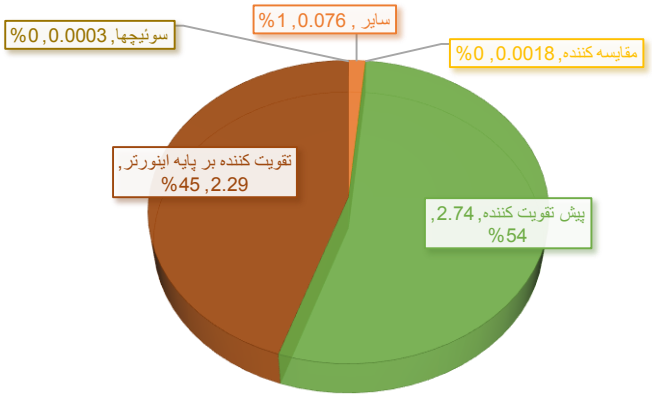

**شکل (۱۶): نمودار مربوط به میزان THD کلید**

Figure (16): THD graph of the switch.




**شکل (۱۷): نمودار چگالی طیف توان خروجی مدولاتور پیشنهادی پیاده‌سازی شده به‌صورت مداری**

Figure (17): Power specteral density diagram of the proposed modulator's circuit implementation output




**شکل (۱۸): نمودار دایره‌ای میزان مصرف مدولاتور پیشنهادی**

Figure (18): Circular diagram of the proposed modulator consumption

Table (5): Consumption of the proposed sigma-delta converter blocks

**جدول (۵): مقدار مصرف بلوک‌های مبدل سیگما-دلتای پیشنهادی**

| بلوک‌های مبدل | میزان مصرف انرژی بر حسب میکروواوت |
|---|---|
| لچ | ۰/۰۰۱ |
| مقایسه‌کننده | ۰/۰۰۱۸ |
| پیش‌تقویت‌کننده | ۲/۷۴ |
| تقویت‌کننده بر پایه اینورتر | ۲/۲۹ |
| کلیدها | ۰/۰۰۰۳ |
| سایر | ۰/۰۷۶ |

Table (6): Comparison with the past works

**جدول (۶): مقایسه با کارهای گذشته**

| روش | Vdd [V] | BW [KHz] | OSR | Fs [MHz] | SNDR (dB) | Pow. (µW) | $FOM_W$ pJ/step | Tech (nm) | Architecture |
|---|---|---|---|---|---|---|---|---|---|
| طرح پیشنهادی | ۱ | ۱۰ | ۱۲۸ | ۲/۵۶ | ۶۴/۰۰۴ | ۵/۱۰۹۱ | ۰/۱۹۷ | ۱۸۰ | DT |
| [۴] | ۱/۲ | ۲۰ | ۳۲ | ۱/۲۸ | ۷۲/۵ | ۱۶۵ | ۱/۱۹۷ | ۱۳۰ | DT |
| [۲۲] | ۱/۸ | ۱۰ | ۶۴ | ۱/۲۸ | ۸۴/۴ | ۱۵۵ | ۰/۵۷۱ | ۱۸۰ | DT |
| [۲۳] | ۱ | ۸ | ۶۲/۵ | ۱ | ۸۷ | ۲۳۰ | ۰/۷۸۶ | ۱۳۰ | DT |
| [۲۴] | ۰/۵ | ۲۰ | ۵۱/۲ | ۲ | ۶۰/۸ | ۴۳/۴ | ۱/۲۱ | ۶۵ | DT |
| [۲۵] | ۱/۸ | ۱۰ | ۱۶ | ۰/۳۲ | ۷۴/۲۴ | ۳۶ | ۰/۴۲۷ | ۱۸۰ | DT |
| [۲۶] | ۱/۲ | ۱۰ | ۱۲۸ | ۲/۵۶ | ۸۷/۸ | ۱۴۸ | ۰/۳۷ | ۱۸۰ | DT |
| [۲۷] | ۱/۸ | ۱۰ | ۶۴ | ۱/۲۸ | ۹۵ | ۲۱۰ | ۰/۲۳ | ۱۸۰ | DT |
| [۲۸] | ۰/۹ | ۱۰ | ۲۵۶ | ۵ | ۸۰/۱ | ۲۰۰ | ۱/۲۱ | ۱۸۰ | DT |
| [۲۹] | ۰/۷ | ۸ | ۶۴ | ۱/۰۲۴ | ۶۷ | ۸۰ | ۲/۷۳ | ۱۸۰ | DT |

با توجه به شکل (۱۷)، SNDR برابر با ۶۴/۰۰۴ دسیبل و مقدار SFDR برابر با ۹۵/۲۸۷۸ دسیبل است و مبدل آنالوگ به دیجیتال پیشنهادی ۱۰/۳۳۹۵ بیتی است. همچنین شکل‌دهی تابع، متناسب با مرتبه مدولاتور است. در واقع به‌ازای هر مرتبه مدولاتور، شکل‌دهی باید دارای شیب ۲۰ دسیبل در هر دهه باشد [۱۲] و در این‌جا ۴۰ دسیبل در هر دهه است.

مصرف توان این مدولاتور مجموعا برابر با ۵/۱۰۹۱ میکروواوت است. میزان مصرف هر بخش برحسب میکروواوت و درصد به‌صورت نمودار دایره‌ای در شکل (۱۸) نمایش داده شده است. شاخص شایستگی عددی[۲۴] (FOM) برای مدولاتور سیگما-دلتا از دو روش می‌تواند محاسبه شود، شاخص شایستگی شرایر[۲۵] (FOMs) و شاخص شایستگی والدن[۲۶] ($FOM_W$). در بررسی مدولاتورهای سیگما-دلتا، $FOM_W$ مرسوم‌تر است و برابر است با [۸]:

$$FOM_S = DR + 10*\log\left(\frac{BW}{Power}\right) \quad (۱۲)$$

$$FOM_W = \frac{Power}{2*BW*2^{ENOB}} \quad (۱۳)$$

که در آن، تعداد بیت موثر[۲۷] (ENOB) برابر است با:

$$ENOB = \frac{SNDR(dB) - 1.76}{6.02} \quad (۱۴)$$

هرچه مقدار شاخص $FOM_W$ کوچک‌تر باشد، مطلوب‌تر است، چون به معنای کمتر بودن توان مصرفی، بیشتر بودن BW و دقت مدولاتور است. در جدول (۶)، مقایسه بین این طرح و تعدادی از مطالعات گذشته انجام شده است.

## ۶- نتیجه‌گیری

در این مقاله، مدولاتور فوق‌کم‌مصرف سیگما-دلتای مرتبه دوم زمان گسسته با ساختار CIFB ارائه شده است. در پیاده‌سازی مداری، تقویت‌کننده بر پایه اینورتر دیفرانسیلی، جایگزین OTA که توان زیادی مصرف می‌کنند شده است و بهره ولتاژ این تقویت‌کننده حدود ۴۰ دسیبل است. این مدولاتور برای کاربرد سمعک دیجیتال ارائه شده و از آن‌جا که مصرف انرژی آن بسیار پایین و در حدود ۵/۱۰۹۱ میکروواوت است و نیز با توجه به SNDR و FOMw، این مدولاتور برای کاربرد سمعک مناسب است. همچنین با توجه به جدول (۶)، مشاهده می‌شود که از معیار شایستگی مناسبی برخوردار است. در واقع، در عین مصرف بسیار پایین، بازدهی مناسبی دارد.

**سپاسگزاری**

این مقاله از پایان‌نامه دوره دکتری در دانشگاه آزاد اسلامی واحد علوم و تحقیقات استخراج شده است. نویسندگان بر خود لازم می‌دانند مراتب تشکر صمیمانه خود را از همکاران حوزه پژوهشی دانشگاه آزاد اسلامی و داوران محترم که ما را در انجام و ارتقای کیفی این مقاله یاری نموده‌اند، اعلام نمایند.

**References**

**مراجع**

[1] World Health Organization, Deafness and hearing loss. [Online] Available: https://www.who.int/news-room/fact-sheets/detail/deafness-and-hearing-loss, April 2021.

[2] H. Helgi, "A 0.9-V 37-uW 98-dB DR inverter-based ΔΣ modulator for hearing aids", Master Thesis, Department of Electrical and Information Technology, Faculty of Engineering, LTH, Lund University, Lund University, Sweden E-huset, Lund, 2014.

[3] F. Chen, B. Leung, "A 0.25-mW low-pass passive sigma-delta modulator with built-in mixer for a 10-MHz IF input", IEEE Journal of Solid-State Circuits, vol. 32, no. 6, pp. 774-782, June 1997 (doi: 10.1109/4-.585244).

[4] J.R. Custódio, J. Goes, N. Paulino, J.P. Oliveira, E. Bruun, "A 1.2-V 165µW 0.29-mm 2 multibit sigma-delta ADC for hearing aids using nonlinear DACs and with over 91 dB dynamic-range", IEEE Trans. on Biomedical Circuits and Systems, vol. 7, no. 3, pp. 376-385, June 2013 (doi: 10.1109/TBCAS.2012.22 038-19).

[5] H. Luo, Y. Han, R.C. Cheung, X. Liu, T. Cao, "A 0.8-V 230-µW 98-dB DR inverter-based sigma-delta modulator for audio applications", IEEE Journal of Solid-State Circuits, vol. 48, pp. 2430-2441, Oct. 2013 (doi: 10.1109/JSSC.2013.2275659)

[6] J.K. Fiorenza, T. Sepke, P. Holloway, C.G. Sodini, H.S. Lee, "Comparator-based switched-capacitor circuits for scaled CMOS technologies", IEEE Journal of Solid-State Circuits, vol. 41, pp. 2658-2668, Dec. 2006 (doi: 10.1109/JSSC.2006.884330).

[7] Y. Lin, M. Ismail, "Time-based all-digital sigma-delta modulators for nanometer low voltage CMOS data converters", Analog Integrated Circuits and Signal Processing, vol. 73, pp. 801-808, 2012 (doi: 10.1007/s10-470-012-9901-0).

[8] A.F. Yeknami, "Low-power delta-sigma modulators for medical applications", Printed by LiU-Tryck, Linkoping University, Linkoping, Sweden, No. 1563, ISSN 0345-7524, 2011.

[9] R. Moradi, E .Farshidi, M. Soroosh, "A low power passive-active ΔΣ modulator with high-resolution employing an integrator with open-loop unity-gain buffer", Integration, vol. 64, pp. 137-142, Jan. 2019 (doi: 10.1016/j.vlsi.2018.09.006).

[10] S.M.A. Zanjani, M. Parvizi, "Design and simulation of a bulk driven operational trans-conductance amplifier based on CNTFET technology", Journal of Intelligent Procedures in Electrical Technology, vol. 12, no. 45, pp. 65-76, Spring 2021 (dor: 20.1001.1.23223871.1400.12.1.5.1) (in Persian).

[11] R. Moradi, E. Farshidi, "Sigma-delta analog to digital modulator and modulator error compensation", Plastics, 1th Edition, vol. 1, Niazedanesh Press, 2018 (in Persian).

[12] R. Schreier, G.C. Temes, "Understanding delta-sigma data converters", vol. 74: IEEE press Piscataway, NJ, 1st Edition, Sept. 2005.

[13] Y. Chae, G. Han, "Low voltage, low power, inverter-based switched-capacitor delta-sigma modulator", IEEE Journal of Solid-State Circuits, vol. 44, no. 2, pp. 458-472, Jan. 2009 (doi: 10.1109/JSSC.2008.2010-973).

[14] C. Chen, H. Zhang, "A 0.6-V, 69-dB subthreshold sigma-delta modulator", Journal of Semiconductors, vol. 39, Article Number: 125004, Dec. 2018 (doi:10.1088/1674-4926/39/12/125004).
[15] V.M.D. Cruz, A. Silverio, "A 63 µW 92.68-dB SNDR sigma-delta modulator using self-biased inverter-based amplifiers", Proceeding of the IEEE/ISEE, pp. 5-8, Ho Chi Minh, Vietnam, April 2021 (doi: 10.1109/-ISEE51682.2021.9418716).
[16] D.A. Johns, K. Martin, "Analog integrated circuit design", John Wiley & Sons press, 2nd Edition, Dec, 2011.
[17] J. Basu, P. Mandal, "Switched-capacitor common-mode feedback-based fully differential operational amplifiers and its usage in implementation of integrators", Journal of Circuits, Systems and Computers, vol. 29, Article Number: 2050223, March 2020 (doi: 10.1142/S0218126620502230).
[18] M.A. Jeshvaghani, M. Dolatshahi, "Design of a low-power universal Gm-C filter in sub-threshold region", Journal of Intelligent Procedures in Electrical Technology, vol. 4, no. 15, pp. 3-10, June 2013 (dor: 20.100-1.1.23223871.1392.4.15.1.9) (in Persian).
[19] M. Shahriary, A. Ghasemi, N.C. Shirazi, "Improvement of SNDR using optimization of feedback Path coefficients for second order CRFB modulators in sigma-delta analog to digital converters", Journal of Communication Engineering, vol. 11, no. 41, pp. 15-28, Summer 2021 (in Persian).
[20] N.C. Shirazi, A. Jannesari, P. Torkzadeh, "Self-start-up fully integrated dc-dc step-up converter using body biasing technique for energy harvesting applications", AEU-International Journal of Electronics and Communications, vol. 95, pp. 24-35, Oct. 2018 (doi: 10.1016/j.aeue.2018.07.033).
[21] N. Chamanpira, S.M.A. Zanjani, M. Dolatshahi, "Design and simulation of a new sample and hold circuit with resolution of 12-Bit and a sampling rate of 1 GS/s using a dual sampling technique", Journal of Intelligent Procedures in Electrical Technology, vol.9, no. 34, pp. 3-10, Sept. 2018 (dor: 20.1001.1.232238-71.1397.9.34.1.2) (in Persian).
[22] S. Porrazzo, A. Morgado, D.S. S. Bello, F. Cannillo, C. Van Hoof, R.F. Yazicioglu, A.H.M. Roermund, E. Cantatore, "A 155 µW 88-dB DR discrete-time delta-sigma modulator for digital hearing aids exploiting a summing SAR ADC quantizer", IEEE Trans. on biomedical circuits and systems, vol. 7, no. 5, pp. 573-582, Oct. 2013 (doi: 10.1109/BioCAS.2012.6418450).
[23] L.M. Chen, Z.H. Yu, C.Y. Chen, X.Y. Hu, J. Fan, J. Yang, Y. Hei, "A 1-V, 1.2-mA fully integrated SoC for digital hearing aids", Microelectronics Journal, vol. 46, no. 1, pp. 12-19, Jan. 2015 (doi: 10.1016/j.mejo.20-14.09.013).
[24] J.E. Park, Y.H. Hwang, D.K. Jeong, "A 0.4-to-1 V voltage scalable delta-sigma ADC with two-step hybrid integrator for IoT sensor applications in 65-nm LP CMOS", IEEE Trans. on Circuits and Systems II: Express Briefs, vol. 64, no. 12, pp. 1417-1421, Dec. 2017 (doi: 10.1109/TCSII.2017.2753841).
[25] V. Sharma, Y.B.N. Kumar, M.H. Vasantha. "36 µW fourth order sigma-delta modulator using single operational amplifier", International Journal of Electronics Letters, vol. 9, no. 2, pp. 171-186, Jan. 2021 (doi: 10.1080/21681724.2020.1717003).
[26] A. Nilchi, D.A. Johns, "A low-power delta-sigma modulator using a charge-pump integrator", IEEE Trans. on Circuits and Systems, vol. 60, pp. 1310-1321, Dec. 2012 (doi: 10.1109/TCSI.2012.2220462).
[27] S. Porrazzo, F. Cannillo, C. Van Hoof, E. Cantatore, A. H. van Roermund, "A power-optimal design methodology for high-resolution low-bandwidth SC Delta-Sigma modulators", IEEE Trans. on Instrumentation and Measurement, vol. 61, pp. 2896-2904, June. 2012 (doi: 10.1109/TIM.2012.2200812).
[28] J. Goes, B. Vaz, R. Monteiro, N. Paulino, "A 0.9 V delta-sigma modulator with 80dB SNDR and 83dB DR using a single-phase technique", Proceeding of the IEEE/ISSCC, pp. 191-200, San Francisco, CA, USA, Feb. 2006 (doi: 10.1109/ISSCC.2006.1696048).
[29] J. Sauerbrey, T. Tille, D. Schmitt-Landsiedel, R. Thewes, "A 0.7-V MOSFET-only switched-opamp /spl Sigma//spl Delta/ modulator in standard digital CMOS technology", IEEE Journal of Solid-State Circuits, vol. 37, no. 12, pp. 1662-1669, Dec. 2002 (doi: 10.1109/JSSC.2002.804330).

## زیرنویس‌ها

1. World health organization
2. Age-related hearing impairment
3. Digital signal processor
4. Operational trans-conductance amplifier
5. Cascade of integrators with feedback
6. Digital to analog converter
7. Dynamic threshold MOS
8. Quantizer
9. Feed forward
10. Feedback

11. Signal to noise ratio
12. Noise transfer function
13. Signal transfer function
14. Power spectral density
15. Auto zeroing
16. Common mode feedback
17. Periodic alternative current
18. Total harmonic distortion
19. Spurious free dynamic range
20. Signal to noise and distortion ratio
21. Charge redistributive
22. Transmission gate
23. Clock booster
24. Figure of merit
25. Schreier figure of merit
26. Walden figure of merit
27. Effective number of bit