JIPET

Journal of Intelligent Procedures in Electrical Technology
Vol. 16/ No. 62/ Summer 2025
P-ISSN: 2322-3871, E-ISSN: 2345-5594, http://sanad.iau.ir/journal/jipet/

Doi: 10.71666/jipet.2024.998165

Research Article

Design of Non-Uniform Sample and Hold Circuit for Biomedical Signal Processing Applications

Sara Bagher-Nasrabadi[1,2], *Ph.D. Student*, Mehdi Dolatshahi[1], *Assistant Professor*, Sayed Mohammadali Zanjani[1,2], *Assistant Professor*, Hossein Pourghassem[1,3], *Professor*

[1]Department of Electrical Engineering- Najafabad Branch, Islamic Azad University, Najafabad, Iran
[2]Smart Microgrid Research Center- Najafabad Branch, Islamic Azad University, Najafabad, Iran
[3]Digital Processing and Machine Vision Research Center- Najafabad Branch, Islamic Azad University, Najafabad, Iran
s.bnasrabadi@sel.iaun.ac.ir, dolatshahi@iaun.ac.ir, sma_zanjani@pel.iaun.ac.ir, h_pourghasem@iaun.ac.ir

Abstract

By reducing the amount of data in bioprocessor circuits, the required memory and power consumption are reduced. Therefore, non-uniform sampling (NUS) is feasible, and a sample-and-hold circuit can be used to non-uniformly sample bio-signals and reduce the volume of the data from vital signals. In the present study, a new closed-loop non-uniform sample-and-hold circuit along with a differential clock generator circuit is proposed. The proposed design consumes low power and can minimize the volume of the generated bio-signal data in the frequency range corresponding to vital signals. The proposed non-uniform clock generator circuit uses two comparators with PMOS and NMOS inputs and a control circuit with a few logic gates. After detecting the rate of heart signal variations, the proposed circuit generates non-uniform clock signals at two frequencies of 1000 and 100 Hz for fast and slow variations, respectively. The output signal of the sampling circuit is reconstructed by using resampling and interpolation in MATLAB. Simulations are performed in Cadence in 0.18 µm technology with a supply voltage of 1.8 V. The simulation results show a percentage root mean square difference (PRD) of 2.3%, a mean square error (MSE) of 8.57×10^{-5} and a signal-to-noise ratio (SNR) of 71 dB. These results indicate the proper performance of the proposed circuit in comparison with previous designs.

Keywords: biomedical signal, comparator, low power, non-uniform sampling, sample and hold.

Received: 11 August 2022
Revised: 19 October 2022
Accepted: 10 December 2022

Corresponding Author: Dr. Mehdi Dolatshahi

Citation: S. Bagher-Nasrabadi, M. Dolatshahi, S.M.A. Zanjani, H. Pourghassem, "Design of non-uniform sample and hold circuit for biomedical signal processing applications", Journal of Intelligent Procedures in Electrical Technology, vol. 16, no. 62, pp. 1-14, June 2025 (in Persian).

Doi: 10.71666/jipet.2024.998165

مقاله پژوهشی

طراحی مدار نمونه‌بردار و نگهدار غیریکنواخت با توان مصرفی پایین جهت کاربردهای سیگنال‌های زیستی

سارا باقرنصرابادی[۱،۲]، دانشجوی دکتری، مهدی دولتشاهی[۱]، استادیار، سید محمدعلی زنجانی[۱،۲]، استادیار، حسین پورقاسم[۱،۳]، استاد

۱- دانشکده مهندسی برق- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

۲- مرکز تحقیقات ریزشبکه‌های هوشمند- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

۳- مرکز تحقیقات پردازش دیجیتال و بینایی ماشین- واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

s.bnasrabadi@sel.iaun.ac.ir, dolatshahi@iaun.ac.ir, sma_zanjani@pel.iaun.ac.ir, h_pourghasem@iaun.ac.ir

چکیده: کاهش حجم داده در مدارهای پردازشگر زیستی در کاهش حافظه مورد نیاز و مصرف توان، موثر است. بنابراین برای رسیدن به این هدف، نمونه‌برداری غیریکنواخت (NUS) مورد توجه قرار گرفته است. لذا به‌کمک یک مدار نمونه‌بردار و نگه‌دار که به‌طور غیریکنواخت از سیگنال زیستی نمونه‌برداری می‌کند، می‌توان اطلاعات سیگنال‌های حیاتی را با حجم داده کمتری به‌دست آورد. در این مقاله، یک مدار نمونه‌بردار و نگه‌دار غیریکنواخت جدید با روش حلقه بسته همراه با مدار مولد کلاک مربوطه در محدوده فرکانس‌های زیستی به‌صورت تفاضلی پیشنهاد شده که با مصرف توان کم، می‌تواند از سیگنال‌های زیستی نمونه‌برداری کند و حجم داده تولید شده را به حداقل برساند. مدار سازنده کلاک غیریکنواخت پیشنهادی از دو مقایسه‌کننده با ورودی‌های PMOS و NMOS و یک مدار کنترلی با گیت‌های منطقی ساخته شده است. این مدار با تشخیص نرخ تغییرات سیگنال قلب، کلاک غیریکنواختی با دو فرکانس ۱۰۰۰ و ۱۰۰ هرتز به‌ترتیب برای تغییرات تند و کند تولید می‌کند. سیگنال خروجی مدار نمونه‌بردار با روش نمونه‌برداری مجدد و به روش درون‌یابی با استفاده از نرم‌افزار متلب بازسازی شده است. نتایج شبیه‌سازی با نرم‌افزار کیدنس در فناوری ۰/۱۸ میکرومتر و با تغذیه ۱/۸ ولت، نشان می‌دهد که شاخص درصد اختلاف موثر (PRD) برابر ۲/۳ درصد و شاخص مجذور میانگین خطا (MSE) برابر $۸/۵۷ \times ۱۰^{-۵}$ و نسبت سیگنال به نویز (SNR) برابر ۷۱ دسیبل است که نشانگر عملکرد مناسب مدار پیشنهادی نسبت به مطالعه‌های پیشین است.

کلمات کلیدی: سیگنال‌های زیستی، کم‌توان، مقایسه‌کننده، نمونه‌بردار و نگه‌دار، نمونه‌برداری غیریکنواخت.

تاریخ ارسال مقاله: ۱۴۰۱/۵/۲۰

تاریخ بازنگری مقاله: ۱۴۰۱/۷/۲۷

تاریخ پذیرش مقاله: ۱۴۰۱/۹/۱۹

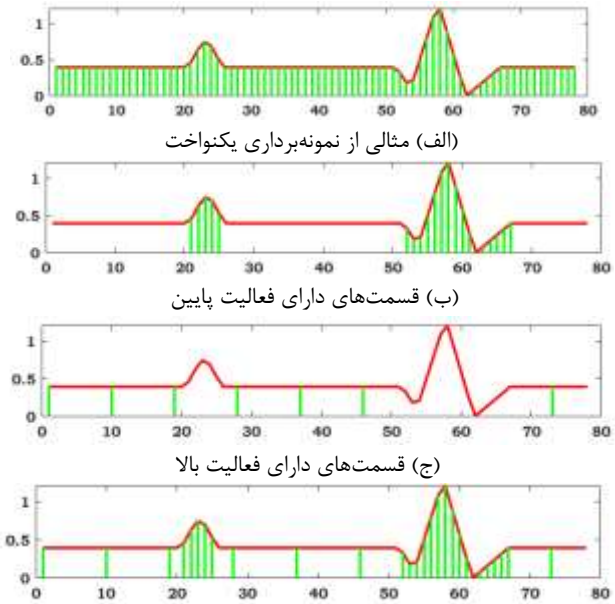
نام نویسنده‌ی مسئول: دکتر مهدی دولتشاهی

نشانی نویسنده‌ی مسئول: نجف‌آباد- بلوار دانشگاه- دانشگاه آزاد اسلامی واحد نجف‌آباد- دانشکده مهندسی برق

۱- مقدمه

پیشرفت‌های سال‌های اخیر در زمینه حسگرهای پوشیدنی[۱]، منجربه طراحی مدارهایی شده که می‌توانند با نرخ نمونه‌برداری مناسب و مصرف توان کم، در مدت زمان طولانی، بیمار را تحت نظر داشته باشند [۳-۱]. به‌عنوان مثال، بی‌نظمی‌های ناگهانی قلب، نیازمند بررسی طولانی مدت سیگنال الکتروکاردیوگرام[۲] (ECG) برای تشخیص دقیق است [۴]. کاهش تعداد نمونه‌ها در مدار پردازشگر سیگنال زیستی، در کاهش اندازه حافظه و همچنین مصرف توان، نقشی تعیین‌کننده ایفا می‌کند [۴،۵]. لذا مدارهایی با نمونه‌برداری غیریکنواخت[۳] پیشنهاد شده‌اند که بسته به تغییرات تند یا کند سیگنال، با دو نرخ نمونه‌برداری عمل می‌کنند [۴]. در معیار نایکوئیست، نرخ نمونه‌برداری از دو برابر بزرگترین فرکانس سیگنال اصلی بیشتر است. از آنجا که طیف فرکانس سیگنال‌های زیستی از چند هرتز تا چند صد هرتز است، نتایج تجربی بیانگر آن است که برای دست‌یابی به عملکرد بهتر، نرخ نمونه‌برداری باید در مقادیر بالاتری تنظیم شود، اما افزایش نرخ نمونه‌برداری منجربه افزایش توان مصرفی و پیچیدگی‌های مداری خواهد شد. نمونه‌برداری با نرخ بالا، حجم داده[۴] را افزایش می‌دهد ولی در بسیاری از نمونه‌برداری‌های یکنواخت، در نقاطی که شیب تغییرات داده کند است و داده‌ها تقریبا یکسان هستند [۴]، اطلاعات جدیدی منتقل نمی‌شود؛ ضمن آن‌که توان در مدار پردازش‌کننده تلف می‌شود. حال اگر میزان نمونه‌برداری با توجه به نرخ تغییرات سیگنال تغییر کند، حجم اطلاعات را می‌توان بدون حذف اطلاعات مهم در سیگنال‌های حیاتی (مانند سیگنال قلب) کاهش داد و باعث کاهش توان مصرفی در مدار پردازش کننده شد.

در شکل (۱-الف)، یک نمونه سیگنال ECG با نمونه‌برداری یکنواخت نشان داده شده است. اگر شکل موج به بخش‌های کم فعالیت[۵] (انتقال آهسته) شکل (۱-ب) و بخش‌های فعالیت بالا[۶] (انتقال سریع) شکل (۱-ج) تقسیم شود، مجموعه[۷] سیگنال‌های معرفی‌کننده وضعیت قلب (QRS) دارای سریع‌ترین انتقال است، درحالی که تغییرات سیگنال در سایر بخش‌ها، متوسط یا آهسته است [۴،۶]. در شکل (۱-د) نمونه‌برداری غیریکنواخت نشان داده شده است. برای تشخیص تغییرات سیگنال زیستی، راه‌حل‌های مختلفی ارائه شده است. در مرجع [۵] یک مبدل تطبیقی[۸] پیشنهاد شده که میزان تفکیک‌پذیری[۹] آن با توجه به تغییرات سیگنال زیستی تغییر می‌کند و مصرف توان تا ۳۹/۵ درصد کاهش یافته است و نسبت به مدار متداول، فشرده‌سازی[۱۰] تا ۳/۹ برابر افزایش یافته است، البته این کار منجربه افزایش سطح اشغالی و پیچیدگی مدار شده است.



(الف) مثالی از نمونه‌برداری یکنواخت

(ب) قسمت‌های دارای فعالیت پایین

(ج) قسمت‌های دارای فعالیت بالا

(د) نمونه‌برداری غیریکنواخت

شکل (۱): نمونه‌برداری

Figure (1): Sampling, a) Example of uniform sampling, b) Low activity regions, c) High activity regions, d) Non-uniform sampling

در برخی مرجع‌ها، با توجه به تغییرات غیر قابل پیش‌بینی در برخی سیگنال‌ها، به‌جای لحظه‌های زمانی از سطوح دامنه سیگنال نمونه‌برداری می‌شود [۶،۷]. در معماری مبدل آنالوگ به دیجیتال از نوع عبور از سطح[۱۱] (LC-ADC) مقادیر دقیق دامنه، تشخیص داده می‌شود، بنابراین LC-ADC تبدیل نمونه‌ها را در سطوح انتخاب‌شده تضمین می‌کند [۶،۸].

در طرح مرجع [۹] از یک مقیاس‌گر[۱۲] (برای تشخیص تغییرات سطح) و دو مقایسه‌کننده استفاده شده است. با وجود بهینه‌سازی در مصرف توان و سادگی طراحی، تعداد بیت موثر این مدار کم است. در مرجع‌های [۶] و [۷] با توجه به تغییرات آستانه، راه‌حل تفکیک‌پذیری متغیر معرفی شده که منجربه افزایش مصرف توان مدار شده است.

در حالت کلی، مدارهای نمونه‌بردار و نگه‌دار (S&H) به دو صورت حلقه بسته [۱۰،۱۱] و حلقه باز [۱۲] پیاده‌سازی می‌شوند. هرچند ساختارهای حلقه باز سرعت بالاتری دارند [۱۳،۱۴]، اما به‌دلیل عدم استفاده از فیدبک منفی، دقت مدار کاهش یافته و خطای نگهداری افزایش می‌یابد [۱۴،۱۵]. استفاده از ساختارهای تمام‌تفاضلی، کلیدهای ساختگی[۱۳][۱۲،۱۳]، کلیدهای خطی‌شده[۱۴] [۱۰] و کلیدهای بوت‌استراپ شده[۱۵]، روش‌های مناسبی برای کاهش خطای تزریق بار[۱۶]، کاهش نویز منبع تغذیه، افزایش دقت، افزایش خطینگی و کاهش خطاهای نگهداری مد مشترک است [۱۶،۱۷]. همچنین برای خطی‌سازی می‌توان از گیت انتقالی[۱۷] به‌خاطر مقاومت خطی‌تر نسبت به دیگر کلیدها، استفاده کرد [۱۸]. به‌هرحال عموم روش‌های کاهش خطا، کاهش اعوجاج و افزایش دقت، سبب افزایش توان مصرفی مدار و افزایش سطح تراشه خواهند شد [۱۲].

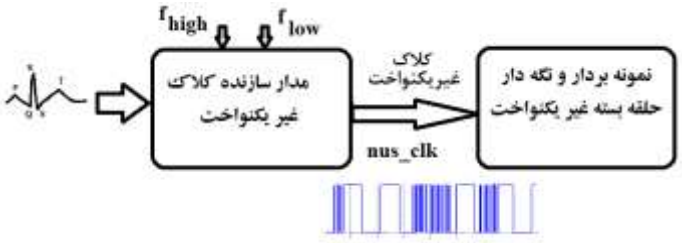
در این مقاله، طراحی و شبیه‌سازی یک مدار نمونه‌بردار و نگه‌دار از نوع نمونه‌برداری غیریکنواخت ارائه شده است به‌نحوی که بر اساس شیب تغییرات سیگنال حیاتی، نرخ نمونه‌برداری را تغییر دهد و سیگنال نمونه‌برداری شده امکان بازسازی با بالاترین دقت ممکن را داشته باشد. همچنین از ساختار حلقه بسته با تقویت‌کننده استفاده شده تا خطای مدار کاهش یابد و عملکرد مدار، قابل کنترل باشد. ساختار مقاله در ادامه به این شرح است. در بخش دوم، روش نمونه‌برداری پیشنهادی، تحلیل و مدار سازنده کلاک، متناسب با تغییرات سیگنال، پیشنهاد و بررسی شده است. ساختار مدار نمونه‌بردار و نگه‌دار پیشنهادی در بخش سوم مورد بررسی قرار گرفته است. نتایج شبیه‌سازی S&H پیشنهادی در بخش چهارم نشان داده شده است. نتیجه‌گیری در بخش پنجم، نشانگر عملکرد قابل قبول مدار پیشنهادی است.

۲- روش پیشنهادی مدار نمونه‌بردار غیریکنواخت

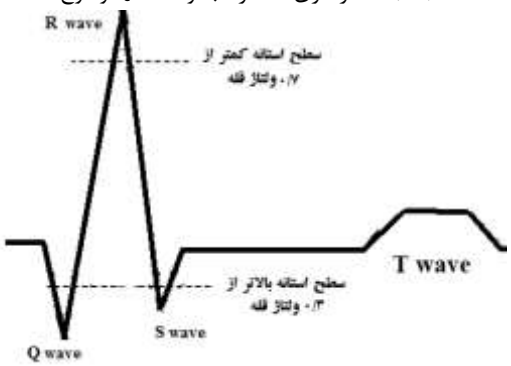
در ارزیابی کمّی سیگنال ECG به فاصله‌های زمانی که هرکدام بیان‌گر یک دوره تناوب موج است، پرداخته می‌شود؛ ضمن آن‌که هر دوره تناوب، دارای شرایط دامنه و زمانی منحصر به‌فردی است. این اختلاف‌ها از فیزیولوژی قلب و شرایط فعالیت بدنی ناشی می‌شود [۱،۳]. قله مجموعه QRS و موج T تا سطوح آستانه مشخص شده در شکل (۲-الف) توسط مقایسه‌کننده‌ها تشخیص داده می‌شوند. اما آشکارسازی قله منفی و قله مثبت سیگنال با توجه به سطوح آستانه مشخص شده، یکی از مهم‌ترین چالش‌های مدار است که با تنظیم سطوح مقایسه می‌توان خطا را به حداقل رساند. بنابراین برای تشخیص آن‌که، چه زمانی سیگنال زیستی دارای فعالیت بالا یا پایین است، به مدارسازنده کلاک غیریکنواخت مانند بلوک شکل (۲-ب) نیاز است تا سیگنال کلاک غیریکنواختی متناسب با تغییرات سیگنال زیستی تولید کند.

در شکل (۳) بلوک دیاگرام کلاک سازنده غیریکنواخت پیشنهادی نشان داده شده که از دو مقایسه‌کننده با ورودی PMOS و NMOS برای تشخیص قله مثبت و منفی استفاده شده است. سطوح مقایسه V_{ref1} و V_{ref2} کمک می‌کنند تا هر دو قله مثبت و منفی آشکار شوند. قسمت‌های مثبت سیگنال قلبی که از سطح مقایسه V_{ref1} بیشتر هستند، در خروجی منفی مقایسه‌کننده نوع NMOS یعنی $outn^-$ ظاهر می‌شوند. همچنین، مقایسه‌کننده PMOS بخش‌های منفی سیگنال را که از سطح مقایسه V_{ref2} کمتر هستند، آشکارسازی می‌کند. در این طراحی، برای قسمت‌هایی از سیگنال که دارای فعالیت بالا هستند، از نرخ نمونه‌برداری ۱ کیلوهرتز و برای قسمت‌های با فعالیت پایین از نرخ نمونه‌برداری ۱۰۰ هرتز استفاده شده است. برای آنکه موج QRS و موج T به‌طورکامل آشکار شود، از دو فلیپ‌فلاپ به‌عنوان آشکارساز لبه استفاده شده است.

این ساختار با لبه بالارونده کلاک فعال می‌شود. هنگامی که کلاک "0" است، عکس ورودی به خروجی $\bar{Q}$ منتقل می‌شود. با "1" شدن کلاک ورودی، مقدار Q برابر با ورودی D خواهد شد.



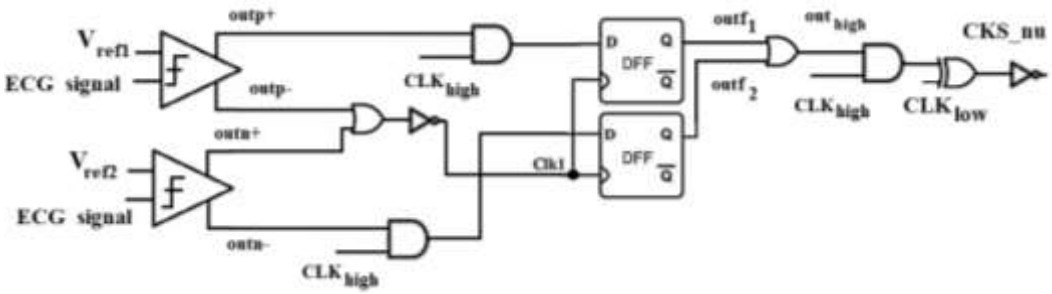
(الف) آشکارسازی قله در مجموعه QRS و موج T



(ب) بلوک‌دیاگرام ساده‌شده نمونه‌بردار و نگه‌دار غیریکنواخت پیشنهادی

شکل (۲): طرح اصلی

Figure (2): Main idea, a) Peak detecting for QRS complex and T wave, b) Simplified block diagram of proposed non-uniform sample and hold.



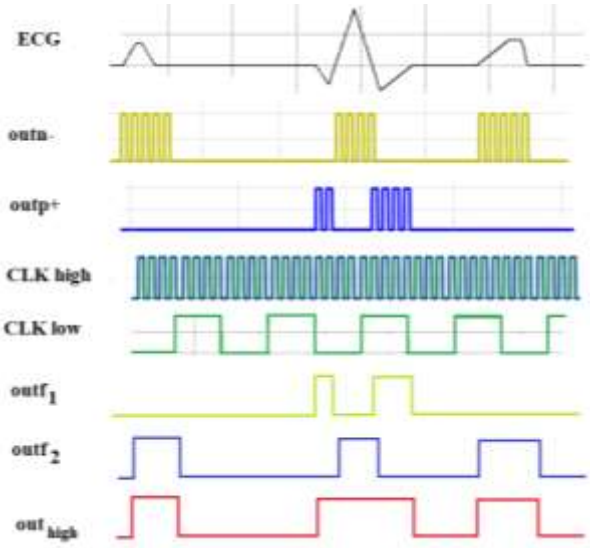
شکل (۳): ساختار مدار سازنده کلاک غیریکنواخت پیشنهادی

Figure (3): Structure of proposed non-uniform clock generator

هر دو خروجی $outf_1$ و $outf_2$ به گیت OR اعمال شده‌اند که شامل تمام قسمت‌های با تغییرات تند است. حاصل AND سیگنال ساخته شده (out_{high}) با سیگنال کلاک بالا (CLK_{high})، باعث می‌شود که قسمت‌های باقی‌مانده، شامل تغییرات آرام هستند. در نهایت، خروجی گیت AND با کلاک ۱۰۰ هرتز XOR می‌شود تا کلاک غیریکنواخت (CLK-nu) تولید شود. سیگنال خروجی مقایسه‌کننده‌ها و فلیپ‌فلاپ در شکل (۴) نشان داده شده است. تاخیر مدارهای مقایسه‌کننده در کمترین مقدار ممکن است تا خطا به حداقل برسد. برای کاهش خطا در ساخت کلاک، سیگنال خروجی مقایسه‌کننده‌ها به‌طور جداگانه به فلیپ‌فلاپ‌ها اعمال می‌شوند. با اعمال کلاک "1" به فلیپ‌فلاپ‌ها، با هر لبه بالارونده، خروجی "1" است تا زمانی که در لبه بالارونده کلاک، "0" در ورودی اعمال شود و همان‌طور که در شکل (۴) مشاهده شد، خروجی منفی مقایسه‌کننده ورودی NMOS قسمت‌های انتقال تند را آشکار کرده است.

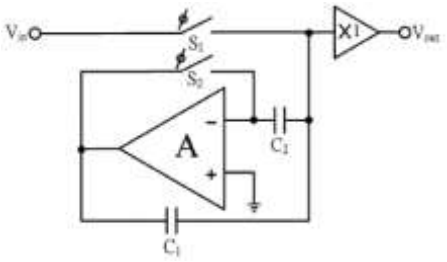
۳- ساختار تمام‌تفاضلی میلر پیشنهادی

برای بهبود خطی‌بودن در همه نقاط، باید اثر نویز و خطای نگهداری مد مشترک حداقل شود. ساختار تمام تفاضلی، روش مناسبی برای رسیدن به دقت بالا و کاهش خطای تزریق بار در پردازش سیگنال‌های سرعت بالا است [۱۹].



شکل (۴): سیگنال‌های مدار سازنده کلاک غیریکنواخت

Figure (4): Signals of non-uniform clock generator circuit



شکل (۵): مدار نمونه‌بردار و نگه‌دار میلر تک‌خروجی [۱۰]

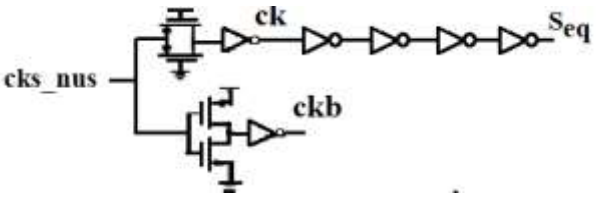
Figure (5): Single-output Miller sampler and hold circuit [10]

می‌توان با افزایش خازن نگهداری، خطای نمونه‌برداری را کاهش داد ولی این کار موجب کاهش سرعت مدار می‌شود [۱۰]. برای حل این مشکل می‌توان مطابق شکل (۵) از روش میلر استفاده نمود؛ به‌طوری‌که امکان استفاده از خازن نگهدار (ترکیب خازن‌های C_1 و C_2) کوچک‌تری را فراهم کند و مصالحه بین سرعت و دقت را ممکن سازد. کلیدهای این ساختار باید قابلیت کار در دو نرخ نمونه‌برداری را داشته باشند و درمحدوده فرکانس‌های پایین با حداقل اعوجاج و مصرف توان، سیگنال زیستی را نمونه‌برداری کنند. ساختار مدار نمونه‌بردار و نگهدار پیشنهادی شامل تقویت‌کننده، خازن‌ها و کلیدهای بوت‌استراپ شده است.

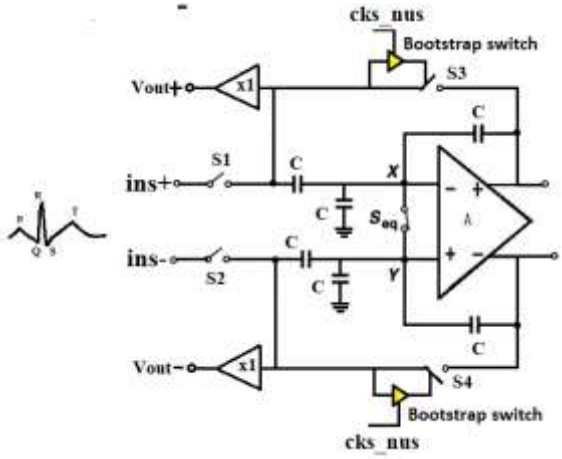
۱-۳- ساختار پایه مدار پیشنهادی

کلاک غیریکنواخت تولیدی به کلاک راه‌انداز کلیدهای بوت‌استراپ‌شده و کلیدهای مدار حلقه بسته اعمال می‌شود تا متناسب با تغییرات سیگنال قلبی، نمونه‌برداری از سیگنال انجام شود. کلاک غیریکنواخت اعمالی به مدار راه‌انداز در شکل (۶-الف) کلاک‌های ck و ckb را تولید می‌کند. پایه مدار نمونه‌بردار حلقه بسته از مرجع [۱۰] انتخاب شده است، اما برای آن‌که بتواند متناسب با کلاک غیریکنواخت کار کند، در اتصال کلیدهای مدار، تغییراتی داده شده و مدار نهایی در شکل (۶-ب) نشان داده شده است. مدار شامل یک تقویت‌کننده تفاضلی، خازن‌هایی با مقادیر یکسان و دو کلید بوت‌استراپ مشابه است. در مد نمونه‌برداری، کلیدهای S_1 تا S_4 روشن هستند. ولتاژهای تفاضلی ورودی ins- و ins+ به‌وسیله خازن‌ها نمونه‌برداری می‌شوند. ولتاژهای خروجی V_{out+} و V_{out-} ولتاژهای تفاضلی را از طریق بافرهایی با بهره ۱- و با امپدانس ورودی بالا دنبال می‌کنند. در مد نگهداری، کلیدهای S_1 تا S_4 به‌طورهمزمان خاموش می‌شوند، خازن‌ها و تقویت‌کننده تمام‌تفاضلی، حلقه فیدبک را تشکیل می‌دهند و خازن نگهداری معادل، در مد نگهداری به‌طور قابل ملاحظه‌ای توسط فیدبک میلر افزایش می‌یابد که معمولا از خازن مورد نیازی که باید در مد نگهداری شارژ شود، خیلی بزرگ‌تر است و این باعث کاهش خطا می‌شود. کلید بوت‌استراپ کم‌اعوجاج تفاضلی شکل (۷) نیز از مرجع [۲۰] انتخاب شده است و متناسب با مدار نمونه‌بردار و نگه‌دار غیریکنواخت پیشنهادی اصلاح شده است؛ به‌نحوی

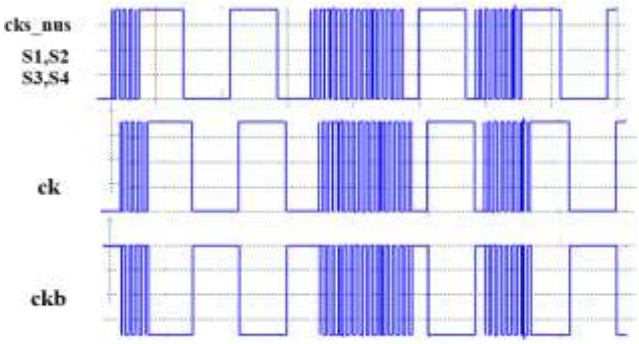
که در فرکانس‌های پایین با کاربرد نمونه‌برداری غیریکنواخت استفاده شود. این ساختار شامل دو کلید بوت‌استراپ شده NMOS و PMOS برای به‌حداقل رساندن اعوجاج و کاهش مصرف توان است. هر دو کلید PMOS و NMOS باید به‌طور همزمان خاموش شوند؛ چون اگر برای مثال، خاموش‌شدن NMOS کمی قبل از PMOS رخ دهد، ولتاژ خروجی تمایل دارد که ورودی را برای مدت Δt باقی‌مانده پی‌گیری کند که این باعث ایجاد اعوجاج درکلید می‌شود. با توجه به سیگنال‌های نشان داده شده در شکل (۷) باید لبه بالارونده سیگنال اعمال‌شده به گیت کلید NMOS با لبه پایین‌رونده سیگنال اعمال‌شده به گیت کلید PMOS هماهنگ رخ دهد تا خطا در عملکرد مدار رخ ندهد. لذا برای آن‌که دو کلید اصلی مدار تفاضلی بوت‌استراپ با حداقل تاخیر و اعوجاج عمل کنند، برای ورودی‌های $V_{in}<V_{thp}$ کلید Mn نوع NMOS به‌صورت موازی با ترانزیستور M5 اضافه شده است و به‌طور مشابه، کلید Mp موازی با ترانزیستور متقارن مربوطه اضافه شده است. با توجه به اهمیت قابلیت اطمینان[۱۸] مدار، نباید ولتاژ در طول اکسید گیت بیش از ولتاژ تغذیه است. بنابراین M7 و M9 (و به‌طور مشابه M7' و M9') اضافه شده‌اند تا اطمینان حاصل شود که ولتاژ در گیت-سورس M8 زمانی که کلاک برابر "1" است، از V_{DD} فراتر نمی‌رود. ورودی به سورس ترانزیستورهای کلید اصلی N_{SW} و P_{SW} وصل شده است. با فرض تقارن دو ساختار، عملکرد مشابهی در دو کلاک متفاوت وجود دارد؛ به‌نحوی که در طول فاز نگهداری که ckb بالا است، ترانزیستور M2 روشن می‌شود و خازن بوت‌استرپ (C_s) شروع به شارژ شدن می‌کند.



(الف) کلاک راه‌انداز مدار بوت‌استراپ



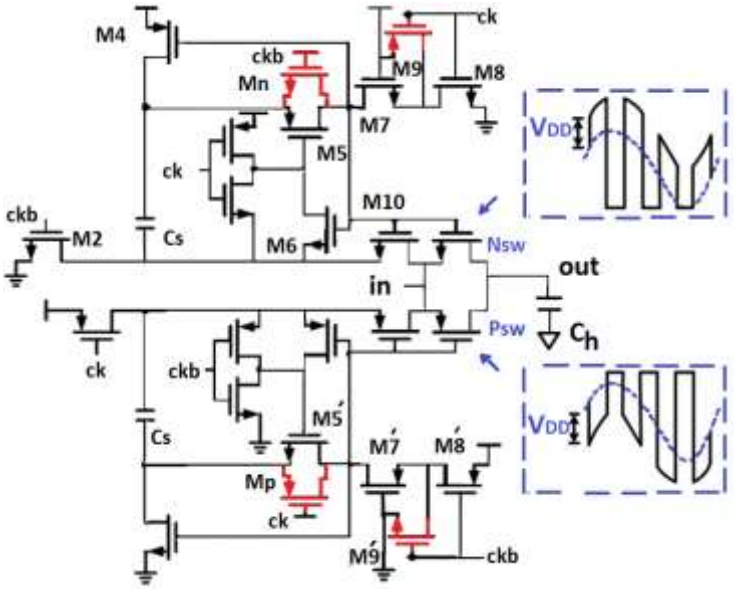
(ب) مدار نمونه‌بردار و نگهدارحلقه بسته پیشنهادی اصلاح‌شده



(ج) سیگنال‌های کلاک مورد انتظار

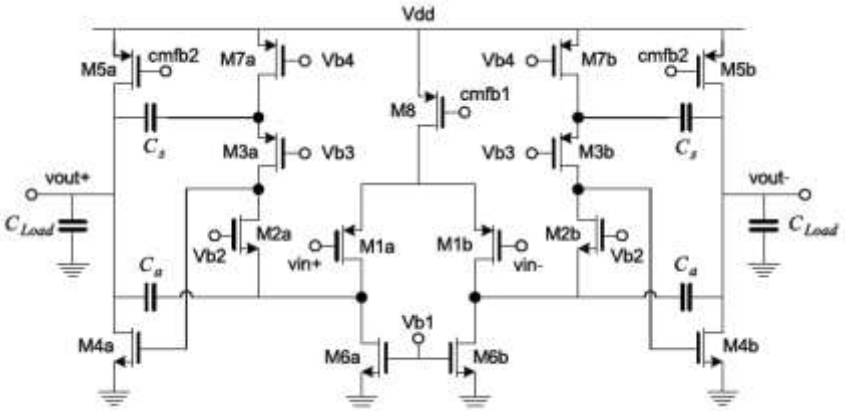
شکل (۶): مدار حلقه بسته

Figure (6): Closed loop circuit, a) Bootstrapped circuits drivibg clock, b) Modified proposed closed loop sample and hold, c) Expected clock signals



شکل (۷): کلید بوت‌استراپ اصلاح شده

Figure (7): Modified bootstrapped switch



شکل (۸): تقویت‌کننده دوطبقه [۲۱،۲۲]

Figure (8): Two-stage amplifier [21,22]

در این وضعیت به‌دلیل روشن‌شدن ترانزیستور M8 و ایجاد مسیری به سمت زمین، ترانزیستور اصلی و ترانزیستور M6 خاموش هستند. هنگامی‌که ckb پایین می‌رود، مدار به فاز نمونه‌برداری می‌رود و ترانزیستور M2 خاموش می‌شود، درحالی‌که M10 و M5 روشن می‌شوند. به این ترتیب، خازن C_s به گیت و سورس ترانزیستور اصلی N_{SW} متصل می‌شود و $V_{gs,n}$ ترانزیستور N_{SW} برابر مقداری ثابت است.

در شکل (۸) تقویت‌کننده مرجع [۲۱] نشان داده شده که به دلیل استفاده از جبران‌سازی کسکود مختلط، دارای پهنای باند مناسب با مصرف توان بهینه است. خازن‌های C_a و C_s برای جبران‌سازی تقویت‌کننده استفاده شده‌اند که خازن C_a در مسیر سیگنال قرار دارد. این مدار شامل ترانزیستورهای M4a و M5a در سمت مثبت خروجی و ترانزیستورهای M4b وM5b در سمت منفی خروجی است که به‌صورت یک تقویت‌کننده سورس مشترک بسته شده‌اند و وظیفه آن‌ها فراهم‌کردن بهره DC و نوسان بالای خروجی است [۲۱،۲۲]. با توجه به این‌که در ساختار نمونه‌بردار و نگهدار، بیشترین مصرف توان مربوط به تقویت‌کننده است، در ادامه این تحقیق از این ساختار به‌عنوان تقویت‌کننده استفاده شده است، زیرا مصرف توان آن درحالت پویا، بهینه است و خروجی آن دارای نوسان بالایی است، ضمن آن‌که این مدار، قابلیت کار در محدوده فرکانس‌های پایین را با انتخاب مناسب اندازه ترانزیستورها دارا است.

۴- نتایج شبیه‌سازی

چون مدار نمونه‌بردار و نگه‌دار پیشنهادی شامل چند قسمت مختلف است، طراحی‌های اولیه در نرم‌افزار اچ-اسپایس انجام شد و نتایج، به محیط نرم افزار کیدنس منتقل شد تا حجم شبیه‌سازی‌ها در نسخه موجود نرم‌افزار قابل کنترل بوده و آثار جانبی (مانند اثر بدنه، آثار غیرخطی و نویز) دقیق‌تر بررسی شود. سیگنال ECG مرجع از پایگاه داده MIT-BIH Arrhythmia به مدار سازنده کلاک در شکل (۳) اعمال شد[۱۹]. مدار سازنده کلاک غیریکنواخت، سیگنال کلاکی متناسب با شیب تغییرات سیگنال تولید می‌کند. سیگنال نهایی تولید شده که دو نرخ نمونه‌برداری را شامل می‌شود، به کلاک مدار نمونه‌بردار و نگهدار حلقه بسته در شکل (۶-ب) اعمال می‌شود. نتیجه شبیه‌سازی در شکل (۹-الف)، خروجی نمونه‌برداری شده غیریکنواخت را نشان می‌دهد. در شکل (۹-ب) کلاک غیریکنواخت نشان داده شده که متناسب با تغییرات فعالیت سیگنال زیستی با دو نرخ نمونه‌برداری یک کیلوهرتز و ۱۰۰ هرتز تولید شده است. شکل (۹-ج) قسمت بزرگ‌نمایی شده خروجی را نشان می‌دهد است که شامل هر دو محدوده نمونه‌برداری است. از ۰/۰۸ تا ۰/۱ محدوده یک کیلوهرتز و مابقی محدوده نرخ نمونه‌برداری ۱۰۰ هرتز است نتایج شبیه‌سازی تقویت‌کننده شکل (۸) در جدول (۱) برای دو نرخ نمونه‌برداری ۱۰۰ هرتز و ۱۰۰۰ هرتز نمایش داده شده است. واضح است که این تقویت‌کننده می‌تواند در ساختار غیریکنواخت کار کند. در مرجع‌های [۱] و [۵] بیان شده که برای شکل موج T-to-P ECG، تغییر دامنه در بازه زمانی ۰/۳ ثانیه کمتر از ۰/۱ میلی‌ولت است و تغییر دامنه مجموعه QRS تا یک میلی‌ولت در حداکثر ۰/۱ ثانیه است. یکی از عواملی که عملکرد خطی کلید را دچار نقصان می‌کند، تغییرات ولتاژ آستانه در اثر تغییرات ولتاژ ورودی است که باعث تغییر در مقاومت کلید نمونه‌بردار و عملکرد غیرخطی آن می‌شود. علاوه بر این، تغییرات ولتاژ آستانه می تواند باعث تشدید اثر غیرخطی تزریق بار به دلیل وابستگی آن به ولتاژ آستانه شود. رابطه (۱) ارتباط ولتاژ آستانه را با اثر بدنه نشان می‌دهد [۲۳].

$$V_{TH} = V_{TH0} + \gamma_{sb}\left(\sqrt{2|\Phi_F| + v_{in}} - \sqrt{2|\Phi_F|}\right) \qquad (۱)$$

که در آن Φ_F پتانسیل فرمی، V_{TH0} ولتاژ آستانه و γ_{sb} عامل اثر بدنه در ترانزیستور MOS است. بنابراین اثر تغییرات ولتاژ آستانه در محدوده تغییرات سیگنال قلبی در شکل (۱۰-الف) نشان داده شده است. با توجه به اصلاح مدار شکل (۷) و انتخاب مناسب اندازه ترانزیستورها، تغییرات ولتاژ آستانه کمتر از ۰/۱ ولت است. رابطه (۲) نشان می‌دهد که با افزایش اندازه ولتاژ اعمالی به کلید (V_g)، مقاومت حالت روشن کلید کاهش می‌یابد [۲۳].

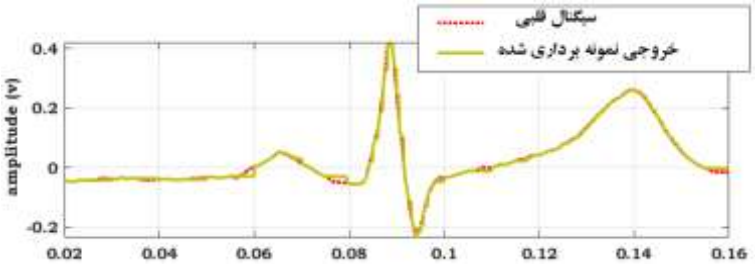
$$R_{ON} = \frac{1}{g_{ds}} = \frac{1}{\mu c_{ox}\frac{w}{l}(V_g - V_{ins} - V_{TH})} \qquad (۲)$$

که در آن μ قابلیت تحرک حاملین، C_{OX} خازن واحد سطح گیت، w و l به‌ترتیب عرض و طول کانال ترانزیستور هستند. V_g دامنه سیگنال کنترل اعمال شده به گیت، V_{ins} دامنه سیگنال اعمال شده به کلید و V_{TH} ولتاژ آستانه ترانزیستور است. رابطه (۲) نشان می‌دهد که مقاومت حالت روشن کلید با تغییر دامنه ورودی تغییر می‌کند که با بوت‌استراپ کردن کلید می‌توان این مشکل را کاهش داد. نتایج بررسی تغییرات مقاومت حالت روشن در محدوده دامنه سیگنال زیستی، در شکل (۱۰-ب) نشان داده شده است. چون تغییرات مقاومت حالت روشن در محدوده تغییرات دامنه، حوالی ۱۰۰ اهم است، این کلید مناسب مدار نمونه‌بردار و نگهدار غیریکنواخت است و خطا را در مدار نمونه‌بردار و نگهدار کاهش می‌دهد.

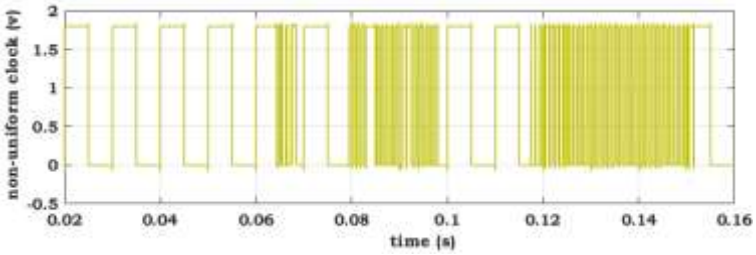
Table (1): Specifications of simulated differential amplifier

کننده تفاضلی شبیه‌سازی شده‌جدول (۱): مشخصات تقویت

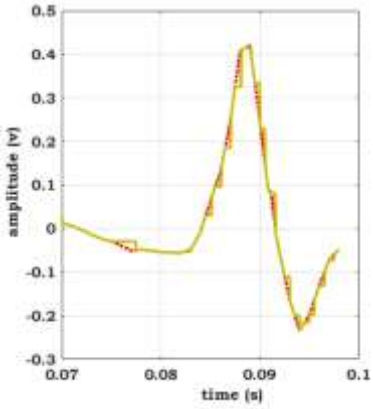
شاخص	منبع تغذیه	خازن‌های Cs و Cc	خازن بار	بهره DC	پهنای باند بهره واحد	حاشیه فاز	میزان شیب	نویز ارجاعی به ورودی
مقدار	۱/۸	۰/۵	۱	۶۸	۱۷۷	۷۰	۹۶	۱۱/۴۵۵
واحد	ولت	پیکوفاراد	پیکوفاراد	دسی‌بل	مگاهرتز	درجه	ولت/میکروثانیه	میکروولت/مجذورهرتز



(الف) سیگنال الکتروکاردیوگرام و خروجی مدار نمونه‌بردار و نگه‌دار حلقه بسته



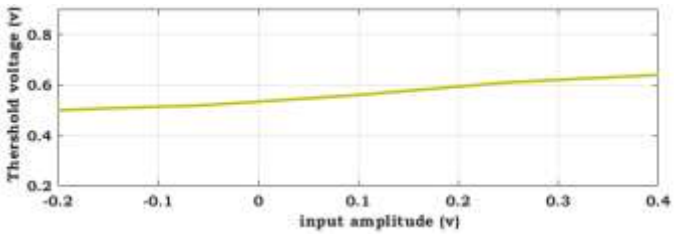
(ب) خروجی سازنده کلاک غیریکنواخت



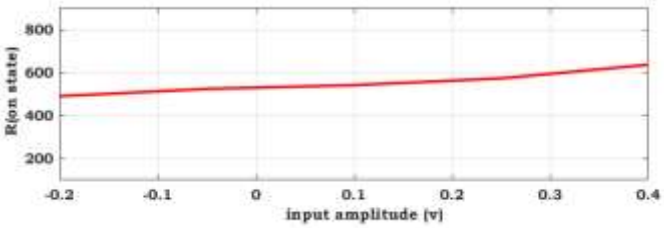
(ج) قسمت بزرگ‌نمایی‌شده

شکل (۹): خروجی مدار پیشنهادی

Figure (9): Output of proposed circuit, a) ECG signal and output of proposed sample and hold, b) Non-uniform clock generator output, c) Zoomed section



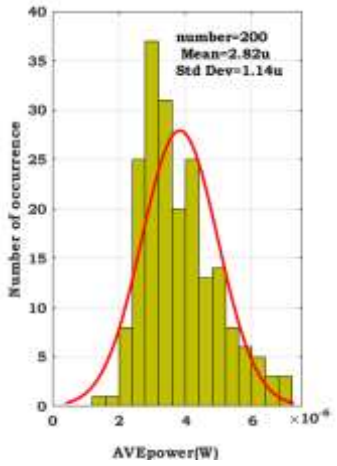
(الف) ولتاژآستانه



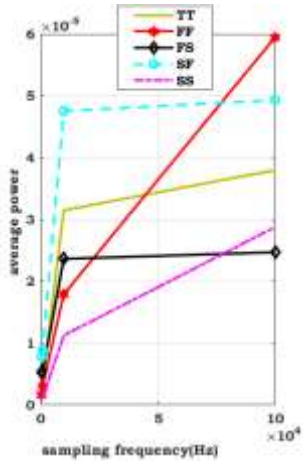
(ب) مقاومت حالت روشن

شکل (۱۰) : تغییر پارامترهای کلید بوت‌استراپ شده با تغییرات دامنه ورودی

Figure (10): Variations of bootstrapped switch parameters with V_{IN}, a) V_{TH} variation, b) R_{on} variation



(الف) بررسی مصرف توان کل مدار در تحلیل‌های گوشه‌ای مختلف در محدوده فرکانسی ۱۰۰هرتز تا ۱۰۰ کیلوهرتز



(ب) تحلیل مونت کارلو روی میانگین مصرف توان

شکل (۱۱): بررسی پایداری مدار پیشنهادی در برابر تغییرات فرایند

Figure (11): Investigating the stability of the proposed circuit against process changes, a) Whole system power consumption against sampling frequency from 100 Hz to 100 kHz in different process corners, b) Monte Carlo simulation for average power

در یک مدار پردازشگر زیستی مصرف توان، پارامتر دیگری است که عملکرد مدار را مشخص می‌کند. بیشترین مصرف توان مربوط به تقویت‌کننده و در حدود ۶۰ درصد کل توان مصرفی ساختار است. پس از آن، ۲۴ درصد مصرف توان کل مدار مربوط به سازنده کلاک غیریکنواخت است. نتایج ۲۰۰ بار تحلیل مونت‌کارلو بر روی مصرف توان مدار نمونه‌بردار و نگهدار حلقه بسته غیریکنواخت پیشنهادی در شکل (۱۱-الف) نمایش داده شده است. مقدار متوسط[۲۰] برای توان مصرفی ۲/۸۲ میکرووات و مقدار انحراف معیار استاندارد[۲۱] ۱/۱۴ میکرووات به‌دست آمده است.برای آن‌که قابلیت اطمینان مدار سنجیده شود، مدار در فرآیند گوشه‌ای[۲۲] به‌ازای تغییر نرخ نمونه‌برداری از ۱۰۰ هرتز تا ۱۰۰ کیلوهرتز مورد ارزیابی قرارگرفته است. شکل (۱۱-ب) نشان می‌دهد که بیشترین مصرف توان در حالت ff و در فرکانس‌های بالا است. واضح است که با افزایش نرخ نمونه‌برداری، مصرف توان مدار افزایش می‌یابد. برای مقایسه خروجی مدار با خروجی نرم‌افزار متلب، سیگنال قلبی به‌صورت غیریکنواخت نمونه‌برداری شده و با سیگنال خروجی نمونه‌برداری شده توسط مدار طراحی شده مقایسه شده است. به‌طور نمونه، در شکل (۱)، سیگنال ساخته شده با توابع ریاضی در نرم‌افزار متلب رویت شد و قسمت‌های انتقال تند و آهسته تشخیص آن در شکل‌های (۱-ب) و (۱-ج) نشان داده شدند. سپس از دو نرخ نمونه‌برداری متفاوت، استفاده شد و همین رویه برای سیگنال ECG از پایگاه داده مرجع انجام شد. وقتی بخشی از نمونه‌های ورودی در داده‌های نمونه‌برداری‌شده وجود ندارد، درون‌یابی[۲۳] خطی، روش پیش‌فرضی است که توسط تابع نمونه‌برداری مجدد[۲۴] برای نمونه‌برداری از نمونه‌های غیریکنواخت استفاده می‌شود[۲۴]. در برخی موارد که تعداد زیادی داده‌های از دست رفته و یا شکاف‌های زیادی در خروجی نمونه‌برداری شده وجود دارد، که می‌توان با درون‌یابی، برخی از داده‌های ازدست‌رفته را

بازسازی کرد. سیگنال بازسازی شده در شکل(۱۲-الف) نشان داده شده است. واضح است که در سایر بخش‌ها، سیگنال قلبی و سیگنال بازسازی‌شده بر روی هم منطبق هستند. با مقایسه کلاک غیریکنواخت تولید شده برای سیگنال زیستی شکل (۱۲-ب)، بازسازی سیگنال در مجموعه QRS که با نرخ نمونه‌برداری بالاتر نمونه‌برداری شده است، با خطای کمتری همراه بوده است؛ اما در نقاط دیگر که با نرخ ۱۰۰ هرتز نمونه‌برداری شده است، بازسازی سیگنال با خطا مواجه شده است. البته می‌توان فرکانس را از ۱۰۰ هرتز کمی افزایش داد تا بازسازی در این نقاط هم بهبود یابد؛ اما منجر به افزایش حجم اطلاعات تولیدی می‌شود.

برای مقایسه عملکرد تکنیک پیشنهادی با روش‌های دیگر، از دو معیار عمومی استفاده می‌کنیم. معیار PRD شاخص درصد اختلاف موثر [۲۵] است. این شاخص، درصد اختلاف سیگنال بازسازی‌شده $\hat{x}$ را نسبت به سیگنال اصلی x بیان می‌کند [۱،۴].

$$PRD=\frac{\|x-\hat{x}\|^2}{\|x\|^2}\times 100 \qquad (۳)$$

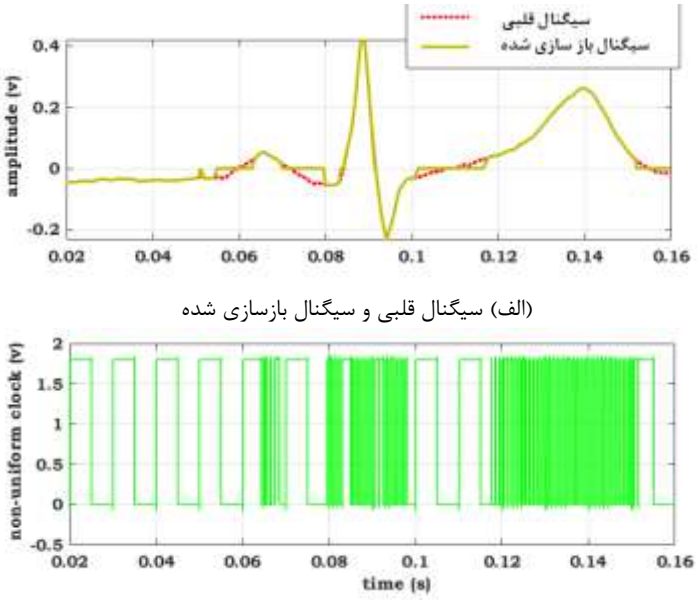
هرچه مقدار PRD کمتر باشد، سیگنال بازسازی شده به سیگنال اولیه نزدیکتر است. به‌عنوان مثال، یک سیگنال بازسازی‌شده حاصل از نمونه‌برداری از سیگنال قلبی، با شاخص PRD کمتر از ۹ درصد، دارای کیفیت بازسازی خوب است [۳].

در سیستم‌های نمونه‌برداری معمولا به‌دلیل حضور نویز سیگنال و نویز کانال، اختلافی بین سیگنال اصلی x و سیگنال بازسازی شده $\hat{x}$ به‌وجود می‌آید. تأثیر تمامی خطاها با شاخص میانگین مربع خطا[۲۶] سنجیده می‌شود که از رابطه (۴) به‌دست می‌آید [۱،۲۴].

$$MSE=\frac{1}{N}\times\sum_{n=1}^{N} x[n]-\hat{x}[n]^2 \qquad (۴)$$

برای بررسی عملکرد مدار از روی سیگنال بازسازی‌شده در متلب و با توجه به سیگنال اصلی مقادیر PRD و MSE به‌دست آمده است. شاخص میانگین مربع خطا برای سیگنال بازسازی شده، ۲/۳ درصد و شاخص حداقل مربع خطا $۸/۵۷ \times ۱۰^{-۵}$ به‌دست آمد. مقایسه عملکرد مدار پیشنهادی با کارهای مشابه قبلی در جدول (۲) آورده شده است. اهداف اصلی در طراحی یک مدار نمونه‌بردار یکنواخت در کاهش مساحت، بهینه‌سازی مصرف توان و عملکرد خطی مدار، جمع‌بندی می‌شوند؛ اما در یک مدار پردازشگر زیستی به مواردی چون حجم داده تولیدشده، قابلیت بازسازی سیگنال و تاثیر نویز نیز باید توجه شود.

نظر به اهمیت صرفه‌جویی در حجم داده‌های تولیدشده، بازسازی سیگنال در نمونه‌برداری غیریکنواخت اهمیت می‌یابد. با درنظر گرفتن همه این موارد، انتخاب پارامترهای جدول، مقایسه انجام شده است تا بتوان به جمع‌بندی رسید.



(الف) سیگنال قلبی و سیگنال بازسازی شده

(ب) سیگنال کلاک غیریکنواخت

شکل (۱۲): بازسازی سیگنال قلبی

Figure (12): Reconstruction of ECG, a) ECG signal and the reconstructed signal, b) Non-uniform clock signal

Table (2): Comparing the performance of the proposed non-uniform S/H with other references

جدول (۲): مقایسه عملکرد نمونه‌بردار و نگهدار غیریکنواخت پیشنهادی با سایر مراجع

مشخصات / مرجع	[۲۴]	[۲۵]	[۲۶]	[۵]	[۲۷]	مدار پیشنهادی
گره فناوری (نانومتر)	۱۸۰	۱۸۰	۶۵	۱۸۰	۱۸۰	۱۸۰
منبع تغذیه (ولت)	۰/۸	۰/۷	۰/۵	۱	۱/۸	۱/۸
میزان نمونه برداری (نمونه در ثانیه)	۱۰۰۰۰	۵۰۰۰	۲۰۰۰۰۰۰۰	۵۰۰۰	۲۰۰۰۰۰	۱۰۰ و ۱۰۰۰
بازسازی سیگنال	درون‌یابی مرتبه ۳ تا ۶	درون‌یابی چندجمله‌ای مرتبه ۳	درون‌یابی	درون‌یابی مرتبه۱	-	نمونه‌برداری مجدد، درون‌یابی
توان (میکرووات)	۰/۳††	۴/۱†	۳۰۰۰۰	۰/۴	۱۸/۶	۳/۵
سیگنال به نویز (دسی‌بل)	۵۷/۵	۴۷	۵۷/۷	۵۷/۵۹	۶۹/۹	۷۱
شاخص درصد اختلاف موثر	-	-	-	۴/۵	-	۲/۳۰۲
معماری مبدل	LC	LC	فلش غیریکنواخت	غیریکنواخت	SAR تطبیقی	نمونه بردار غیریکنواخت

† بدون شمارنده و زمان‌سنج

†† بدون فیلیپ‌فلاپ نوع T در مدار بالا و پائین و نیز بدون شمارنده و زمان‌سنج

برای آن‌که دقت در مدار افزایش یابد و سیگنال، قابلیت بازسازی داشته باشد، از ساختار حلقه بسته استفاده شده است که در کاهش خطا و اعوجاج، نقش مهمی را ایفا می‌کند؛ ضمن آن‌که مصرف توان نیز کاهش یافته است. باتوجه به دو پارامتر کلیدی PRD و SNR در مقابل مصرف توان می‌توان عملکرد مدار را به خوبی ارزیابی کرد. لازم به‌ذکر است که در مرجع‌های [۲۴] و [۲۵] بدون درنظرگرفتن قسمت‌هایی از مدارِ طراحی شده، مصرف توان گزارش شده است؛ ضمن آن‌که نسبت سیگنال به نویز در آن‌ها بهبود نیافته است. مرجع [۵] با وجود مصرف توان مناسب‌تر، ازنظر بازسازی سیگنال و SNR مناسب نیست. علاوه بر این، طراحی مدار با پیچیدگی ساختار مواجه شده است. با مقایسه مدار پیشنهادی با مراجع اشاره شده، ساختار پیشنهادی با توجه به مصرف توان‌گزارش‌شده، عملکرد بهتری در پردازش سیگنال‌های زیستی با هدف قابلیت بازسازی سیگنال و نسبت سیگنال به نویز دارد.

۵- نتیجه‌گیری

در این مقاله، یک نمونه‌بردار و نگهدار غیریکنواخت حلقه بسته با قابلیت نمونه‌برداری بر اساس تغییرات سیگنال ارائه شده است که با این روش نمونه‌برداری می‌تواند در کاهش طول داده تولیدشده موثر واقع شود، به‌طوری که نرخ نمونه‌برداری مطابق با تغییرات سیگنال تطبیق داده می‌شود و منجربه کاهش توان مصرفی و حافظه مورد نیاز می‌شود؛ علاوه‌بر این می‌توان مبدل ساده‌تری در مدار پردازشگر سیگنال زیستی به‌کار برد. مصرف توان در این مدار با توجه به قابلیت بازسازی سیگنال و نسبت سیگنال به نویز، بهینه‌سازی شده است و نتایج تحلیل خروجی مدار پیشنهادی در نرم‌افزار متلب بعد از بازسازی سیگنال، نسبت سیگنال به نویز ۷۱ دسیبل را با معیار شاخص درصد اختلاف موثر برابر ۲/۳۰۲ درصد و شاخص حداقل مربع خطایی معادل $۸/۵۷\times۱۰^{-۵}$ نشان می‌دهد.

سپاسگزاری

این مقاله مستخرج از رساله دوره دکتری در دانشگاه آزاد اسلامی واحد نجف‌آباد است. نویسندگان بر خود لازم می‌دانند مراتب تشکر صمیمانه خود را از همکاران حوزه پژوهشی دانشگاه آزاد اسلامی و داوران محترم که ما را در انجام و ارتقای کیفی این مقاله یاری نموده‌اند، اعلام نمایند.

References

مراجع

[1] M. Ben-Romdhane, A. Maalej, M. Tlili, C. Rebai, F. Rivet, D. Dallet, "Event-driven ECG sensor in healthcare devices for data transfer optimization", Arabian Journal for Science and Engineering, vol. 45, no. 8, pp. 6361-6387, March 2020 (doi: 10.1007/s13369-020-04483-w).

[2] S.M. Qaisar, S.F. Hussain, "Arrhythmia diagnosis by using level-crossing ECG sampling and sub-bands features extraction for mobile healthcare", Sensors, vol. 20, no. 8, Article Number: 2252, April 2020 (doi: 10.3390/s20082252).

[3] F. Pineda-López, A. Martínez-Fernández, J. Rojo-Álvarez, A. García-Alberola, M.Blanco-Velasco,"A flexible 12-lead/holter device with compression capabilities for low-bandwidth mobile-ECG telemedicine applicati ons", Sensors, vol. 18, no.11, Oct. 2018 (doi: 10.3390/s18113773).

[4] M. Zaare, H. Sepehrian, M. Maymandi-Nejad, "A new non-uniform adaptive-sampling successive approxim ation ADC for biomedical sparse signals", Analog Integrated Circuits and Signal Processing, vol. 45, no. 2, pp. 317-330, Nov. 2012 (doi: 10.1007/s10470-012-9984-7).

[5] M. Nasserian, A. Peiravi, F. Moradi, "An adaptive-resolution signal-specific ADC for sensor-interface applications", Analog Integrated Circuits and Signal Processing, vol. 98, no. 1, pp. 125-135, June 2019 (doi: 10.1007/s10470-018-1258-6).

[6] S. Barati, M. Yavari, "An adaptive continuous-time incremental ΣΔ ADC for neural recording implants", International Journal of Circuit Theory and Applications, vol. 47, no. 2, pp. 187–203, Nov. 2019 (doi: 10.10 02/cta.2585).

[7] M. Trakimas, S.R. Sonkusale, "An adaptive resolution asynchronous ADC architecture for data compression in energy constrained sensing applications", IEEE Trans. on Circuits and Systems, vol. 58, no. 5, pp. 921-934, Dec. 2010 (doi: 10.1109/JSSC.2013.2262738).

[8] T.F. Wu , M.S.W. Chen, "A noise-shaped VCO-based non-uniform sampling ADC with phase-domain level crossing", IEEE Journal of Solid-State Circuits, vol. 54, no. 3, pp. 623-635, March 2019 (doi: 10.1109/JSSC.2 019.2892426).

[9] Y. Hou, J. Qu, Z. Tian, M. Atef, K. Yousef, Y. Lian, G. Wang, "A 61-nW level-crossing ADC with adaptive sampling for biomedical applications", IEEE Trans. on Circuits and Systems, vol. 66, no. 1, pp. 56-60, June 2018 (doi: 10.1109/TCSII.2018.2841037).

[10] T.S. Lee, C.C. Lu, "A 330 MHz 11 bit 26.4 mW CMOS low-hold-pedestal fully differential sample-and-hold circuit", Circuits, Systems, and Signal Processing, vol. 30, no. 5, pp. 883-898, Jan. 2011 (doi: 10.1007/s1 0470-008-9227-0).

[11] D.R.A. Hector, A.J. Lopez-Martin. R.G. Carvajal, J.M. Rocha-perez, M.P. Garde, "Power efficient simple technique to convert a reset-and-hold into a true-sample-and-hold using an auxiliary output stage", IEEE Access, vol, 8, 2020 (doi: 10.1109/ACCESS.2020.2985256).

[12] S. Kazeminia, A.L. Shahsavar, "Dual-path linearization technique for bandwidth enhancement in SAH circuits", AEU- International Journal of Electronics and Communications, vol. 110, no. 1-13, Oct. 2019 (doi: 10.1016/j.aeue.2019.152864).

[13] M. Mousazadeh, K. Hadidi, A. Khoei, "A novel open-loop high-speed CMOS sample-and-hold", AEU-International Journal of Electronics and Communications, vol. 62, no. 8, pp. 588-596, Sept. 2008 (doi: 10.10 16/j.aeue.2007.08.003).

[14] C. Chen,L. Chen,X. Wang, F. Zhang, "A 0.6V,8.4uW AFE circuit for biomedical signal recording", Microelectronics Journal, vol. 75, pp. 105–112, May 2018 (doi: 10.1016/j.mejo.2018.03.009).

[15] A. Abolhasani, M. Tohidi, K. Hadidi, A. Khoei, "A new high-speed, high-resolution open-loop CMOS sample and hold", Analog Integrated Circuits and Signal Processing, vol. 78, no. 2, pp. 409-419, Sept. 2014 (doi: 10.1007/s10470-013-0158-z).

[16] C. Wei, R.S. Wei, M. He, "Bootstrapped switch with improved linearity based on a negative-voltage bootstrapped capacitor", IEICE Electronics Express, vol. 18, no. 7, pp. 1–5, March 2021 (doi: 10.1587/ele x.18.20210062).

[17] H. Mahmoodian, M. Dolatshahi, "An energy-efficient sample-and-hold circuit in CNTFET technology for high-speed applications. analog", Analog Integrated Circuits and Signal Processing, vol. 103, pp. 209–221, Feb. 2020 (doi: 10.1007/s10470-020-01607-y).

[18] K. Ding, K. Cai, Y. Han, "Design of a high-speed sample-and-hold circuit using a substrate-biasing-effect attenuated T switch", Microelectronics Journal, vol. 41, no. 12, pp. 809-814, Dec. 2010 (doi: 10.1016/j.mej o.2010.06.018).

[19] M. Mousazadeh, "A highly linear open-loop high-speed CMOS sample-and-hold", Analog Integrated Circuits and Signal Processing, vol. 90 no. 3, pp. 703-710, Dec. 2017 (doi: 10.1007/s10470-016-0912-0).

[20] K.T. Lin, Y.W. Cheng, K.T. Tang, "A 0.5 V 1.28-MS/s 4.68-fJ/conversion-step SAR ADC with energy-efficient DAC and tri level switching scheme", IEEE Trans. on Very Large Scale Integration (VLSI) Systems, vol. 24, no. 4, pp. 1441-1449, July 2015 (doi: 10.1109/TVLSI.2015.2448575).
[21] M. Yavari, "Hybrid cascade compensation for two-stage CMOS opamps", IEICE Trans. on Electronics, vol. 88, no. 6, pp. 1161-1165, June 2005 (doi: 10.1093/ietele/e88-c.6.1161).
[22] M. Dolatshahi, O. Hashemipour, K. Navi, "A new systematic design approach for low-power analog integrated circuits", AEU- International Journal of Electronics and Communications, vol. 66, no. 5, pp. 384–389, May 2011 (doi: 10.1016/j.aeue.2011.09.005).
[23] M. Sotoudeh, F. Rezaei, "A new dual-network bootstrapped switch for high-speed high-resolution applicatio ns", Computers and Electrical Engineering, vol. 91, pp. 1-9, May 2021 (doi: 10.1016/j.compeleceng.2021.10 7125).
[24] A. Antony, S.R. Paulson, D.J. Moni, " Asynchronous adaptive threshold level crossing ADC for wearable ECG sensors", Journal of Medical Systems, vol. 43, no. 3, pp. 1-18, Feb. 2019 (doi:10.1007/s10916-019-1186-8).
[25] Y. Li, W.A. Serdijn, "A continuous-time level-crossing ADC with1-bit DAC and 3-input comparator", Proceeding of the IEEE/ISCAS, pp. 1311–1314, Seoul, Korea, Aug. 2012 (doi: 10.1109/ISCAS.2012.62714 81).
[26] T.F. Wu, C.R. Ho , M.S.W. Chen, "A flash-based non-uniform sampling ADC enabling digital anti-aliasing filter in 65nm CMOS", Proceeding of the IEEE/CICC, pp. 1-4, San Jose, CA, USA, Sept. 2015 (doi: 10.110 9/JSSC.2017.2718671).
[27] H.W. Chang, H.Y. Huang, Y.H. Juan, W.S. Wang, C.H. Luo, "Adaptive successive approximation ADC for biomedical acquisition system", Microelectronics Journal, vol. 44, no. 9, pp. 729–735, Sept. 2013 (doi: 10.1 016/j.mejo.2013.06.015).

زیرنویس‌ها

1. Wearable sensors
2. Electro Encephalon Graph
3. Non-uniform
4. Volume of data
5. Low activity
6. High activity
7. Complex
8. Adaptive
9. Resolution
10. Compression ratio
11. Level-crossing analog-to-digital converter
12. Scaler
13. Dummy switches
14. Linearized switches
15. Bootstrapped switches
16. Charge injection error
17. Transmission gate (TG)
18. Reliability
19. MIT-BIH arrhythmia database. [Online]. http://www.physionet. org/physiobank/database/mitdb/.
20. Mean
21. Standard deviation values
22. Process corners
23. Interpolating
24. Resampling
25. Percentage root-mean-square difference (PRD)
26. Mean squared error (MSE)