TEEGES

Technovations of Electrical Engineering in Green Energy System

Research Article (2024) 3(3):69-84

Design and Simulation of Low Power Adder Circuits Using MGDI Gate in QCA Technology

Hamidreza Sadrarhami[1,2] , *PhD Student*, Sayed Mohammadali Zanjani[3,4], *Assistant Professor*, Mehdi Dolatshahi[3], *Assistant Professor*, Behrang Barekatain[1,2] , *Associate Professor*

[1] *Faculty of Computer Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran*
[2] *Big Data Research Center, Najafabad Branch, Islamic Azad University, Najafabad, Iran*
[3] *Department of Electrical Engineering, Najafabad Branch, Islamic Azad University, Najafabad, Iran*
[4] *Smart Microgrid Research Center, Najafabad Branch, Islamic Azad University, Najafabad, Iran*

Abstract:

With the design of circuits at the nano-scale and observation of the problems of CMOS technology, designers are seeking suitable alternatives for this technology. Quantum-dot Cellular Automata (QCA) is one of these proposed technologies, which has attracted researchers' attention due to its high speed and low power consumption. On the other hand, the Gate Diffusion Input (GDI) method is an approach to improve power and area efficiency, which has led to higher speed, less power loss, and reduced complexity in Boolean functions through the use of fewer transistors. Furthermore, the adder, as a fundamental computational circuit in the design of digital systems, is of special importance. In this paper, a half-adder circuit, a half-subtractor circuit, and three new adder circuits in QCA technology have been designed and improved with the help of the GDI block. Simulation of these circuits using the QCADesigner software in 18-nanometer technology demonstrates the advantages of simultaneously using QCA technology and the GDI method. The results of the comparison and evaluation of the proposed circuits relative to the best existing adder indicate a reduction of about 55% in the occupied area, a significant decrease in the number of cells, and a delay that is equal to or less than 28% compared to existing works.

Keywords: Quantum-dot cellular automata, Gate diffusion input, Low power, Nanotechnology, Full adder.

Received: 23 January 2024
Revised: 14 March 2024
Accepted: 31 March 2024
Corresponding Author: Dr. Sayed Mohammadali Zanjani, sma_zanjani@pel.iaun.ac.ir
DOI: 10.30486/TEEGES.2024.904850

فناوری‌های نوین مهندسی برق در سامانه انرژی سبز

TEEGES

مقاله پژوهشی

طراحی و شبیه‌سازی مدارهای جمع‌کننده کم‌مصرف با استفاده از گیت MGDI در فناوری QCA

حمیدرضا صدرارحامی[۲،۱]، *دانشجوی دکتری*، سید محمدعلی زنجانی[۴،۳]، *استادیار*، مهدی دولتشاهی[۳]، *استادیار*، بهرنگ برکتین[۴،۱]، *دانشیار*

۱- دانشکده مهندسی کامپیوتر، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

۲- مرکز تحقیقات کلان داده، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

۳- دانشکده مهندسی برق، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

۴- مرکز تحقیقات ریزشبکه‌های هوشمند، واحد نجف‌آباد، دانشگاه آزاد اسلامی، نجف‌آباد، ایران

چکیده: با طراحی مدارها در ابعاد نانو و مشاهده مشکلات فناوری CMOS، طراحان به دنبال جایگزین‌های مناسب برای این فناوری هستند. آتاماتای سلولی کوانتومی QCA، یکی از این فناوری‌های پیشنهادی است که باتوجه‌به سرعت بالا و توان مصرفی پایین، توجه محققان را به خود جلب کرده است. از طرفی، روش ورودی انتشار گیت GDI یک روش بهبود توان و مساحت اشغالی است که با استفاده از تعداد ترانزیستور کمتر، منجر به‌سرعت بیشتر، اتلاف توان کم‌تر و کاهش پیچیدگی در توابع بولی شده است. همچنین جمع‌کننده به‌عنوان مدار محاسباتی پایه در طراحی سامانه‌های دیجیتال از اهمیت ویژه‌ای برخوردار است. در این مقاله، یک مدار نیم جمع‌کننده، یک مدار نیم تفریق‌کننده و سه مدار جمع‌کننده جدید در فناوری QCA و به کمک بلوک GDI بهبودیافته، طراحی شده است. شبیه‌سازی این مدارها با استفاده از نرم‌افزار QCADesigner و در فناوری ۱۸ نانومتر مزیت‌های استفاده هم‌زمان از فناوری QCA و روش GDI به‌صورت هم‌زمان را نشان می‌دهد. نتایج حاصل از مقایسه و ارزیابی مدارهای پیشنهادی نسبت به بهترین جمع‌کننده موجود، بیانگر کاهش تا حدود ۵۵٪ در مساحت اشغالی، کاهش محسوس تعداد سلول‌ها و تأخیری برابر و یا کمتر تا ۲۸٪ نسبت به کارهای موجود است.

واژه‌های کلیدی: آتاماتای سلولی کوانتومی، سامانه‌های کم‌مصرف، تکنیک انتشار پایانه ورودی، تمام جمع‌کننده.

تاریخ ارسال مقاله: ۱۴۰۲/۱۱/۰۳

تاریخ بازنگری مقاله: ۱۴۰۲/۱۲/۲۴

تاریخ پذیرش مقاله: ۱۴۰۳/۰۱/۱۲

نویسندهٔ مسئول: دکتر سید محمدعلی زنجانی، sma_zanjani@pel.iaun.ac.ir

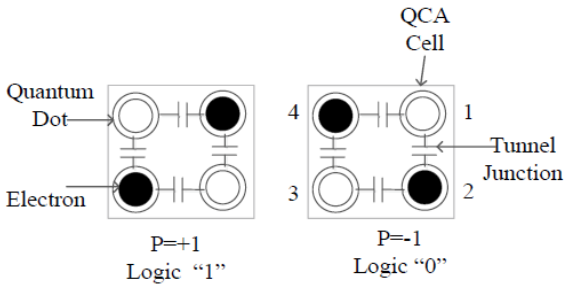
DOI: 10.30486/TEEGES.2024.904850

CC BY

۱- مقدمه

امروزه با پیشرفت شگرف در زمینه سامانه‌های کامپیوتری و واردشدن به فناوری نانو، بیش از هر زمان دیگری پیش‌بینی قانون مور نیاز به تحقق دارد؛ بنابراین، دلایل مختلفی باعث شده است که اعتماد به عملکرد مدارهای CMOS با ابعاد نانومتری کاهش یابد. این دلایل شامل افزایش دمای داخل ترانزیستورها، کاهش کارایی در کنترل گیت‌ها، افزایش نشتی که منجر به بالارفتن توان مصرفی در حالت ایستایی می‌شود، نفوذ الکترون‌ها از سد پتانسیل و کاهش نسبت جریان روشن به جریان خاموش در ترانزیستورها می‌شود[۱]. علاوه بر این، روند تولید این ترانزیستورها، به‌خصوص در مرحله لیتوگرافی، دشوارتر شده و این مسئله موجب افزایش هزینه‌ها می‌شود. در پاسخ به این چالش‌ها، فناوری‌های جدید مانند ترانزیستورهای اثر میدان نانولوله‌های کربنی، ترانزیستورهای تک الکترونی و آتاماتای سلولی کوانتومی به‌عنوان جایگزین مطرح شده‌اند[۲]، [۳]، [۴]، [۵].

آتاماتای سلولی نقطه کوانتومی[۱] (QCA) یک فناوری کم‌مصرف و فاقد ترانزیستور است. این فناوری، استراتژی جدیدی را برای تغییر مقادیر بولین و محاسبات ارائه می‌دهد تا شبیه‌سازی آتوماتا به کمک سلول‌های نقطه کوانتومی انجام شود[۱]. ادغام منطق بولی و ایجاد اثر متقابل[۲] توانسته است ویژگی‌های مصرف پایین انرژی، سوئیچینگ با سرعت بالا و ابعاد بسیار کوچک را ارائه دهد و بر همین اساس، محاسبات منطقی را اجرا کند[۱]. فناوری QCA از تعدادی سلول پایه کوانتومی و ارتباط بین آن‌ها که بر اساس دافعه کلومبی[۳] ایجاد می‌شود، تشکیل شده است. هر سلول از چهار نقطه ساخته شده است که در گوشه‌های یک مربع قرار گرفته‌اند[۶]. در هر سلول، دو الکترون اضافی وجود دارد. وضعیت قرارگیری الکترون‌ها در نقاط کوانتومی، ارزش باینری سلول را ایجاد می‌کند. بار الکترون توسط نقطه کوانتومی مشخص می‌شود. هر سلول می‌تواند مقدار ۱ یا ۰ داشته باشد. باتوجه‌به فعل‌وانفعالات الکترواستاتیکی بین بارها، الکترون‌ها در دورترین فاصله نسبت به یکدیگر قرار می‌گیرند. در این حالت، سلول در پایین‌ترین سطح انرژی است و بیشترین پایداری را دارد[۷]. دو وضعیت پایدار در سلول که مقادیر باینری "۰" و "۱" را رمزگذاری می‌کنند در شکل ۱ نشان داده شده‌اند.



شکل (۱): دو وضعیت مختلف یک سلول آتوماتای سلولی نقطه کوانتومی

مهم‌ترین چالش در این فناوری، روش طراحی مدار است[۸]. دو روش موجود یکی بر اساس ترکیب گیت‌های پایه و دیگری ساده‌سازی مدارهای پیچیده‌تر به گیت‌های ساده است. در روش اول به دلیل وجود تعداد گیت‌های زیاد و لزوم اتصال آن‌ها به یکدیگر، مساحت و تأخیر مدار به طور چشمگیری افزایش می‌یابد. روش دوم نیز به دلیل طراحی بر اساس سعی و خطا و عدم وجود منطق رابطه‌ای برای ساده‌سازی، بسیار دشوار است. به همین دلیل، طراحی با استفاده از گیت‌های جامع‌تر که قادر به اجرای چندین عملیات در یک ساختار واحد است، اهمیت ویژه‌ای دارد. در این مقاله از تکنیک GDI به‌عنوان گیت جامع استفاده شده است. روش ورودی انتشار گیت[۴] (GDI) یک روش بهبود توان و مساحت اشغالی در منطق CMOS است[۹].

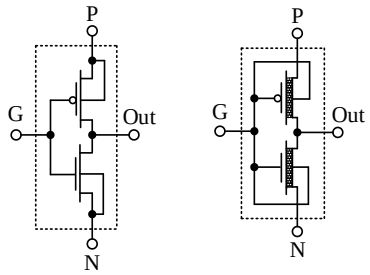
ساده‌ترین حالت تکنیک GDI از اتصال ترانزیستورهای PMOS و NMOS مطابق با شکل۲، ایجاد می‌شود. هسته GDI به‌عنوان یک دروازه ساده است که در آن پایانه سورس ترانزیستورهای نوع N و P به‌جای اتصال به زمین (GND) یا ولتاژ تغذیه (VDD) به ورودی‌های "P" و "N" متصل می‌شوند [۱۰]. بنابراین، توابع باینری مختلفی را با استفاده از تکنیک GDI، و تنها با استفاده از ۲ ترانزیستور می‌توان پیاده‌سازی کرد. درحالی‌که شبیه‌سازی هریک از این توابع در تکنیک‌های دیگر به ۶ تا ۱۲ ترانزیستور احتیاج دارد[۱۰]، [۱۱]، [۱۲]. در GDI استفاده از تعداد ترانزیستور کمتر، منجر به سرعت بیشتر، اتلاف توان[۵] کم‌تر و کاهش پیچیدگی در توابع بولی شده است. همچنین برای طراحی گیت‌های چندورودی می‌توان چندین GDI را به یکدیگر متصل نمود[۳].

تکنیک GDI، به‌عنوان یکی از روش‌های کارآمد در طراحی مدارهای مجتمع محسوب می‌شود و بر اساس اتصال ساده‌ای بین ترانزیستورهای PMOS و NMOS استوار است، همان‌طور که در شکل ۲ نشان داده شده است. هسته GDI به‌عنوان یک دروازه ساده است که در آن پایانه سورس ترانزیستورهای نوع N و P به‌جای اتصال به زمین (GND) یا ولتاژ تغذیه (VDD) به ورودی‌های "P" و "N" متصل می‌شوند[۱۰].

این ابتکار عمل امکان پیاده‌سازی طیف وسیعی از توابع باینری را فقط با استفاده از دو ترانزیستور فراهم می‌آورد، درحالی‌که در روش‌های سنتی برای شبیه‌سازی همین توابع، نیاز به ۶ تا ۱۲ ترانزیستور است[۱], [۹]. استفاده از تکنیک GDI نه تنها تعداد ترانزیستورهای مورد نیاز را به شدت کاهش می‌دهد، بلکه منجر به بهبود قابل توجهی در عملکرد مدار از جنبه‌های مختلف می‌شود. این کاهش در تعداد ترانزیستورها به معنای سرعت پردازش بیشتر، کاهش اتلاف توان و کمتر شدن پیچیدگی در پیاده‌سازی توابع بولی است. بدین ترتیب، GDI به عنوان یک راهکار ایده‌آل برای طراحی مدارهای با کارایی بالا و مصرف پایین انرژی مطرح می‌شود[۱۳].

علاوه بر این، رویکرد GDI امکان طراحی گیت‌های منطقی با چندین ورودی را نیز فراهم می‌آورد. با اتصال چندین واحد GDI به یکدیگر، می‌توان گیت‌های پیچیده‌تر از نوع چند ورودی را طراحی کرد که امکان‌پذیرش توابع منطقی بیشتری را با حداقل اتلاف توان و بهینه‌سازی فضای مداری می‌دهد [۱۱], [۱۲]. این خصوصیت، GDI را به یک ابزار قدرتمند در زمینه طراحی مدارهای دیجیتالی تبدیل می‌کند. بنابراین، تکنیک GDI به دلیل قابلیت‌های برجسته‌اش در کاهش تعداد ترانزیستورها، بهینه‌سازی مصرف انرژی و افزایش سرعت عملکرد، یک انتخاب ارزشمند برای طراحی مدارها است. با پیشرفت‌های جدید در این حوزه، انتظار می‌رود که GDI نقش هر چه بیشتری در توسعه نسل بعدی مدارهای مجتمع دیجیتالی ایفا کند.

هدف این مقاله، پیشنهاد یک مدار جمع‌کننده بر اساس بلوک GDI مبتنی بر QCA است؛ لذا در ادامه، ساختار مقاله به این شرح است. در بخش دوم مروری بر فناوری QCA لحاظ شده است. مدارهای جمع‌کننده موجود در بخش سوم مرور می‌شوند. پیشنهاد سه مدار جمع‌کننده بر اساس بلوک GDI ، بخش چهارم را تشکیل می‌دهد. نتایج شبیه‌سازی و ارزیابی مدارهای ارائه شده و مقایسه نتایج با چند مطالعه انجام شده در بخش پنجم قابل رویت است. نتیجه‌گیری و پیشنهادها در بخش ششم بیان شده است.



(الف) ورودی انتشار گیت پایه (ب) ورودی انتشار گیت بهبودیافته

شکل (۲): ساختار پایه و بهبود یافته ورودی انتشار گیت [۱۴]

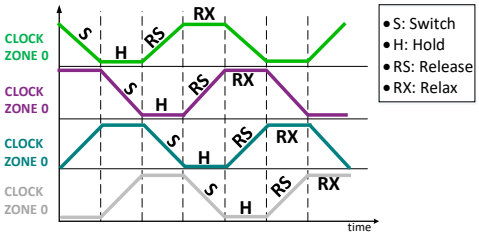
۲- مروری بر فناوری اتوماتای سلولی نقطه کوانتومی

فناوری QCA متشکل از آرایه‌ای از نقاط کوانتومی است که هرکدام دارای چهار حفره و یک جفت الکترون هستند. برای اولین‌بار فناوری QCA توسط لنت و همکارانش ارائه شد[۱۵]. در این فناوری، راه‌حل‌هایی مناسب برای مشکل اتلاف توان، ارتباط داخلی و چگالی تراشه، ارائه شد و چالش‌های موجود در فناوری CMOS تا حد زیادی رفع شد. صرف‌نظر از اثر محیط، دو وضعیت ممکن (قطبش ۰ یا ۱) دارای انرژی الکترواستاتیک یکسانی هستند. وضعیت قطبش سلول‌های مجاور، تعیین‌کننده وضعیت نهایی سلول است؛ بنابراین برای تعیین بار هر سلول، شناسایی و تعیین بار سلول‌های مجاور ضروری است[۱۶]. این تأثیرپذیری بر اساس دافعه کلومبی بین چهار سلول مجاور، چهار سلول مورب در چهار طرف و همچنین سلول‌های لایه بالایی و لایه زیرین است[۱۷]. قطبش P میزان توزیع بار الکتریکی بین چهار نقطه از سلول است. P بر اساس رابطه (۱) بیان می‌شود[۱۸].

$$P = \frac{(p_1 + p_3) - (p_2 + p_4)}{p_1 + p_2 + p_3 + p_4} \quad (1)$$

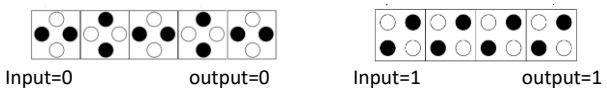
هر ρ_i، شارژ الکتریکی در یکی از چهار نقطه از سلول QCA است. باتوجه‌به میزان انرژی هر نقطه از سلول، قطبش سلول تعیین می‌شود. دو حالت پلاریزه ممکن برای سلول به‌صورت P برابر ۱+ یا ۱- است. برای تعین قطبش سلول‌ها در مدارهای طراحی‌شده در نرم‌افزار QCADesigner از دو روش شبیه‌سازی با موتور شبیه‌سازی دوحالته و موتور شبیه‌سازی بردار هم‌بستگی استفاده می‌شود.

زمان‌بندی در QCA، علاوه بر کنترل جریان داده، انرژی سلول‌ها را نیز تأمین می‌کند. زمان‌بندی در QCA شامل چهار ناحیه ۰، ۱، ۲ و ۳ است. هر منطقه ساعت[۶] در QCA از چهار فاز ساعت متمایز تشکیل شده است: سوئیچ، نگهداری، رهاسازی و استراحت. ابتدا در حالت سوئیچ، سلول‌ها شروع به قطبش می‌کنند و سلول QCA بر اساس وضعیت سلول محرک در یکی از حالت‌های قطبش "صفر" یا "یک" قرار می‌گیرد. در مرحله نگهداری، سلول در قطبش تعیین شده به پایداری رسیده و وضعیت آن تغییر نمی‌کند. در مرحله رهاسازی، به‌مرور از قطبش سلول کاسته می‌شود. در مرحله استراحت، قطبش سلول به‌کلی از بین می‌رود. چهار فاز مختلف از هر ساعت در شکل ۳ نمایش‌داده‌شده است[۱۹].



شکل (۳): چهار فاز مختلف در هر منطقه ساعت [۱۴]

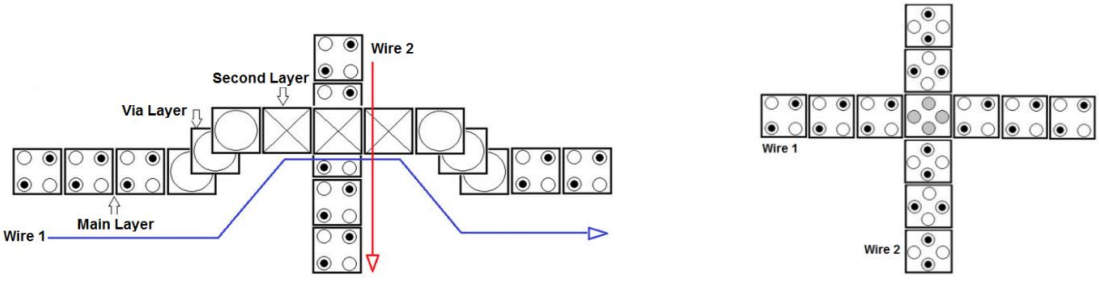
با کنار هم قراردادن چندین سلول QCA، سیم ایجاد می‌شود. انواع سیم‌ها در فناوری QCA عبارت است از: سیم ۹۰° و ۴۵° که اولی مجموعه‌ای از سلول‌های ساده و دومی مجموعه‌ای از سلول‌های چرخیده است. در شکل ۴ انواع سیم در فناوری QCA نشان‌داده‌شده است[۲۰]. در سیم ۹۰° پلاریزه، ورودی بدون تغییر، به سلول مجاور انتقال می‌یابد و این زنجیره تا انتهای سیم ادامه دارد. در سیم ۴۵° مکمل قطبش ورودی، به سلول مجاور منتقل می‌شود و تا انتهای سیم، این روند ادامه دارد. به سیم ۴۵°، زنجیره وارونگر گویند[۲۱].



(الف) سیم ۹۰ درجه یا ساده (ب) سیم ۴۵ درجه یا چرخانده شده

شکل (۴): ساختار سیم در آتوماتای سلولی نقطه کوانتومی [۱]

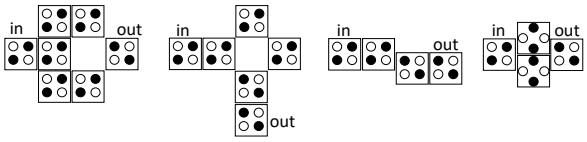
برای طراحی سیم‌های متقاطع، دو روش طراحی هم‌سطح[۷] و چندلایه[۸] وجود دارد. در روش هم‌سطح، برای عبور سیم‌های متقاطع[۹] از دو سیم عمود برهم، یکی از نوع سیم ۴۵° و دیگری از نوع سیم ۹۰° استفاده می‌شود [۱]. در این روش، با جابجایی و ناهماهنگی سلول‌ها، اثر متقابل[۱۰] در سیم‌های متقاطع ایجاد می‌شود. برای رفع این چالش و افزایش استحکام مدار، کارهایی انجام شده است که موجب افزایش مساحت و ایجاد سربار برای مدار شده است [۲۲]. همچنین در روش همسطح، عبور سیم‌های متقاطع بر اساس فاز ساعت متفاوت، نسبت به سایر روش‌ها هزینه سربار کمتری دارد[۲۳]. در این روش، سلول‌های فاز سوئیچ و رهاسازی، همچنین سلول‌های فاز نگهداری و استراحت می‌توانند بدون اثر قطبش مخرب از روی یکدیگر عبور کنند[۲۴]. روش دوم، موسوم به روش چندلایه از چندین لایه برای طراحی بهره می‌برد. در هر دو روش، سلول‌های مجاور بر یکدیگر بی‌اثرند[۲۴]. این روش‌ها در شکل ۵ نمایش داده شده است.



(ب) ساختار چندلایه (الف) ساختار هم‌سطح

شکل (۵): سیم متقاطع در آتوماتای سلولی نقطه کوانتومی [۲۴]

طراحی مدارهای محاسباتی در فناوری QCA با استفاده از ترکیب گیت‌های پایه اکثریت و وارونگر انجام می‌شود[۲۵]. در این روش، تعداد زیادی از گیت‌های پایه به یکدیگر متصل می‌شوند که منجر به ایجاد مدارهای پیچیده با تعداد سلول زیاد و مساحت بالا می‌شود. همچنین به علت وجود گیت‌های مختلف و نیاز به ایجاد ارتباط داخلی بین آن‌ها، تأخیر این مدارها به‌شدت بالا می‌رود. چند نمونه گیت معکوس‌کننده در شکل ۶ نمایش‌داده‌شده است.



شکل (۶): چند ساختار معکوس‌کننده [۲۵]

در رابطه (۲) گیت اکثریت سه ورودی بیان شده است[۲۶]. اگر مقدار یکی از ورودی‌های گیت اکثریت سه ورودی، ۱ باشد، گیت OR ایجاد میشود و اگر مقدار یکی از ورودی‌ها ۰ باشد، گیت AND ایجاد می‌شود. این خاصیت گیت اکثریت در رابطه (۳) و رابطه (۴) بیان شده‌است. روش دیگر طراحی مدارها در فناوری QCA استفاده از گیت‌های جامع[11] است. این گیت‌ها توان اجرای توابع پیچیده‌تری را دارند و علاوه بر کاهش مساحت و توان مصرفی، تأخیر مدار را تا حد زیادی کاهش می‌دهند.

$$MV3(A,B,C) = F = AM + BC + AC \quad (۲)$$

$$Output = A + B \ \rightarrow if(C = 1) \quad (۳)$$

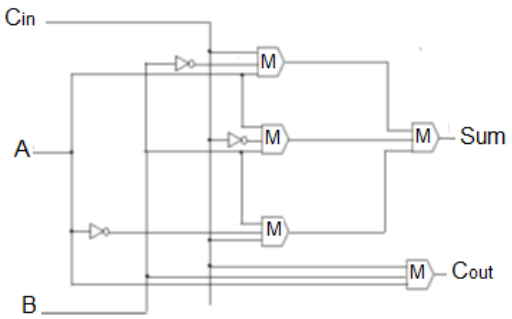
$$Output = A.B \ \rightarrow if(C = 0) \quad (۴)$$

۳- مروری بر مدارهای جمع‌کننده موجود

یکی از اصلی‌ترین وظایف سامانه‌های دیجیتال، انجام عملیات محاسباتی است، در این میان عملیات جمع اساسی‌ترین و پایه‌ای‌ترین محاسبات به شمار می‌آید. در رابطه (۵) ، رابطه منطقی محاسبه تمام جمع‌کننده مشاهده می‌شود[۲۷]. همان‌طور که در رابطه (۶) نشان داده شده است، برای محاسبه رقم نقلی و رقم جمع می‌توان از گیت اکثریت استفاده نمود[۲۸]. اولین تمام جمع‌کننده یک بیتی درفناوری QCA در دانشگاه نتردام طراحی شده است. این گیت شامل پنج گیت اکثریت و سه گیت معکوس‌کننده می‌باشد. طراحی این مدار در شکل۷ قابل نمایش است [۲۹].

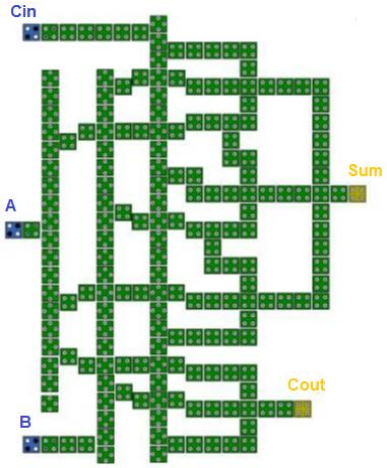
$$Sum = A \oplus B \oplus C = ABC + A^{-}B^{-}C + AB^{-}C^{-} + A^{-}BC^{-} \quad (۵)$$
$$Cout = AB + AC + BC$$

$$Sum = MV3(Cout^{-}.MV3(A^{-}.B.C).A) \quad (۶)$$
$$Cout = MV3(A.B.C)$$



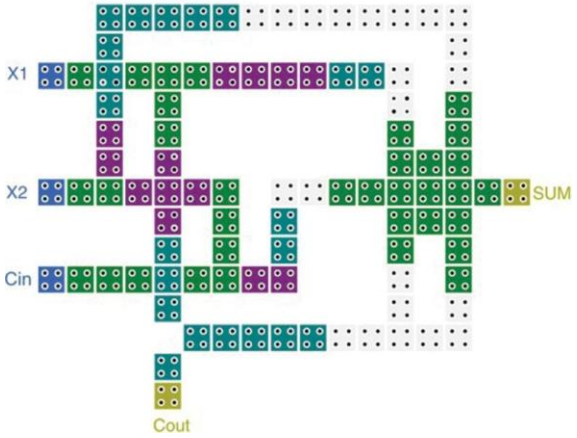
شکل (۷): طراحی شماتیک اولین تمام جمع‌کننده مبتنی بر طرح [۲۹]

در این مدار ورودی‌ها شامل دو بیت ورودی A و B و یک بیت ورودی نقلی Cin است. Sum و Cout بیت‌های خروجی تمام جمع‌کننده است. در شکل ۸ شبیه‌سازی طرح فوق نمایش داده شده است. مدار طراحی‌شده دارای ۱۹۰ سلول است که با توجه به استفاده بسیار زیاد مدار جمع‌کننده در سایر مدارها، کاهش تعداد سلول این مدار اهمیت زیادی دارد.



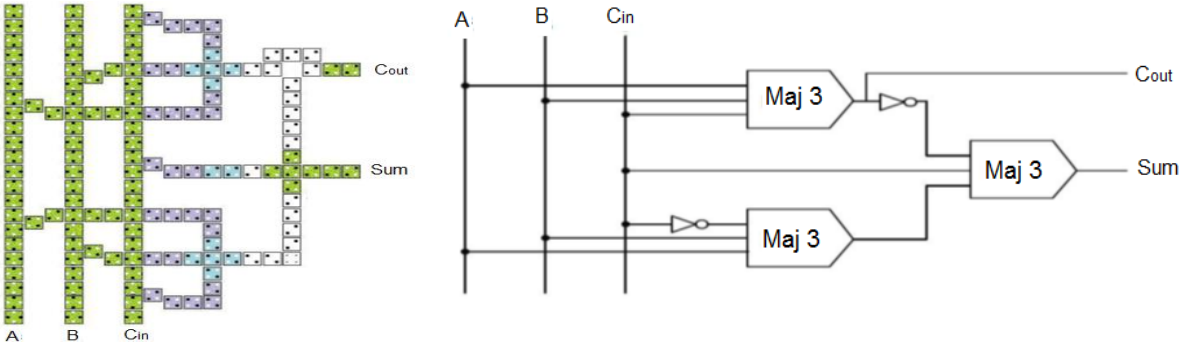
شکل (۸): ساختار مدار اولین تمام جمع‌کننده [۲۴]

در [۳۰] یک مدار XOR سه ورودی ارائه و سپس بر اساس آن یک مدار تمام جمع‌کننده تک‌لایه طراحی شده است که دارای ۹۵ سلول می‌باشد و دارای ۴ فاز ساعت است. این مدار در شکل۹ قابل مشاهده است.



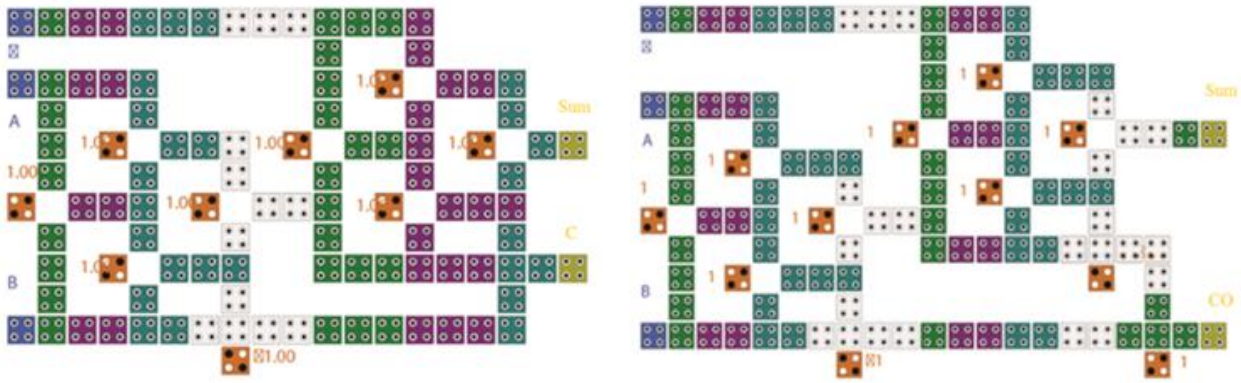
شکل (۹): ساختار مدار تمام جمع‌کننده [۳۰]

در [۲۷]، با تغییر در الگوریتم محاسبه، طبق شکل ۱۰ یک طرح بهینه‌شده برای مدار تمام جمع‌کننده یک بیتی ارائه شده است. در این طرح از سه گیت اکثریت و دو گیت معکوس‌کننده استفاده شده است که نسبت به طرح قبلی دو گیت اکثریت و یک گیت معکوس‌کننده صرفه‌جویی شده است. این مدار دارای ۱۴۵ سلول می‌باشد.



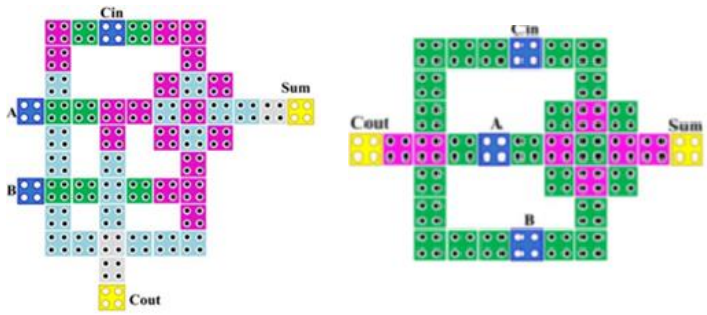
شکل (۱۰): ساختار مدار تمام جمع کننده شامل طراحی شماتیک و مدار قابل شبیه‌سازی[۲۷]

در [۳۱]، ابتدا یک مدار XOR سه ورودی طراحی شده‌است و سپس بر اساس آن دو مدار تمام جمع‌کننده با ۱۱۲ و ۱۰۳ سلول ارائه شده است. اولی در ۹ فاز ساعت و دومی در ۷ فاز ساعت کار می‌کند. این مدارها در شکل ۱۱ نمایش داده شده است.



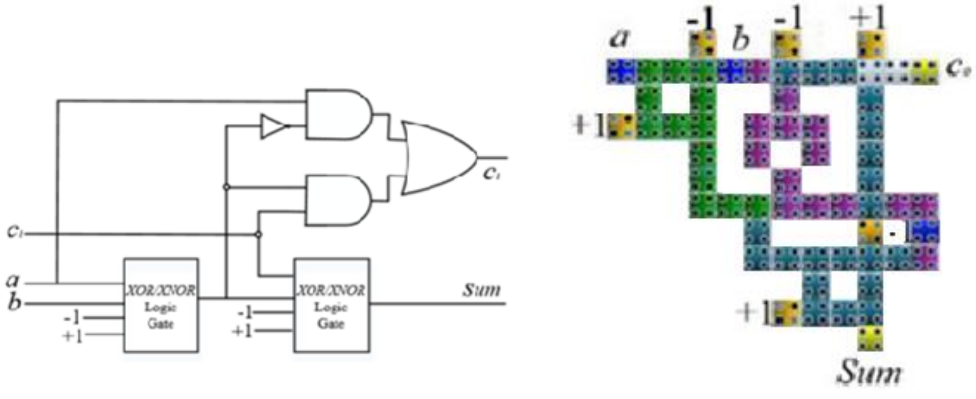
شکل (۱۱): دو ساختار مدار تمام جمع‌کننده ۱۱۲ سلولی (راست) و ۱۰۳ سلولی (چپ) [۳۱]

در تحقیق انجام شده در [۲۸] با استفاده از مدار XOR سه ورودی، دو نمودار تمام جمع‌کننده با ۴۹ و ۳۵ سلول ارائه شده است که در شکل ۱۲ قابل مشاهده می‌باشد.



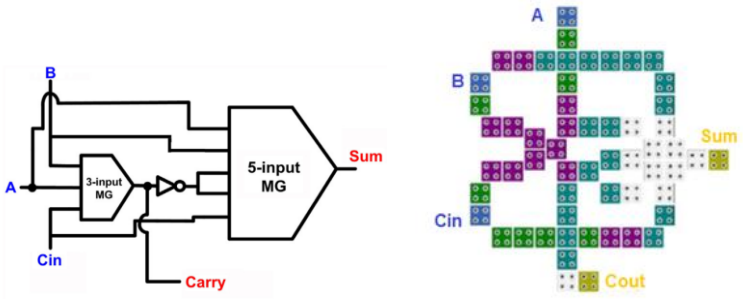
شکل (۱۲): دو ساختار الف) ۳۵ سلولی ب) ۴۹ سلولی تمام جمع‌کننده [28]

در تحقیق انجام شده توسط Wang و همکارانش در [۳۲] یک مدار XOR طراحی و سپس بر اساس آن یک مدار جمع‌کننده تک‌بیتی ارائه شده است. این مدار شامل شش گیت پایه (دو گیت XOR، دو گیت AND، یک گیت OR و یک گیت NOT) است. شماتیک منطقی این مدار که در یک لایه و با ۶۰ سلول طراحی شده است و در ۳ فاز ساعت کار می‌کند، در شکل ۱۳ نمایش داده شده است.



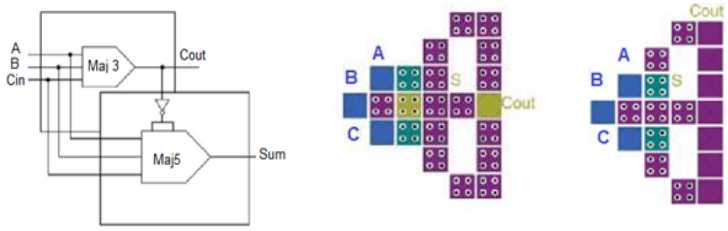
شکل (۱۳): شماتیک و مدار تمام جمع‌کننده [۳۲]

در [۳۳] یک الگوی جدید جهت طراحی مدار تمام جمع‌کننده ارائه شده است. طبق شکل ۱۴ این الگو شامل یک گیت اکثریت پنج ورودی و یک گیت اکثریت سه ورودی و یک گیت معکوس‌کننده است. این مدار با ۵۷ سلول در ۴ فاز ساعت کار می‌کند.



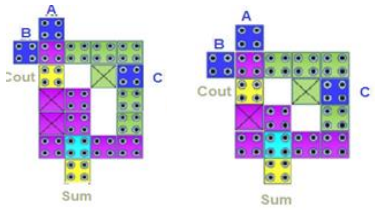
شکل (۱۴): ساختار مدار تمام جمع‌کننده [۳۳]

در [۳۴] دو مدار تمام جمع‌کننده قابل مشاهده در شکل۱۵ ارائه شده است که دارای ۳۵ و ۳۳ سلول می‌باشند. هر دو طرح شامل یک گیت اکثریت ۳ ورودی، یک گیت اکثریت ۵ ورودی و یک گیت معکوس‌کننده می‌باشند و در سه لایه طراحی و شبیه‌سازی شده‌اند.



شکل (۱۵): ساختار تمام جمع‌کننده چپ)طراحی شماتیک. وسط) مدار ۳۵ سلولی. راست) مدار ۳۳ سلولی[۳۴].

در [۳۵] نیز دو طرح تمام جمع‌کننده در سه لایه ارائه شده است. این مدارها هرکدام با ۲۸ و ۳۱ سلول و در سه فاز ساعت کار می‌کنند که در شکل ۱۶ نشان داده شده‌اند.



شکل (۱۶): ساختار دو مدار تمام جمع‌کننده ۲۸ و ۳۱ سلولی [۳۵]

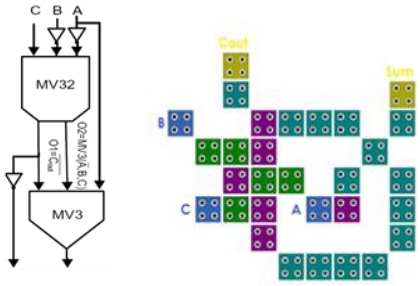
در تحقیق انجام شده توسط مصلح و همکارانش یک مدار تمام جمع‌کننده با ۳۰ سلول، در یک لایه و ۳ فاز ساعت طراحی و شبیه‌سازی شده است که در شکل۱۷ قابل مشاهده است. در این جمع‌کننده به‌جای استفاده از گیت اکثریت سه ورودی، از یک گیت پیشنهادی به نام MV32 استفاده شده است که در رابطه (۷) آمده است[۳۶].

$$MV32(A^{-}.B^{-}.C)\begin{cases}O1 = MV3(A^{-}.B^{-}.C^{-}) \\ O2 = MV3(A^{-}.B.C)\end{cases} \quad (۷)$$

با ساده‌کردن رابطه (۷) و مقایسه آن با رابطه (۸) می‌توان به رابطه (۹) دست یافت.

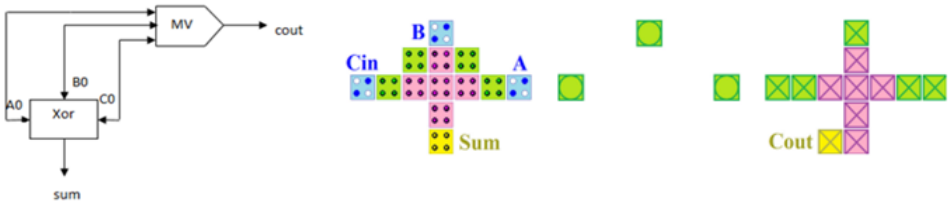
$$\begin{aligned} Cout &= O1^{-} = \left(MV3(A^{-}.B^{-}.C^{-})\right)^{-} = ((AB)^{-} + (AC)^{-} + (BC)^{-})^{-} \\ Sum &= MV3(O1.O2.A) = MV3(((AB)' + (AC)' + (BC)').A'B + A'C + BCA \\ &= ABC + (AB)^{-}C + A^{-}BC^{-} + A(BC)^{-} \end{aligned} \quad (۸)$$

$$\begin{aligned} Cout &= AB + AC + BC \\ Sum &= A \oplus B \oplus C \end{aligned} \quad (۹)$$



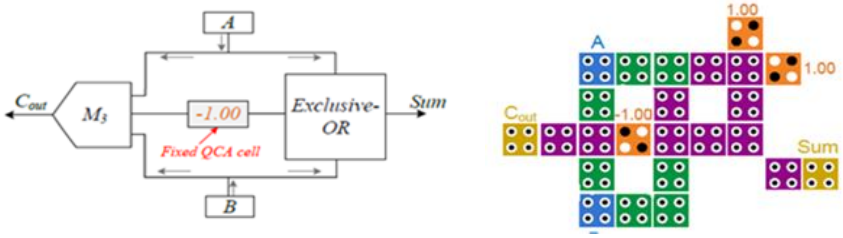
شکل (۱۷): ساختار مدار تمام جمع‌کننده [۳۶]

در تحقیق انجام شده توسط عادل‌نیا و همکارانش، یک مدار جمع‌کننده به کمک گیت XOR سه ورودی در سه‌لایه و با ۲۸ سلول طراحی‌شده است که در شکل ۱۸ قابل نمایش است[۳۷].

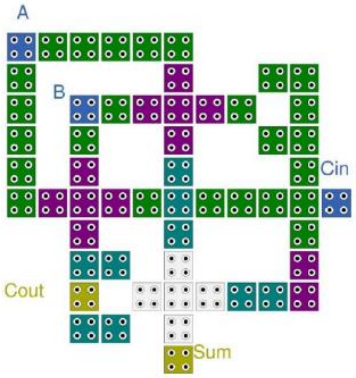


شکل (۱۸): ساختار و مدار تمام جمع‌کننده سه لایه [۳۷]

در شکل ۱۹ یک مدار نیم جمع‌کننده ارائه در [۳۸] نمایش‌داده شده است که از ۲۴ سلول بهره برده و در دو فاز ساعت طراحی‌شده است. در این مدار از یک گیت XOR برای محاسبه SUM و از یک گیت اکثریت ۳ ورودی برای محاسبه رقم نقلی استفاده شده است. همچنین در مدار تمام جمع‌کننده ارائه شده شکل ۲۰ برای محاسبه رقم SUM از دو گیت XOR دو ورودی استفاده شده است. این طرح دارای ۵۶ سلول و ۴ کلاک پالس است [۳۸].

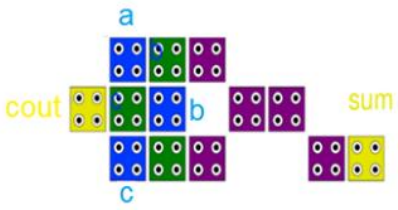


شکل (۱۹): ساختار مدار نیم جمع‌کننده[۳۸]



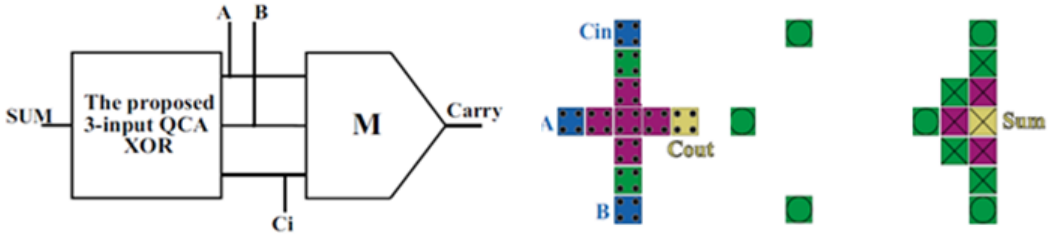
شکل (۲۰): ساختار مدار تمام جمع‌کننده [۳۸]

در [۳۹] برای تعین رقم نقلی خروجی از یک گیت اکثریت سه ورودی و جهت تعیین مقدار رقم جمع از یک XOR سه ورودی استفاده شده است. این مدار شامل ۱۳ سلول است و در یک لایه طراحی و در ۲ فاز ساعت طبق شکل ۲۱ شبیه‌سازی شده است.



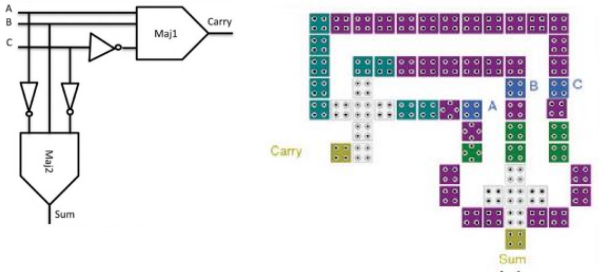
شکل (۲۱): ساختار مدار تمام جمع‌کننده [39]

در [۴۰] نیز ابتدا یک مدار XOR سه ورودی طراحی و شبیه‌سازی شده است. سپس بر اساس آن، تمام جمع‌کننده شکل ۲۲ ارائه شده است که شامل ۲۵ سلول در سه لایه است و در دو فاز ساعت کار می‌کند.



شکل (۲۲): ساختارو مدار تمام جمع‌کننده سه لایه [۴۰]

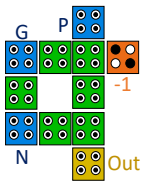
در [۴۱] یک مدار تمام جمع‌کننده ارائه شده است که در شکل۲۳ قابل نمایش می‌باشد. این طرح شامل ۶۱ سلول است و در دو فاز ساعت طراحی‌شده است. این مدار برای محاسبه SUM و رقم نقلی از گیت اکثریت ۳ ورودی استفاده می‌کند.



شکل (۲۳): ساختار مدار تمام جمع‌کننده سه لایه [۴۱]

٤- طراحی مدارهای جمع‌کننده پیشنهادی با بلوک QCA-GDI

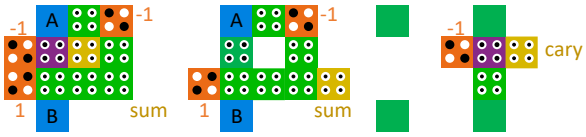
ترکیب فناوری QCA و تکنیک GDI می‌تواند منجر به ایجاد مدارهایی با کارایی بالا و مصرف پایین انرژی شود. فناوری QCA که به‌عنوان یک راهکار جایگزین برای محاسبات در مقیاس نانو ارائه شده است، به‌واسطه محیطِ مربعی‌شکل و حفره‌هایی در کنار هم امکان ساخت مدارهایی با تراکم بالا و کمترین اشغال فضا را فراهم می‌آورد [۱۴]. از طرفی، GDI با ارائه راهکاری برای کاهش تعداد ترانزیستورهای مورد استفاده در مدارهای منطقی، به بهینه‌سازی مصرف انرژی کمک می‌کند. وقتی این دو فناوری با یکدیگر ترکیب می‌شوند، امکان طراحی مدارهای پیشرفته با قابلیت‌های عملیاتی فراوان، مصرف انرژی بهینه و اندازه‌گیری دقیق در سطح نانو ایجاد می‌شود. در [۱۴] طبق شکل ۲۴، یک بلوک GDI در فناوری QCA با ۱۱ سلول و مساحت ۰.۰۱ میکرومترمربع، شامل ۳ ورودی، یک خروجی و دو سلول با قطبیت ثابت در یک فاز ساعت تاخیر، پیشنهاد شده است. این گیت قادر به اجرای ۹ تابع مختلف است. طراحی در یک‌لایه و عدم استفاده از روش‌های متقاطع در طراحی از مزیت‌های این طرح است.



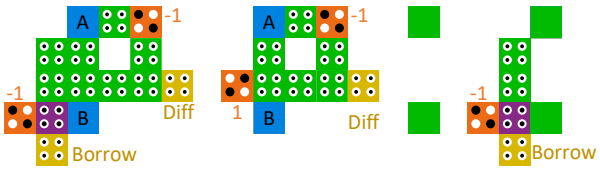
شکل (۲۴): بلوک QCA-GDI [۱۴]

ازآنجایی‌که با تغییر در مقادیر ورودی بلوک MGDI-QCA، عملیات مختلفی قابل‌اجرا است، این بلوک به‌عنوان یک گیت همه‌منظوره کاربرد دارد. با استفاده از این بلوک، سایر مدارهای منطقی و محاسباتی را می‌توان به‌صورت بهبودیافته طراحی و شبیه‌سازی کرد. استفاده از این بلوک در مدارهای مختلف، علاوه بر کاهش تعداد سلول‌ها، به میزان قابل‌توجهی، توان مصرفی و مساحت مدار را نیز کاهش می‌دهد. ۳۱٪ کاهش در تعداد سلول‌ها، ۵۰٪ کاهش در سطح و ۱۷٪ کاهش در اتلاف انرژی کل از مزایای طرح بلوک QCA-GDI پیشنهادی در [۱۴] است.

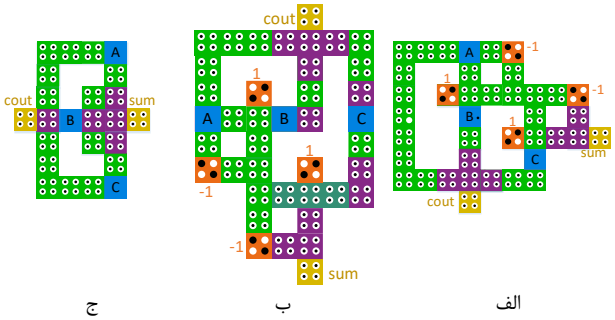
در این قسمت با استفاده از بلوک QCA-GDI پیشنهادی در [۱۴]، یک نیم جمع‌کننده، یک نیم تفریق‌کننده و سه مدار شامل تمام جمع‌کننده طراحی و شبیه‌سازی شده است. در شکل‌های ۲۴ و ۲۵، نیم جمع‌کننده و نیم تفریق‌کننده با استفاده از بلوک پیشنهادی در سه‌لایه، ارائه شده است. در طرح پیشنهادی عملیات XOR و AND توسط بلوک MGDI-QCA طراحی شده است. برای این منظور، مقادیر ورودی، مطابق شکل‌های ۲۵ و ۲۶ تعیین شده‌است. شبیه‌سازی مدارهای پیشنهادی توسط QCADesigner در فناوری ۱۸ نانومتر و بررسی میزان انرژی مصرفی طرح پیشنهادی توسط QCADesigner-E نسخه ۲.۰.۳ با پارامترهای شبیه‌سازی پیش‌فرض و با استفاده از موتورهای شبیه‌سازی دوبرداره[۱۲] و همدوس[۱۳] انجام شده است. نتایج مشابهی با استفاده از هر دو موتور شبیه‌سازی به‌دست آمده است که نشان‌دهنده دقت طرح پیشنهادی است. همچنین در شکل ۲۷ سه مدار تمام جمع‌کننده با استفاده از بلوک QCA-GDI طراحی و شبیه‌سازی شده است. هر یک از مدارهای جمع‌کننده الف، ب و ج به ترتیب دارای ۴۱، ۴۰ و ۲۴ سلول است. همچنین هر سه مدار در یک لایه طراحی و شبیه‌سازی شده است. مدار الف و ج هرکدام در ۲ فاز ساعت و نمودار ب در ۳ فاز ساعت کار می‌کنند. نتایج شبیه‌سازی و مقایسه و ارزیابی نتایج، در بخش پنجم ارائه خواهد شد.



شکل (۲۵): نیم جمع‌کننده سه‌لایه پیشنهادی به‌کمک بلوک QCA-GDI



شکل (۲۶): نیم تفریق‌کننده سه‌لایه پیشنهادی به‌کمک بلوک QCA-GDI

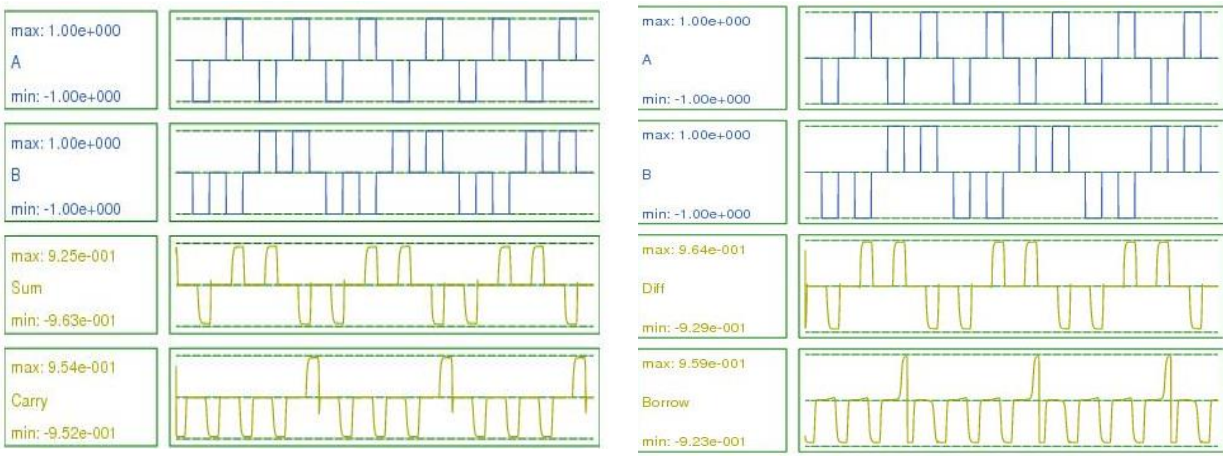


شکل (۲۷): سه نمودار تمام جمع‌کننده پیشنهادی به‌کمک بلوک QCA-GDI

۵- نتایج شبیه‌سازی و مقایسه

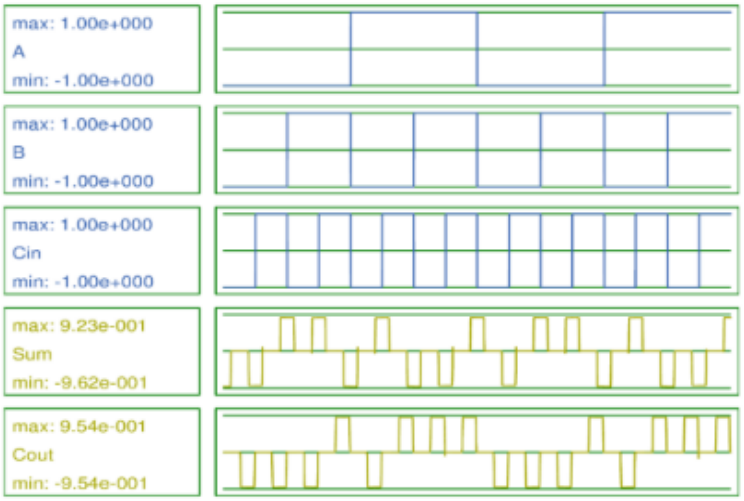
در این بخش، ابتدا مدارهای پیشنهادی طراحی‌شده که در قسمت قبل مشاهده شد، با نرم‌افزار QCADesigner در فناوری ۱۸ نانومتری شبیه‌سازی‌شده است. در شکل ۲۸ و شکل ۲۹ نتایج شبیه‌سازی مدارهای نیم جمع‌کننده، نیم تفریق‌کننده و تمام جمع‌کننده پیشنهادی و نحوه رفتار این مدارها به‌ازای ورودی‌های مختلف قابل‌مشاهده است. واضح است که هر سه مدار ازنظر رعایت سطوح منطقی درست عمل می‌کنند.

در ادامه در جدول ۱، بلوک پیشنهادی با کارهای مشابه قبلی مقایسه می‌شود. لازم به ذکر است که حاصل‌ضرب سطح اشغالی در تأخیر به‌عنوان پارامتر cost تعریف می‌شود. به‌منظور بررسی و مقایسه مدارها از پارامترهای تعداد سلول، تأخیر، مساحت و هزینه کوانتومی استفاده شده است. نتایج، نشانگر مناسب بودن هر سه طرح پیشنهادی ازنظر تاخیر، مساحت اشغالی و تعداد سلول است.



Half Adder Half Sub

شکل (۲۸): نتایج شبیه‌سازی نیم‌جمع‌کننده و نیم‌تفریق‌کننده



شکل (۲۹): نتایج شبیه‌سازی تمام‌جمع‌کننده

باتوجه‌به مقایسه انجام شده در جدول ۱، مدار پیشنهادی ج نسبت به همه کارهای قبلی به جز جمع‌کننده [۳۹] دارای حداقل تعداد سلول می‌باشد. هرچند جمع‌کننده [۳۹] تعداد سلول کمتری دارد ولی از نظر مساحت اشغالی بسیار بزرگتر از سه مدار پیشنهادی است. از نظر مساحت، مدار پیشنهادی الف حدود ۴۵٪، مدار ب حدود۳۴٪ و مدار ج حدود ۵۵٪ بهبود نسبت به مدار [۳۹] دارند. از نظر تاخیر نیز مدارهای پیشنهادی الف و ج در وضعیت حداقلی قرار دارند.

جدول (۱): نتایج مقایسه مدارهای جمع‌کننده پیشنهادی با مدارهای قبلی

مرجع	روش طراحی	تعداد سلول	مساحت (μm^2)	تأخیر	هزینه	مزایا	معایب
[۲۸]	Tile-Maj	۴۹	۰.۰۴	۱	۰.۰۴	یک‌لایه	تأخیر زیاد، سلول و مساحت زیاد
[۳۱]	Maj-Not	۱۰۳	۰.۰۹	۱.۷۵	۰.۱۵۷	یک‌لایه	تأخیر زیاد، سلول و مساحت زیاد
[۳۲]	Maj-Not	۶۰	۰.۰۵۷	۰.۷۵	۰.۰۴۲	یک‌لایه	تأخیر زیاد، سلول زیاد
[۳۳]	Maj-Not	۵۷	۰.۰۷	۱	۰.۰۷	یک‌لایه	تأخیر زیاد، سلول زیاد
[۳۵]	Maj-Not	۲۸	۰.۰۱	۰.۷۵	۰.۰۰۷	مساحت	سه‌لایه، تأخیر زیاد
[۳۶]	MV32	۳۰	۰.۰۶	۰.۷۵	۰.۰۲۱	یک‌لایه، مساحت کم	تأخیر زیاد
[۳۷]	Tile-Maj	۲۸	۰.۰۷	۰.۵	۰.۰۰۵	مساحت کم	سه‌لایه
[۳۹]	Tile-Maj	۱۳	۰.۰۹	۰.۵	۰.۰۴۵	یک‌لایه، سلول کم	مساحت
[۴۰]	Tile-Maj	۲۵	۰.۰۲	۰.۵	۰.۰۱	مساحت و سلول کم	سه‌لایه
[۴۱]	Maj-Not	۶۱	۰.۰۷	۰.۵	۰.۰۳۵	تأخیر کم	سلول و مساحت زیاد
الف	**QCA-GDI**	**۴۱**	**۰.۰۵**	**۰.۵**	**۰.۰۲۵**	**یک‌لایه، مساحت کم**	---
ب	**QCA-GDI**	**۴۰**	**۰.۰۶**	**۰.۷۵**	**۰.۰۴۵**	**یک‌لایه**	**تأخیر زیاد**
ج	**QCA-GDI**	**۲۴**	**۰.۰۴**	**۰.۵**	**۰.۰۲**	**یک‌لایه، مساحت و سلول کم**	-----

۶- نتیجه‌گیری

روش طراحی مدار در فناوری QCA که به‌عنوان یکی از فناوری‌های جایگزین CMOS توجه محققان را به خود جلب نموده است، دارای چالش‌های اساسی است. ازاین‌رو استفاده از گیت‌های جامع نسبت به گیت‌های پایه به دلیل کاهش در تأخیر، تعداد سلول و مساحت مدار، این چالش را برطرف می‌کند. بلوک QCA-GDI که از مزایای هر دو روش GDI و QCA بهره برده است، باتوجه‌به تعداد عملیات قابل‌اجرا می‌تواند به‌عنوان یک گیت جامع استفاده شود. در این مقاله، ابتدا چندین مدار جمع‌کننده در فناوری آتاماتای سلولی کوانتومی بررسی شد. پس از آن یک نیم جمع‌کننده، یک نیم تفریق‌کننده و سه مدار تمام جمع‌کننده با استفاده از بلوک QCA-GDI پیشنهادی، طراحی و شبیه‌سازی شد. نتایج حاصل از مقایسه و ارزیابی مدارهای جمع‌کننده پیشنهادی با کارهای قبلی، بیانگر میانگین کاهش ۴۰ درصدی در مساحت اشغالی و دارابودن حداقل تعداد سلول و تأخیر نسبت به بهترین کار موجود است. درنهایت، با مقایسه مدارهای پیشنهادی با کارهای قبلی می‌توان نتیجه گرفت استفاده از بلوک QCA-GDI در طراحی، به‌عنوان یک بلوک جامع موجب بهبود در تعداد سلول کوانتومی، مساحت، تأخیر و کاهش هزینه می‌شود.

مراجع

[1] M. Sadeghi, K. Navi, and M. Dolatshahi, "Novel efficient full adder and full subtractor designs in quantum cellular automata," *J. Supercomput.*, vol. 76, no. 3, pp. 2191–2205, 2020, doi: 10.1007/s11227-019-03073-4.

[2] S. D. R., T. K., J. B. B. Rayappan, R. Amirtharajan, and P. Praveenkumar, "MUX induced Ring oscillators for encrypted Nano communication via Quantum Dot Cellular Automata," *Nano Commun. Netw.*, vol. 27, p. 100338, 2021, doi: 10.1016/j.nancom.2020.100338.

[3] A. Ghorbani, M. Dolatshahi, S. M. Zanjani, and B. Barekatain, "A New Low Power, Area Efficient 4-bit Carry Look Ahead Adder in CNFET Technology," *Majlesi J. Electr. Eng.*, vol. 16, no. 1, pp. 65–73, 2022, doi: 10.52547/mjee.16.1.65.

[4] A. Ghorbani, M. Dolatshahi, S. M. Zanjani, and B. Barekatain, "A new low-power Dynamic-GDI full adder in CNFET technology," *Integration*, vol. 83, no. December 2020, pp. 46–59, 2022, doi: 10.1016/j.vlsi.2021.12.001.

[5] L. Dehbozorgi, R. Sabbaghi-Nadooshan, and A. Kashaninia, "Novel Fault-Tolerant Processing in Memory Cell in Ternary Quantum-Dot Cellular Automata," *J. Electron. Test. Theory Appl.*, vol. 38, no. 4, pp. 419–444, 2022, doi: 10.1007/s10836-022-06018-7.

[6] S. S. Ahmadpour and M. Mosleh, "A novel fault-tolerant multiplexer in quantum-dot cellular automata technology," *J. Supercomput.*, vol. 74, no. 9, pp. 4696–4716, 2018, doi: 10.1007/s11227-018-2464-9.

[7] W. Liu, L. Lu, M. O'Neill, and E. E. Swartzlander, "Design rules for Quantum-dot Cellular Automata," *Proc. - IEEE Int. Symp. Circuits Syst.*, pp. 2361–2364, 2011, doi: 10.1109/ISCAS.2011.5938077.

[8] E. Abiri, M. R. Salehi, and A. Darabi, "Design and evaluation of low power and high speed logic circuit based on the modified gate diffusion input (m-GDI) technique in 32nm CNTFET technology," *22nd Iran.Conf. Electr. Eng. ICEE 2014*, no. Icee, pp. 67–72, 2014, doi: 10.1109/IranianCEE.2014.6999505.

[9] M. Shoba and R. Nakkeeran, "GDI based full adders for energy efficient arithmetic applications," *Eng. Sci. Technol. an Int. J.*, vol. 19, no. 1, pp. 485–496, 2016, doi: 10.1016/j.jestch.2015.09.006.

[10] S. R. M. CHANDRA and R. P. RAMANA, "Design and Implementation of Low Power Alu Using 8T Full Adder With Finfets," *i-manager's J. Circuits Syst.*, vol. 5, no. 4, p. 8, 2017, doi: 10.26634/jcir.5.4.13939.

[11] A. Morgenshtein, V. Yuzhaninov, A. Kovshilovsky, and A. Fish, "Full-swing gate diffusion input logic - Case-study of low-power CLA adder design," *Integr. VLSI J.*, 2014, doi: 10.1016/j.vlsi.2013.04.002.

[12] A. T. Mahani and P. Keshavarzian, "A novel energy-efficient and high speed full adder using CNTFET," *Microelectronics Journal*, vol. 61. pp. 79–88, 2017. doi: 10.1016/j.mejo.2017.01.009.

[13] H. Arfavi, S. M. Riazi, and R. Hamzehyan, "Evaluation of Temperature, Disturbance and Noise Effect in Full Adders Based on GDI Method," *J. South. Commun. Eng.*, vol. 13, no. 50, pp. 47–66, 2023, doi: 10.30495/jce.2023.1973764.1197.

[14] H. Sadrarhami, S. M. Zanjani, M. Dolatshahi, B. Barekatain, and G. Scholar, "Innovation of a Novel Low-Power Modified-GDI QCA-Based Logic Circuit," 2023, doi: 10.20944/preprints202311.1295.v1.

[15] P. D. Tougaw and C. S. Lent, "Logical devices implemented using quantum cellular automata," *J. Appl. Phys.*, vol. 75, no. 3, pp. 1818–1825, 1994, doi: 10.1063/1.356375.

[16] S. Perri, F. Spagnolo, F. Frustaci, and P. Corsonello, "Multibit Full Comparator Logic in Quantum-Dot Cellular Automata," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 69, no. 11, pp. 4508–4512, 2022, doi: 10.1109/TCSII.2022.3193561.

[17] M. Sadeghi, K. Navi, and M. Dolatshahi, "A new quantum-dot cellular automata full-adder," *Proc. 2016 5th Int. Conf. Comput. Sci. Netw. Technol. ICCSNT 2016*, vol. 41, no. 12, pp. 443–445, 2017, doi: 10.1109/ICCSNT.2016.8070197.

[18] I. Edrisi Arani and A. Rezai, "Novel circuit design of serial–parallel multiplier in quantum-dot cellular automata technology," *J. Comput. Electron.*, vol. 17, no. 4, pp. 1771–1779, 2018, doi: 10.1007/s10825-018-1220-y.

[19] S. R. Heikalabad, A. H. Navin, and M. Hosseinzadeh, "Content addressable memory cell in quantum-dot cellular automata," *Microelectron. Eng.*, vol. 163, pp. 140–150, 2016, doi: 10.1016/j.mee.2016.06.009.

[20] S. Angizi, S. Sarmadi, S. Sayedsalehi, and K. Navi, "Design and evaluation of new majority gate-based RAM cell in quantum-dot cellular automata," *Microelectronics J.*, vol. 46, no. 1, pp. 43–51, 2015, doi: 10.1016/j.mejo.2014.10.003.

[21] H. Rashidi, A. Rezai, and S. Soltany, "High-performance multiplexer architecture for quantum-dot cellular automata," *J. Comput. Electron.*, vol. 15, no. 3, pp. 968–981, 2016, doi: 10.1007/s10825-016-0832-3.

[22] S. Bhanja, M. Ottavi, F. Lombardi, and S. Pontarelli, "Novel designs for thermally robust coplanar crossing in QCA," in *2006 Design, Automation and Test in Europe*, IEEE Computer Society, 2006, pp. 6-pp.

[23] S.-H. Shin, J.-C. Jeon, and K.-Y. Yoo, "Design of wire-crossing technique based on difference of cell state in quantum-dot cellular automata," *Int. J. Control Autom.*, vol. 7, no. 4, pp. 153–164, 2014.

[24] S. Hashemi, M. Rahimi Azghadi, and K. Navi, "Design and analysis of efficient QCA reversible adders," *J. Supercomput.*, vol. 75, no. 4, pp. 2106–2125, 2019, doi: 10.1007/s11227-018-2683-0.

[25] S. R. Fam and N. J. Navimipour, "Design of a loop-based random access memory based on the nanoscale quantum dot cellular automata," *Photonic Netw. Commun.*, vol. 37, no. 1, pp. 120–130, 2019, doi: 10.1007/s11107-018-0801-9.

[26] G. Singh, R. K. Sarin, and B. Raj, "A novel robust exclusive-OR function implementation in QCA nanotechnology with energy dissipation analysis," *J. Comput. Electron.*, vol. 15, no. 2, pp. 455–465, 2016, doi: 10.1007/s10825-016-0804-7.

[27] Y. Zhang, F. Deng, X. Cheng, and G. Xie, "A Coplanar XOR Using NAND-NOR-Inverter and Five-Input Majority Voter in Quantum-Dot Cellular Automata Technology," *Int. J. Theor. Phys.*, vol. 59, no. 2, pp. 484–501, 2020, doi: 10.1007/s10773-019-04343-w.

[28] N. Safoev and J. C. Jeon, "A novel controllable inverter and adder/subtractor in quantum-dot cellular automata using cell interaction based XOR gate," *Microelectron. Eng.*, vol. 222, p. 111197, 2020, doi: 10.1016/j.mee.2019.111197.
[29] K. Navi, S. Sayedsalehi, R. Farazkish, and M. R. Azghadi, "Five-input majority gate, a new device for quantum-dot cellular automata," *J. Comput. Theor. Nanosci.*, vol. 7, no. 8, pp. 1546–1553, 2010, doi: 10.1166/jctn.2010.1517.
[30] S. Angizi, E. Alkaldy, N. Bagherzadeh, and K. Navi, "Novel robust single layer wire crossing approach for Exclusive OR Sum of Products logic design with Quantum-dot Cellular Automata," *J. Low Power Electron.*, vol. 10, no. 2, pp. 259–271, 2014, doi: 10.1166/jolpe.2014.1320.
[31] M. Poorhosseini and A. R. Hejazi, "A Fault-Tolerant and Efficient XOR Structure for Modular Design of Complex QCA Circuits," *J. Circuits, Syst. Comput.*, vol. 27, no. 7, 2018, doi: 10.1142/S0218126618501153.
[32] L. Wang and G. Xie, "A Novel XOR/XNOR Structure for Modular Design of QCA Circuits," *IEEE Trans. Circuits Syst. II Express Briefs*, vol. 67, no. 12, pp. 3327–3331, 2020, doi: 10.1109/TCSII.2020.2989496.
[33] S. R. Kassa, R. K. Nagaria, and R. Karthik, "Energy efficient neoteric design of a 3-input Majority Gate with its implementation and physical proof in Quantum dot Cellular Automata," *Nano Commun. Netw.*, vol. 15, pp. 28–40, 2018, doi: 10.1016/j.nancom.2018.02.001.
[34] S. Sayedsalehi, M. H. Moaiyeri, and K. Navi, "Novel efficient adder circuits for quantum-dot cellular automata," *J. Comput. Theor. Nanosci.*, vol. 8, no. 9, pp. 1769–1775, 2011, doi: 10.1166/jctn.2011.1881.
[35] L. Wang and G. Xie, "Novel designs of full adder in quantum-dot cellular automata technology," *J. Supercomput.*, vol. 74, no. 9, pp. 4798–4816, 2018, doi: 10.1007/s11227-018-2481-8.
[36] M. Mosleh, "A Novel Full Adder/Subtractor in Quantum-Dot Cellular Automata," *Int. J. Theor. Phys.*, vol. 58, no. 1, pp. 221–246, 2019, doi: 10.1007/s10773-018-3925-x.
[37] Y. Adelnia and A. Rezai, "A Novel Adder Circuit Design in Quantum-Dot Cellular Automata Technology," *Int. J. Theor. Phys.*, vol. 58, no. 1, pp. 184–200, 2019, doi: 10.1007/s10773-018-3922-0.
[38] N. Safoev and J. C. Jeon, "Design of high-performance QCA incrementer/decrementer circuit based on adder/subtractor methodology," *Microprocess. Microsyst.*, vol. 72, p. 102927, 2020, doi: 10.1016/j.micpro.2019.102927.
[39] J. Maharaj and S. Muthurathinam, "Effective RCA design using quantum dot cellular automata," *Microprocess. Microsyst.*, vol. 73, p. 102964, 2020, doi: 10.1016/j.micpro.2019.102964.
[40] H. R. Roshany and A. Rezai, "Novel Efficient Circuit Design for Multilayer QCA RCA," *Int. J. Theor. Phys.*, vol. 58, no. 6, pp. 1745–1757, 2019, doi: 10.1007/s10773-019-04069-9.
[41] U. B. Joy, S. Chakraborty, S. Tasnim, M. S. Hossain, A. H. Siddique, and M. Hasan, "Design of an Area Efficient Quantum Dot Cellular Automata Based Full Adder Cell Having Low Latency," *Int. Conf. Robot. Electr. Signal Process. Tech.*, pp. 689–693, 2021, doi: 10.1109/ICREST51555.2021.9331135.

زیرنویس‌ها

[1] Quantum-dot cellular automata
[2] Cross-coupling
[3] Coulombic repulsion
[4] Gate diffusion input
[5] Power dissipation
[6] Clock zone
[7] Coplanar
[8] Multilayer
[9] Crossover
[10] Cross-coupling
[11] Universally logic gate
[12] dual vector
[13] coherence vector