TEEGES

Technovations of Electrical Engineering in Green Energy System

Research Article (2025) 3(4):1-17

Design and Simulation of a Low-Power Static Random-Access Memory (SRAM) Cell based on FinFET Transistor

Fatemeh Zolfaghari Sichani[1], *MSc Student*, Mohammad Rouhollah Yazdani[1], *Associate Professor*, Atefeh Salimi[1], *Assistant Professor*, Maryam Monemian[2], *Assistant Professor*

[1] *Department of Electrical Engineering, Isfahan (Khorasgan) Branch, Islamic Azad University, Isfahan, Iran*
[2] *Medical image and signal processing research center, Isfahan University of medical sciences, Isfahan, Iran*

Abstract:

Fin field-effect transistors (FinFETs) are good alternatives to conventional metal-oxide-semiconductor field-effect transistors (MOSFETs) because of their potential for controlling the effects of short channel, leakage current, propagation delay and power loss. Since SRAMs occupy most of the advanced processors' space, main power consumption in these processors is attributed to these memories. In a common 6-transistor static random access memory (6T SRAM) cell, the capacitors of both bit lines must be charged and discharged when reading and writing tasks are performed. Thus, most of the power consumption is related to this mechanism. In this paper, 7-Transistor static random-access memory (7T SRAM) cell is proposed that is able to write using one of the bit lines. The results of simulation using HSPICE software and in 32 nm technology show that the power consumption of this cell during write operation when the value "0" is stored in the cell is at most 98.6% and it has decreased by 99.8% when the value "1" is present in the cell. Also, the amount of Static Noise Margin (SNM) in standby and cell reading modes is equal to 0.2025 and 0.2011 volts respectively.

Keywords: Static memory cell, Random-access, FinFET transistor, Power consumption.

Received: 14 February 2023
Revised: 05 April 2023
Accepted: 08 June 2023
Corresponding Author: Dr. Mohamad Rouhollah Yazdani, m.yazdani@khuisf.ac.ir
DOI:

CC BY

فناوری‌های نوین مهندسی برق در سیستم انرژی سبز

TEEGES

مقاله پژوهشی

طراحی و شبیه سازی سلول حافظه دسترسی تصادفی ایستا با توان مصرفی پایین مبتنی بر ترانزیستور فین‌فت

فاطمه ذوالفقاری سیچانی[1]، *دانشجوی کارشناسی ارشد*، محمد روح اله یزدانی[1]، *دانشیار*، عاطفه سلیمی[1]، *استادیار* ، مریم منعمیان[2]، *استادیار*

۱- دانشکده مهندسی برق، واحد اصفهان (خوراسگان)، دانشگاه آزاد اسلامی، خوراسگان، اصفهان، ایران

۲- مرکز تحقیقات پردازش تصویر و سیگنال پزشکی، دانشگاه علوم پزشکی اصفهان، اصفهان، ایران

چکیده: ترانزیستورهای اثر میدان (فین‌فت) به دلیل توانایی بالقوه در کنترل اثرات کانال کوتاه، جریان نشتی، تاخیر انتشار و اتلاف توان، جایگزین مناسبی برای ترانزیستورهای معمولی فلزی-اکسید-نیمه هادی (ماسفت) می‌باشند. با توجه به اینکه حافظه‌های ایستا با دستیابی تصادفی، بیشترین فضای پردازنده‌های پیشرفته را اشغال می‌کنند، لذا عمده مصرف توان این پردازنده‌ها به این حافظه‌ها اختصاص می‌یابد. در سلول حافظه ایستا ۶ ترانزیستوری رایج، هنگام خواندن و نوشتن، خازن‌های مربوط به خطوط بیت هردو باید بارگیری و تخلیه شوند. بنابراین قسمت عمده‌ای از مصرف توان، مربوط به این سازوکار می‌باشد. در این تحقیق یک سلول حافظه ۷ ترانزیستوری با استفاده از ترانزیستورهای فین‌فت با قابلیت نوشتن با استفاده از یکی از خطوط بیت پیشنهاد شده‌است. نتایج شبیه‌سازی با استفاده از نرم‌افزار اچ‌اس‌پایس و در فناوری ۳۲ نانومتر نشان می‌دهد که مصرف توان این سلول در هنگام نوشتن زمانی که در سلول مقدار "۰" ذخیره شده‌است، حداکثر به میزان ۹۸/۶٪ و هنگامی که در سلول مقدار "۱" وجود دارد، به میزان ۹۹/۸٪ کاهش داشته‌است. همچنین میزان حاشیه امنیت در برابر نویز در حالت‌های آماده‌به‌کار و خواندن سلول به ترتیب برابر با ۰/۲۰۲۵ و ۰/۲۰۱۱ ولت می‌باشد.

واژه های کلیدی: سلول حافظه ایستا، دسترسی تصادفی، ترانزیستور فین‌فت، مصرف توان.

تاریخ ارسال مقاله: ۱۴۰۱/۱۱/۲۵

تاریخ بازنگری مقاله: ۱۴۰۲/۰۱/۱۶

تاریخ پذیرش مقاله: ۱۴۰۲/۰۳/۱۸

نویسنده‌ی مسئول: دکتر محمد روح اله یزدانی ، m.yazdani@khuisf.ac.ir

DOI:

CC BY

۱- مقدمه

با توسعه فناوری ساخت مدارهای مجتمع در دو دهه اخیر، کوچکتر شدن ابعاد در صنایع الکترونیک رشد چشمگیری داشته است. به عنوان مثال در زندگی امروزی دستگاه‌های الکترونیکی قابل حمل مانند گوشی‌های تلفن همراه هوشمند، کامپیوترهای کیفی و بسیاری موارد دیگر به بخش کلیدی در زندگی ما تبدیل شده‌اند. با کوچک‌سازی و بهبود عملکرد در ادوات CMOS[۱]، مصرف بهینه انرژی مدارهای الکتریکی به یکی از مقوله‌های مهم تبدیل شده‌است [۱].

حافظه‌های ایستا با دستیابی تصادفی[۲] به طور گسترده‌ای بر روی اکثر تراشه‌ها به عنوان حافظه موقت مورد استفاده قرار می‌گیرند و از مهمترین اجزای ریز پردازنده و سامانه‌های روی تراشه[۳] می‌باشد و به عنوان یک واحد ضروری در بسیاری از کاربردهای دستگاه‌های مقیاس بزرگ[۴] به کار برده می‌شوند [۲]. از طرف دیگر این حافظه‌ها بیش از ۸۰٪ از فضای پردازنده‌های پیشرفته را اشغال کرده و بنابراین بیش از ۶۰٪ از مصرف توان این پردازنده‌ها به این نوع از حافظه اختصاص می‌یابد [۳]. ترانزیستورهای اثر میدان (فین‌فت[۵]) به دلیل کاهش اثر کانال کوتاه[۶]، جایگزین بسیار مناسبی برای ادوات CMOS هستند. برای عملکرد بهتر می‌توان از ترانزیستور فین‌فت با فناوری دو گیت استفاده کرد، که در این صورت به منظور کنترل جریان نشتی و مصرف توات پایین‌تر، هر دو گیت بطور مستقل کنترل می‌شوند [۴]. به دلیل بهبود دو مشخصه مصرف توان و فضای اشغال کمتر، راه حل‌هایی در سطح طراحی سلول و استفاده از ترانزیستورهای جدید پیشنهاد شده‌است.

در تحقیق [۵] یک سلول حافظه ایستا با دستیابی تصادفی ۸ ترانزیستوری تفاضلی[۷] پیشنهاد شده‌است. در این سلول، مسیر خواندن داده، به صورت مجزا از مسیر نوشتن در نظر گرفته‌شده که این طراحی باعث افزایش حاشیه امنیت نویز[۸] گردیده‌است. همچنین بر خلاف سلول حافظه ایستا با دستیابی تصادفی ۶ ترانزیستوری معمولی، حاشیه امنیت نویز خواندن[۹] و حاشیه امنیت نویز نگهداری[۱۰] در این سلول پیشنهادی تقریبا برابر است. از مشکلات این سلول می‌توان به پایین بودن حاشیه امنیت در حالت نوشتن[۱۱]، تداخل داده در حالت خواندن و بالا بودن زمان نوشتن اشاره کرد. به منظور برطرف کردن پایین بودن حاشیه امنیت نویز سلول حافظه در حالت نوشتن، در [۶] یک سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری برای کاهش ضریب فاکتور فعالیت[۱۲] تخلیه[۱۳] در جفت خط بیت هنگام عملیات نوشتن طراحی شده است. اندازه ترانزیستورها در سلول بهینه به‌گونه‌ای انتخاب شده‌است که عملیات خواندن و نوشتن پایدار را تضمین کرده و نیز با حفظ تأخیر خواندن و نوشتن، حاشیه نویز ایستا را هم در مقدار قابل قبولی حفظ خواهدکرد. در این تحقیق، نتایج در یک فناوری CMOS ۰/۱۸ میکرومتر در دمای اتاق و برای ولتاژ تغذیه ۱/۸ ولت به دست آمده است. همچنین به منظور کاهش جریان نشتی سلول حافظه در [۷] سلول حافظه ایستا با دستیابی تصادفی ۹ ترانزیستوری با قابلیت بازخورد[۱۴] در تغذیه جهت بهبود جریان نشتی پیاده‌سازی شده‌است. در واقع این سلول اصلاح شده سلول حافظه ۸ ترانزیستوری تفاضلی در [۵]، که در بالا به آن اشاره شد، می‌باشد. در سلول پیشنهادی، از روش منبع تغذیه گیت شده[۱۵] برای کاهش جریان نشتی استفاده شده‌است. در این روش یک ترانزیستور PMOS[۱۶] به عنوان بازخورد منبع تغذیه در نظر گرفته‌شده، که باعث کاهش جریان نشتی در حالت آماده‌به‌کار[۱۷] سلول گردیده‌است. تداخل داده در زمان خواندن اطلاعات از معایب این سلول پیشنهادی می‌باشد. برای دستیابی به عملکرد بالا و مصرف توان پایین یک سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری در تحقیق [۸] طراحی شده‌است. در این طراحی از ترانزیستورهای با ولتاژ آستانه[۱۸] پائین و ولتاژ آستانه بالا به‌همراه دو ویژگی متفاوت در ولتاژ آستانه و همچنین یک ترانزیستور انتهایی برای کاهش جریان نشتی استفاده شده‌است. در این سلول ویژگی‌های خواندن و نوشتن با تنظیم ولتاژ آستانه ترانزیستورهای دسترسی، راه‌انداز و بار بهبود یافته‌است. همچنین سلول پیشنهادی توان ایستا و پویا را کاهش می‌دهد اما برای عملیات نوشتن نیاز به مدار کمکی دارد. لذا برای غلبه بر مشکل عدم پایداری سلول در حالت نوشتن و خواندن، یک سلول حافظه ایستا با دستیابی تصادفی ۵ ترانزیستوری نامتقارن در پژوهش [۹] پیاده‌سازی شده‌است. برای طراحی این سلول ترانزیستورهای با ولتاژ آستانه پایین، استاندارد و بالا درنظر گرفته شده‌است که عملکرد سلول در حالت آماده‌به‌کار را افزایش می‌دهد. بنابراین استفاده از این روش مصرف انرژی ایستا و زمان دسترسی را بهبود بخشیده‌است. همچنین در [۱۰] یک سلول حافظه ۶ ترانزیستوری متعارف طراحی شده‌است که شامل دو معکوس‌کننده متقابل و دو ترانزیستور NMOS[۱۹] به منظور دسترسی به سلول در هنگام عملیات خواندن و نوشتن در هر دو طرف گره‌های ذخیره‌سازی می‌باشد. برای یک عمیات نوشتن پایدار لازم است که یکی از خطوط بیت به "۱" و دیگری به "۰" تنظیم شوند. در این سلول در هنگام عملیات نوشتن احتمال تخلیه شدن خط بیتی که برابر مقدار "۱" است، وجود

دارد. به این معنا که در سلول ۶ ترانزیستوری متعارف، فاکتور فعالیت در مصرف توان در هنگام سوئیچ کردن خطوط بیت برابر با "۱" می‌باشد.

به طور کلی، به منظور رفع مشکلات ذکر شده، برای فناوری‌های زیر ۳۲ نانومتر، فین‌فت‌ها به عنوان بهترین جایگزین ممکن برای فناوری CMOS پیشنهاد می‌شوند. یکی از مهمترین مشخصه‌های ترانزیستور فین‌فت این است که بایاس گیت جلو و عقب ترانزیستور جهت کنترل جریان و ولتاژ آستانه، متفاوت تعریف می‌شود. استفاده از این مشخصه در طراحی سلول حافظه باعث کاهش توان پویا در حین عملیات نوشتن و افزایش حاشیه امنیت نویز شده‌است. جهت دستیابی به این منظور، در کار [۱۱] یک ساختار سلول ۸ ترانزیستوری با استفاده از فناوری فین‌فت با گیت مستقل[۲۰] پیشنهاد داده شده‌است. در این تحقیق مشخصه‌های دو سلول حافظه ۶ ترانزیستوری و ۸ ترانزیستوری در فناوری ۳۲ نانومتر مورد بررسی قرارگرفته‌است. با استفاده از سلول جدید ۸ ترانزیستوری مبتنی بر فین‌فت، مصرف توان حدود ٪۴۸ کاهش و حاشیه امنیت نویز نسبت به سلول حافظه ۶ ترانزیستوری معمولی به میزان ٪۵۶ افزایش یافته‌است. از ایرادات این مدار می‌توان به پایین بودن حاشیه امنیت نویز در حالت نوشتن، اختلال در حالت خواندن و تاخیر نوشتن نسبتا بالا اشاره کرد. بررسی ساختار و عملکرد یک سلول حافظه ایستا با دستیابی تصادفی ۶ ترانزیستوری متعارف مبتنی بر ترانزیستور فین‌فت در [۱۲] نشان می‌دهد که این سلول، به دلیل تقسیم ولتاژ بین ترانزیستورهای راه انداز و ترانزیستورهای دسترسی، از اختلال[۲۱] خواندن ذاتی در ولتاژ پایین رنج می‌برد. علاوه بر این، محدودیت شدید در اندازه ترانزیستور دسترسی و ترانزیستور راه‌انداز باعث کاهش توانایی سلول در نوشتن، خواندن و حفظ پایداری سلول شده‌است. همچنین سلول دارای جریان نشتی بالایی است که عملکرد آن را تحت تاثیر قرار می‌دهد.

برای رفع این مشکلات به نظر می‌رسد سلول حافظه طراحی شده در پژوهش [۱۳] جایگزین مناسبی باشد. در این طراحی یک سلول حافظه ایستا با دستیابی تصادفی ۶ ترانزیستوری با استفاده از فناوری فین‌فت با گیت مستقل برای کاهش هم‌زمان مصرف توان در حالت فعال[۲۲] و حالت آماده‌به‌کار طراحی گردیده‌است که مصرف توان، فضای اشغالی و تاخیر کمتری نسبت به بقیه حالت‌ها دارد. در این تحقیق جریان نشتی و مصرف انرژی ترانزیستور فین‌فت با گیت مستقل با مدل گیت متصل مقایسه شده‌است. علاوه بر این، تکنیک‌های کاهش جریان نشتی نیز به کار گرفته شده‌است. همچنین به بررسی ترانزیستور فین‌فت با دو گیت مستقل پرداخته شده‌است و در سلول حافظه ایستا با دستیابی تصادفی از آن استفاده کرده‌است. در این سلول پیشنهادی جریان نشتی کاهش و پایداری اطلاعات افزایش یافته‌است. از معایب این طراحی می‌توان به این نکته اشاره کرد که سلول در ولتاژهای پایین به دلیل اختلاف ولتاژ بین ترانزیستورهای دسترسی و ترانزیستورهای راه‌انداز، در خواندن داده دچار اختلال می‌شود. علاوه بر این، محدودیت شدید در اندازه ترانزیستور دسترسی، ترانزیستور راه‌انداز و ترانزیستور بار وجود دارد. جهت برطرف کردن مشکل عدم پایداری سلول، در مرجع [۱۴] یک سلول حافظه ایستا با دستیابی تصادفی ۹ ترانزیستوری جدید به صورت کاملا تفاضلی[۲۳] با استفاده از ترانزیستورهای فین‌فت برای افزایش پایداری اطلاعات و بالا بردن حاشیه امنیت خواندن و نوشتن، پیشنهاد شده‌است. به‌همین منظور ترانزیستورهای PMOS برای دسترسی به داده‌ها در حین عملیات خواندن، به سلول حافظه اضافه شده‌است. این دو ترانزیستور PMOS با ترانزیستورهای دسترسی NMOS به صورت موازی قرارگرفته و از خطوط کنترلی مجزا برای بازخوانی اطلاعات استفاده می‌کنند. این سلول پیشنهادی دارای حاشیه امنیت نوشتن پایین در ولتاژ زیر آستانه می‌باشد. در این راستا، در [۱۵] سلول‌های حافظه ۶ ترانزیستوری مبتنی بر CMOS و فین‌فت در فناوری ۲۲ نانومتری طراحی و تحلیل شده‌است و معیارهای عملکرد سلول‌های حافظه ایستا با دستیابی تصادفی مقایسه گردیده‌است. از این طراحی استنباط می‌شود که هر دو مدار، حاشیه امنیت نویز پایداری را در منبع تغذیه یک ولت ارائه می‌دهند، ولی سلول حافظه ایستا با دستیابی تصادفی مبتنی بر فین‌فت به دلیل تحمل تنوع بالای فرآیند، عملکرد خواندن و نوشتن عالی‌تری دارد. تجزیه و تحلیل عملکرد نشان می‌دهد که سلول حافظه ۶ ترانزیستوری مبتنی بر فین‌فت قدرت نشتی را در مقایسه با سلول حافظه ۶ ترانزیستوری معمولی کاهش می‌دهد و تاخیر در هر دو عملیات نوشتن و خواندن به‌طور قابل توجهی کاهش می‌یابد. همچنین با تجزیه و تحلیل مقادیر حاشیه امنیت نویز مربوطه هر دو سلول حافظه ایستا با دستیابی تصادفی، اندازه‌گیری می‌شود که پایداری سلول حافظه ۶ ترانزیستوری مبتنی بر فین‌فت در برابر نویز ساکن تحت عملیات خواندن به طور قابل‌توجهی افزایش می‌یابد. بنابراین این طرح‌ها تا حد زیادی ثبات نوشتن و خواندن سلول‌های حافظه ۶ ترانزیستوری را استنباط می‌کنند و می‌توان از آن برای ساخت یک پیکربندی آرایه سلول حافظه ایستا با دستیابی تصادفی به صورت n بیتی استفاده‌کرد. نتایج شبیه‌سازی نشان داد که سلول حافظه ایستا با دستیابی تصادفی مبتنی بر فین‌فت در مقایسه با سلول حافظه مبتنی بر CMOS تحمل بهتری نسبت به نویز ایستا دارد.

در این مقاله سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری مشابه با ساختار پیشنهادی در [۶] ارائه شده‌است. در تحقیق [۶] سلول حافظه پیشنهادی با استفاده از ترانزیستورهای CMOS و تکنولوژی ۱۸ میکرومتر طراحی شده‌است. در این کار از ترانزیستورهای فین‌فت با دو گیت مستقل[۲۴] به جای ترانزیستورهای CMOS متعارف استفاده شده‌است. در سلول حافظه ۷ ترانزیستوری پیشنهادی، فاکتور فعالیت خطوط بیت در طول عملیات نوشتن کاهش یافته و به تبع آن مصرف توان نیز کاهش می‌یابد. طراحی این سلول به‌گونه‌ای است که عملیات خواندن و نوشتن درون سلول با بازخورد مثبت را تضمین می‌کند. شبیه سازی با استفاده از نرم‌افزار اچ‌اس‌پایس[۲۵] در فناوری ۳۲ نانومتر و با منبع تغذیه ۰/۹ ولت انجام گردیده‌است.

در قسمت دوم مقاله نحوه عملکرد سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری پیشنهادی به هنگام خواندن و نوشتن توضیح داده شده‌است. همچنین میزان مصرف توان و جریان نشتی در این سلول پیشنهادی بررسی می‌گردد. در قسمت سوم مقاله پایداری سلول حافظه ۷ ترانزیستوری بررسی می‌شود. به همین منظور حاشیه امنیت نویز در سلول پیشنهادی و تاثیر اندازه ترانزیستورها بر آن اندازه‌گیری و تحلیل می‌شود. نتایج حاصل از این مطالعه در قسمت چهارم ارائه می‌شود.

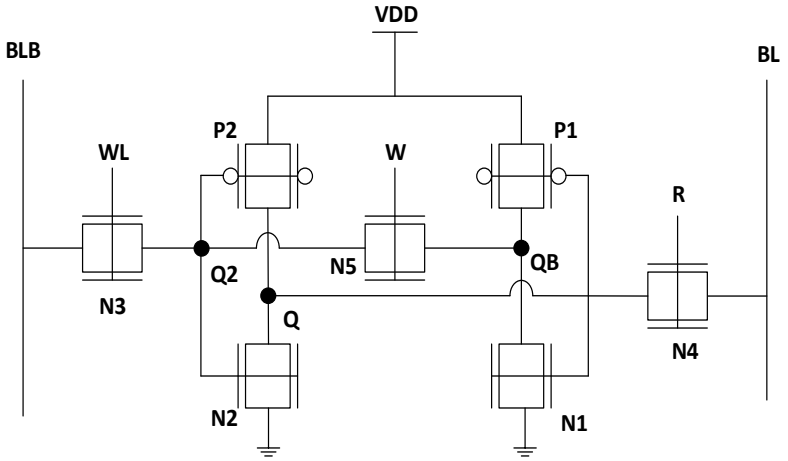
۲- سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری پیشنهادی

به منظور طراحی بهینه سلول حافظه مبتنی بر ترانزیستور فین‌فت، طول گیت در شبیه‌سازی ۳۲ نانومتر و عرض آن برابر ۸۰ نانومتر درنظر گرفته شده است. سایر مشخصات ترانزیستور در جدول (۱) آورده شده است. تمامی شبیه‌سازی‌ها در نرم‌افزار اچ‌اس‌پایس انجام شده‌اند.

جدول (۱): مشخصات ترانزیستور فین‌فت استفاده شده در شبیه‌سازی

مشخصه	مقدار
طول گیت[۲۶] (نانومتر)	۳۲
عرض کانال گیت[۲۷] (نانومتر)	۸۰
منبع تغذیه (ولت)	۰/۹
ضخامت اکسید گیت[۲۸] (نانومتر)	۱/۴
ولتاژ آستانه ترانزیستور NMOS (ولت)	۰/۲۹
ولتاژ آستانه ترانزیستور PMOS (ولت)	-۰/۲۵

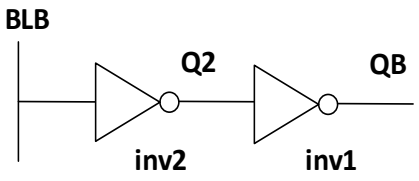
در سلول حافظه پیشنهادی ۷ ترانزیستوری، مطابق با شکل (۱) یک ترانزیستور NMOS دوگیتی در مسیر بازخورد بین دو معکوس کننده اضافه شده‌است. قطع و وصل شدن مسیر بازخورد به روشن یا خاموش بودن ترانزیستور *N5* بستگی دارد و عملیات نوشتن در سلول تنها از طریق خط *BLB* انجام می‌شود.



شکل (۱): سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری پیشنهادی با استفاده از ترانزیستورهای فین‌فت

۲-۱- عملیات نوشتن

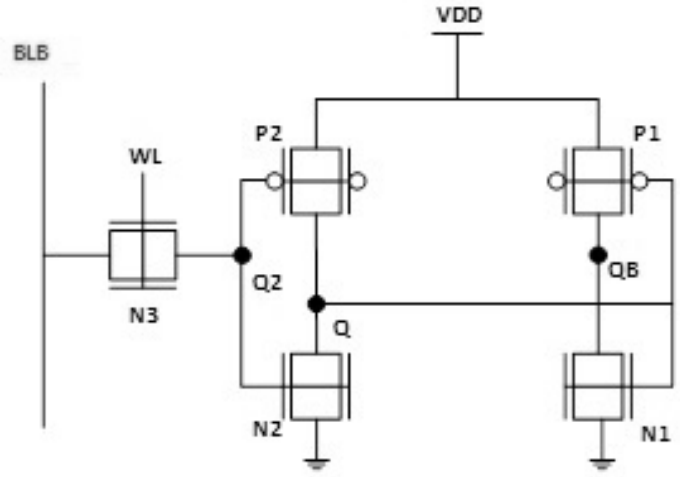
در عملیات نوشتن در سلول حافظه ۷ ترانزیستوری پیشنهادی، ابتدا خط *BLB* تا میزان *VDD* بارگیری[۲۹] شده، ترانزیستور *N4* خاموش و ترانزیستور *N3* روشن می‌شود. ترانزیستور *N5* نیز خاموش می‌گردد تا مسیر بازخورد دو معکوس کننده قطع شده و سلول پیشنهادی همانطور که در شکل (۲) نشان داده شده‌است، مانند دو معکوس کننده پشت سرهم عمل می‌کند.



شکل (۲): سلول ۷ ترانزیستوری پیشنهادی در حین عملیات نوشتن

هنگام خواندن از سلول پیشنهادی، خط *BLB* تا میزان "۰" تخلیه می‌شود. بنابراین گره *Q2* مقدار "۰" را در خود دارد که باعث روشن شدن ترانزیستور *P2* و "۱" شدن گره *Q* می‌گردد. سپس ترانزیستور *N1* روشن شده و مقدار "۰" در گره *QB*، و "۱" در گره *Q* ذخیره می‌گردد. در پایان عملیات نوشتن، ترانزیستور *N3* خاموش و *N5* روشن می‌شود تا ارتباط بین دو معکوس کننده مجددا برقرار شده و پایداری داده ذخیره شده حفظ شود.

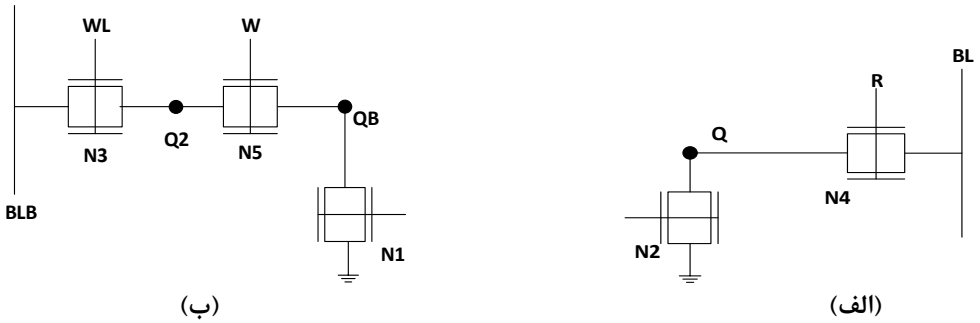
برای نوشتن مقدار "۰" در سلول، ابتدا خط *BLB* تا *VDD* بارگزاری شده و ترانزیستورهای *N4* و *N5* مطابق شکل (۳) خاموش می‌شوند. با روشن شدن ترانزیستور *N2*، مقدار "۰" در گره *Q* و با روشن شدن ترانزیستور *P1*، مقدار "۱" در گره *QB* ذخیره می‌شود. در عملیات ذخیره‌سازی "۱"، خط *BLB* تخلیه می‌شود و میزان توان مصرفی سلول پیشنهادی در مقایسه با سلول حافظه ۶ ترانزیستوری تفاوت چندانی ندارد. برای ذخیره‌سازی "۰"، نیازی به تخلیه شدن خط *BLB* نیست و بنابراین فاکتور فعالیت تخلیه شدن خط *BLB* کمتر از یک خواهد بود و به تخلیه در عملیات نوشتن "۱" بستگی دارد.



شکل (۳): مسیر نوشتن در سلول پیشنهادی

۲-۲- عملیات خواندن

در عملیات خواندن از سلول پیشنهادی، خطوط *BL* و *BLB* تا مقدار *VDD* بارگزاری شده و هر دو سیگنال *WL* و *R* روشن و ترانزیستور *N5* نیز روشن می‌شود. اگر در گره *Q* مقدار "۰" ذخیره شده‌باشد، مسیر خواندن مطابق شکل (۴-الف) از طریق ترانزیستورهای *N2* و *N4* برقرار می‌شود. اگر گره *Q* مقدار "۱" را در خود ذخیره کرده‌باشد، خواندن مطابق شکل (۴-ب) از طریق سه ترانزیستور *N3*، *N5* و *N1* که به صورت سری با یکدیگر قرارگرفته‌اند انجام می‌شود.



شکل (۴): (الف) مسیر خواندن "۰"، (ب) مسیر خواندن "۱"

جدول (۲): مقایسه مصرف توان نوشتن برای حالت‌های مختلف داده در سلول حافظه ۷ ترانزیستوری پیشنهادی و سلول حافظه ۶ ترانزیستوری متعارف

کاهش مصرف توان (٪)	مصرف توان در سلول حافظه ۷ ترانزیستوری (میکروواوت)	مصرف توان در سلول حافظه ۶ ترانزیستوری (میکروواوت)	وضعیت بیت در عملیات نوشتن
۹۸/۱	۰/۴۲۳۱	۲۲/۷۴	۰→۰
۹۸/۶	۱/۱۲۰۳	۷۹/۷۹۴	۰→۱
۹۹/۸	۰/۲۲۳۶۷	۱۸۴	۱→۱
۹۹/۸	۰/۱۴۶۲۲	۹۳/۱۴۱	۱→۰

۲-۳- مصرف توان

در سلول حافظه ۷ ترانزیستوری پیشنهادی از یک ترانزیستور NMOS بین دو معکوس‌کننده استفاده شده‌است. در این سلول عملیات نوشتن از طریق یکی از خطوط بیت انجام می‌گیرد. لذا هنگامی که باید مقدار "۰" در سلول نوشته شود، خط *BLB* به مقدار "۱" بارگزاری می‌شود و از خط *BL* استفاده نمی‌گردد. به‌طور مشابه هنگامی که باید مقدار "۱" در سلول نوشته شود، خط *BLB* به مقدار "۰" تخلیه می‌گردد و از خط *BL* استفاده نمی‌شود. این موضوع باعث می‌شود فقط هنگام نوشتن مقدار "۰" درون سلول، خط *BLB* بارگزاری گردد. لذا ضریب فعالیت سوئیچینگ خطوط بیت این سلول کاسته شده و میزان مصرف توان آن بسیار کاهش می‌یابد. بنابراین میزان مصرف توان پویا در مدار پیشنهادی به علت فرآیند نوشتن یک طرفه به طور ذاتی کاهش یافته‌است. در جدول (۲) میزان مصرف توان سلول حافظه ۷ ترانزیستوری پیشنهادی با سلول ۶ ترانزیستوری متعارف توسط نرم‌افزار اچ‌اس‌پایس محاسبه و با یکدیگر مقایسه شده‌اند. همین‌طور که مشاهده می‌شود میزان توان مصرفی سلول پیشنهادی در عملیات نوشتن، زمانی که در سلول مقدار "۰" ذخیره شده‌است و مقدار "۱" در آن نوشته می‌شود به میزان ٪۹۸/۶ و هنگامی که در سلول مقدار "۱" وجود دارد و مقدار "۰" یا "۱" در آن نوشته می‌شود به میزان ٪۹۹/۸ کاهش داشته‌است.

جدول (۳) نتایج مقایسه‌ی میزان مصرف توان در عملیات نوشتن سلول پیشنهادی با چندین سلول حافظه ایستا در مقالات دیگر را نشان می‌دهد. با توجه به جدول، کمترین میزان مصرف توان مربوط به تحقیق [۲۵] می‌باشد که مقدار ۲/۱ میکروواوت در ولتاژ تغذیه ۱/۶۵ ولت گزارش شده‌است. در این کار، با استفاده از تکنیک کنترل منبع تغذیه گیت‌شده، میزان توان مصرفی سلول ۱۰ ترانزیستوری دیفرانسیلی کاهش یافته است. در [۱۶] چندین روش برای طراحی سلول حافظه در ولتاژ زیر ناحیه آستانه با فناوری ۱۳۰ نانومتر و با منبع تغذیه ۰/۲ ولت بیان گردیده‌است. با استفاده از روش اثر کانال کوتاه معکوس[۳۰] میزان مصرف توان در سلول حافظه ۶ ترانزیستوری متعارف ۹/۲۳۴ میکروواوت محاسبه شده‌است. در [۱۷] به منظور کاهش مصرف توان ترانزیستور تک‌پایانی[۳۱] جهت طراحی سلول حافظه به‌کار گرفته شده‌است و میزان مصرف توان برابر ۷/۱۷۸ میکروواوت اندازه‌گیری شده‌است.

جدول (۳): مقایسه مصرف توان نوشتن در سلول‌های حافظه

سلول حافظه	فناوری (نانومتر)	منبع تغذیه (ولت)	مصرف توان (میکروواوت)
سلول ۷ ترانزیستوری پیشنهادی	۳۲- فین‌فت	۰/۹	۱/۱۲۰۳
۶ ترانزیستری متعارف [۱۶]	CMOS -۱۳۰	۰/۲	۹/۲۳۴
۶ ترانزیستوری تک‌پایانی [۱۷]	CMOS -۶۵	۰/۵	۷/۱۷۸
۷ ترانزیستوری [۱۸]	CMOS -۴۵	۱	۶/۹۲۴
۷ ترانزیستوری زیر ناحیه آستانه [۱۹]	CMOS -۹۰	۰/۴۵	۶/۳۷۴
۸ ترانزیستوری [۲۰]	CMOS -۶۵	۱/۱	۸/۴۷۸
۸ ترانزیستوری با حافظه‌های مقاومتی عمودی [۲۱]	مقاومت حافظه‌دار	۰/۴۵	۶/۱۵۸
۹ ترانزیستوری [۲۲]	CMOS -۶۵	۱	۷/۹۰۱
۹ ترانزیستوری در ناحیه زیر آستانه [۲۳]	CMOS -۴۵	۰/۳	۶/۱۵۶
۹ ترانزیستوری تک‌پایانی [۲۴]	CMOS -۶۵	۰/۵	۵/۷۸۹
۱۰ ترانزیستور کاملا تفاضلی [۲۵]	CMOS -۴۵	۱/۶۵	۲/۱
۱۰ ترانزیستوری مبتنی بر پی‌پی‌ان [۲۶]	CMOS -۹۰	۰/۲۸۵	۵/۸۹۵
۱۱ ترانزیستوری [۲۷]	CMOS -۲۵۰ (۰/۲۵ میکروواوت)	۲/۵	۴/۹۵۷
۱۲ ترانزیستوری بر اساس ولتاژ چند آستانه‌ای [۲۸]	CMOS -۴۵	۱	۳/۷۳۴
۶ ترانزیستوری [۲۹]	CMOS -۶۵	۱/۲	۲
۶ ترانزیستوری [۲۹]	CMOS -۱۲۰	۱/۲	۵

پژوهش [۱۸] در طراحی سلول حافظه از زمین شناور[۳۲] استفاده کرده‌است که در آن توان برابر با ۶/۹۲۴ میکروواوت بدست‌آمده‌است. در [۲۱] سلول حافظه با استفاده از مقاومت حافظه‌دار[۳۳] طراحی و مورد بررسی قرار گرفته‌است که در آن مصرف توان ۶/۱۵۸ میکروواوت اندازه‌گیری شده‌است. در [۲۹] سلول حافظه ۶ ترانزیستوری در دو فناوری ۶۵ نانومتر و ۱۲۰ نانومتر با منبع تغذیه ۱/۲ ولت بررسی و مقایسه‌شده‌اند که طی آن مصرف توان سلول حافظه در فناوری ۶۵ نانومتر به میزان قابل توجهی کاهش یافته‌است. در روش پیشنهادی بیشترین میزان مصرف توان در حالت نوشتن مقدار ۱/۱۲۰۳ میکروواوت می‌باشد که در مقایسه با سایر کارها بهبود داشته‌است.

۲-٤- جریان نشتی

جریان نشتی در فناوری‌های نانومتری دارای چندین مؤلفه هستند که مهمترین آنها جریان نشتی زیر آستانه می‌باشد که به صورت نمایی با ولتاژ آستانه رابطه دارد. میزان جریان نشتی ترانزیستور فین‌فت در رابطه (۱) نشان داده شده‌است. طبق این رابطه در صورت کاهش میزان ولتاژ درین ، میزان V_{DS} کاهش می‌یابد و در نتیجه میزان جریان نشتی و به تبع آن میزان توان نشتی کاهش می‌یابد [۳۱].

$$I_{DS-sub} = \mu C_{ox} \frac{w}{l}(n-1)V_t^{\,2} \left(e^{\frac{V_{GS}-V_{th}-\eta V_{DS}}{nV_t}}\right)\left(1-e^{\frac{-V_{DS}}{V_t}}\right) \qquad (۱)$$

در رابطه فوق μ قابلیت حرکت حامل‌ها، C_{ox} اندازه خازن واحد اکسید، V_t ولتاژ دمایی[۳۴] ، V_{GS} اختلاف پتانسیل بین گیت و سورس ترانزیستور، V_{DS} اختلاف پتانسیل بین درین و سورس ترانزیستور و η ضریب $DIBL$[۳۵] می‌باشد. متغیر n ضریب ناحیه زیر آستانه[۳۶] است. برای بدست آوردن جریان نشتی سلول حافظه ۷ ترانزیستوری پیشنهادی، میزان جریانی که در حالت آماده‌به‌کار از منبع ولتاژ کشیده می‌شود توسط نرم‌افزار اچ‌اس‌پایس محاسبه شده‌است. سلول در حالت آماده‌به‌کار درنظر گرفته شده، بنابراین ترانزیستورهای $N3$ و $N4$ خاموش و ترانزیستور $N5$ روشن می‌باشد. میزان جریان نشتی و مصرف توان در این حالت در جدول (۴) نشان داده شده‌است.

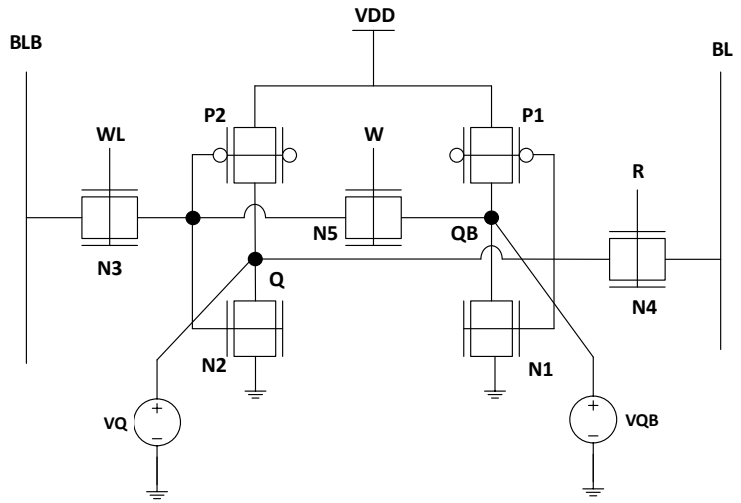
جدول (۴): میزان جریان نشتی و مصرف توان سلول حافظه ۷ ترانزیستوری پیشنهادی در حالت آماده‌به‌کار

سلول حافظه	مصرف توان (میکروواوت)	جریان نشتی (میکروواوت)
۶ ترانزیستوری پیشنهادی	۰/۲۲۳۹۷	۰/۲۳۴

۳- پایداری سلول حافظه ۷ ترانزیستوری پیشنهادی

پایداری، اولین و مهمترین مشخصه یک سلول حافظه است. پرکاربردترین مشخصه‌ای که پایداری با آن سنجیده می‌شود معیار حاشیه امنیت نویز ایستا است. حاشیه امنیت نویز ایستا برای سلول حافظه، حداکثر سیگنالی است که یک سلول حافظه ایستا با دستیابی تصادفی در گره های ورودی خود می‌توانند تحمل کنند، بطوریکه سلول عملکرد صحیح خود را در زمان خواندن و نوشتن داده حفظ نماید. یکی از روش‌های بدست آوردن حاشیه امنیت نویز، استفاده از منحنی مشخصه انتقالی[۳۷] ولتاژ ورودی نسبت به خروجی می‌باشد. این روش برای نخستین بار توسط هیل[۳۸] در سال ۱۹۶۷ تشریح شده است [۳۲].

روش مرسوم برای اندازه‌گیری شاخص حاشیه امنیت نویز در سلول حافظه طبق [۱۰] بدین شرح می‌باشد: ابتدا در نرم‌افزار اچ‌اس‌پایس دو معکوس کننده با دو منبع اختلال بین ورودی و خروجی مطابق شکل (۵) پیاده‌سازی شده‌است.

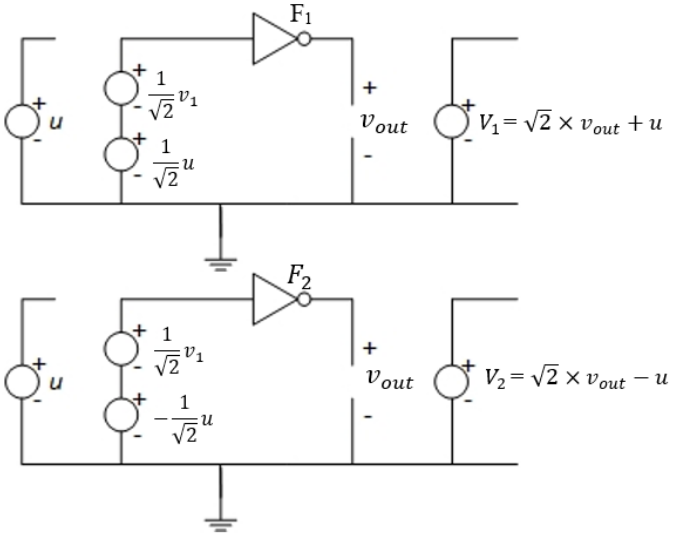


شکل (۵): مدار مدل شده توسط منبع نویز جهت محاسبه حاشیه امنیت نویز در سلول حافظه ۷ ترانزیستوری پیشنهادی

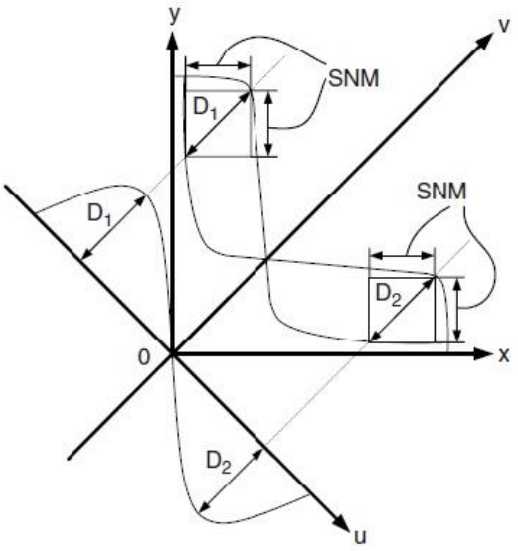
سپس منحنی VTC مربوط به هر دو مدار معکوس کننده بدست آورده شده و توسط نرم‌افزار متلب[۳۹] در یک نمودار رسم می‌شوند. در این منحنی که شبیه یک پروانه است، بایستی بزرگترین مربعی که بتوان داخل کوچکترین بال این پروانه قرار داد را پیدا کرد. مشخصه حاشیه امنیت نویز مورد نظر، قطر این مربع است. هر چه مقدار قطر بزرگتر باشد، پایداری سلول نیز بیشتر است. جهت محاسبه میزان حاشیه امنیت نویز و پیدا کردن قطر مربع درون بال‌های منحنی پروانه‌ای با استفاده از نرم‌افزار متلب طبق [۳۳]، دو مدار DC نشان داده‌شده در شکل (۶) شبیه‌سازی می‌شوند. برای بدست آوردن کوچکترین قطر مربعی که درون بال‌های نمودار پروانه‌ای قرار می‌گیرد، ابتدا منحنی پروانه‌ای را مطابق با شکل (۷) به میزان ۴۵ درجه چرخانده، سپس اختلاف دو نمودار چرخانده‌شده را بدست آورده و مقادیر حداکثر و حداقل منحنی مذکور را بدست می‌آوریم. در مرحله بعدی حداقل قدر مطلق دو مقدار حداکثر و حداقل را یافته و عدد حاصل را طبق رابطه (۲) در ضریب $\frac{1}{\sqrt{2}}$ ضرب می‌کنیم تا مقدار حاشیه امنیت نویز بدست‌آید [۳۴].

$$SNM = \frac{1}{\sqrt{2}} \min \begin{Bmatrix} \max\left(\left|v_1(u) - v_2(u)\right|\right), -\frac{1}{\sqrt{2}} < u < 0 \\ \max\left(\left|v_1(u) - v_2(u)\right|\right), 0 < u < +\frac{1}{\sqrt{2}} \end{Bmatrix} \quad (۲)$$

در معادله بالا v_1 و v_2 مشخصات منحنی‌های معکوس کننده هستند و u شامل ولتاژ DC، برای بدست آوردن v_1 و v_2 می‌باشد. در ادامه حاشیه امنیت سلول حافظه پیشنهادی در حالت‌های آماده‌به‌کار، خواندن و نوشتن در سلول بررسی شده‌است.



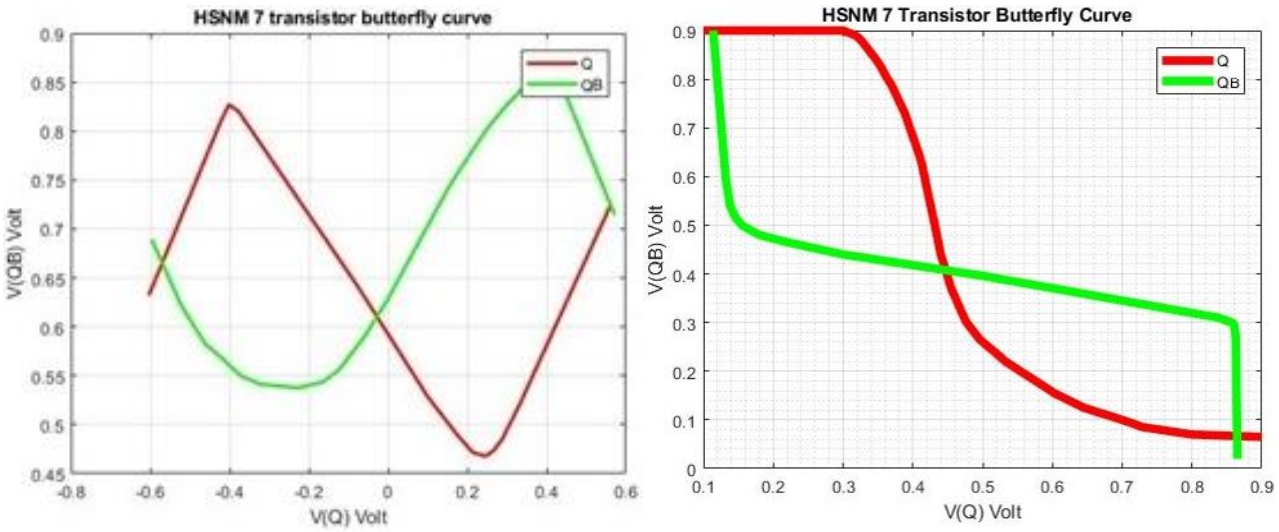
شکل (۶): مدل مداری معادلات برای پیدا کردن قطر مربع تعبیه شده در منحنی پروانه‌ای[۱۰]



شکل (۷): تخمین حاشیه امنیت نویز با چرخش ۴۵ درجه‌ای سیستم مختصات

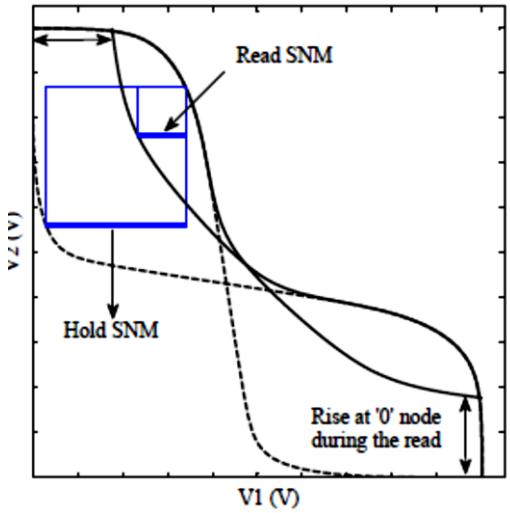
۳-۱- حاشیه امنیت نویز در حالت آماده‌به‌کار سلول حافظه پیشنهادی

حاشیه امنیت نویز در زمان آماده‌به‌کار سلول به این معناست که به ازاء چه میزان از نویز در زمان نگهداری[۴۰] ، سلول حافظه تغییر وضعیت می‌دهد [۳۴]. در سلول حافظه ۷ ترانزیستوری پیشنهادی در حالت آماده‌به‌کار، ترانزیستورهای $N3$ و $N4$ خاموش و ترانزیستور $N5$ روشن در نظر گرفته می‌شود. برای اندازه‌گیری حاشیه امنیت نویز در حالت آماده‌به‌کار و رسم نمودار پروانه‌ای، مطابق شکل (۵)، منابع ولتاژ نویز VQ و VQB را به سلول اضافه کرده و میزان نویز را با شیب ۰/۰۱ از ۰ تا ۰/۹ افزایش می‌دهیم. سپس ولتاژ گره‌های QB و Q را برحسب منبع ولتاژ VQ و VQB مطابق شکل (۸-الف) رسم می‌کنیم و منحنی پروانه‌ای حاصل را برای محاسبه اندازه‌گیری حاشیه امنیت نویز در حالت آماده‌به‌کار طبق شکل (۸-ب) به میزان ۴۵ درجه نسبت به محور مختصات چرخانده و طول ضلع مربع داخل بال‌ها را اندازه می‌گیریم. طبق محاسبات انجام شده در نرم‌افزار متلب، میزان اندازه‌گیری حاشیه امنیت نویز در حالت آماده‌به‌کار سلول پیشنهادی برابر با ۰/۲۰۲۵ ولت اندازه‌گیری شد.



(ب) (الف)

شکل (۸): (الف) منحنی پروانه‌ای اندازه‌گیری حاشیه امنیت نویز در حالت آماده‌به‌کار سلول حافظه ۷ ترانزیستوری پیشنهادی. (ب) منحنی پروانه‌ای حاشیه امنیت نویز در حالت آماده‌به‌کار با چرخش ۴۵ درجه



شکل (۹): مقایسه منحنی‌های پروانه‌ای حاشیه امنیت نویز در حالت خواندن و آماده به‌کار [۳۴]

۳-۲- حاشیه امنیت نویز در حالت خواندن از سلول حافظه ۷ ترانزیستوری پیشنهادی

حاشیه امنیت نویز در حالت خواندن به این معناست که چه میزان نویز نیاز است برای اینکه مقدار نوشته شده درون سلول حافظه با دسترسی تصادفی در هنگام فرآیند خواندن تغییر کند. بنابراین حاشیه امنیت نویز در حالت خواندن از سلول حافظه یک فاکتور بسیار مهم در فرآیند طراحی سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری می‌باشد [۱۰]. برای محاسبه حاشیه امنیت نویز در حالت خواندن مشابه مدار قبل عمل می‌شود با این تفاوت که ترانزیستورهای دسترسی $N4$ و $N5$ در حالت روشن قرار دارند و خطوط BL و BLB تا میزان VDD بارگذاری می‌شوند. سپس با استفاده از منحنی پروانه‌ای مقدار حاشیه امنیت نویز در حالت خواندن بدست می‌آیدکه این مقدار در سلول پیشنهادی برابر با ۰/۲۰۱۱ ولت اندازه‌گیری شد.

۳-۳- حاشیه امنیت نویز در هنگام نوشتن در سلول حافظه ۷ ترانزیستوری پیشنهادی

عملیات نوشتن در سلول حافظه پیشنهادی یک عملیات پایدار است، زیرا در نوشتن "۱"، ترانزیستور $N2$ هنگام عبور دادن "۰" به خوبی تخلیه شده و تغییر حالت می‌دهد. از طرفی در نوشتن "۰" خط BLB تخلیه شده و ترانزیستور $N5$ خاموش می‌شود. با انتخاب اندازه مناسب برای ترانزیستورهای PMOS و NMOS مقدار "۰" به درستی در سلول نوشته می‌شود.

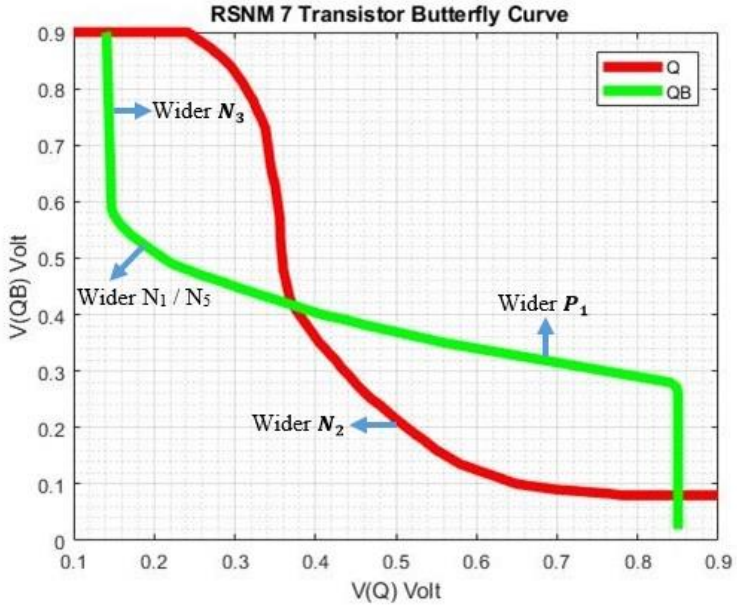
در شکل (۹) منحنی پروانه‌ای حاشیه امنیت نویز در حالت خواندن و آماده به‌کار با یکدیگر مقایسه شده‌اند. همانطور که مشاهده می‌شود، مقدار حاشیه امنیت نویز در حالت خواندن بسیار کمتر از حاشیه امنیت نویز در زمان آماده‌به‌کار است.

۴-۳- تاثیر تغییر اندازه ترانزیستورها بر حاشیه امنیت نویز در حالت خواندن از سلول حافظه

سلول حافظه ایستا با دستیابی تصادفی در هنگام عملیات خواندن در برابر نویز بسیار آسیب‌پذیر می‌باشد. زیرا برای خواندن مقدار "۰" ذخیره شده در سلول، خط بیت باید تا مقدار ولتاژ تغذیه پیش‌بارگیری[۴۱] گردد. بنابراین تقسیم ولتاژی بین ترانزیستور دسترسی و ترانزیستور NMOS که در قسمت پائین‌کش[۴۲] مدار قرارگرفته‌است، ایجاد می‌شود که این مقدار ولتاژ باید از ولتاژ مورد نیاز جهت تغییر وضعیت مقدار داخل سلول حافظه ایستا با دستیابی تصادفی کمتر باشد. در واقع اگر این ولتاژ بیشتر از ولتاژ آستانه گردد، سلول تغییر وضعیت می‌دهد و فرآیند خواندن با خطا روبه‌رو می‌شود [۳۵].

بنابراین می‌توان به این نتیجه رسید که نسبت اندازه ترانزیستورهای پائین‌کش به اندازه ترانزیستورهای دسترسی در سلول حافظه ایستا، از عوامل موثر بر حاشیه امنیت نویز در حالت خواندن از سلول می‌باشد. پس به منظور صحت عملیات نوشتن و همچنین عدم بروز خطا در زمان خواندن، اندازه ترانزیستورها باید از قاعده مشخصی پیروی کنند [۳۶]. در ادامه تاثیر تغییر اندازه ترانزیستورها بر روی حاشیه امنیت نویز در حالت خواندن از سلول پیشنهادی با رسم نمودار پروانه‌ای بررسی شده‌است.

از آنجایی‌که سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری پیشنهادی برای خواندن "۰" و "۱" دارای دو مسیر غیرمتقارن است، شکل منحنی پروانه‌ای آن شامل دو لپ غیرمتقارن و وابسته به اندازه ترانزیستورهای سلول می‌باشد. نمودار حاشیه امنیت نویز از دو منحنی افقی و عمودی تشکیل شده‌است. منحنی عمودی وابسته به اندازه ترانزیستورهای $N2$، $P2$ و $N4$ و منحنی افقی وابسته به اندازه ترانزیستورهای $N1$، $N3$، $P1$ و $N5$ می‌باشد. با افزایش اندازه ترانزیستور $N1$ یا $N5$، منحنی افقی به سمت پایین کشیده می‌شود و لپ سمت چپ منحنی پروانه‌ای بزرگتر می‌شود که در شکل (۱۰) نمایش داده شده‌است. این در حالی است که با افزایش اندازه ترانزیستور $N3$، لپ سمت چپ منحنی پروانه‌ای جمع‌تر می‌شود. با افزایش اندازه ترانزیستور $N2$ منحنی عمودی به سمت چپ انتقال پیدا می‌کند و باعث می‌شود که لپ سمت راست منحنی پروانه‌ای بزرگتر شود.



شکل (۱۰): تاثیر تغییر اندازه ترانزیستورها در نمودار پروانه‌ای حاشیه امنیت نویز در حالت خواندن از سلول پیشنهادی

در جدول (۵) مقادیر محاسبه شده حاشیه امنیت نویز در حالت آماده‌به‌کار و خواندن از سلول پیشنهادی بیان شده‌است. همچنین مقادیر حاشیه امنیت نویز با افزایش اندازه ترانزیستورها محاسبه و ذکر شده‌است.

جدول (۵): مقادیر محاسبه شده حاشیه امنیت نویز در حالت آماده‌به‌کار و خواندن از سلول حافظه ۷ ترانزیستوری پیشنهادی با افزایش اندازه ترانزیستورها

حاشیه امنیت نویز (ولت)	وضعیت سلول
۰/۲۰۲۵	آماده‌به‌کار (سلول پیشنهادی)
۰/۲۰۱۱	خواندن (سلول پیشنهادی)
۰/۲۴۱۹	خواندن، افزایش اندازه ترانزیستور *N2*
۰/۰۶۱۸	خواندن، افزایش اندازه ترانزیستور *N3*
۰/۲۰۲۵	خواندن، افزایش اندازه ترانزیستور *P1*
۰/۲۱۹۴	خواندن، افزایش اندازه ترانزیستور *N5*

جدول (۶): مقایسه حاشیه امنیت نویز در حالت آماده‌به‌کار و خواندن در سلول حافظه ۷ ترانزیستوری پیشنهادی با سایر تحقیقات

حاشیه امنیت نویز در حالت خواندن (میلی‌ولت)	حاشیه امنیت نویز در حالت آماده‌به‌کار (میلی‌ولت)	سلول حافظه
۲۰۱	۲۰۲/۵	۷ ترانزیستوری پیشنهادی
۱۲۵	---	۶ ترانزیستوری *Tied* [۱۱]
۱۳۶	---	۶ ترانزیستوری *Ind* [۱۱]
۱۸۱	---	۸ ترانزیستوری *Tied* [۱۱]
۱۹۰	---	۸ ترانزیستوری *Ind* [۱۱]
۲۲۳	۴۴۰	۶ ترانزیستوری [۳۶]
۴۴۰	۴۴۰	۸ ترانزیستوری [۳۶]
۴۴۰	۴۴۰	۹ ترانزیستوری [۳۶]
۱۰۰	۱۰۰	۳ ترانزیستوری [۳۷]
۱۷۰	۱۷۰	۸ ترانزیستوری [۳۸]
۸۲	---	۱۰ ترانزیستوری کیم [۳۸]
۲۴	---	۶ ترانزیستوری [۳۳]
۱۰۰	---	۱۱ ترانزیستوری [۳۹]
۴۴	---	۶ ترانزیستوری [۳۹]

مقدار حاشیه امنیت نویز در زمان خواندن از سلول پیشنهادی برابر با ۰/۲۰۱۱ ولت می‌باشد. با افزایش اندازه ترانزیستور *N5* بیشترین میزان حاشیه امنیت نویز در زمان خواندن از سلول حاصل شده‌است. با در نظر گرفتن اینکه افزایش اندازه ترانزیستور *N5* باعث افزایش اندازه سلول حافظه ایستا با دستیابی تصادفی می‌شود و بین میزان حاشیه امنیت نویز و افزایش اندازه ترانزیستور *N5*، بده بستان وجود دارد سلول حافظه پیشنهادی بهترین انتخاب می‌باشد.

برای بررسی میزان کاهش حاشیه امنیت سلول حافظه ۷ ترانزیستوری پیشنهادی در عملیات خواندن و در حالت آماده‌به‌کار، این مشخصه با سایر تحقیقات در جدول (۶) مقایسه شده‌است. با توجه به جدول، حاشیه امنیت نویز در حالت خواندن برای سلول حافظه ۸ ترانزیستوری فین‌فت با گیت مستقل، سلول ۶ ترانزیستوری با گیت مستقل، ۶ ترانزیستوری و ۸ ترانزیستوری با گیت گره‌خورده[۴۳] به ترتیب مقادیر ۱۹۰، ۱۳۶، ۱۲۵ و ۱۸۱ میلی‌ولت محاسبه شده‌است [۱۱]. در [۳۶] چندین سلول حافظه در فناوری ۳۲ نانومتر مبتنی بر CMOS بررسی و با یکدیگر مقایسه شده‌اند. نتیجه این تحقیق بیان می‌کند که سلول حافظه ۹ ترانزیستوری با ۴۴۰ میلی‌ولت بهترین حاشیه

امنیت نویز در حالت خواندن را دارد و میزان حاشیه امنیت نویز در حالت آماده‌به‌کار برای هر سه سلول حافظه برابر مقدار ۴۴۰ میلی‌ولت است. در [۳۷] و [۳۸] سلول حافظه ۳ ترانزیستوری و ۸ ترانزیستوری مبتنی بر ترانزیستورهای تونلی[۴۴] طراحی شده‌است. حاشیه امنیت نویز برای سلول ۳ ترانزیستوری برای هر دو حالت مقدار ۱۰۰ میلی‌ولت و برای حافظه ۸ ترانزیستوری مقدار ۱۷۰ میلی‌ولت اندازه‌گیری شده‌است. در [۳۳] حاشیه امنیت نویز سلول حافظه ۶ ترانزیستوری متعارف مقدار ۲۴ میلی‌ولت گزارش شده‌است که در مقایسه با آن حاشیه امنیت نویز سلول ۱۰ ترانزیستوری طراحی شده در [۳۸] افزایش حدود ۳ برابری داشته‌است. همچنین این مقدار در کار [۳۹] برای سلول حافظه ۶ ترانزیستوری متعارف و سلول حافظه ۱۱ ترانزیستوری در ولتاژ ۰/۸ منبع تغذیه به ترتیب مقادیر ۴۴ و ۱۰۰ میلی‌ولت می‌باشد. مقدار حاشیه امنیت نویز در حالت خواندن و آماده‌به‌کار در سلول پیشنهادی مقادیر ۲۰۲/۵ و ۲۰۱ میلی‌ولت بدست‌آمده‌است. اگرچه این مقادیر به نتایج تحقیق [۳۶] نرسیده‌است ولی در مقایسه با اکثر تحقیقات بهبود قابل قبولی داشته‌است. لازم به ذکر است که مقدار حاشیه امنیت نویز در حالت آماده‌به‌کار در بعضی از تحقیقات گزارش نشده و در جدول (۶) نمایش داده نشده است.

٤- نتیجه‌گیری

در این مقاله یک سلول حافظه ایستا با دستیابی تصادفی ۷ ترانزیستوری با توان مصرفی پایین با استفاده از ترانزیستورهای فین‌فت طراحی شده‌است. این ترانزیستورها تلفات توان، جریان نشتی و تاخیر انتشار کمتری نسبت به ترانزیستورهای ماسفت[۴۵] دارند و جایگزین مناسبی برای آنها هستند. حافظه‌های ایستا با دستیابی تصادفی عمده فضا را در پردازنده‌های پیشرفته اشغال می‌کنند بنابراین بیشترین مصرف توان پردازنده به این حافظه‌ها اختصاص می‌یابد. در سلول حافظه ایستا با دستیابی تصادفی پیشنهاد شده نوشتن تنها از طریق یکی از خطوط بیت انجام می‌شود که طبق نتایج شبیه‌سازی انجام شده با کاهش جریان نشتی، مصرف توان این سلول به میزان قابل توجهی کاهش می‌یابد. میزان توان مصرفی در عملیات نوشتن، به طور متوسط به میزان ۹۹٪ کاهش داشته‌است. در ادامه، حاشیه امنیت در برابر نویز این سلول حافظه ۷ ترانزیستوری نیز مورد ارزیابی قرار گرفته‌است. میزان حاشیه امنیت این سلول در عملیات خواندن و در حالت آماده‌به‌کار به ترتیب برابر با ۰/۲۰۱۱ و ۰/۲۰۲۵ ولت می‌باشد که این مقادیر در مقایسه با سایر تحقیقات افزایش قابل قبولی داشته‌است. از مزایای سلول حافظه ۷ ترانزیستوری پیشنهاد شده نسبت به سلول ۶ ترانزیستوری می‌توان به کاهش میزان فاکتور فعالیت در هنگام بارگزاری و تخلیه شدن خطوط بیت برای بهبود عملیات نوشتن، کاهش توان مصرفی، کاهش جریان نشتی و حاشیه امنیت نویز در حد انتظار اشاره‌کرد.

مراجع

[1] Y.H. Chen, W.M. Chan, W.C. Wu, H.J. Liao, K.H. Pan and J.J. Liaw, "A 16 nm 128 Mb SRAM in high-κ metal-gate FinFET technology with write-assist circuitry for low-VMIN applications," *IEEE J. Solid-State Circuits*, vol. 50, no. 1, pp. 170–177. Jan. 2018, doi: 10.1109/JSSC.2014.2349977.

[2] T. Kumar and S.L. Tripathi, "Implementation of CMOS SRAM Cells in 7, 8, 10 and 12-Transistor Topologies and their Performance Comparison," *International Journal of Engineering and Advanced Technology (IJEAT)*, vol. 8, pp. 227–229. Jan. 2019, doi: B10480182S219/19©BEIESP.

[3] A. Bhaskar, "Design and analysis of low power SRAM cells," in *2017 Innovations in Power and Advanced Computing Technologies (i-PACT)*, 2017, doi: 10.1109/IPACT.2017.8244888.

[4] J. Shalf, "The future of computing beyond Moore's Law," *Royal Society*, Jan. 2020, doi: 10.1098/rsta.2019.0061.

[5] T. Suzuki, H. Yamauchi, Y. Yamagami, K. Satomi and H. Akamatsu, "A stable 2-port SRAM cell design against simultaneously read/write-disturbed accesses," IEEE *Journal of Solid-State Circuits*, vol. 43, pp. 2109–2119, Sep. 2008, doi: 10.1109/JSSC.2008.2001872.

[6] R.E. Aly and M.A. Bayoumi, "Low-Power Cache Design Using 7T SRAM Cell," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 54, no. 4, pp. 318-322, Apr. 2007, doi: 10.1109/TCSII.2006.877276.

[7] A. Teman, L. Pergament, O. Cohen and A. Fish, "A 250 mV 8 kb 40 nm ultra-low power 9T supply feedback SRAM (SF-SRAM)," *IEEE Journal of Solid-State Circuits*, vol. 46, pp. 2713–2726, Nov. 2011, doi: 10.1109/JSSC.2011.2164009.

[8] M. Ansari, H. Afzali-Kusha, B. Ebrahimi, Z. Navabi, A. Afzali-Kusha and M. Pedram, "A near-threshold 7T SRAM cell with high write and read margins and low write time for sub-20 nm FinFET technologies," *INTEGRATION, the VLSI journal*, vol. 50, pp. 91–106, Jun. 2015, doi: 10.1016/j.vlsi.2015.02.002.

[9] A. Teman, A. Mordakhay, J. Mezhibovsky and A. Fish, "A 40-nm Sub-Threshold 5T SRAM Bit Cell with Improved Read and Write Stability," *IEEE Transactions on Circuits and Systems II: Express Briefs*, vol. 59, pp. 873–877, Dec. 2012, doi: 10.1109/TCSII.2012.2231020.

[10] E. Seevinck, F. J. List and J. Lohstroh, "Static-noise margin analysis of MOS SRAM cells," *IEEE Journal of Solid-State Circuits*, vol. 22, no. 5, pp. 748-754, Oct. 1987, doi: 10.1109/JSSC.1987.1052809.

[11] Y.B. Kim, Y.B. Kim and F. Lombardi, "Low Power 8T SRAM Using 32nm Independent Gate FinFET Technology," in *2008 IEEE International SOC Conference*, Sep. 2008, doi: 10.1109/SOCC.2008.4641521.

[12] R. Balwinder, A.K. Saxena and S. Dasgupta, "FinFET-based 6T SRAM cell design: analysis of performance metric, process variation and temperature effect," *Journal of Computational and Theoretical Nanoscience*, vol. 12, pp. 2500–2506, Sep. 2015, doi: 10.1166/jctn.2015.4055.

[13] V. Sikarwar, S. Khandelwal and S. Akashe, "Analysis and Design of Low Power SRAM Cell Using Independent Gate FinFET," *Radioelectron.Commun. Syst*, 2013, vol. 56, pp. 434–440. doi: 10.3103/S0735272713090021.

[14] M.S. Shairfe, M. Salahuddin and C. Mansun, "Eight- FinFET Fully Differential SRAM Cell with Enhanced Read and Write Voltage Margins," *IEEE Transactions on Electron Devices*, vol. 62, pp. 2014–2021, May 2015, doi: 10.1109/TED.2015.2424376.

[15] S. Sanjana, S. Ramakrishna, R. RBanu and P. Shubham, "Design and Performance Analysis of 6T Sram Cell in 22nm CMOS and FinFET Technology Nodes," in *2017 International Conference on Recent Advances in Electronics and Communication Technology (ICRAECT)*, Mar. 2017. doi: 10.1109/ICRAECT.2017.65.

[16] T.H. Kim, J. Liu, J. Keane and C.H. Kim, "Circuit techniques for ultra-low power subthreshold SRAMs," *IEEE International Symposium on Circuits and Systems (ISCAS), Seattle, WA, USA*, 2008, pp. 2574-2577, doi: 10.1109/ISCAS.2008.4541982.

[17] J. Singh, D.K. Pradhan, S. Hollis, S.P. Mohanty and J. Mathew, "Single ended 6T SRAM with isolated read-port for low-power embedded systems," *Design, Automation & Test in Europe Conference & Exhibition, Nice, France*, 2009, pp. 917-922, doi: 10.1109/DATE.2009.5090796.

[18] T. Azam, B. Cheng and D.R. S. Cumming, "Variability resilient low-power 7T-SRAM design for nano-scaled technologies," in *11th International Symposium on Quality Electronic Design (ISQED), San Jose, CA, USA*, 2010, pp. 9-14, doi: 10.1109/ISQED.2010.5450414.

[19] A. Sil, S. Bakkamanthala, S. karlapudi and M. Bayoumi, "Highly stable, dual-port, sub-threshold 7T SRAM cell for ultra-low power application," in *10th IEEE International NEWCAS Conference, Montreal, QC, Canada*, 2012, pp. 493-496, doi: 10.1109/NEWCAS.2012.6329064.

[20] D. Sylvester and T.N. Mudge, "Yield-driven near-threshold SRAM design," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, Dec. 2010. doi: 10.1109/TVLSI.2009.2025766.

[21] P.F. Chiu, C.W. Wu, C.H. Chuang, S.S. Sheu, Y.S. Chen and M.J. Tsai, "Low Store Energy, Low VDDmin, 8T2R Nonvolatile Latch and SRAM with Vertical-Stacked Resistive Memory (Memristor) Devices for Low Power Mobile Applications" *IEEE Journal of Solid-State Circuits*, vol. 47, no. 6, pp. 1483-1496, Jun. 2012, doi: 10.1109/JSSC.2012.2192661.

[22] Z. Liu and V. Kursun, "Characterization of a Novel Nine-Transistor SRAM Cell," *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 16, no. 4, pp. 488-492, Apr. 2008, doi: 10.1109/TVLSI.2007.915499.

[23] A.R. Ramani and K. Choi, "A novel 9T SRAM design in sub-threshold region," *IEEE INTERNATIONAL CONFERENCE ON ELECTRO/INFORMATION TECHNOLOGY, Mankato, MN, USA*, 2011, pp. 1-6, doi: 10.1109/EIT.2011.5978615.

[24] M.H. Tu, J.Y. Lin, M.C. Tsai, C.Y. Lu,Y. J. Lin, M.H.Wang, H.S.Huang, K.D. Lee,W.C. Shih, S.J. Jou and C.T. Chuang, "A Single-Ended Disturb-Free 9T Subthreshold SRAM with Cross-Point Data-Aware Write Word-Line Structure, Negative Bit-Line, and Adaptive Read Operation Timing Tracing," *IEEE Journal of Solid-State Circuits*, vol. 47, no. 6, pp. 1469-1482, Jun. 2012, doi: 10.1109/JSSC.2012.2187474.

[25] S. Singh, N. Arora, N. Gupta and M. Suthar, "Leakage reduction in differential 10T SRAM cell using Gated VDD control technique," *International Conference on Computing, Electronics and Electrical Technologies (ICCEET), Nagercoil, India*, 2012, pp. 610-614, doi: 10.1109/ICCEET.2012.6203867.

[26] C.H. Lo and S.Y. Huang, "P-P-N Based 10T SRAM Cell for Low-Leakage and Resilient Subthreshold Operation," *IEEE Journal of Solid-State Circuits*, vol. 46, no. 3, pp. 695-704, Mar. 2011, doi: 10.1109/JSSC.2010.2102571.

[27] A.K. Singh, C.M.R. Prabhu, S. W. Pin and T. C. Hou, "A proposed symmetric and balanced 11-T SRAM cell for lower power consumption," *IEEE Region 10 Conference, Singapore*, 2009, pp. 1-4, doi: 10.1109/TENCON.2009.5396237.

[28] P. Upadhyay, R. Kar, D. Mandal and S.P. Ghoshal, "A design of low swing and multi threshold voltage based low power 12T SRAM cell," *Comput Electr Eng, Elsevier Ltd*. Oct. 2014, doi: 10.1016/j.compeleceng.2014.10.020.

[29] S.K. Srivastavar1 and E.A. Kumar, "Characterization of 6T CMOS SRAM in 65nm and 120nm Technology using Low Power Techniques," *International Research Journal of Engineering and Technology (IRJET)*, Volume: 04 Issue: 07, Jul. 2017.

[30] T.H. Kim, J. Liu, J. Keane and C.H. Kim, "Circuit techniques for ultra-low power subthreshold SRAMs," *IEEE International Symposium on Circuits and Systems (ISCAS), Seattle, WA, USA*, 2008, pp. 2574-2577, doi: 10.1109/ISCAS.2008.4541982.

[31] T.H. Kim, J. Liu, J. Keane and C.H. Kim, "A 0.2 V, 480 kb subthreshold SRAM with 1 k cells per bitline for ultra-lowvoltage computing," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 518–529, Feb. 2008. doi: 10.1109/JSSC.2007.914328.

[32] J. Chen, L.T. Clark and T.H. Chen, "An ultra-low-power memory with a subthreshold power supply voltage," *IEEE Journal of Solid-State Circuits*, vol. 41, pp. 2344–2353, Oct. 2006. doi: 10.1109/JSSC.2006.881549.

[33] B.H. Calhoun and A. Chandrakasan, "A 256kb Sub-threshold SRAM in 65nm CMOS," *IEEE International Solid State Circuits Conference - Digest of Technical Papers*, Feb. 2006. doi: 10.1109/ISSCC.2006.1696325.

[34] H. Kumar and V.K. Tomar, "A Review on Performance Evaluation of Different Low Power SRAM Cells in Nano-Scale Era," *Wireless Personal Communications*, vol. 117, pp. 1959–1984, Nov. 2020. doi: 10.1007/s11277-020-07953-4.

[35] G. Torrens and B. Alorda, "A 65-nm Reliable 6T CMOS SRAM Cell with Minimum Size Transistors," *IEEE Transactions on Emerging Topics in Computing*, vol. 7, pp. 445–457, Jul. 2019. doi: 10.1109/TETC.2017.2721932.

[36] A. Gadhe and U. Shirode, "Read stability and Write ability analysis of different SRAM cell structures," *International Journal of Engineering Research and Applications (IJERA),* Vol. 3, Issue 1, Jan. –Feb. 2013, pp.1073-1078. doi:10.1109/JSSC.2006.883344.

[37] N. Gupta, A. Makosiej, A. Vladimirescu, A. Amara and C. Anghel, "3T-TFET bitcell based TFET-CMOS Hybrid SRAM design for Ultra-Low Power Applications," *Design, Automation & Test in Europe Conference & Exhibition (DATE)*, Dresden, 2016. doi:10.3850/9783981537079_0462.

[38] Y.N. Chen, M.L. Fan, V.P.H. Hu, P. Su and C.-T. Chuang, "Evaluation of Stability, Performance of Ultra-Low Voltage MOSFET, TFET, and Mixed TFET-MOSFET SRAM Cell with Write-assist Circuits," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 4, pp. 389-399, Dec. 2014. doi: 10.1109/JETCAS.2014.2361072.

[39] S. Kumar V and A. Noor, "Characterization and comparison of low power sram cells," *Journal of Electron Devices*, Vol. 11, 2011, pp. 560-566.

زیرنویس‌ها

[1] Complementary Metal–Oxide–Semiconductor (CMOS)
[2] Static Random Access Memory (SRAM)
[3] System on Chip (SOC)
[4] Very Large Scale Integration (VLSI)
[5] Fin Field-Effect Transistor (FinFETs)
[6] Short circuit effect

[7] Differential transistor
[8] Noise
[9] Read Static Noise Margin (RSNM)
[10] Hold Static Noise Margin (HSNM)
[11] Write Static Noise Margin (WSNM)
[12] Activity Factor
[13] Discharge
[14] Feedback
[15] Power Gating
[16] P-channel Metal Oxide Semiconductor (PMOS)
[17] Standby
[18] Threshold Voltage
[19] Complementary Metal–Oxide–Semiconductor (CMOS)
[20] Independent Gate FinFET (Ind)
[21] Noise
[22] Active
[23] Fully Differential
[24] Double Gate Independent Gate FinFET
[25] HSPICE
[26] Gate Channel Length (L_{eff})
[27] Width of the source/drain region (W_g)
[28] Thickness of the oxide film (t_{ox})
[29] Charge
[30] Reverse Short Channel Effect (RSCE)
[31] Single Ended
[32] Floating Ground
[33] Memory Resistor (Memristor)
[34] Thermal Voltage
[35] Drain-Indiced Barrier Lowerin (DIBL)
[36] Sub thershold Factor
[37] Voltage Transfer Characteristics (VTC)
[38] Hill
[39] Matlab
[40] Hold
[41] Precharge
[42] Pull Down
[43] front and back gates of the FinFETS are tied together (Tied)
[44] Tunnel FETs (TFETs)
[45] Metal–Oxide–Semiconductor Field-Effect Transistor (MOSFET)