TEEGES

Technovations in Electrical Engineering & Green Energy System

Research Article (2022) 1(4):14-24

Simulation and Optimization of Dual Gate - Dual Material Tunnel Transistor

Javad Hasanvand[1], *MSc*, Reza Talebzadeh[1], *Assistant Professor*, Ali Mir[1], *Professor*

[1] *Department of Electrical Engineering, Lorestan University, Khorramabad, Iran*

Abstract:

In this paper, we designed and simulated a new TFET. Due to the band-to-band tunneling current mechanism, the TFETs show a low current and subthreshold slope of less than 60mV/dec. As a result, they can be a suitable alternative to MOSFET for use in low-power switching circuits. But its main disadvantage is its low on-state current compared to MOSFET. In this article, an optimized two-gate-two-material tunnel transistor structure is proposed in which the tunneling rate of carriers increased by adding two regions with inherent impurity compared to the common two-gate TFET structures. We simulated the proposed TFET in two dimensions using Silvaco-Atlas software and analyzed its results. The results are as follows: the on-state current (Ion=5.49×10-6A/μm), off current (Ioff=2×10-18A/μm), Subthreshold slope (SS=15.02mV/dec), and the Ion/Ioff =2.74×1012. The calculated results show the improvement of the DC parameters of the device.

Keywords : Tunnel Transistor, Performance Improvement, Simulation, Silvaco-Atlas

Received: 06 July 2022
Revised: 05 September 2022
Accepted: 05 October 2022
Corresponding Author: Dr. Reza Talebzadeh, email address: talebzadeh.r@lu.ac.ir
DOI: http://dx.doi.org/10.30486/teeges.2022.1966315.1032

فناوری‌های نوین در مهندسی برق و سیستم انرژی سبز

TEEGES

مقاله پژوهشی

شبیه‌سازی و بهینه‌سازی ترانزیستور تونلی دو گیتی- دو ماده‌ای

جواد حسنوند[۱]، *کارشناسی ارشد*، رضا طالب‌زاده[۱]، *استادیار* علی میر[۱]، *استاد*

۱- گروه برق دانشکده فنی و مهندسی برق، دانشگاه لرستان، لرستان، ایران

چکیده: در این مقاله ما به طراحی و شبیه سازی یک ترانزیستور تونلی جدید پرداخته ایم. ترانزیستورهای فت‌تونلی بدلیل سازوکار جریان تونل‌زنی نوار به نوار، دارای جریان نشتی کم و شیب زیرآستانه کمتر از ۶۰mV/dec هستند و می‌توانند به عنوان جایگزینی مناسب برای ماسفت به منظور استفاده در مدارات کلیدزنی توان پایین باشد. با این حال؛ عیب این ترانزیستورها جریان حالت روشن کمتر آن ها نسبت به ترانزیستورهای ماسفت است. در این مقاله یک ساختار ترانزیستور تونلی دو گیتی – دو ماده‌ای بهینه شده پیشنهاد شده که با اضافه کردن دو ناحیه با آلایش ذاتی به ساختار فت‌تونلی دو گیتی رایج، سعی در افزایش نرخ تونل‌زنی حامل‌ها در مقایسه با ترانزیستورهای تونلی مرسوم شده است. طراحی و شبیه سازی با استفاده از نرم‌افزار سیلواکو - اتلس بصورت دوبعدی صورت گرفته است. نتایج محاسبه شده بصورت زیر است: جریان حالت روشن برابر $۵/۴۹\times۱۰^{-۶}$A/μm، جریان حالت خاموش برابر ۲×۱۰^{-۱۸}A/μm، شیب زیرآستانه برابر ۱۵/۰۲mV/dec و نسبت I_{on}/I_{off} برابر $۲/۷۴\times۱۰^{۱۲}$. نتایج حاصله نشان دهنده بهبود پارامترهای DC افزاره است.

واژه های کلیدی: ترانزیستور تونلی، بهبود عملکرد، شبیه‌سازی، سیلواکو - اتلس

تاریخ ارسال مقاله: ۱۴۰۱/۰۴/۱۵

تاریخ بازنگری مقاله: ۱۴۰۱/۰۶/۱۴

تاریخ پذیرش مقاله: ۱۴۰۱/۰۷/۱۳

نویسنده‌ی مسئول: دکتر رضا طالب‌زاده ، talebzadeh.r@lu.ac.ir

DOI: http://dx.doi.org/ 10.30486/teeges.2022.1966315.1032

CC BY

۱- مقدمه

با کوچک‌تر شدن سیستم‌های الکترونیکی نیاز به قطعاتی با توان مصرفی کم و عملکرد بالا اهمیت پیدا می‌کند. ماسفت‌ها در مدارات منطقی بعنوان کلید بکار می‌روند. در این مدارات سرعت و توان مصرفی دو چالش مهم هستند. برای دستیابی به سرعت بالاتر و توان مصرفی کمتر، به طور مداوم ابعاد ماسفت‌ها بایستی کاهش یابد. اما موانعی سرراه کاهش بیشتر ابعاد ماسفتهای رایج در مقیاس نانو وجود دارد. جریان نشتی ماسفت‌های رایج زیاد است بنابراین دارای توان تلفاتی زیاد و بازدهی توان کمی هستند. در نتیجه قابلیت کمتری برای استفاده در مدارات کلیدزنی توان پایین را دارند. همچنین شرط کوچک‌سازی ماسفت ثابت ماندن میدان الکتریکی داخلی آن است. برای این کار بایستی تمام ولتاژهای اعمالی به آن به یک نسبت کاهش یابند ولی ولتاژ آستانه[۱] روشن شدن افزاره متاسب با ولتاژ تغذیه کاهش نمی‌یابد و این موضوع باعث کاهش جریان روشنایی و درنتیجه کاهش نسبت I_{on}/I_{off} می‌شود [۱]. از طرفی چون شیب زیرآستانه ماسفت ثابت (۶۰mV/dec) است، کاهش بیشتر ولتاژ آستانه باعث بالا رفتن جریان خاموشی شده و درنتیجه نسبت I_{on}/I_{off} کاهش می‌یابد [۲]. برای رفع مشکلات ماسفت در حوزه نانو محققان تاکنون ساختارهای مختلفی را پیشنهاد داده‌اند. ماسفت یونیزاسیون برخوردی[۲]، نم‌فت[۳] و ترانزیستور تونلی[۴] از آن جمله هستند. ترانزیستور تونلی (تی‌فت[۵]) بخاطر سازوکار جریانش (تونل‌زنی نوار به نوار) بیشتر مورد توجه قرار گرفته است. فت‌های تونلی دارای جریان خاموشی کم در محدوده پیکو آمپر هستند و همچنین شیب زیرآستانه آنها به زیر ۶۰ mV/dec می‌تواند برسد ولی عیب عمده آنها جریان روشنایی کم نسبت به ماسفت‌ها است [۳]. اما با توجه به جریان خاموش خیلی کم، دارای نسبت I_{on}/I_{off} قابل قبولی هستند و می‌تواند گزینه مناسبی برای جایگزینی یا تکمیل ماسفت‌ها در مدارات کلیدزنی توان پایین باشد [۴]. در این مقاله ابتدا تلاش‌های صورت گرفته برای برطرف کردن عیب فت‌تونلی مرور می‌شود. سپس فیزیک فت‌تونلی و روابط حاکم بر آن بررسی و در نهایت یک ساختار فت‌تونلی دو گیتی – دو ماده‌ای پیشنهاد و نتایج شبیه سازی آن توسط نرم افزار سیلواکو – اتلس تجزیه و تحلیل و بررسی می‌شود.

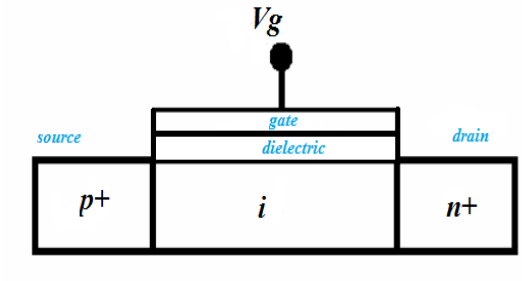
۲- مروری بر پیشینه فت‌تونلی

محققان راه‌های متفاوتی را برای حل مشکل جریان روشنایی کم تی‌فت و بهبود پارامترهای آن پیشنهاد کرده‌اند. "تومیوکا" و همکاران و همچنین "کریشناموهان" و همکاران سعی کردند با استفاده از مواد با شکاف باند کمتر در کانال مانند سیلیسیم - ژرمانیوم یا اینیدیم - ارسنیک و اینیدیم – گالیم - ارسنیک [۵,۶]، یک تغییر ناگهانی در ترازهای انرژی پیوند تونلی ایجاد کنند. نتیجه این کار کاهش انرژی سد تونلی و افزایش جریان حالت روشن ساختار بود. "تی. هو" و همکاران با بکار بردن فلزات با تابع‌کار مناسب به عنوان الکترود گیت برای تاثیرگذاری روی ناحیه تخلیه [۷]، توانستند میدان الکتریکی پیوند غیرتونلی را در حالت خاموش کاهش دهند و در نتیجه جریان نشتی ساختار را کاهش یافت. "کیم" و همکاران و "پاتل" و همکاران سعی کردند با استفاده از مواد با شکاف باند کمتر در سورس و درین مانند ترکیبات سیلیسیم - ژرمانیوم و ژرمانیوم با کانال از جنس سیلیکون [۸,۹]، در ترازهای پیوند ناگسستگی ایجاد کنند و نرخ تونل‌زنی را بالا ببرند. این کار آنها باعث افزایش جریان روشنایی ساختار شد. "سوراب" و همکاران فت تونلی با کانال مدور را پیشنهاد دادند. استفاده از کانال مدور باعث افزایش ضریب تحرک پذیری حامل‌های تونلی شد و در نتیجه جریان حالت روشن را افزایش دادند [۱۰]. همچنین محققان با تغییر ساختار گیت فت تونلی سعی در بهبود پارامترهای آن را داشته‌اند که از آن جمله می‌توان به جایگزینی مواد دی‌الکتریک با کیفیت بالا بجای دی‌اکسید سیلیکون و یا ترکیبی از آنها بعنوان دی‌الکتریک گیت [۱۱,۱۲] و استفاده از ساختارهای دو گیتی یا سه گیتی [۶,۱۳] اشاره کرد.

۳- فیزیک ترانزیستور تونلی و روابط حاکم برآن

ترانزیستور تونلی به نوعی یک دیود p - i - n است که جریان آن به وسیله پایه گیت کنترل می‌شود. شکل (۱) ساختار ساده یک فت‌تونلی نوع n را نمایش می‌دهد. برای روشن کردن افزاره بایستی دیود p - i - n درحالت بایاس معکوس قرار گیرد. با اعمال ولتاژ مثبت به گیت می‌توان جریان افزاره را قطع یا وصل کرد. بخاطر مطابقت با تکنولوژی ساخت ماسفت پایه‌های افزاره بگونه‌ای نامگذاری شده‌اند که بایاس فت‌تونلی مطابق بایاس ماسفت باشد. جریان در حالت خاموش تی‌فت شامل دو مولفه است. اولین مولفه جریان نشتی بایاس معکوس دیود p - i - n است که حاصل از تونل‌زنی حامل‌ها به کمک تله‌های[۶] موجود در ناحیه ممنوع است و به دما وابستگی

شدید دارد. این تله‌ها در اثر فرآیند ساخت بوجود آمده‌اند. مولفه دیگر جریان نشتی تونل زنی نوار به نوار است که در اثر میدان الکتریکی سورس – درین ایجاد شده و به دما بستگی ندارد [۱۴].



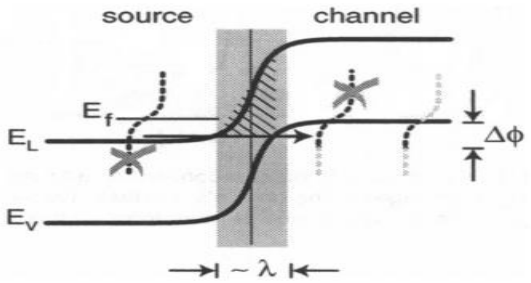
شکل (۱): ساختار ساده فت‌تونلی نوع n

جریان فت‌تونلی در حالت روشن بر اساس سازوکار تونل‌زنی نوار به نوار است شکل (۲) نشان داده شده است. برای بدست آوردن رابطه‌ای برای توصیف جریان تونل‌زنی نوار به نوار فت‌تونلی، می‌توان با استفاده از WKB[7] مقدار تقریبی احتمال تونل‌زنی نوار به نوار را از رابطه (۱) محاسبه کرد [۱۴]. این یک عبارت کلی برای تونل‌زنی نوار به نوار حامل‌ها است. این رابطه را می‌توان برای همه افزاره‌هایی که عملکرد آنها بر اساس تونل‌زنی نوار به نوار است توسعه داد و استفاده کرد.

$$T \approx \exp\left(-\frac{4\sqrt{2m^*}Eg^{\frac{3}{2}}}{3q\hbar F}\right) \qquad (۱)$$

در رابطه (۱) m^* جرم موثر تونل‌زنی، Eg انرژی باند ممنوع، q بار، $\hbar$ ثابت پلانک کاهش یافته، F اندازه میدان الکتریکی است، $\Delta\Phi$ اختلاف بین انرژی نوار هدایت نسبت به انرژی نوار ظرفیت در پیوند و λ طول تونل‌زنی است. دراین روش ناحیه سد پتانسیل را مانند شکل (۲) بصورت یک مثلث درنظر می‌گیرند قاعده مثلث با طول λ و ارتفاع با $\Delta\Phi + Eg$ مشخص شده است. اندازه میدان‌الکتریکی با شیب نوارهای انرژی مطابقت دارد. بنابراین می‌توان میدان‌الکتریکی F را با $\Delta y/\Delta x = (\Delta\Phi + Eg)/\lambda$ جایگزین کرد. البته چون واحد میدان‌الکتریکی V/m، اما واحد عبارت جایگزین eV/m است بایستی از q در رابطه (۱) صرفنظر کنیم تا واحدها مطابقت داشته باشند. از طرفی چون جریان با احتمال تونل‌زنی حامل‌ها متناسب است می‌توان عبارتی برای جریان تونل‌زنی نوار به نوار بدست آورد. احتمال تونل‌زنی با جرم رابطه عکس و با میدان رابطه مستقیم دارد. رابطه (۲) جریان تونل‌زنی نوار به نوار در پیوند تونلی را نشان می‌دهد. رابطه (۲) رابطه عمومی جریان افزاره‌هایی است که بر اساس سازوکار تونل‌زنی نوار به نوار عمل می‌کنند [۱۵].

$$I_{BTB} \propto T \approx \exp\left(-\frac{4\lambda\sqrt{2m^*}Eg^{\frac{3}{2}}}{3\hbar(\Delta\Phi + Eg)}\right) \qquad (۲)$$



شکل (۲): تونل‌زنی نوار به نوار و سد پتانسیل پیوند p-n مقابل الکترون‌ها [۱۵]

λ در فت‌تونلی دو گیتی از رابطه (۳) بدست می‌آید [۱۶]. با جایگذاری λ در رابطه (۲) جریان تونل‌زنی تی‌فت دو گیتی از رابطه (۴) بدست می‌آید [۳].

$$\lambda = \sqrt{\frac{\varepsilon_{si} t_{si} t_{ox}}{2\varepsilon_{ox}}} \qquad (۳)$$

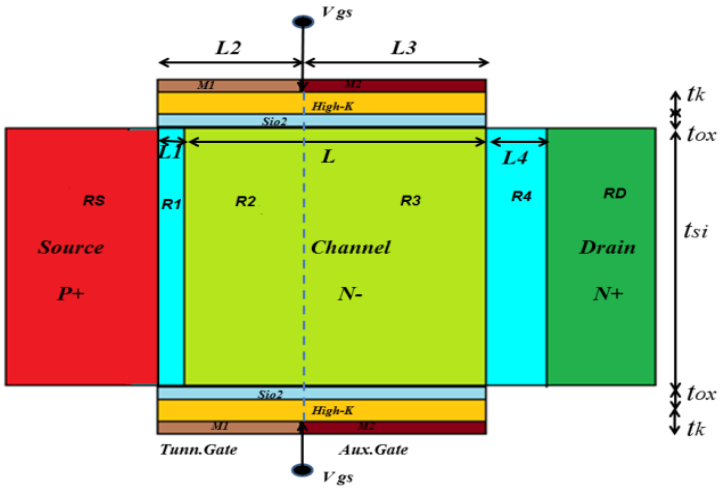
t_{si} ضخامت بدنه، t_{ox} ضخامت اکسید، ε_{si} ضریب گذردهی الکتریکی سیلیکون و ε_{ox} ضریب گذردهی الکتریکی اکسید است.

$$I_{BTB} \propto T \approx \exp\left(-\frac{4\lambda\sqrt{2m^*}Eg^{\frac{3}{2}}}{3q\hbar(\Delta\varphi + Eg)} \sqrt{\frac{\varepsilon_{si}}{\varepsilon_{ox}} t_{ox} t_{si}} \right) \Delta\varphi \qquad (۴)$$

۴- ساختار پیشنهادی ترانزیستور تونلی دو گیتی – دو ماده‌ای و نتایج آن

شکل (۳) ساختار فت‌تونلی دو گیتی – دو ماده‌ای نوع n که دارای بدنه سیلیکونی و شامل نواحی سورس، کانال، درین و دو ناحیه با آلایش ذاتی است را نشان می‌دهد. ضخامت کانال بیشتر از ۱۰nmدرنظر گرفته شده تا از جریان های نشتی بین اکسید و کانال بتوان چشم‌پوشی کرد [۱۷]. گیت‌ها دارای ساختار مشابه و متقارن هستند. در هر گیت لایه دی‌الکتریک بصورت ترکیبی و از دو ماده با ضریب گذردهی الکتریکی متفاوت تشکیل شده است. HfO_2 با ضریب‌گذردهی بالا دارای خاصیت عایقی خوبی است و می‌توان با آن لایه‌های ضخیم‌تری را لایه نشانی کرد که امکان ساخت خازن‌های بزرگتر را فراهم می‌کند [۱۷]. دو فلز غیر همجنس با طول متفاوت بعنوان الکترودهای گیت، لایه اکسید را پوشش می‌دهند. چون فلز M_1 روی پیوند تونلی قرار دارد گیت تونلی و فلز M_2 نیز گیت جانبی نامگذاری شده‌اند. دو ناحیه با آلایش ذاتی ($R1$ زیر گیت تونلی و $R4$ زیر گیت غیرتونلی) به منظور ایجاد کرنش در پیوند p - n ایجاد شده‌اند. نواحی $R2$ و $R3$ با هم کانال را تشکیل می‌دهند. نواحی سورس و درین به ترتیب دارای آلایش نوع p^+ و n^+ هستند. طول کانال ۵۰nm است بنابراین می‌توان تاحدود زیادی از اثرات کانال کوتاه در محاسبات صرفنظر کرد [۱۷]. مشخصات ساختار در جدول (۱) آمده‌است. شبیه‌سازی ساختار بصورت دوبعدی و با استفاده از نرم‌افزار سیلواکو – اتلس انجام شده است. مدلهای فیزیکی مورد استفاده در شبیه‌سازی عبارتند از:

Auger – SRH – BGN – CONMOB – CVT – nonlocal BTB

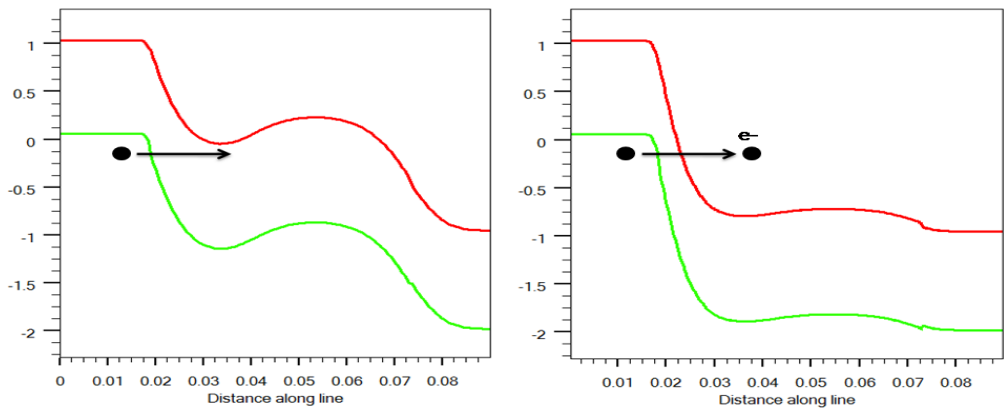


شکل (۳): نمای دوبعدی ساختار فت‌تونلی دو گیتی – دو ماده‌ای

جدول (۱): مشخصات ساختار فت‌تونلی پیشنهادی

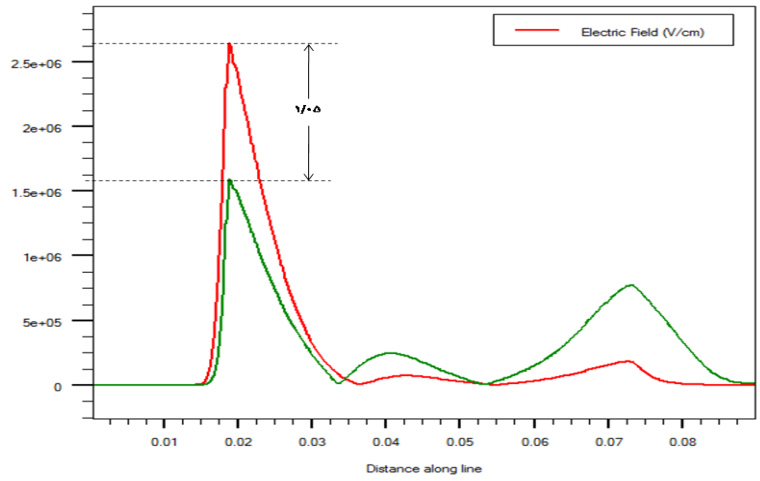
نماد	پارامتر	مقدار	واحد
NS	غلظت ناخالصی سورس	۱×۱۰^{۲۰}	$atom/cm^3$
N2,3	غلظت ناخالصی‌کانال ناحیه ۲و۳	۱×۱۰^{۱۶}	$atom/cm^3$
ND	غلظت ناخالصی درین	۵×۱۰^{۱۸}	$atom/cm^3$
tsi	ضخامت کانال	۱۲	Nm
tox	ضخامت اکسید سیلیکون	۱	Nm
tk	ضخامت دی‌اکسید هافونیم	۲	Nm
L	طول کانال	۵۰	Nm
L1	طول ناحیه تخلیه	۱	Nm
L4	طول ناحیه تخلیه	۲	Nm
L2	طول الکترودگیت تونلی	۲۱	Nm
L3	طول الکترودگیت جانبی	۳۰	Nm
M1	تابع‌کار گیت تونلی	۴	eV
M2	تابع‌کار گیت جانبی	۴/۶	eV

نمودار نوارهای انرژی برش طولی ساختار در دو حالت روشن و خاموش در شکل (۴) آمده است. شکل (۴- چپ) ترازهای انرژی را در حالت خاموش نشان می‌دهد. در حالت خاموش (V_{DS}=۱V و V_{GS}=۰V) الکترون‌های تراز ظرفیت سورس، تراز خالی و هم انرژی در نوار هدایت کانال را در مقابل خود نمی‌بینند. دیود p - i - n در بایاس معکوس و انرژی ناحیه سد پتانسیل زیاد است درنتیجه الکترون‌ها به انرژی زیادی برای غلبه بر سد تونلی نیاز دارند تا به تراز هدایت کانال بروند. بنابراین احتمال تونل‌زنی حامل‌ها بسیار کم و جریان بین سورس و درین خیلی ناچیز است. اما در هر صورت با توجه به اینکه احتمال تونل‌زنی صفر نیست، جریان نشتی در حد پیکو آمپر برقرار می‌شود. می‌توان گفت این جریان نشتی حاصل تونل‌زنی به وسیله تله است [۱۴]. شکل (۴- راست) ترازهای انرژی را در حالت روشن نشان می‌دهد. در حالت روشن (V_{DS}=۱V و V_{GS}=۱V) ترازهای انرژی کانال تحت تاثیر میدان الکتریکی عرضی گیت به سمت پایین کشیده می‌شوند. در ناحیه پیوند p - n ترازها خمش پیدا می‌کنند و عرض ناحیه تخلیه کم می‌شود. اکنون حامل‌ها انرژی کمتری برای عبور از سد پتانسیل نیاز دارند. درنتیجه الکترون‌های بیشتری از سورس با عبور از سد پتانسیل خود را به تراز هدایت کانال رسانده و جذب پتانسیل مثبت درین شده و جریان بین درین - سورس برقرار می‌شود.



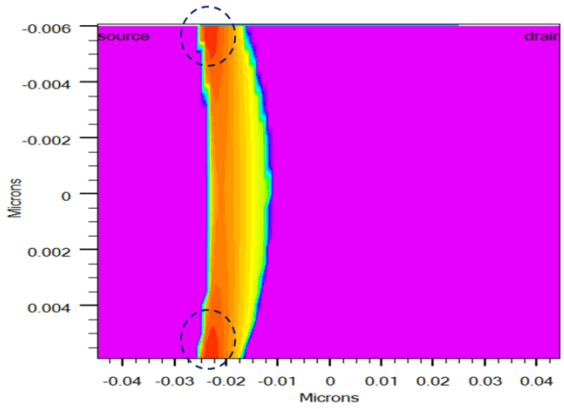
شکل (۴): نوارهای انرژی برش طولی ساختار در حالت خاموش - روشن

شکل (۵) توزیع میدان الکتریکی در برش طولی ساختار را در حالت روشن و خاموش نشان می‌دهد. زمانی که ولتاژ به گیت اعمال شود، در محل پیوندتونلی (سورس - کانال) میدان الکتریکی به میزان $۱/۰۵\times۱۰^{+۶}eV$ افزایش می‌یابد. هر چه پتانسیل گیت افزایش یابد تحت تاثیر نیروی حاصل از آن ترازها بیشتر جابجا شده و رو به پایین کشیده می‌شوند. درنتیجه چگالی حالات ترازها در کانال زیاد شده و حامل‌ها ترازهای خالی بیشتری را در مقابل خود می‌بینند. خمیدگی ترازها در پیوند تحت تاثیر میدان باعث کم شدن عرض ناحیه تخلیه شده و انرژی سد پتانسیل کم و احتمال عبور الکترون‌ها از ناحیه سد افزایش می‌یابد. با توجه به رابطه (۱) جریان تونلی با شدت میدان رابطه مستقیم و با انرژی سد پتانسیل رابطه معکوس دارد. هر چه اندازه و تمرکز شدت میدان در پیوند تونلی زیاد باشد اندازه و کنترل پذیری جریان ساختار بیشتر می‌شود. تونل‌زنی حامل‌ها در پیوند تونلی انجام می‌شود و عرض این محدوده برابر ۲nm است.



شکل (۵): نمودار توزیع میدان الکتریکی در طول ساختار فت‌تونلی دو گیتی در حالت خاموش و روشن

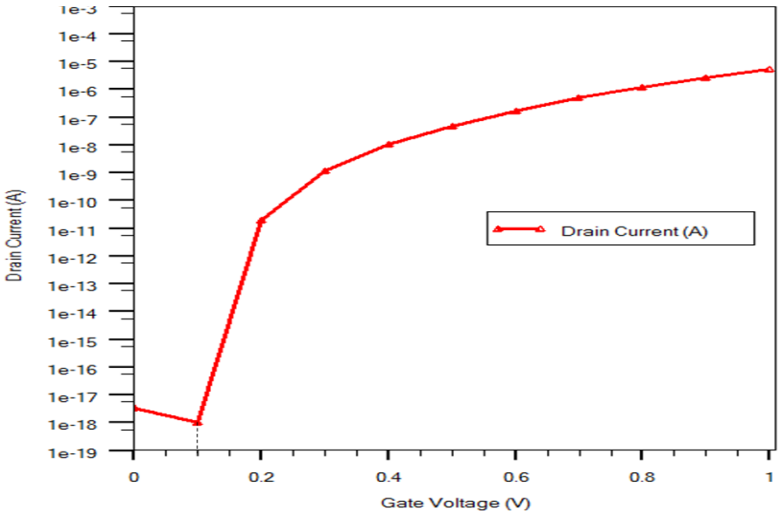
نرخ تونل‌زنی بیان کننده سرعت تونل‌زدن حامل‌ها است. هر چه نرخ زیاد شود به معنای آن است که جریان سریعتر به حالت اشباع می‌رسد و سرعت کلیدزنی بالا می‌رود. نرخ در لبه گیت‌های تونلی که با دایره در شکل (۶) مشخص شده، بیشترین مقدار را نسبت به سایر نقاط پیوند تونلی دارد. انرژی سد در این نقطه کمترین مقدار را دارد و الکترون‌ها سد کوچکتری را مقابل خود می‌بینند.



شکل (۶): محل و نرخ تونل‌زنی الکترون‌ها در طول ساختار فت‌تونلی دو گیتی

نمودار جریان درین برحسب ولتاژ گیت - سورس منحنی مشخصه ورودی نام دارد. شکل (۷) منحنی مشخصه ورودی فت‌تونلی دو گیتی را نشان می‌دهد. چگالی جریان در حالت روشن برابر $۵/۴۹\times۱۰^{-۶}A/\mu m$ و در حالت خاموش برابر $۲\times۱۰^{-۱۸}A/\mu m$ است. در

مدارات توان پایین مهمترین پارامتر جریان نشتی است که هر چه کمتر باشد مصرف توان و توان تلفاتی کاهش می‌یابد. در این ساختار نسبت I_{on}/I_{off} برابر $۲/۷۴\times۱۰^{۱۲}$ بدست می‌آید. الکترون‌ها در $V_{GS}=۰/۱V$ شروع به تونل‌زدن کرده و جریان شروع به زیاد شدن می‌کند.

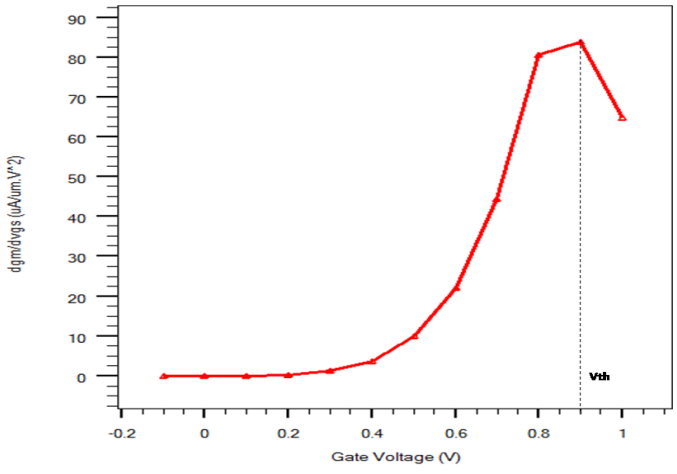


شکل (۷): منحنی مشخصه ورودی فت‌تونلی

برای بدست آوردن ولتاژ آستانه روش‌های مختلفی وجود دارد. در اینجا برای محاسبه ولتاژ آستانه روشنایی گیت از روش TC[8] استفاده شده است و از رابطه (۵) بدست می‌آید [۱۷].

$$\left.\frac{\partial^2 I_D}{\partial V_{GS}^2}\right|_{V_{GS}=V_{th}} = 0 \qquad (۵)$$

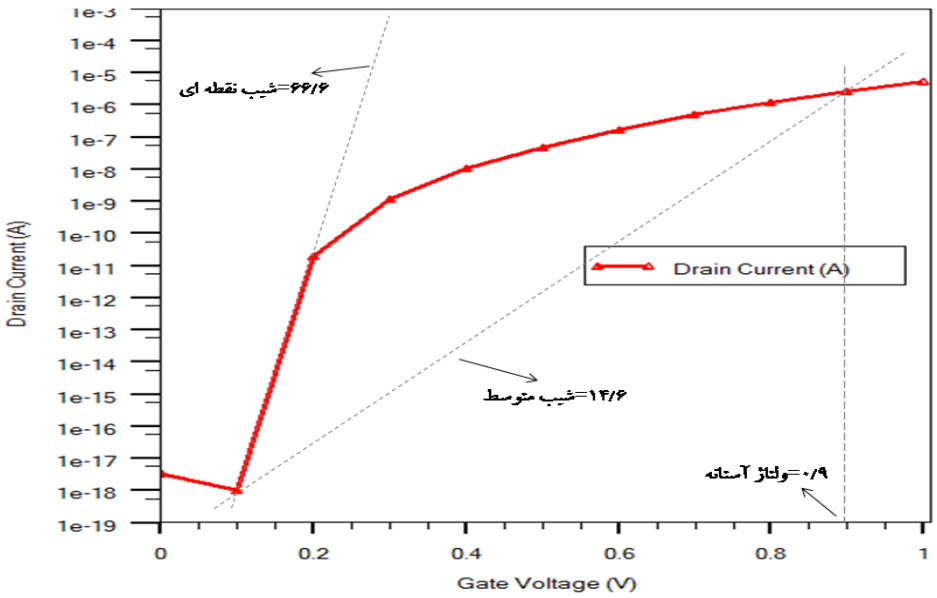
به عبارت دیگر ولتاژ آستانه: ولتاژ گیت – سورسی است که به ازای آن شیب منحنی هدایت انتقالی برابر صفر است. شکل (۸) نمودار شیب هدایت انتقالی افزاره را نشان می‌دهد. در ولتاژ $V_{th}=V_{GS}=۰/۹V$ شیب منحنی صفر می‌شود. هر چه این مقدار کمتر باشد مصرف توان افزاره کم و یک مزیت مهم در مدارات مجتمع امروزی محسوب می‌شود.



شکل (۸): نمودار تغییرات شیب هدایت انتقالی برحسب ولتاژ گیت – سورس

"مقدار تغییرات ولتاژ گیت، برای ایجاد یک دهه افزایش در جریان خروجی را شیب زیرآستانه[۹] می‌گویند". شکل (۹) شیب متوسط و شیب نقطه‌ای را نشان می‌دهد. شیب متوسط و نقطه‌ای به ترتیب برابر۱۴/۶ و ۶۶/۶ بدست آمده است. این نمودار دو مطلب مهم را

نشان می‌دهد. شیب نوسان زیرآستانه فت‌تونلی ثابت نیست بلکه تابعی از ولتاژ گیت است و اینکه در ولتاژهای کم این امکان برای فت‌تونلی وجود دارد که در دمای اتاق مقدار شیب زیرآستانه آن کمتر از ۶۰mV/dec شود (محدودیت ماسفت را ندارد) [۴]. کمترین مقدار شیب زیرآستانه با استفاده از رابطه (۱) برابر ۱۵/۰۲ mV/dec است. این پارامتر نمایانگر مدت زمان کلیدزنی بین حالت روشن و خاموش شدن افزاره است. هر چه مقدار آن کمتر باشد زمان کلیدزنی کمتر و سرعت افزاره بالاتر می‌رود. شیب زیرآستانه کم، در مدارات فرکانس بالا یک مزیت مهم محسوب می‌شود.



شکل (۲۲): منحنی شیب نقطه‌ای و متوسط ساختار پیشنهادی

نتایج ساختار پیشنهادی به همراه نتایج دو ساختار فت‌تونلی دیگر در جدول (۲) گردآوری شده است. با اضافه شدن یک گیت به ساختار فت‌تونلی تک گیتی جریان‌های ساختار دو برابر می‌شوند. ولی افزایش جریان نشتی موجب افزایش توان تلفاتی افزاره می‌شود. جریان روشن، خاموش و شیب زیرآستانه ساختار پیشنهادی نسبت به ساختار دوگیتی [۱۷] بهبود یافته است. استفاده از ساختار نانولوله باعث افزایش ضریب تحرک پذیری حامل‌ها شده و جریان عبوری را افزایش می‌دهد ولی این امر مستلزم افزایش ولتاژ تغذیه ساختار است. هر چند جریان حالت خاموش و نسبت I_{on}/I_{off} در ساختار نانولوله [۱۸] مقادیر بهتری را نشان می‌دهد اما با توجه به اینکه ولتاژ تغذیه در ساختار پیشنهادی کمتر از ساختار نانولوله است در نتیجه دارای توان مصرفی کمتری است. همچنین با توجه به شیب زیرآستانه کمتر ساختار پیشنهادی، دارای سرعت کلیدزنی بالاتری نسبت به ساختار نانولوله است. بنابراین در مدارات کلیدزنی توان پایین، ساختار پیشنهادی می‌تواند عملکرد بهتری داشته باشد.

جدول (۲): جدول مقایسه نتایج چند ساختار فت‌تونلی

	V_{th} (V)	SS (mV/dec)	I_{on} (A/µm)	I_{off} (A/µm)	I_{on}/I_{off}
DM-DG TFET (Si Channel) [۱۷] (V_{GS}=۱V و V_{DS}=۱/۲V)	۰/۹	۲۹/۱	۱/۳×۱۰$^{-۷}$	۵/۷×۱۰$^{-۱۸}$	۲×۱۰^{۱۰}
Si-Based Nanotube TFET [۱۸] (V_{GS}=۱V و V_{DS}=۱/۲V)	۰/۹	۵۸/۳	۷×۱۰$^{-۷}$	۱×۱۰$^{-۱۹}$	۷×۱۰^{۱۲}
پیشنهادی (V_{GS}=۱V و V_{DS}=۱V)	۰/۹	۱۵/۰۲	۵/۴۹×۱۰$^{-۶}$	۲×۱۰$^{-۱۸}$	۲/۷۴×۱۰^{۱۲}

۵- نتیجه گیری

دراین مقاله محدودیت‌هایی که مانع از کوچک‌سازی ماسفت برای کاربردهای توان پایین درحوزه نانوالکترونیک می‌شود، بررسی شد. ترانزیستور تونلی با توجه به اینکه سازوکار جریان تونل‌زنی نوار به نوار آن که وابستگی کمی به دما دارد و اینکه پیوندهای افزاره بایاس معکوس هستند، دارای جریان نشتی پایینی است. همچنین شیب زیرآستانه آن می‌تواند به کمتر از محدودیت ماسفت (۶۰ mV/dec) برسد. برای بهینه‌سازی فت‌تونلی می‌توان از مهندسی ساختار گیت، باند ممنوع، تابع‌کار فلز، پروفایل ناخالصی و... استفاده‌کرد. در این مقاله با استفاده از طراحی ساختار گیت و تغییر پروفایل ناخالصی یک فت‌تونلی دو گیتی – دو ماده‌ای بهینه شده، شبیه‌سازی شد. نتایج بصورت زیر است: جریان حالت روشن برابر $۵/۴۹\times۱۰^{-۶}$A/μm، جریان حالت خاموش برابر ۲×۱۰^{-۱۸}A/μm، شیب زیرآستانه برابر ۱۵/۰۲mV/dec و نسبت I_{on}/I_{off} برابر $۲/۷۴\times۱۰^{۱۲}$. پارامترهای DC ساختار یعنی جریان حالت روشن، جریان حالت خاموش، نسبت I_{on}/I_{off} و شیب زیرآستانه بهبود پیدا کرد. می‌توان نتیجه گرفت که در آینده ترانزیستور تونلی گزینه مناسبی برای جایگزینی یا تکمیل ماسفت‌ها در مدارات مجتمع توان پایین، کم مصرف و با چگالی افزاره بالا در حوزه نانو الکترونیک می‌تواند باشد.

مراجع

[1] R. H. Dennard, F. H. Gaensslen, H. N. Yu, V. L. Rideout, E. Bassous, and A. R. Leblanc, "Design of Ion-Implanted MOSFET's With Very Small Physical Dimensions," *IEEE Journal of Solid-State Circuits*, vol. 9, no. 5, 1974.

[2] C. Le Royer and F. Mayer, "Exhaustive experimental study of tunnel field effect transistors (TFETs): From materials to architecture," in *Proceedings of the 10th International Conference on ULtimate Integration of Silicon, ULIS 2009*, 2009.

[3] K. Boucart and A. M. Ionescu, "Double-Gate Tunnel FET With High-κ Gate Dielectric," *IEEE Transactions on Electron Devices*, vol. 54, no. 7, pp. 1725-1733, 2007.

[4] C. Wu, R. Huang, Q. Huang, C. Wang, J. Wang, and Y. Wang, "An Analytical Surface Potential Model Accounting for the Dual-Modulation Effects in Tunnel FETs," *IEEE Transactions on Electron Devices*, vol. 61, no. 8, pp. 2690-2696, 2014.

[5] K. Tomioka and T. Fukui, "Current increment of tunnel field-effect transistor using InGaAs nanowire/Si heterojunction by scaling of channel length," *Applied Physics Letters*, vol. 104, no. 7, p. 073507, 2014/02/17 2014.

[6] T. Krishnamohan, D. Kim, S. Raghunathan, and K. Saraswat, "Double-Gate Strained-Ge Heterostructure Tunneling FET (TFET) With record high drive currents and ≪60mV/dec subthreshold slope," in *2008 IEEE International Electron Devices Meeting*, 2008, pp. 1-3.

[7] H. Yong-Tian, L. Ming-Fu, T. Low, and K. Dim-Lee, "Metal gate work function engineering on gate leakage of MOSFETs," *IEEE Transactions on Electron Devices*, vol. 51, no. 11, pp. 1783-1789, 2004.

[8] S. H. Kim, S. Agarwal, Z. A. Jacobson, P. Matheu, C. Hu, and T. J. K. Liu, "Tunnel Field Effect Transistor With Raised Germanium Source," *IEEE Electron Device Letters*, vol. 31, no. 10, pp. 1107-1109, 2010.

[9] N. Patel, A. Ramesha, and S. Mahapatra, "Drive current boosting of n-type tunnel FET with strained SiGe layer at source," *Microelectronics Journal*, vol. 39, no. 12, pp. 1671-1677, 2008/12/01/ 2008.

[10] S. Saurabh and M. J. Kumar, "Impact of Strain on Drain Current and Threshold Voltage of Nanoscale Double Gate Tunnel Field Effect Transistor: Theoretical Investigation and Analysis," *Japanese Journal of Applied Physics*, vol. 48, no. 6, p. 064503, 2009/06/22 2009.

[11] S. Kumar, E. Goel, K. Singh, B. Singh, M. Kumar, and S. Jit, "A Compact 2-D Analytical Model for Electrical Characteristics of Double-Gate Tunnel Field-Effect Transistors With a SiO2/High- k Stacked Gate-Oxide Structure," *IEEE Transactions on Electron Devices*, vol. 63, no. 8, pp. 3291-3299, 2016.

[12] W. Y. Choi and W. Lee, "Hetero-Gate-Dielectric Tunneling Field-Effect Transistors," *IEEE Transactions on Electron Devices*, vol. 57, no. 9, pp. 2317-2319, 2010.

[13] D. Leonelli *et al.*, "Performance Enhancement in Multi Gate Tunneling Field Effect Transistors by Scaling the Fin-Width," *Japanese Journal of Applied Physics*, vol. 49, no. 4, p. 04DC10, 2010/04/20 2010.
[14] S. M. Sze and K. K. Ng, (Physics of Semiconductor Devices). 2006.
[15] J. Knoch and J. Appenzeller, "A novel concept for field-effect transistors - the tunneling carbon nanotube FET," in *63rd Device Research Conference Digest, 2005. DRC '05.*, 2005, vol. 1, pp. 153-156.
[16] J.-P. Colinge, "Multiple-gate SOI MOSFETs," *Solid-State Electronics*, vol. 48, no. 6, pp. 897-905, 2004/06/01/ 2004.
[17] S. Kumar *et al.*, "2-D Analytical Modeling of the Electrical Characteristics of Dual-Material Double-Gate TFETs With a SiO2/HfO2 Stacked Gate-Oxide Structure," *IEEE Transactions on Electron Devices*, vol. 64, no. 3, pp. 960-968, 2017.
[18] N. Kumar, U. Mushtaq, S. I. Amin, and S. Anand, "Design and performance analysis of Dual-Gate All around Core-Shell Nanotube TFET," *Superlattices and Microstructures*, vol. 125, pp. 356-364, 2019/01/01/ 2019.

زیرنویس‌ها

[1] Threshold voltage
[2] Impact Ionization MOS
[3] NEMFET
[4] Tunneling transistor
[5] TFET
[6] Trap's
[7] Wentzel–Kramers–Brillouin
[8] transconductance change
[9] Subthreshold slope