https://doi.org/10.30495/jce.2023.1988197.1207

#### Vol. 14/ No. 55/2025

**Research Article** 

# Low Latency and Power Efficient Reversible Full Adder Based on Toffoli Gates

Seyedeh Fatemeh Deymad<sup>1</sup> <sup>(D)</sup> | Nabiollah Shiri<sup>2\*</sup> <sup>(D)</sup> | Farshad Pesaran<sup>3</sup> <sup>(D)</sup>

<sup>1</sup>Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran. f.daymad@gmail.com

<sup>2</sup>Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran. na.shiri@iau.ac.ir

<sup>3</sup>Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran. farshad.pesaran@iau.ac.ir

**Correspondence** Nabiollah Shiri, Assistant Professor of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran. na.shiri@iau.ac.ir



Received: 9 June 2023 Revised: 2 July 2023 Accepted: 15 July 2023

#### Abstract

The reversible circuits are useful in energy-saving applications because of their unique features. Hence, using 32 nm carbon nanotube field-effect transistor (CNTFET) technology and relying on Toffoli's reversible gates, a new full adder (FA) circuit is presented. The proposed circuit has 4 basic Toffoli gates and 18 transistors. 3 of the 4 gates have the same transistor schematic with a constant-ON transistor, but the remaining gate has only two transistors. The proposed circuit has 3 constant inputs and 4 garbage outputs. As a new method, in the proposed circuit, only one type of reversible gate is used. The results show the superiority of the proposed FA in terms of power consumption and energy dissipation. By implementing the proposed FA and other circuits in a 4-bit and 8-bit ripple carry adder (RCA), the proposed circuit shows improvements by 6.83% and 11.25% in terms of power and energy, respectively, compared to the main competitor. Also, in an 8-bit RCA, the proposed FA has a 2% saving compared to the nearest competitor and 27% compared to the worst circuit in terms of the power-delay-area-product (PDAP). These results show the designed FA as a favorable option for complex structures with high-order bits.

Keywords: Full adder, Toffoli gate, Reversible design, Low power, High speed, Ripple carry adder.

Highlights

- Covering the lack of transistor design of reversible FA based on CNTFET technology with a channel length of 32nm.
- Design of a new Toffoli gate (TG) and its usage in the proposed full adder for circuitry performance improvement in terms of power and delay.
- Use of only one type of reversible gate, Toffoli gate (TG), in the design of the proposed full adder.
- Obtaining the proposed full adder with high precision in terms of output voltage generation for use in various high-speed and frequency-dependent applications.

**Citation:** S.F. Deymad, N. Shiri, and F. Pesaran, "Low Latency and Power Efficient Reversible Full Adder based on Toffoli Gates," *Journal of Southern Communication Engineering*, vol. 14, no. 55, pp. 36–51, 2025, doi:10.30495/jce.2023.1988197.1207 [in Persian].

COPYRIGHTS

©2025 by the authors. Published by the Islamic Azad University Bushehr Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0) https://creativecommons.org/licenses/by/4.0



#### 1. Introduction

With the limitations imposed by Moore's Law on conventional MOSFETs, researchers have increasingly turned to post-CMOS technologies such as carbon nanotube field-effect transistors (CNTFETs), single-electron transistors (SETs), and quantum cellular automata (QCA) [1]. However, when these technologies are applied to complex structures, they face several challenges, including short-channel effects, reduced gate control, exponential increases in leakage current, process variations, and high power density. These issues have driven researchers to explore new methods for designing integrated circuits (ICs) [2–5].

Among the various methods proposed in the literature, irreversible circuits—designed using conventional mechanisms—are widely used. However, irreversible digital circuits face fundamental challenges, such as high power consumption, low speed, and high energy consumption relative to their area. To address these issues, reversible logic gates have emerged as a promising approach for designing digital circuits. Reversible logic offers unique features, including the potential for zero power dissipation under ideal conditions, as discussed in the literature [6–8].

In conventional irreversible operations, energy loss occurs at a rate of KTln2 Joules per bit loss, where K is the Boltzmann constant and T is the temperature. While this energy loss may seem negligible at first, it becomes significant when scaled to the entire chip level. In contrast, reversible circuits ensure that the number of inputs and outputs are equal, with the number of inputs being equal to the sum of the outputs and garbage outputs (GOs). When evaluating reversible logic circuits, key performance metrics include power consumption, energy dissipation, delay time, and area occupation. Additionally, reversible logic gates allow the use of constant inputs (CIs), such as 0 or 1, to achieve the desired logical operations. However, to construct reversible circuits based on  $n \times n$  (input×output) logic gates, certain outputs—referred to as garbage outputs (GOs)—are generated that are not useful for other parts of the system.

Given the unique characteristics of reversible circuits, they are well-suited for designing basic digital circuits such as full adders (FAs), which serve as the foundation for more complex computing circuits like multipliers, dividers, and digital filters. Reversible gates come in various types, including Inverter, Feynman, Toffoli, Peres, and Fredkin. Based on these gates, numerous reversible FA circuits have been proposed in the literature, each differing in the number and type of gates, constant inputs, and garbage outputs.

#### 2. Innovation and contributions

The proposed circuit is thoroughly analyzed from multiple perspectives. First, the block diagram of the proposed circuit is presented and compared with previous works discussed in the earlier section. Next, the transistor-level structure of the circuit is examined, highlighting its advantages and key features. The circuit consists of 4 Toffoli gates (TGs), and by comparing its block diagram with existing works, the innovation in terms of the number and type of gates becomes evident.

To sum the three inputs (A, B, and Cin) and produce the two outputs (Sum and Cout), the circuit employs two distinct stages with different numbers of inputs and types of constant inputs. The proposed circuit includes two constant inputs of 1 and one constant input of 0, along with 3 garbage outputs (GOs). Given its unique structure and the use of Toffoli gates, the circuit is expected to exhibit low power consumption and high speed.

The low power consumption can be attributed to several factors, such as the minimal impact of certain transistors (e.g., those that are permanently ON) on power usage. Additionally, since the Sum and Cout outputs are independent in the proposed circuit, the power consumption of each gate is isolated and significantly reduced. Although the circuit has a relatively high number of internal nodes, these nodes feature low internal capacitance (as they are formed by approximately two transistors, similar to inverter outputs). This results in two key advantages: reduced power consumption and faster signal transmission during the charge and discharge cycles of these capacitors.

For simulation, the proposed circuit and other benchmark circuits are implemented using the 32 nm Stanford University CNFET technology, a reliable post-CMOS technology. Simulations are conducted based on the parameters listed in Table 2, and all circuit parameters—including power, delay, and energy consumption—are extracted using HSPICE codes. The power results are reported as dynamic average power consumption, while the delay is calculated based on the worst-case input-to-output path delay. Energy consumption is evaluated using the power-delay product (PDP).

Initial simulations are performed at a working frequency of 250 MHz, and the input and output waveforms of the proposed circuit are extracted, confirming that the outputs achieve full swing. To evaluate the circuit under more realistic conditions, a ripple carry adder (RCA) is employed, along with an independent fan-out generator based on the Feynman gate. The fan-out generator, consisting of 3 transistors, does not significantly increase the circuit's area, power consumption, or overall delay.

For the 4-bit RCA, 4 full adders (FAs) and 8 fan-out generators are required, while the 8-bit RCA requires 8 FAs and 16 fan-out generators.

#### 4. Results and Discussion

The proposed circuit, comprising 18 transistors, demonstrates superior performance in terms of power consumption and power-delay product (PDP) compared to other circuits. In terms of power consumption, the proposed circuit achieves 10.157  $\mu$ W in 4-bit mode and 26.547  $\mu$ W in 8-bit mode, outperforming the FT circuit by 20.41% and 31.61%, respectively.

Regarding PDP, the closest competitor to the proposed circuit in 4-bit mode is the RFA-3 circuit, with the proposed circuit showing a 6.83% improvement. In 8-bit mode, the FT circuit is the closest competitor, with the proposed circuit achieving an 11.25% better performance. These results highlight the superior performance of the proposed circuit, particularly in terms of power and PDP, despite having a higher number of transistors compared to some circuits.

To ensure a fairer comparison, the power-delay-area product (PDAP)—calculated as the product of PDP and the number of transistors—is used. The results, as shown in Table 4, indicate that in 4-bit mode, the RFA-3 circuit uses the fewest transistors, while in 8-bit mode, the RFA-1 circuit has the lowest transistor count.

In 4-bit mode, the proposed circuit shows a 12.78% improvement over the RFA-3 circuit, while in 8-bit mode, it outperforms the RFA-3 circuit by 17.57%. These results demonstrate that the proposed circuit is particularly effective for high-bit applications, outperforming most existing circuits, especially the RFA-3 circuit.

#### 5. Conclusion

In this article, a new reversible full adder (FA) is proposed, featuring 18 transistors and a novel block diagram based on the Toffoli reversible gate. The proposed circuit, with 3 constant inputs and 4 garbage outputs, demonstrates excellent performance in terms of power consumption and energy dissipation. A key distinguishing feature of this circuit is its use of only one type of gate (Toffoli gate) in its main structure, unlike other reference circuits that rely on a combination of various reversible gates to implement an FA.

Extensive simulations were conducted using HSPICE software under various conditions to validate the superiority of the proposed circuit, particularly in high-order bit implementations. When implemented in 4-bit and 8-bit ripple carry adder (RCA) structures, the proposed circuit outperforms its nearest competitor by 6.83% in power and 11.25% in energy efficiency. Furthermore, considering the number of transistors used, the proposed circuit achieves a 2% improvement over its closest competitor and a 27% improvement over the least efficient circuit in terms of the power-delay-area product (PDAP) in 8-bit mode.

#### 5. Acknowledgement

The authors would like to express their gratitude to the Islamic Azad University of Shiraz for their support throughout this research.

#### References

- A. Sadeghi, R. Ghasemi, H. Ghasemian and N. Shiri, "High Efficient GDI-CNTFET-Based Approximate Full Adder for Next Generation of Computer Architectures," *IEEE Embedded Systems Letters*, vol. 15, no. 1, pp. 33-36, March 2023, doi: 10.1109/LES.2022.3192530.
- [2] A. Sadeghi et al., "Voltage over-scaling CNT-based 8-bit multiplier by high-efficient GDI-based counters," *IET Comput. Digit., Tech.*, vol. 17, pp. 1– 19, Nov. 2023, doi: 10.1049/cdt2.12049.
- [3] N. Shiri, A. Sadeghi, M. Rafiee and M. Bigonah, "SR-GDI CNTFET-based magnitude comparator for new generation of programmable integrated circuits," *Int J Circ Theor.*, vol. 50, no. 5, pp. 1511-1536, Apr. 2022, doi: 10.1002/cta.3251.
- [4] M. Rafiee, N. Shiri and A. Sadeghi, "High-Performance 1-Bit Full Adder With Excellent Driving Capability for Multistage Structures," *IEEE Embedded Systems Letters*, vol. 14, no. 1, pp. 47-50, March 2022, doi: 10.1109/LES.2021.3108474.
- [5] M. Sayyaf, A. Ghasemi and R. Hamzehyan, "Design of Low Power Single-Bit Full-Adder Cell Based on Pass-Transistor Logic," *Journal of Southern Communication Engineering*, vol. 13, no. 49, pp. 105-112, 2023, doi: 10.30495/jce.2022.692834.
- [6] H. Arfavi, S. M. Riazi and R. Hamzehyan, "Evaluation of temperature, Disturbance and Noise Effect in Full Adders Based on GDI Method," *Journal of Southern Communication Engineering*, vol. 13, no. 50, pp. 47-66, 2023, doi: 10.30495/jce.2023.1973764.1197.

- [7] S. Raveendran, P. J. Edavoor, N. Y. B. Kumar and M. H. Vasantha, "An Approximate Low-Power Lifting Scheme Using Reversible Logic," in *IEEE Access*, vol. 8, pp. 183367-183377, 2020, doi: 10.1109/ACCESS.2020.3029149.
- [8] M. Haghparast and K. Navi, "A Novel Reversible Full Adder Circuit for Nanotechnology Based Systems," *Journal of Applied Sciences*, vol. 7, no. 24, pp. 3995-4000, Dec. 2007, doi: 10.3923/jas.2007.3995.4000.

**Declaration of Competing Interest:** Authors do not have conflict of interest. The content of the paper is approved by the authors.

Author Contributions: Seyedeh Fatemeh Deymad: Software, simulation, methodology, original draft preparation; Nabiollah Shiri: Evaluation, supervision, methodology, manuscript editing; Farshad Pesaran: Resources, manuscript editing.

**Open Access:** Journal of Southern Communication Engineering is an open access journal. All papers are immediately available to read and reuse upon publication.

https://doi.org/10.30495/jce.2023.1988197.1207

مقاله پژوهشی

## جمع کننده کامل بر گشت پذیر با تأخیر کم و کارآمد بر اساس گیتهای تافولی

سیده فاطمه دیماد 🕩 | نبی اله شیری 🍽 | فرشاد پسران 🏴

چکیدہ:	· دروه مهندسی برق، واحد شیراز، دانشگاه ازاد اس <i>لامی،</i> شیراز، ایران.
مدارهای برگشت	F.daymad@gmail.com
تمرکز بر صرفهج	<sup>۲</sup> گروه مهندسی برق، واحد شیراز، دانشگاه آزاد اسلامی،
ترانزيستور اثر مي	شيراز، ايران.
دروازههای برگشد	na.shiri@iau.ac.ir
ارائه شده است	" گروه مهندسی برق، واحد شیراز، دانشگاه آزاد اسلامی،
است. ۳ گیت از	شيراز، ايران.
همیشه روشن م	farshad.pesaran@iau.ac.ir
پیشنهادی دارای	
جدید، در مدار پ	نویسنده مسئول:
نتايج نشان دهنده	*نبی اله شیری، استادیار گروه مهندسی برق، واحد شیراز، داده گاد آناد از از شمان از از از
انرژی است. با پی	na.shiri@iau.ac.ir
در جمعکننده ح	
به رقیب اصلی به	· 101 suites
است. همچنین، د	موصوع احسی. مدارهای مجتمع الکترونیک
در مقایسه با نزد	
حاصلضرب توان	تاريخچه مقاله: تاريخ د. بافت: ۱۹ شرار ۱۴۰۲
کنندہ طراحی ش	تاریخ بازنگری: ۱۱ تیر ۱۴۰۲
ا بیتھای مرتبہ با	تاریخ پذیرش: ۲۴ تیر ۱۴۰۲

یذیر به دلیل ویژگیهای منحصر به فرد خود در کاربردهای با نویی در انرژی مفید هستند. از اینرو، با استفاده از فناوری یدانی نانولوله کربنی ۳۲ نانومتری (CNTFET) و با تکیه بر تيذير تافولى(Toffoli)، يک مدار تمام جمع کننده (FA) جديد مدار پیشنهادی دارای ۴ گیت اصلی تافولی و ۱۸ ترانزیستور ۴ گیت دارای همان شماتیک ترانزیستور با یک ترانزیستور بی باشند، اما گیت باقیمانده فقط دو ترانزیستور دارد. مدار ۳ ورودی ثابت و ۴ خروجی زباله میباشد. به عنوان یک روش یشنهادی، تنها از یک نوع گیت برگشتیذیر استفاده می شود. ه برتری تمام جمع کننده پیشنهادی از نظر مصرف توان و اتلاف بادهسازی مدارهای پیشنهادی تمام جمع کننده و سایر مدارها مل موجدار ۴ بیتی و ۸ بیتی (RCA) ، مدار پیشنهادی نسبت ترتیب ۶/۸۳درصد و ۱۱/۲۵٪ از نظر توان و انرژی بهبود یافته در یک RCA ۸ بیتی، FAپیشنهادی ۲٪ صرفهجویی(saving) یکترین(nearest) رقیب و ۲۷٪ نسبت به بدترین مدار از نظر \_-تاخیر-سطح مصرفی (PDAP) دارد. این نتایج تمام جمع ده ٫۱ به عنوان یک گزینه مطلوب برای ساختارهای پیچیده با بیتهای مرتبه بالا نشان میدهد.

**کلیدواژهها:** تمام جمع کننده کامل، توان کم، جمع کننده حمل موجدار، طراحی برگشت پذیر، سرعت بالا، گیت تافولی

## تازه های تحقیق:

- پوشش عدم وجود طراحی ترانزیستوری مدارهای تمام جمعکننده برگشتپذیر بر اساس تکنولوژی CNTFET با طول 32nm.
  - استفاده از تنها یک نوع گیت برگشتپذیر، تنها Toffoli، در طراحی تمام جمعکننده پیشنهادی.
  - طراحی یک گیت جدید Toffoli مورد استفاده در مدار پیشنهادی FA برای بهبود عملکرد مداری از نظر توان و تاخیر.
  - دستیابی به مدار FA پیشنهادی با دقت بالا از نظر تولید ولتاژ خروجی برای کاربردهای سرعت بالا و وابسته به فرکانس.



#### ۱–مقدمه

با محدودیت قانون مور در مورد ترانزیستورهای معمولی تراشههای الکترونیکی که ماسفت<sup>۱</sup> هستند، فناوری های فراتر از CMOS مانند SET ، CNTFET و QCA و معاده از این فناوریها "SET ، CNTFET" و QCA و استفاده است [۱]. دلیل استفاده از این فناوریها قابلیت آنها در کاهش طول کانال ترانزیستور تا محدوده زیر ۵۰ نانومتر است که موضوع اصلی تراشههای مدرن امروزی برای وسایل الکترونیکی قابل حمل مانند تلفن همراه است. با این حال، زمانی که این فناوریها در ساختارهای پیچیده استفاده می شوند، محدودیتهای مختلفی مانند اثرات کانال کوتاه، کاهش کنترل گیت، افزایش تصاعدی جریان نشتی، تغییرات فرآیند و چگالی توان بالا به وجود می آیند که محققان را وادار می کند تا روش های جدیدی را برای طراحی<sup>4</sup> IC ارائه کنند [۲-۴]. همان طور که در شکل ۱ نشان داده شده است، روشهای مختلفی در ادبیات مانند طراحی در سطح ترانزیستور و سطح گیتی بر اساس مفاهیم مختلفی مانند MVL<sup>°</sup>(منطق چند مقداری)، ML<sup>۷</sup>(منطق اکثریت) و AC<sup>(</sup>(محاسبات تقریبی) توسط محققان مورد توجه قرار گرفته است [۵]. هر یک از این روشها دارای مزایا و معایب منحصربهفرد خود هستند که هنگام استفاده از آنها در پیادهسازی واقعی باید به طور جدی مورد توجه قرار گیرد. این روشها که به طور منظم و بر اساس مکانیسمهای فوق طراحی میشوند، مدارهای برگشتناپذیر <sup>۹</sup> نامیده می شوند. با این حال، یکی از چالش های اساسی طراحی و پیادهسازی مدارهای دیجیتال غیرقابل بر گشت را می توان به مصرف توان بالا، سرعت کم و مصرف انرژی بالا نسبت به مساحت مصرفی آنها نسبت داد. برای این منظور، یکی از تکنیکهای نوظهور طراحی مدارهای دیجیتال، استفاده از گیتهای منطقی برگشتیذیر است که دارای ویژگیهای منحصربهفردی هستند [۶–۸]. در شرایط ایدهآل، طرحهای مبتنی بر تکنیک برگشتپذیر میتوانند ویژگی بسیار مهمی داشته باشند و آن اتلاف صفر از نظر توان در آنها است که در مقالات به آن پرداخته شده است. علیرغم نوع تکنولوژی، عملیات برگشتناپذیر در اشکال معمولی منجر به از دست دادن انرژی KBTln2 [۸] ژول برای هر بیت مصرفی می شود که در آن KB ثابت بولتزمن و T دما است. اگرچه این انرژی مصرف شده در نگاه اول ناچیز است، اما زمانی که در سطح کل تراشه در نظر گرفته شود به یک مسئله مهم تبدیل می شود. برخی از ویژگیهای اصلی مدارهای مبتنی بر برگشت پذیر به شرح زیر است [۸]،

- تعداد مساوی ورودی و خروجی.
- ماهیت منحصربهفرد خروجیها نقشهبرداری یک به یک.
- حداقل تعداد گیتهای برگشتپذیر استفاده شود. تعداد گیت برگشتپذیر مورد استفاده برای تحقق عملکرد باید تا حد امکان
  حداقل باشد تا تأخیر انتشار <sup>۱</sup>، هزینه کوانتومی<sup>۱۱</sup> و مساحت تراشه کاهش یابد.
  - حداقل تعداد خروجي زباله. اين به خروجي هايي اشاره دارد كه استفاده نمي شوند و بنابراين بايد تا حد امكان كم باشند.
- حداقل تعداد ورودیهای ثابت. این به ورودیهایی اشاره دارد که باید در منطق "۰" یا منطق "۱" ثابت نگه داشته شوند و باید حداقل باشند.
  - •بدون بازخورد<sup>۱۲</sup> باید باشند.

- <sup>5</sup> Implementing integrated circuits
- <sup>6</sup> Multiple-Valued Logic
- <sup>7</sup> Majority logic
- <sup>8</sup> approximate computing
- <sup>9</sup> irreversible circuits
- <sup>10</sup> propagation delay
- <sup>11</sup> quantum cost
- 12 feedback

<sup>&</sup>lt;sup>1</sup> Metal Oxide Silicon Field Effect Transistor

<sup>&</sup>lt;sup>2</sup> Carbon nanotube field-effect transistor

<sup>&</sup>lt;sup>3</sup> Single-electron transistors

<sup>&</sup>lt;sup>4</sup> quantum dot cellular automata

#### • بدون Fan-out بايد باشند.

علاوه بر عملکرد مدار منطقی مبتنی بر برگشتپذیر، برخی پارامترهای دیگر نیز باید در نظر گرفته شود. در گیتهای منطقی برگشتپذیر، ورودیهای ثابتی مانند ۰ یا ۱ مجاز به استفاده برای تولید عملیات منطقی مورد نظر است، که به <sup>1</sup>Cl معروف است. از سوی دیگر، برای این که بتوان مدارهای برگشتپذیر را بر اساس مفهوم گیتهای منطقی n×n (ورودی×خروجی) تشکیل داد، باید خروجیهایی در قسمتهای مختلف مدار تولید شود که برای سایر قسمتهای سیستم مفید نباشد. این خروجیها <sup>2</sup>GO نامیده میشوند



Figure 1. Literature reversible cells (a) RFA-1 [9], (b) RFA-2 [9], (c) RFA-3 [9], (d) RFA-4 [9], (e) RGFA [10], (f) NG-Press [11], (g) FT [12].

علاوه بر این، تعداد کل گیتهای برگشتپذیر مورد استفاده در طراحی مدارهای برگشتپذیر GC<sup>3</sup> نامیده می شود و همچنین تعداد مراحل از ورودی ها تا خروجی هایی که حاوی GC هستند، حائز اهمیت است. با توجه به ویژگی های مدارهای برگشتپذیر، می توان از این مفهوم در طراحی مدارهای دیجیتال پایه مانند تمام جمع کننده استفاده کرد که مبنای اجرای مدارهای محاسباتی دیگر مانند ضرب کننده ها، تقسیم کننده ها و فیلترهای دیجیتال است. گیتهای برگشتپذیر انواع مختلفی دارند که از معروف ترین آن ها می توان به اینور تر<sup>۴</sup>، فاینمن<sup>۵</sup>، تافولی<sup>۶</sup>، پرز<sup>۷</sup>، فرد کین <sup>۸</sup>و MG<sup>۹</sup> اشاره کرد. بر اساس این گیتها، تمام جمع کننده های برگشتپذیر متفاوتی مطابق شکل ۱ در مقالات ارائه شده اند که هر کدام دارای تعداد گیتهای متفاوت، انواع مختلف گیت، برخی ورودی های ثابت و خروجی های زباله متعدد هستند. بر این اساس در این مقاله یک تمام جمع کننده بر گشتپذیر جدید مبتنی بر گیتهای تافولی ارائه شده است. در این راستا، موارد زیر به نوآوری ها و سهم اصلی این مقاله می پردازند که در مقایسه با مدارهای دیگر مورد توجه قرار می گیرند،

 این مقاله عدم وجود تحقیق در زمینه پیادهسازی ترانزیستوری تمام جمع کنندههای بر گشت پذیر، به ویژه بر اساس فناوری CNTFET با طول کانال زیر ۵۰ نانومتر را پوشش می دهد.

- <sup>5</sup> Feynman
- <sup>6</sup>Toffoli
- <sup>7</sup> Press
  <sup>8</sup> Fredkin
- <sup>9</sup> New-gate

<sup>&</sup>lt;sup>1</sup> constant input

<sup>&</sup>lt;sup>2</sup> garbage outputs

<sup>&</sup>lt;sup>3</sup> gate count

<sup>&</sup>lt;sup>4</sup> inverter

در مقایسه با مدارهای دیگر، مدار پیشنهادی تنها سلولی است که فقط از یک نوع گیت برگشت پذیر استفاده می کند. در تمام مدارهای مرجع، حداقل از دو نوع دروازه برگشت پذیر استفاده شده است. مطابق شکل ۲ در مقاله، بلوک دیاگرام مدار پیشنهادی فقط دارای گیت تافولی (TG) است. این عامل یکی از نوآوریهای ایجاد شده در مورد مشخصات فیزیکی مدار پیشنهادی است. • یک ساختار ترانزیستوری متفاوت برای TG در تمام جمع کننده پیشنهادی استفاده شده است که عملکرد را از نظر توان و مساحت

بهبود میبخشد.

در قسمتهای بعدی مدار پیشنهادی به طور کامل بررسی میشود. سازماندهی این مقاله به شرح زیر است : بخش ۲ جزئیاتی را در مورد ساختار پیشنهادی از نظر بلاک دیاگرام و شماتیک ترانزیستوری ارائه میدهد. در بخش ۳ تنظیمات شبیهسازی و نتایج حاصله ارائه شده و در نهایت مقاله در بخش ۴ نتیجهگیری میشود.

۲-تمام جمع کننده کامل پیشنهادی مبتنی بر تافولی برگشت پذیر

در این قسمت از مقاله مدار پیشنهادی از دیدگاههای مختلف به طور کامل بررسی شده است. ابتدا بلوک دیاگرام مدار پیشنهادی ارائه شده و با کارهای قبلی که در قسمت قبل معرفی شدهاند مقایسه شده است. در ادامه ساختار ترانزیستوری تمام جمع کننده پیشنهادی مورد بررسی قرار گرفته و مزایا و ویژگیهای اساسی این مدار ارائه شده است. شکل ۲ بلوک دیاگرام مدار پیشنهادی را نشان میدهد. این مدار دارای ۴ گیت TG میباشد. با مقایسه این بلوک دیاگرام و سایر آثار در این زمینه میتوان به نوآوری ایجاد شده از نظر تعداد گیتهای استفاده شده و نوع آنها پی برد. برای روشنتر شدن موضوع، مدارهای قبلی مانند RFA-1<sup>7</sup>، 2-RFA و RFA-4 از انواع گیتهای برگشتپذیر با اعداد مختلف به طور همزمان استفاده کردهاند که تفاوت ساختار فیزیکی این مدارها با مدار پیشنهادی را از نظر نشان میدهد.



شکل ۲: بلوک دیاگرام تمام جمع کننده پیشنهادی. Figure 2. Block diagram of the proposed circuit.

برای جمع سه ورودی A، B، Aو Cin در این مدار و تولید دو خروجی Sum و Cout که حاصل جمع و رقم نقلی خروجی می باشند به ترتیب دو مرحله متفاوت با تعداد ورودی متفاوت و انواع ورودی های ثابت در نظر گرفته شده است. مدار پیشنهادی دارای دو ورودی ثابت '۱' و یک ورودی ثابت '۰' است. همچنین این مدار دارای ۳ خروجی زباله می باشد. روابط بولن مدار پیشنهادی بر اساس روابط ۱ و ۲ است. در اینجا، از فرمول ها، گیت های اصلی مدار (A⊕B) و (A·B) هستند.

$Sum=A \oplus B \oplus C_{in}$	(1)
$C_{out}=(A.B)\oplus[C_{in}.(A\oplus B)]$	(٢)

<sup>&</sup>lt;sup>1</sup> Toffoli gate

<sup>&</sup>lt;sup>2</sup> Approximate full adder

جدول ۱ روابط بولن تمام جمع کننده پیشنهادی را با مدارهای دیگر مقایسه می کند. بر این اساس، رابطه بولن مورد استفاده در مدار پیشنهادی برای Sum برابر است با رابطه بولن مورد استفاده در NG-Press ، 'RGFA' و FT'. همچنین، Cout مدار پیشنهادی نسبت به مدارهای دیگر رابطه بولن مشابهی دارد. اگرچه روش تولید دو خروجی در تمام جمع کننده پیشنهادی از نظر نوع گیتها با مدارهای دیگر متفاوت است.

شماتیک ترانزیستور تمام جمع کننده ارائه شده در شکل ۳ نشان داده شده است که دارای ۱۸ ترانزیستور به شکل TG است. همان طور که در شکل ۳ نشان داده شده است، گیتهای TG1 و TG3 دارای طرحوارههای یکسان با استفاده از ۵ ترانزیستور هستند، در حالی که TG4 از یک ترانزیستور اضافی برای تولید گیت AND استفاده می کند. از سوی دیگر، TG2 با استفاده از TG دو ترانزیستوری، طرح متفاوتی دارد. به طور کلی استفاده از گیتهای TG مختلف با تعداد ترانزیستورهای مختلف سلول پیشنهادی را با ۱۸ ترانزیستور معرفی می کند. برای برگشت پذیر کردن گیتهای TG1 و TG3، از ترانزیستور نوع N استفاده می شود که ورودی VDD ثابتی به ترمینال گیت آنها اعمال می شود. این بدان معناست که این ترانزیستور مانند یک مقاومت بسیار کوچک عمل می کند و دائماً روشن است.

Table 1. Comparison between proposed cell and the references.					
	Sum	Cout			
RFA-1 [9]	$Sum=A \oplus B \oplus C_{in}$	$C_{\text{out}} = (\overline{A \oplus B}).A + (A \oplus B).C_{\text{in}}$			
RFA-2 [9]	$Sum=(\overline{(\overline{A \oplus B}) \oplus C_{in}})$	$C_{\text{out}} {=} (\overline{A \oplus B}).A {+} (A \oplus B).C_{\text{in}}$			
RFA-3 [9]	$Sum=(A \oplus B).\overline{C_{in}} + (\overline{A \oplus B}).C_{in}$	$C_{\text{out}} = (\overline{A \oplus B}).A + (A \oplus B).C_{\text{in}}$			
RFA-4 [9]	$Sum=(A \oplus B).\overline{C_{in}} + (\overline{A \oplus B}).C_{in}$	$C_{\text{out}} = (A.B).A + (A \oplus B).C_{\text{in}}$			
RGFA [10]	$Sum=\!\!A \oplus B \oplus C_{in}$	$C_{\text{out}}=(A.B)\oplus (A\oplus B).C_{\text{in}}$			
NG-press [11]	$Sum=\!\!A \oplus B \oplus C_{in}$	$C_{\text{out}}=(A.B)\oplus (A\oplus B).C_{\text{in}}$			
FT [12]	$Sum=A \oplus B \oplus C_{in}$	$C_{\text{out}} \! = \! (\overline{A \oplus B}).A + (A \oplus B).C_{\text{in}}$			
Proposed	$Sum=\!\!A \oplus B \oplus C_{in}$	$C_{\text{out}} = (A.B) \oplus [C_{\text{in.}}(A \oplus B)]$			

جدول ۱: مقایسه بین سلول پیشنهادی و مراجع.

بنابراین، این تک ترانزیستور ابتدا نیاز مدار را برای اعمال ورودی ثابت '۱' برآورده می کند و سپس مدار را به حالت برگشت پذیر تبدیل می کند. این نیاز به طور خودکار در گیت TG4 انجام می شود، بنابراین نیازی به یک ترانزیستور نوع N در آن نیست. از طرف دیگر، در گیت TG2، یک ورودی ثابت ۰ به مدار اعمال می شود که یکی از سیگنالهای اعمال شده به پایه درین/سورس ترانزیستور نوع P است. این عمل باعث می شود مدار TG2 که وظیفه تولید (A.B) را بر عهده دارد، برگشت پذیر باشد. با توجه به ساختار قابل توجه مدار پیشنهادی و استفاده از گیتهای تافولی، انتظار می رود که این مدار مصرف توان کم و سرعت بالا را نشان دهد. مصرف کم توان در این مدار دلایل مختلفی دارد که از آن جمله می توان به عدم تأثیر برخی از ترانزیستورها در مصرف توان اشاره کرد، مانند ترانزیستورهایی که دائماً روشن هستند. همچنین از آنجایی که Sum و معدا مدار یشنهادی مستقل هستند، انتظار می رود که تأثیر هر گیت بر مصرف توان مجزا و بسیار کم باشد. اگرچه مدار پیشنهادی دارای تعداد گرههای داخلی بالایی است، اما مشاهده می شود که این گردها دارای مقدار کمی خازن داخلی هستند (چون تقریباً بر اساس دو ترانزیستور مانند خروجی وارونسازها تشکیل می شوند) که منجر به دو نتیجه مهم می می می داند کاهش مصرف توان و افزایش سرعت انتقال اطلاعات در هنگام شارژ و دشارژ این خازن ها.

- <sup>3</sup> Fault tolerant
- <sup>4</sup> inverters

<sup>&</sup>lt;sup>1</sup> Reversible gate full adder

<sup>&</sup>lt;sup>2</sup> New gate press



شکل۳: (a) سطح ترانزیستوری، (b) شکل موج خروجی تمام جمع کننده پیشنهادی Figure 3. (a) Block diagram, (b) output waveforms of the proposed circuit

هنگام در نظر گرفتن یک مدار تقریباً (یا کاملاً) مشابه زیر شرایط آزمایش<sup>۱</sup> (CUT) برای مدارهای مقیاس کوچک، مقادیر تأخیر تفاوت معنیداری نشان نمیدهد. لازم به ذکر است که مدارها تقریباً در یک فرکانس ثابت و با/بدون fan-outهای بزرگ بررسی شدهاند، بنابراین دور از ذهن نیست که بتوان نتایج تقریباً یکسانی را در این مدارها انتظار داشت و میتواند نتایج گزارش شده را تأیید کند. از طرف دیگر توان مصرفی مدار در مقیاس کوچک یا بزرگ تفاوت قابل توجهی دارد. تقریباً تمام پارامترهای موجود مؤثر بر

<sup>&</sup>lt;sup>1</sup> similar circuit under test

معادله توان دینامیکی مانند فرکانس، ضریب فعالیت و فرکانس کاری توسط کاربر و فناوری تعیین میشوند، به جز پارامتر خازن بار که رابطه مستقیمی با ساختار و فیزیک مدار دارد. بنابراین میتوان گفت مهمترین عامل تغییر مصرف توان در مقایسه مدارهای مختلف با یکدیگر تعداد ترانزیستورها است. البته تعداد ترانزیستورها کم یا زیاد نمیتواند نشان دهنده برتری یک مدار نسبت به مدارهای دیگر از نظر توان باشد. در این حالت با مشاهده شماتیک ترانزیستور مدار پیشنهادی میتوان نتیجه گرفت که دو خروجی اصلی تنها توسط دو ترانزیستور تولید میشوند بنابراین مقدار خازن بار در آنها بسیار ناچیز است که خود باعث کاهش قابل توجهی در مصرف توان میشود. بنابراین مشاهده میشود که وقتی این مدار در ساختارهای بزرگتر مانند ساختارهای ۴ بیتی و ۸ بیتی تعبیه شود، این کاهش چشمگیرتر میشود.

## ۳-تنظیمات شبیهسازی و نتایج

در این مقاله برای شبیهسازی مدارهای پیشنهادی تمام جمع کننده و سایر مدارها، از فناوری CNFET دانشگاه استنفورد با مدل ۲۲ نانومتری سازگار با SPICE استفاده شده است که یکی از مطمئن ترین فناوریهای مربوط به تکنولوژی پس از CMOS است. شبیهسازیهای این مقاله با توجه به پارامترهای جدول ۲ انجام شده است. تمامی شبیهسازیها با تکنولوژی مشابه برای مقایسه شبیهسازیهای این مقاله با توجه به پارامترهای جدول ۲ انجام شده است. تمامی شبیهسازیها با تکنولوژی مشابه برای مقایسه منصفانه یعنی 23 CNFET کانومتر انجام شده و مقدار dv برا با ۹/۰ ولت در نظر گرفته شده است. از آنجایی که هیچ بهینهسازی منطقانه یعنی 23 CNFET کانومتر انجام شده است، ابعاد تمامی ترانزیستورها یکسان در نظر گرفته شده است. از آنجایی که هیچ بهینهسازی عملکردی از نظر ابعاد ترانزیستور انجام نشده است، ابعاد تمامی ترانزیستورها یکسان در نظر گرفته شده است. لازم به ذکر نظر تکرفتن روشهای بهینه سازی، مقایسه منصفانه مدار پیشنهادی با سایر مدارها در شرایط کاملاً یکسان و مساوی است. لازم به ذکر است. یکی از مهم ترین ویژگیهای TMFET ماربری حاملهای تحرک در نوع N و نوع P (به ترتیب الکترون و حفره) میاشد. بنابراین، برخلاف ترانزیستورهای معمولی، ترانزیستورهای ماست. لازم به ذکر مدارها در شرایل کاملاً یکسان و مناوی است. لازم به ذکر است یکی از مهم ترین ویژگیهای TMFET با در نظر گرفتن صحیح مقدار TOT در نوع P او نوع P (به ترتیب الکترون و حفره) میاشد. ترانزیستور نیست. همچنین، استفاده از TMFET با در نظر گرفتن صحیح مقدار TOT دان می و می می برابراین ایزی به اندازه یری است. و میارهای ایز تریان و مارها ی ایر نیزی معاولی مارمی کاملا یک تربزی تورهای میارد از برای و حفره می میاند و ترانزیستورهای نوع P و P این امکان را فراهم می کند که این عامل باعث می شود ولتاژ تراویو می می و حل و می و می و می و P این میان کان را فراهم می کند که این عامل باعث می شود ولتاژ بروجی حدول P آورده شده است. تمام پارامترها نوان تاخین حال گرفته می شود. علاوه بر این گرارش تأخیر مدارها، تخیر مدارها، تورز کرور می می هم و بین یامل و براه ای در تاخیر مداره، تخیر حدول P آورده شده است. تمام پرامترهای و و P ت در نظر گرفته می شود. علاوه بر این برای و ترار و می ای درزی مدارها، در خیر می می وی در می وران در تار گرارش شده است. همچنین برای گرارش تاخیر مدارها،

شبیه سازیهای اولیه در فرکانس کاری ۲۵۰ مگاهرتز انجام شده و شکل موج ورودی و خروجی مدار پیشنهادی استخراج شده است که نشان دهنده تمام سوئینگ بودن خروجیها است (شکل ۳ (d)). دستیابی به خروجیهای تمام سوئینگ می تواند نشان دهنده استفاده صحیح از گیتها در این مدار باشد. همچنین خروجی قوی تر مدار باعث سرعت بهتر و در عین حال کاهش مصرف توان می شود. برای بررسی تمام جمع کننده های پیشنهادی در شرایط واقعی تر، از یک جمع کننده حمل موج دار (RCA) مطابق شکل ۴ استفاده شده است و نتایج در جدول ۳ گزارش شده است.

خروجی fan-out به طور مستقیم در مدارهای برگشت پذیر مجاز نیست. بنابراین از مدار مستقلی به نام تولیدکننده fan-out استفاده شده است که بر اساس گیت فاینمن شکل میگیرد که در شکل ۴ نشان داده شده است. این مدار دارای ۳ ترانزیستور است که به ویژه مصرف مساحت مدار را به میزان قابل توجهی افزایش نمیدهد و تأثیر قابل توجهی بر مصرف توان و تأخیر کل مدار ندارد.

<sup>&</sup>lt;sup>1</sup> Carbon nanotube transistor Diameter

<sup>&</sup>lt;sup>2</sup> Chirality Vector

<sup>&</sup>lt;sup>3</sup> power delay product

متعاقباً برای پیادهسازی RCA چهار بیتی ۴ تمام جمعکننده و ۸ تولید کننده fan-out استفاده می شود. همچنین ۸ تمام جمعکننده و ۱۶ تولید کننده fan-out برای RCA هشت بیتی مورد نیاز است.

Parameter	Value	Definition				
$\mathbf{L}_{\mathbf{ch}}$	32nm	Definition				
$\mathbf{L}_{\mathbf{geff}}$	100nm	Physical Channel Length				
$\mathbf{L}_{ss}$	32nm	Mean Free Path: Intrinsic CNT				
$\mathbf{L}_{\mathbf{dd}}$	32nm	Source Side Extension Regions				
Kgate	16	Length of Doped CNT Drain				
T <sub>ox</sub>	4nm	Gate Dielectric Constant				
C <sub>sub</sub>	40pF/m	Oxide Thickness				
$\mathbf{E_{fi}}$	0.6eV	Coupling Capacitance between Channel and Substrate				
Pitch	5 nm	Tubes Distance				
Chirality Vector	(38,0)	Chiral Vector				
Tubes	10	Number of Tubes				
Dent	2.97 nm	CNT Diameter				
Vth	0.196 V	Threshold Voltage				





شکل ۴: مدار RCA مورد استفاده برای ارزیابی تمام جمع کننده ها. Figure4. RCA circuit used in this paper for the evaluation of FAs.

با توجه به نتایج بهدست آمده، تمام جمع کننده پیشنهادی با ۱۸ ترانزیستور از توان و PDP بهتری نسبت به مدارهای دیگر برخوردار است. از طرف دیگر، از نظر بدترین تاخیر، تنها FT با اختلاف کمی از تمام جمع کننده پیشنهادی بهتر عمل می کند. در مورد توان مصرفی، تمام جمع کننده پیشنهادی با مقدار ۱۰/۱۵۷ میکرو وات و مقدار ۲۶/۵۴۷ میکرو وات در حالتهای ۴ بیتی و ۸ بیتی، ۲۰/۴۱ درصد و ۳۱/۶۱ درصد عملکرد بهتری نسبت به FT دارد. در حالت ۴ بیتی و در مورد PDP ، نزدیکترین رقیب به تمام جمع کننده پیشنهادی FRA-3 است. در این حالت، تمام جمع کننده پیشنهادی ۶/۸۳ درصد عملکرد بهتری دارد. در مورد حالت ۸ بیتی، ۱۰ است که نزدیکترین نتیجه را به تمام جمع کننده پیشنهادی دارد. در این حالت تمام جمع کننده ارائه شده ۱۱۲۵ درصد عملکرد بهتری نسبت به FT دارد. این نتایج نشان میدهد که تمام جمع کننده پیشنهادی علیرغم داشتن تعداد ترانزیستور بیشتر در مقایسه با برخی مدارها، عملکرد مداری بهتری به خصوص از نظر توان و PDP دارد.

		4-bit			8-bit	
Designs	Power (µW)	Delay (ns)	PDP (fJ)	Power (µW)	Delay (ns)	PDP (fJ)
RFA-1 [9]	12.451	13.989	174.18	46.891	18.847	883.75
RFA-2 [9]	17.190	13.993	240.54	87.603	19.335	1693.80
RFA-3 [9]	11.033	13.986	154.31	30.684	18.986	582.57
RFA-4 [9]	19.701	17.959	353.81	31.257	22.541	704.56
<b>RGFA</b> [10]	14.610	14.985	218.93	37.554	18.941	711.31
NG-press [11]	11.382	14.998	170.71	32.904	23.987	789.27
FT [12]	12.763	13.982	178.45	30.047	17.914	538.26
Proposed	10.157	14.154	143.76	26.547	17.993	477.66

جدول ۳: ارزیابی عملکرد تمام جمع کننده ها در RCAهای چند بیتی Table 3. Performance evaluation of the FAs in RCAs.

•اعداد برجسته شده به معنای نتایج بهتر است.

PDAP جدول ۴: ارزیابی عملکرد تمام جمع کننده ها در RCA ها بر حسب تعداد ترانزیستورها و TABLE 4. Performance evaluation of the FAs in RCAs in terms of the number of transistors and PDAP.

	4-bit		8-bi	t
	Transistor counts	PDAP	Transistor counts	PDAP (Norm)
RFA-1 [9]	84	14631.12	168	148470
RFA-2 [9]	100	24054	200	338760
RFA-3 [9]	78	12036.18	191	111270.9
RFA-4 [9]	128	45287.68	256	180367.4
RGFA [10]	100	21893	200	142262
NG-press [11]	116	19802.36	232	183110.6
FT [12]	92	16417.4	184	99039.84
Proposed	96	13800.96	192	91710.72

•اعداد برجسته شده به معنای نتایج کمتر است نه نتایج بهتر. زیرا تعداد کمتر ترانزیستورها به معنای عملکرد بهتر نیست.

برای مقایسه منصفانهتر بین مدارهای تمام جمع کننده پیشنهادی و مدارهای دیگر، رابطهای به نام حاصلضرب توان-تاخیر-سطح مصرفی(PDAP) که برابر با حاصلضرب PDP و تعداد ترانزیستورها است، در نظر گرفته شده و نتایج به دست آمده در جدول ۴ نشان داده شده است. بر اساس نتایج حالت های ۴ بیتی و ۸ بیتی، حداقل تعداد ترانزیستورها به ترتیب متعلق به ۲-AR و FT است. این در حالی است که کمتر بودن تعداد ترانزیستورها نشان دهنده برتری مدار از نظر عملکردی نیست. از طرفی کمترین PDAP به ترتیب توسط مدارهای پیشنهادی و ۲-AFA برای حالت ۴ بیت و پیشنهادی و FT برای حالت ۸ بیتی بدست می آید. در حالت ۴ بیتی، تفاوت بین تمام جمع کننده پیشنهادی و ۲-AFA برای حالت ۴ بیت و پیشنهادی و FT برای حالت ۸ بیتی بدست می آید. در حالت ۴ بیتی، اختلاف میباشد. این نتایج نشان میدهد که تمام جمع کننده پیشنهادی در بیتهای بالا میتواند مؤثرتر از مراجع، به ویژه در مقایسه با FT ، کار کند. برای بهتر نشان دادن نتایج ابتدا بدترین مدار از نظر PDAP انتخاب شده و بقیه نتایج بر اساس آن نرمالیزه شده اند. تتایج به دست آمده در شکل ۵ نشان دادن نتایج ابتدا بدترین مدار از نظر PDAP انتخاب شده و بقیه نتایج بر اساس آن نرمالیزه شده اند. ترتیب ۳۰ و ۲۷ درصد صرفه جویی دارد. در این دو مورد، FT و FT به عنوان نزدیک ترین رقیب به تمام جمع کننده پیشنهادی را برای مدارهای با بیت بالا و پیچیده تر ثان داده شده است. در اینجا مدار پیشنهادی در حالت ۴ بیتی و ۸ بیتی نسبت به بدترین مدار به



■RFA-1 ■RFA-2 ■RFA-3 ■RFA-4 ■RGFA ■NG-press ■FT ■Proposed



در نهایت برای نشان دادن ساختار فیزیکی تمام جمع کننده پیشنهادی در مقایسه با مدارهای دیگر، جدول ۵ تهیه شده است. بر اساس نتایج استخراجشده، تمام جمع کننده پیشنهادی از نظر تعداد ورودیهای ثابت دارای مقدار بالاتری نسبت به اکثر مدارات است، در حالی که 4-RFA دارای تعداد کمتری است. همچنین از نظر تعداد گیتهای استفاده شده، تمام جمع کننده پیشنهادی با ۴ گیت کمتر از2-RFA، RFA، RFA و 4-RFA است و دارای تعداد 1-RFA و FT میباشد. همین تصور را می توان در مورد تعداد ترانزیستورهای استفاده شده نیز ایجاد کرد. شبیه سازی ها در مورد تغییرات منبع تغذیه انجام شده است و نتایج در جدول ۶ از نظر مصرف PDP موجود است. با توجه به نتایج به دست آمده، تمام جمع کننده پیشنهادی از نظر PDP عملکرد بهتری نسبت به همه مدارها دارد. بر این اساس مشاهده می شود که در ولتاژهای کمتر از ۹/۰ ولت، رقبای تمام جمع کننده پیشنهادی به ترتیب RGFA برای ولتاژ ۶/۰ و ۸/۰ ولت هستند. از سوی دیگر، برای ولتاژهای ۱ ولت و ۲/۱ ولت، 8-RFA بهترین مدار پس از FA پیشنهادی است.

Table 5. Evaluation of the FAs in terms of physical structure						
	Constant Input (CI)	Garbage Output (GO)	Gate Count (GC)	Internal Nodes (IN)	Transistor Count (TC)	
RFA-1 [9]	1	2	4	5	15	
RFA-2 [9]	1	2	5	6	19	
RFA-3 [9]	2	3	5	6	18	
RFA-4 [9]	4	5	7	8	26	
RGFA [10]	1	2	2	8	19	
NG-press [11]	1	2	2	8	23	
FT [12]	2	3	4	6	17	
Proposed	3	3	4	8	18	

جدول ۵: ارزیابی تمام جمع کننده ها از نظر ساختار فیزیکی.

جدول 6: ارزیابی عملکرد تمام جمع کنندهها در مقابل تغییرات منبع تغذیه

Table 6. Performance evaluation of the FAs in RCAs against V <sub>DD</sub> variation						
V <sub>DD</sub> Variation	0.6 V	0.8 V	1 V	1.2 V		
RFA-1 [9]	2.4735	3.901	7.1092	11.551		
RFA-2 [9]	2.2916	4.7810	10.089	15.933		
RFA-3 [9]	2.1174	3.9878	7.0707	11.015		
RFA-4 [9]	3.946	4.214	8.487	13.394		
<b>RGFA</b> [10]	1.8686	4.4863	8.7513	11.445		
NG-press [11]	2.0072	4.3867	7.6667	11.480		
FT [12]	2.1248	4.2840	7.6435	11.141		
Proposed	1.7470	3.6145	6.0690	10.808		

### ۴-نتیجهگیری

در این مقاله یک مدار تمامجمع کننده کامل برگشت پذیر (FA) جدید با ۱۸ ترانزیستور و بلوک دیاگرام جدید ارائه شده است که بر اساس گیت برگشت پذیر تافولی طراحی و پیادهسازی شده است. مدار پیشنهادی با ۳ ورودی ثابت و ۴ خروجی زباله از نظر مصرف توان و اتلاف انرژی عملکرد خوبی دارد. همچنین، بر خلاف مدارهای مرجع دیگر که از ترکیبی از گیتهای برگشت پذیر مختلف برای پیادهسازی تمامجمع کننده استفاده می کنند، یکی از ویژگیهای اصلی تمامجمع کننده پیشنهادی این است که تنها یک نوع گیت در بدنه اصلی خود دارد. شبیه سازیهای مختلفی در این مقاله در شرایط مختلف توسط نرم افزار HSPICE انجام شده است تا برتری تمامجمع کننده پیشنهادی را نسبت به مدارهای دیگر به ویژه در پیادهسازی بیت های مرتبه بالا نشان دهد. اجرای مدار پیشنهادی و سایر مدارها در ساختار جمع کننده حمل موج ۴ بیتی و ۸ بیتی (RCA) نشان می دهد که مدار پیشنهادی از نظر به ترتیب توان و انرژی ۶۸/۳ درصد و ۱۱/۲۵ درصد عملکرد بهتری نسبت به نزدیکترین رقیب دارد. همچنین با در نظر گرفتن تعداد ترانزیستورهای مورد استفاده در مدار پیشنهادی، در حالت ۸ بیتی، مدار پیشنهادی نسبت به نزدیکترین رقیب دارد. همچنین با در نظر گرفتن تعداد ترانزیستورهای مورد استفاده در مدار پیشنهادی، در حالت ۸ بیتی، مدار پیشنهادی نسبت به نزدیکترین رقیب دارد. همچنین با در نظر ترفتن تعداد ترانزیستورهای نظر حاصل خرب توان-تاخیر-سطح مصرفی، ۲۷ درصد بهبود صرفهجویی دارد.

#### مراجع

- A. Sadeghi, R. Ghasemi, H. Ghasemian and N. Shiri, "High Efficient GDI-CNTFET-Based Approximate Full Adder for Next Generation of Computer Architectures," *IEEE Embedded Systems Letters*, vol. 15, no. 1, pp. 33-36, March 2023, doi: 10.1109/LES.2022.3192530.
- [2] A. Sadeghi *et al.*, "Voltage over-scaling CNT-based 8-bit multiplier by high-efficient GDI-based counters," *IET Comput. Digit., Tech.*, vol. 17, pp. 1– 19, Nov. 2023, doi: 10.1049/cdt2.12049.
- [3] N. Shiri, A. Sadeghi, M. Rafiee and M. Bigonah, "SR-GDI CNTFET-based magnitude comparator for new generation of programmable integrated circuits," *Int J Circ Theor.*, vol. 50, no. 5, pp. 1511-1536, Apr. 2022, doi: 10.1002/cta.3251.
- [4] M. Rafiee, N. Shiri and A. Sadeghi, "High-Performance 1-Bit Full Adder With Excellent Driving Capability for Multistage Structures," *IEEE Embedded Systems Letters*, vol. 14, no. 1, pp. 47-50, March 2022, doi: 10.1109/LES.2021.3108474.
- [5] M. Sayyaf, A. Ghasemi and R. Hamzehyan, "Design of Low Power Single-Bit Full-Adder Cell Based on Pass-Transistor Logic," *Journal of Southern Communication Engineering*, vol. 13, no. 49, pp. 105-112, 2023, doi: 10.30495/jce.2022.692834.
- [6] H. Arfavi, S. M. Riazi and R. Hamzehyan, "Evaluation of temperature, Disturbance and Noise Effect in Full Adders Based on GDI Method," *Journal of Southern Communication Engineering*, vol. 13, no. 50, pp. 47-66, 2023, doi: 10.30495/jce.2023.1973764.1197.
- [7] S. Raveendran, P. J. Edavoor, N. Y. B. Kumar and M. H. Vasantha, "An Approximate Low-Power Lifting Scheme Using Reversible Logic," in *IEEE Access*, vol. 8, pp. 183367-183377, 2020, doi: 10.1109/ACCESS.2020.3029149.
- [8] M. Haghparast and K. Navi, "A Novel Reversible Full Adder Circuit for Nanotechnology Based Systems," *Journal of Applied Sciences*, vol. 7, no. 24, pp. 3995-4000, Dec. 2007, doi: 10.3923/jas.2007.3995.4000.
- [9] M.C. Parameshwara and M. Nagabushanam, "Novel low quantum cost reversible logic based full adders for DSP applications," *Int. j. inf. tecnol.*, no. 13, pp. 1755–1761, Aug. 2021, doi: 10.1007/s41870-021-00762-3.

- [10] L. Ni, Z. Guan and W. Zhu, "A general method of constructing the reversible full-adder," in *Proceedings of 3rd International Symposium on Intelligent Information Technology and Security Informatics*, Jinggangshan, China, 2010, pp. 109–113, doi: 10.1109/IITSI.2010.25.
- [11] M. D. Hafiz, H. Babu, M. D. R. Islam, A. R. Chowdhury and S. M. A. Chowdhury, "On the realization of reversible full-adder circuit," *International Conference on Computer and Information Technology*, Dhaka, Bangladesh, vol. 2, 2003, pp. 880-883.
- [12] M. Aditya, Y. B. N. Kumar and M. H. Vasantha, "Reversible full/half adder with optimum power dissipation," *10th International Conference on Intelligent Systems and Control (ISCO)*, 2016, pp. 1-4, doi: 10.1109/ISCO.2016.7726975.