Islamic Azad University , Shiraz Branch
نشریه تحلیل مدارها، داده ها و سامانه ها
Journal of Circuits, Data and Systems Analysis
sanad.iau.ir/journal/jcdsa

An Optimized Four-Bit Multiplier using Transmission Gate Diffusion Input Technique

Javad Hasanli[1], Nabiollah Shiri[2*], Farshad Pesaran[3]

[1] Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran
hassanli.suro@gmail.com
[1] Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran
na.shiri@iau.ac.ir
[1] Department of Electrical Engineering, Shiraz Branch, Islamic Azad University, Shiraz, Iran
farshad.pesaran@iau.ac.ir

Abstract: Arithmatic units in high-speed cores usually contaion digital multipliers, and their optimization has a significant impact on the speed of arithmetic and computer systems. Different design techniques have been presented in the research. In this study, a 4-bit multiplier is optimized using transmission gate (TG) and gate diffusion input (GDI) techniques. The GDI technique reduces the number of transistors, propagation delay, power consumption, and chip area. Also, using the TG technique compensates for the swing error at the output of the multiplier. The optimized multiplier is evaluated by 90 nm technology. The results show that the multiplier has 6.09 µW power consumption, 6.146 ns delay, and 200 × 200 μm^2 area. Also, the value of PDP (Power Delay Product) of the circuit is equal to 37.45×10^{-15}. The optimized multiplier applies to efficient digital signal processors (DSPs) where high performance is required.

Keywords: : Multiplier, transmition gate (TG), gate diffusion input (GDI), optimization

JCDSA, Vol. 2, No. 6, Summer 2024	Online ISSN: 2981-1295	Journal Homepage: https://sanad.iau.ir/en/Journal/jcdsa
Received: 2023-12-10	Accepted: 2024-05-26	Published: 2024-09-12

CITATION

Hasanli, J., et. al., "*An Optimized Four-Bit Multiplier Using Transmission Gate Diffusion Input Technique*", Journal of Circuits, Data and Systems Analysis (JCDSA), Vol. 2, No. 6, pp. 1-9, 2024.
DOI: 00.00000/0000

COPYRIGHTS

©2024 by the authors. Published by the Islamic Azad University Shiraz Branch. This article is an open-access article distributed under the terms and conditions of the Creative Commons Attribution 4.0 International (CC BY 4.0)
https://creativecommons.org/licenses/by/4.0

* Corresponding author

Extended Abstract

1- Introduction

Multipliers are basic units of arithmetic circuits designed in binary logic with various techniques. Most of them have partial calculations and then sum the calculations together. Today, very large-scale integration (VLSI) circuits are advancing towards low power and high speed. Multiplication is the most important arithmetic operation in signal-processing applications. The need to reduce power consumption and increase speed are two important issues in designing high-performance digital systems. The decrease in power is due to the decrease in the number of different components of the circuit and the increase in speed is due to the decrease in the number of layers.There are many algorithms for designing multipliers; each has advantages in speed, power consumption, and circuit area. Each multiplier consists of three basic parts: partial product (PP), partial product addition (PPA), and final addition. The input category is multiplicand and multiplier, to produce the final product.

Considering the structures of the multipliers, the algorithms of the implementation are different. An array multiplier is a high-performance hybrid multiplier that uses short internal wiring to connect all of its adjacent internal adders horizontally, vertically, and diagonally. A multiplier with the Wallace algorithm is efficient and can be easily implemented in hardware and due to the reduction in the total number of full adders required in the Wallace method compared to the array method, the hardware savings of the Wallace method are quite evident. To design each multiplier circuit, different techniques are used, such as gate diffusion input (GDI), transmission gate (TG), complementarymetal- oxide-s emiconductor (CMOS), as well as various logics such as dominoes. By comparing GDI and CMOS circuits, it is clear that there is a large difference in the power consumption of the two circuits, area, number of transistors, and propagation delay. Therefore, using the GDI technique compared to common methods such as CMOS in implementing gates and logic functions reduces the number of transistors. Reducing the number of transistors reduces the nodes' capacitances, thus reducing the logical effort of the circuit and consequently reducing the dynamic power.

2- Methodology

In the proposed multiplier, the GDI and TG structures are combined and a new structure is introduced as TGDI. The transistor implementation of the TGDI is composed of two-input AND gate, full adder and half adder circuits using the TGDI technique. By the TGDI, a 4-bit multiplier is implemented which has 8 FAs, 4 HAs, 16 AND, and 40 NOT gates, with a total of 288 transistors. The use of the GDI technique minimizes chip area, delay, and power consumption. The only drawback of this technique is the a swing error at the output of the circuit. Therefore, by using the TG technique and combining it with the GDI, the problems caused by swinging at the output are solved and the output of the circuit is presented with full-swing.

The working method is that to prevent the swing error in circuits, transfer gates are used. To implement transmission gates, two non-identical transistors are connected in such a way that their source bases are connected to each other. Their internal bases should also be connected together. The gate bases of the transistors are also connected to each other in a complementary way.

In the proposed multiplier, the GDI and TG structures are combined and a new structure is introduced as TGDI. The transistor implementation of the TGDI is composed of two-input AND gate, full adder and half adder circuits using the TGDI technique. By the TGDI, a 4-bit multiplier is implemented which has 8 FAs, 4 HAs, 16 AND, and 40 NOT gates, with a total of 288 transistors. The use of the GDI technique minimizes chip area, delay, and power consumption. The only drawback of this technique is the a swing error at the output of the circuit. Therefore, by using the TG technique and combining it with the GDI, the problems caused by swinging at the output are solved and the output of the circuit is presented with full-swing.

The working method is that to prevent the swing error in circuits, transfer gates are used. To implement transmission gates, two non-identical transistors are connected in such a way that their source bases are connected to each other. Their internal bases should also be connected together. The gate bases of the transistors are also connected to each other in a complementary way.

3- Results and discussion

The comparison of all the parameters of the proposed multiplier implemented by TGDI technique with other references is performed. The layout of the proposed TGDI 4-bit multiplier, which is drawn by L-Edit. The total area of the layout is 200 × 200 μm^2. The layout is designed to be compact and efficient, that can be used in a variety of applications. It is particularly well-suited for applications where chip area, delay, and power consumption are critical factors. By calculating the propagation delay, the propagation delay in the path of input signal B_1 and output signal S_7 has the highest value, so this value is the propagation delay of the proposed 4-bit multiplier which is equal to 6.146 ns. To calculate the power consumption of the circuit, according to the period of the input signals, the power is considered during the maximum period of the input signal. Therefore, the average power consumption in the time range of 1 ns to 398 ns is 6.09 μW.

4- Conclusion

In this study, the gate diffusion input (GDI) and transmission gate (TG) techniques are combined to present a new 4-bit multiplier with the transmission gate diffusion input (TGDI) technique. The GDI technique reduces the propagation delay and power consumption and increases the speed of the circuit. The only drawback of the GDI is the swing error in the output signals, which is covered by the TG technique. The 4-bit TGDI multiplier is implemented in 90 nm technology, and the circuit features are extracted. The delay of the TGDI multiplier is 6.146 ns, while its power consumption is 6.09 μW.

Islamic Azad University , Shiraz Branch
نشریه تحلیل مدارها، داده ها و سامانه ها
Journal of Circuits, Data and Systems Analysis
sanad.iau.ir/journal/jcdsa

یک ضرب‌کننده چهاربیتی بهینه‌سازی شده با استفاده از روش ورودی دروازه شناور انتقالی

جواد حسنلی[۱] ، نبی‌اله شیری[۲*]، فرشاد پسران[۳]

۱- گروه مهندسی برق، واحد شیراز، دانشگاه آزاد اسلامی، شیراز، ایران (hassanli.suro@gmail.com)

۲- گروه مهندسی برق، واحد شیراز، دانشگاه آزاد اسلامی، شیراز، ایران (na.shiri@iau.ac.ir)

۳- گروه مهندسی برق، واحد شیراز، دانشگاه آزاد اسلامی، شیراز، ایران (farshad.pesaran@iau.ac.ir)

چکیده: ضرب‌کننده‌ها به‌صورت گسترده‌ای در مدارهای محاسباتی استفاده می‌شوند و بهینه‌سازی آنها تاثیر قابل توجهی بر سرعت محاسبات و سیستم‌های کامپیوتری دارد. در این مقاله، یک ضرب‌کننده چهاربیتی با استفاده از روش دروازه‌های انتقال و ورودی گیت شناور بهینه‌سازی می‌شود. روش ورودی گیت شناور باعث کاهش تعداد ترانزیستورها، تاخیر انتشار، توان تلفاتی و مساحت تراشه می‌شود. همچنین استفاده از روش دروازه انتقال باعث جبران خطای سوییگ در خروجی ضرب‌کننده می‌شود. ضرب‌کننده بهینه‌سازی شده در تکنولوژی ۹۰ نانومتر بررسی می‌شود. نتایج نشان می‌دهد که ضرب‌کننده دارای توان تلفاتی ۶/۰۹ میکروواط، ۶/۱۴۶ نانوثانیه تاخیر و ۲۰۰ × ۲۰۰ میکرومترمربع مساحت می‌باشد. همچنین مقدار حاصل‌ضرب توان در تاخیر مدار برابر با $۳۷/۴۳ \times ۱۰^{-۱۵}$ است. ضرب‌کننده بهینه‌سازی شده برای پردازشگرهای سیگنال دیجیتال با راندمان بالا قبل استفاده می‌باشد.

واژه های کلیدی: : ضرب‌کننده، دروازه انتقال، ورودی گیت شناور، بهینه‌سازی

نوع مقاله: پژوهشی

تاریخ ارسال مقاله: ۱۴۰۲/۰۹/۱۹ تاریخ پذیرش مقاله: ۱۴۰۳/۳/۶ تاریخ چاپ مقاله: ۱۴۰۳/۶/۲۲

DOI: 00.00000/0000

۱- مقدمه

ضرب‌کننده‌ها واحدهای پایه مدارهای حسابی هستند که در منطق باینری با روش‌های مختلف طراحی می‌شوند [۱] و اکثر آنها شامل محاسبات جزئی هستند و سپس محاسبات را با هم جمع می‌کنند [۲]. برای طراحی هر مدار ضرب‌کننده، روش‌های مداری مختلفی مانند ورودی انتشار گیت[۲] (GDI)، گیت انتقال[۳] (TG)، مکمل اکسید فلزی-نیمه‌رسانا[۴] (CMOS)، و همچنین منطق‌های مختلفی مانند دومینو[۵] استفاده می‌شود [۳]. در منطق دومینو، سیگنال ساعت زمانبندی عملکرد مدار را کنترل می‌کند. در کاربردهای که نیاز به زمانبندی دقیق و همچنین مساحت کم می‌باشد، منطق دومینو کارگشا می‌باشد. در منطق دومینو شبکه صفرکننده خروجی که متشکل از ترانزیستورهای NMOS می‌باشد همان شبکه صفرکننده در CMOS است ولی شبکه یک کننده خروجی به نسبت CMOS کاملا متفاوت است و یک ترانزیستور PMOS تنها نقش یک کردن خروجی را به عهده دارد. این شبکه یک‌کننده، با دریافت سیگنال ساعت (زمانی که سیگنال ساعت صفر است) خروجی را به سطح بالا (یک منطقی) انتقال می‌دهد. سیگنال ساعت به کمک یک ترانزیستور NMOS که با شبکه پایین برنده خروجی سری شده کنترل زمانی صفر شدن خروجی را نیز انجام می‌دهد. از معایب مدار در منطق دومینو می‌توان به وابستگی به سیگنال ساعت و در نتیجه کندتر شدن مدار اشاره کرد. مدارهای اصلی CMOS نویز کم دارند، اما مساحت اشغال شده و مصرف انرژی نسبتا بالایی دارند. برای دستیابی به یک مساحت کوچک و توان کم، روش‌های دیگری مورد نیاز است. روش GDI مبتنی بر استفاده از یک سلول ساده است که در جدول (۱) ارائه شده است. در نگاه اول، این سلول شبیه به یک اینورتر CMOS است، اما تفاوت‌هایی نیز وجود دارد. یک سلول پایه GDI دارای چهار ورودی است، که شامل ورودی G (گیت مشترک برای ترانزیستورهای PMOS و NMOS)، ورودی P (سورس)، ورودی N (سورس NMOS)، و ورودی D (درین مشترک NMOS و PMOS)

* نویسنده مسئول

[2] Gate Diffusion Input
[3] Transmission Gate
[4] Complementary Metal-Oxide-Semiconductor
[5] Domino

است [۴]. در سلول پایه GDI، N، P و D ممکن است به عنوان ورودی و خروجی بسته به ساختار مدار استفاده شوند. جدول (۱) نشان می‌دهد که چگونه با یک تغییر ساده در ترکیب ورودی یک سلول GDI، خروجی‌های مربوطه را می‌توان با توابع مختلف بولی به‌دست آورد [۵، ۶]. همانطور که در جدول (۱) نشان داده شده توابع پیچیده مانند مالتی پلکسر (MUX) را می‌توان با استفاده از این دو ترانزیستور ساده پیاده‌سازی کرد. در پیاده‌سازی GDI، استفاده از عناصر کمتر یکی از ویژگی‌های مهم است [۵]. اجرای بیشتر این توابع در روش‌های مختلف مستلزم استفاده از ۶ تا ۱۲ ترانزیستور است؛ اما استفاده از روش GDI امکان طراحی با ترانزیستورهای کمتر را می‌دهد که در کاهش توان، افزایش سرعت و کاهش پیچیدگی مهم است [۴، ۷].

با مقایسه مدارهای GDI و CMOS، مشخص می‌شود که تفاوت زیادی در توان مصرفی، مساحت، تعداد ترانزیستورها و تأخیر انتشار دو مدار وجود دارد. برای نشان دادن عملی بودن روش GDI، یک جمع‌کننده ۸ بیتی (CLA)[1] با استفاده از این روش توسعه داده شد که کاهش ۴۵ درصدی حاصل‌ضرب توان در تاخیر[2] (PDP) را در مقایسه با روش CMOS نشان داد [۹] . دلیل این کاهش در دو ورودی گیت‌های AND در مدار جمع‌کننده یافت می‌شود. در روش GDI از دو ترانزیستور برای ساخت گیت AND استفاده می‌شود؛ در حالی که در روش CMOS گیت AND از یک گیت NAND با چهار ترانزیستور ساخته می‌شود که پس از آن یک اینورتر با دو ترانزیستور وجود دارد [۱۰]. بنابراین در مجموع از شش ترانزیستور برای ساخت گیت AND در CMOS استفاده می‌شود. برای محاسبه تاخیر، مقدار تلاش منطقی[3] مدار تخمین زده می‌شود. تلاش منطقی برابر با ظرفیت خازن ورودی تقسیم بر مقدار خازن اینورتر واحد است [۱۱]. بنابراین، برای یک گیت NAND با دو ورودی در CMOS، تلاش منطقی برابر با ۴ است؛ در حالی که در GDI این مقدار برابر با ۱ است. بنابراین، روش GDI تلاش منطقی کمتری دارد. همچنین استفاده از روش GDI در مقایسه با روش‌های رایج مانند CMOS در پیاده‌سازی گیت‌ها و توابع منطقی، تعداد ترانزیستورها را کاهش می‌دهد [۱۲]. کاهش تعداد ترانزیستورها باعث کاهش ظرفیت گره‌ها و در نتیجه کاهش تلاش منطقی مدار شده و در نهایت کاهش توان دینامیکی را به دنبال خواهد داشت [۷].

ترانزیستور NMOS به ترانزیستور PMOS به صورت موازی متصل می‌شود، به طوری که پایه‌های سورس هر دو ترانزیستور به هم و پایه‌های درین آنها به هم وصل شوند و پایه گیت یک ترانزیستور توسط یک NOT به پایه گیت ترانزیستور دیگر متصل شود؛ نتایج ساختار یک دروازه TG خواهد بود [۱۴]. امروزه مدارهای یکپارچه بسیار بزرگ[4] (VLSI) به سمت توان کم و سرعت بالا پیش می‌روند. ضرب مهم‌ترین عملیات حسابی در کاربردهای پردازش سیگنال است [۱۵]. نیاز به کاهش توان مصرفی و افزایش سرعت دو موضوع مهم در طراحی سیستم‌های دیجیتال با کارایی بالا است. کاهش توان مصرفی به دلیل کاهش تعداد اجزای مختلف مدار و افزایش سرعت به دلیل کاهش تعداد لایه‌ها است [۱۶]. الگوریتم‌های بسیاری برای طراحی ضرب‌کننده‌ها وجود دارد. هر الگوریتم مزایایی در سرعت، توان مصرفی و مساحت اشغالی مدار دارد. همانطور که در شکل (۱) نشان داده شده، هر ضریب از سه بخش اصلی تشکیل شده است: ضرب جزئی[5] (PP)، جمع ضربهای جزئی[6] (PPA) و جمع نهایی. دو دسته ورودی ضرب‌کننده شامل مضروب و مضروب منه هستند که ضرب نهایی را تولید می‌نمایند [۱۷].

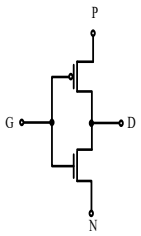
الگوریتم Vedic یک روش بسیار قدیمی است که ریاضیات مدرن مانند حساب، هندسه، مثلثات و معادلات درجه دوم را پوشش می‌دهد [۷]. استفاده از الگوریتم Vedic در ضرب‌کننده‌ها، تعداد مراحل ضرب را کاهش می‌دهد. بنابراین استفاده از این روش باعث کاهش توان مصرفی، افزایش سرعت مدار و کاهش مساحت اشغال شده مدار می‌شود [۱۹]. الگوریتم مورد استفاده برای ضرب کننده Vedic ۴ بیتی در شکل (۲) نشان داده شده است. قابل ذکر است که در مکانیزم ضرب، در حالت استاندارد عمل ضرب به صورت مرحله به مرحله انجام می‌شود. این حالت در شکل (۱) به‌صورت خطوط قرمز رنگ افقی نشان داده شده است. در واقع هر مرحله از عملیات ضرب در بین خطوط قرمز افقی یک مجموعه خروجی ایجاد می‌کند که به عنوان ورودی مرحله بعد می‌باشد. ترتیب این عملیات در شکل (۱) از بالا به پایین می‌باشد. این مکانیزم هرچند به‌صورت سری و دقیق انجام می‌شود، ولی خود این سری موجب کاهش سرعت مدار می‌شود. جهت رفع این کندی در بخش جمع‌کننده‌های جزئی ساختارهای متنوعی بررسی شده است.

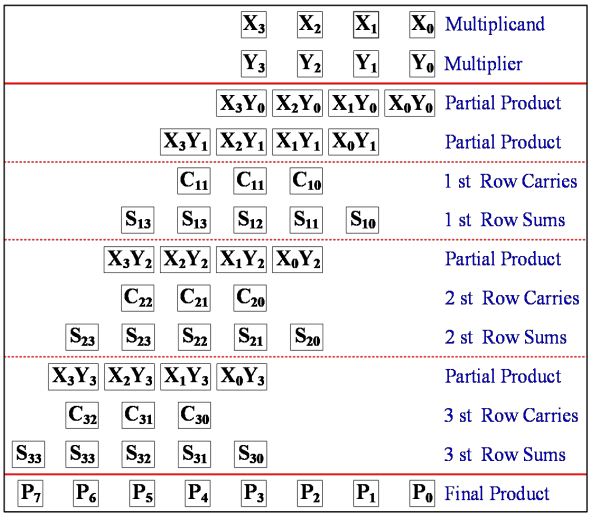
یک ضرب‌کننده آرایه‌ای (شکل (۳))، یک ضرب‌کننده هیبریدی با کارایی بالا است که از سیم‌بندی داخلی کوتاه برای اتصال همه جمع‌کننده‌های داخلی مجاور خود به صورت افقی، عمودی و مورب استفاده می‌کند. یک ضرب‌کننده آرایه‌ای[7] $n \times n$ ، به $n(n-2)$ جمع‌کننده کامل[8] (FAs)، n نیم جمع‌کننده[9] (HAs) و تعداد n^2 گیت AND نیاز دارد. ضرب‌کننده آرایه‌ای، توان زیادی مصرف می‌کند و در بدترین حالت دارای تاخیر انتشار برابر با $\tau d.(2n+1)$ [۲۱] است؛ اما تاخیر و در نتیجه سرعت آن بهینه است. همچنین به دلیل اینکه تعداد المان‌های مورد نیاز بیشتر از سایر ضرب‌کننده ها است، مساحت اشغال شده مدار افزایش می‌یابد. از عوامل تاثیرگذار بر سرعت و توان جمع‌کننده‌های آرایه‌ای، گیت‌های AND می‌باشند. از اینرو برخی پژوهش‌ها به طراحی گیت‌های AND بهینه جهت استفاده در ضرب‌کننده پرداخته‌اند. گیت‌های AND مبتنی بر GDI و TG از جمله این موارد می‌باشند.

[1] Carry Look-Ahead Adder
[2] Power-Delay-Product
[3] Logical Effort
[4] Very Large-Scale Integration
[5] Partial Product
[6] Partial Product Addition
[7] Array Multiplier
[8] Full Adder
[9] Half Adder

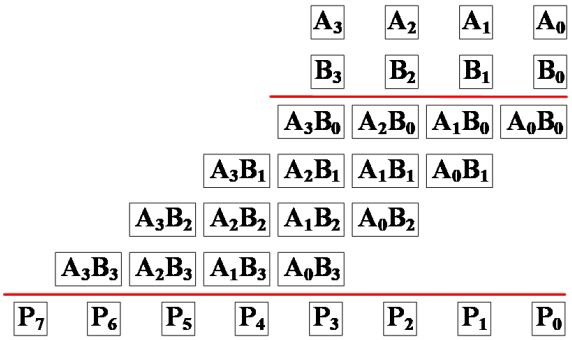
جدول (۱): ساخت توابع منطقی مختلف با یک سلول GDI [۱۳]

N	P	G	D	Logical Functions
'0'	B	A	$\bar{A}B$	F1
B	'1'	A	$\bar{A}+B$	F2
'1'	B	A	$A+B$	OR
B	'0'	A	AB	AND
C	B	A	$\bar{A}B+AC$	MUX
'0'	'1'	A	$\bar{A}$	NOT

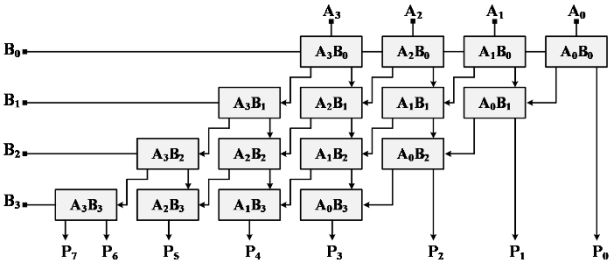




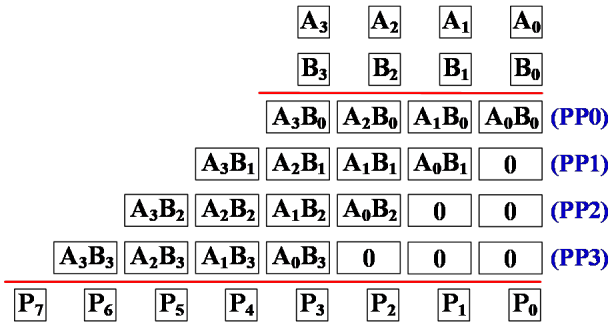
شکل (۱): مکانیزم ضرب‌کننده چهار بیتی [۱۸].



شکل (۲): الگوریتم ضرب‌کننده Vedic چهار بیتی [۲۰].



شکل (۳): بلوک دیاگرام یک ضرب‌کننده آرایه‌ای چهار بیتی [۲۱].



شکل (۴): الگوریتم ضرب دو عدد چهار بیتی با روش والاس [۵].

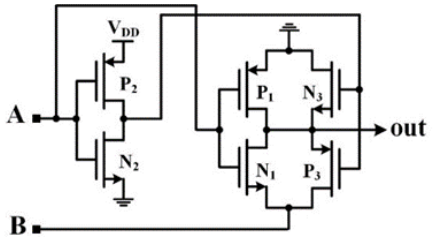
یک ضرب‌کننده با الگوریتم والاس[1] نیز یک ضرب‌کننده کارآمد است و می‌تواند به راحتی پیاده‌سازی سخت افزاری شود، همانطور که در شکل (۴) برای ضرب چهار بیتی نشان داده شده است. این ضرب‌کننده چهار بیتی به تعداد چهار نیم جمع‌کننده (HAs) و تعداد هشت جمع‌کننده کامل (FAs) نیاز دارد. در حالی که یک ضرب‌کننده آرایه‌ای به تعداد بیست جمع‌کننده کامل نیاز دارد. از این رو، با توجه به کاهش تعداد کل جمع‌کننده‌های کامل مورد نیاز در روش والاس نسبت به روش آرایه‌ای، صرفه‌جویی سخت افزاری روش والاس کاملا مشهود است. در ساختار والاس که بسیار به ساختار استاندارد نزدیک است نیز جهت بهینه‌سازی، در بخش جمع‌کننده‌های جزئی ساختارهای متنوعی پیشنهاد شده است. برخی از روش‌ها با استفاده از شمارنده‌ها به‌جای جمع‌کننده‌ها باعث کاهش توان و افزایش سرعت شده‌اند. در [۷] یک ضرب‌کننده Vedic ۴×۴ با استفاده از روش GDI ارائه شده است که کاهش قابل توجهی در تأخیر انتشار و تعداد ترانزیستورها نسبت به روش‌های مرسوم دارد. کاهش تعداد ترانزیستورها باعث کاهش ظرفیت گره‌های داخلی و در نتیجه کاهش تلاش منطقی و نهایتاً توان دینامیکی می‌شود. بنابراین، ضرب کننده Vedic مبتنی بر GDI یک ضرب‌کننده مؤثر است. این ضرب‌کننده به دو صورت طراحی و پیاده‌سازی شده است؛ یکی توسط جمع‌کننده کامل (FAs) و گیت‌های منطقی و دیگری با استفاده از ضرب‌کننده Vedic مبتنی بر دو بیت. در روش اول و دوم به ترتیب از ۱۷۸ و ۲۴۲ ترانزیستور استفاده می‌شود. میانگین توان مصرفی در روش اول ۱۳/۰۵۷۴ میکروواوت و در روش دوم ۸۸/۲۱ میکروواوت می‌باشد. میزان تاخیر در هر دو روش یکسان و برابر با ۰/۹۳ نانو ثانیه است. بنابراین روش اول در توان مصرفی و تعداد ترانزیستور بهتر است.

در این تحقیق، یک ضرب‌کننده چهار بیتی با تلفیق دو روش ورودی انتشار گیت (GDI) و گیت انتقال (TG) ، (TGDI) جهت کاهش توان مصرفی ارائه شده است. ضرب‌کننده پیشنهادی میزان تأخیر انتشار و مصرف توان کمتری نسبت به ضرب‌کننده‌های قبلی دارد. این مقاله به شرح زیر سازماندهی شده است. ضرب‌کننده TGDI پیشنهادی در بخش ۲ ارائه شده است. بخش ۳ نتایج و مقایسه را ارائه می‌کند. در نهایت مقاله در بخش ۴ نتیجه‌گیری می‌شود.

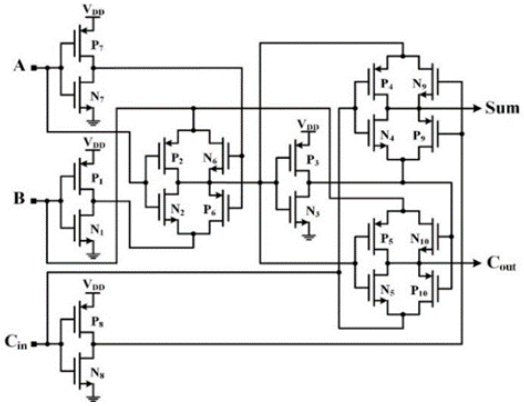
[1] Wallace

۲- معرفی ضرب کننده Vedic چهار بیتی با استفاده از روش TGDI

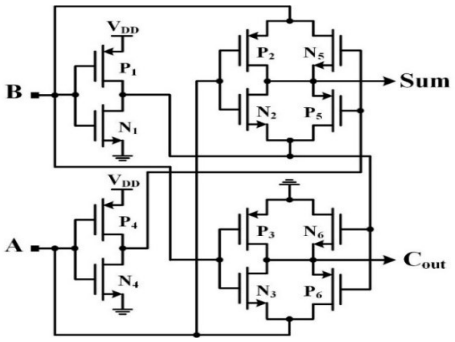
در این قسمت ساختارهای GDI و TG با هم ترکیب شده و ساختار جدیدی به نام TGDI معرفی می‌شود. شکل‌های (۵-۷) اجرای ترانزیستوری مدارهای گیت AND دو ورودی ، جمع‌کننده کامل (FAs) و نیم جمع‌کننده (HAs) را با استفاده از روش TGDI نشان می‌دهد. در شکل (۵) که یک گیت AND را نشان می‌دهد از یک اینورتر که رفتاری در منطق CMOS دارد برای تولید سیگنال مکمل A استفاده شده است؛ این سیگنال مکمل به عنوان ورودی ساختار GDT و TG استفاده می‌شود. در واقع در شکل (۵)، ترانزیستورهای P1 و N3 و همچنین ترانزیستورهای N1 و P3 دو دروازه انتقال سری را تشکیل می‌دهند که ورودی این دروازه انتقال به‌صورت GDI با سیگنال B تغذیه می‌شود. در این ساختار ترانزیستورهای P سوئینگ سمت صفر و ترانزیستورهای N سوئینگ سمت یک را جبران می‌کنند. در شکل (۶) هر سه سیگنال ورودی جمع‌کننده با اینورترهای CMOS مکمل شده و سپس جهت درایو بخش میانی و انتهایی مدار که سلول‌های GDI می‌باشند به کار می‌روند. ترانزیستورهای P3 و N3 در بخش میانی یک اینورتر CMOS را تشکیل می‌دهند که جهت افزایش قدرت درایو و همچنین سوئینگ سیگنال میانی استفاده می‌شود. در بخش تولید خروجی نهایی در شکل (۶) دو سلول TGDI استفاده شده که ضمن تولید خروجی با سوئینگ کامل، توان و مساحت نیز به میزان قابل توجهی کاهش یافته است. در شکل (۷) که نیم‌جمع‌کننده TGDI را نمایش می‌دهد نیز همانند تمام جمع‌کننده ابتدا دو ورودی A و B مکمل شده و سپس جهت تغذیه بخش خروجی استفاده می‌شوند. در این حالت نیز دو اینورتر ورودی در ساختار CMOS می‌باشند و در بخش تولید خروجی دو سلول TGDI استفاده شده است. توان این ساختار پایین بوده و مساحت آن نیز به میزان قابل توجهی کاهش یافته است. در مورد تاخیر نیز رفتار قابل قبولی دارد. با استفاده از ساختارهای پیشنهادی در شکل‌های (۵-۷) در شکل (۸) یک ضرب‌کننده چهار بیتی با استفاده از روش TGDI پیاده‌سازی شده‌است. ضرب‌کننده TGDI ارائه شده متشکل از تعداد ۸ جمع‌کننده کامل، ۴ نیم جمع‌کننده ، ۱۶ گیت AND و ۴۰ گیت NOT بوده و در مجموع ۲۸۸ ترانزیستور در آن به‌کار رفته‌است. در شکل (۸) گیت‌های AND همان ساختار شکل (۵)، مدارهای تمام جمع‌کننده مدار شکل (۶) و مدار نیم جمع‌کننده مدار شکل (۷) می‌باشند. با توجه به مزایای مطرح شده برای هر سه مدار، این مزایا در ساختار نهایی ضرب‌کننده پیشنهادی نیز قابل بیان هستند. در شکل (۸) به نحوی استاندارد زیر مدارهای قبلی استفاده شده تا ضمن داشتن مزایای قبلی، صحت عملکرد ضرب‌کننده نیز برقرار باشد. استفاده از روش GDI سطح تراشه، تاخیر و توان مصرفی را به حداقل می‌رساند. تنها اشکال این روش ایجاد خطای سوئینگ در خروجی مدار است. بنابراین با استفاده از روش TG و ترکیب آن با روش GDI ، خطای ناشی از سوئینگ در خروجی از بین می‌رود. روش کار به این صورت است که برای جلوگیری از خطای سوئینگ در مدارها از گیت‌های انتقال (TG) استفاده می‌شود. برای پیاده‌سازی گیت‌های انتقال، دو ترانزیستور غیر یکسان به گونه‌ای به هم متصل می‌شوند که پایه‌های سورس آنها به یکدیگر متصل شوند. پایه‌های درین نیز باید به هم متصل شوند. پایه‌های گیت ترانزیستورها نیز به صورت مکمل به یکدیگر متصل می‌شوند.



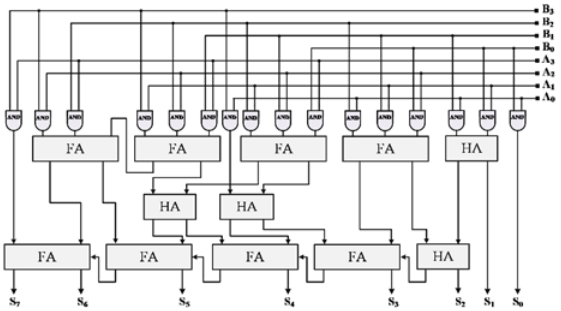
شکل (۵): پیاده‌سازی ترانزیستوری مدار گیت AND دو ورودی با استفاده از روش TGDI.



شکل (۶): پیاده‌سازی ترانزیستوری مدار جمع‌کننده کامل دو ورودی با استفاده از روش TGDI.



شکل (۷): پیاده‌سازی ترانزیستوری مدار نیم‌جمع‌کننده با استفاده از روش TGDI.



شکل (۸): ساختار ضرب‌کننده چهار بیتی TGDI پیشنهادی.

۳- نتایج و بحث

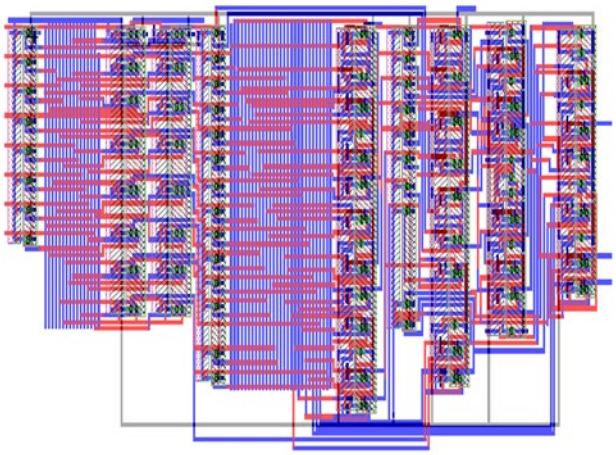
در این مقاله برای طراحی یک ضرب‌کننده چهار بیتی، استفاده از جمع‌کننده کامل (FA) و نیم جمع‌کننده با استفاده از روش GDI پیشنهاد شده است، همانطور که بیان شد خروجی مدار دارای خطای سوئینگ است. بنابراین، برای حذف این خطا، ترکیبی از روش GDI و روش TG برای FA پیشنهاد شده است. جدول (۲) مقایسه پارامترهای FA پیشنهادی پیاده‌سازی شده توسط روش TGDI را با سایر مراجع نشان می دهد. در [۲۲] از روش LPHS-FA[1] به عنوان راهی برای ساده‌سازی معماری و درنتیجه بهبود عملکرد سیستم استفاده شده و در تکنولوژی ۱۸۰ نانومتر پیاده‌سازی شده است. در [۲۳] در تکنولوژی ۱۸۰ نانومتر، از روش GDI TFF استفاده شده که در آن از فلیپ فلاپ نوع T جهت بالا بردن کارایی مدار کمک گرفته شده است. در[۲۴] از تلفیق دو روش PTL و TG برای افزایش سرعت و کارایی مدار و کاهش توان مصرفی استفاده شده و در تکنولوژی ۲۵۰ نانو متر پیاده‌سازی شده‌است. شکل (۹)، طرح ضرب‌کننده چهار بیتی با استفاده از روش ورودی دروازه شناور انتقالی (TGDI) پیشنهادی را نشان می‌دهد که توسط نرم افزار L-Edit ترسیم شده است. مساحت کل طرح ۲۰۰ × ۲۰۰ میکرومتر مربع است. این طرح به گونه‌ای فشرده و کارآمد طراحی شده است که دارای ویژگی‌های زیر است:

- ترانزیستورها در یک شبکه منظم چیده شده‌اند که روند مسیریابی و چیدمان را ساده می‌کند.
- کلاک و خطوط تغذیه در امتداد لبه‌های طرح قرار می‌گیرند تا نویز و تداخل را به حداقل برسانند.
- پایه‌های ورودی و خروجی با هم گروه‌بندی شده‌اند تا اتصال ضرب‌کننده به مدارهای دیگر آسان شود.
- طول طولانی‌ترین مسیر از ورودی تا خروجی ۱۰۰ میکرومتر است.

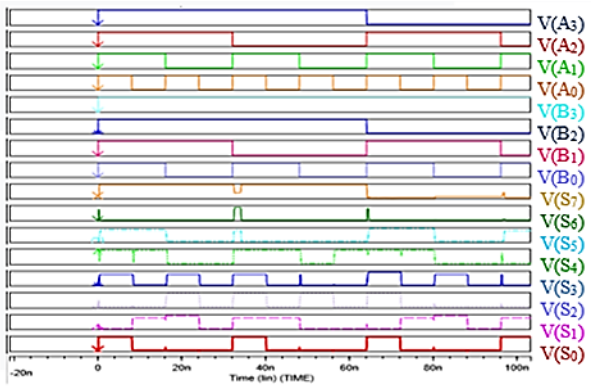
ضرب‌کننده چهار بیتی TGDI یک مدار فشرده و کارآمد است که در کاربردهای مختلف قابل استفاده است. این به ویژه برای کاربردهایی که مساحت تراشه، میزان تاخیر و توان مصرفی از عوامل حیاتی هستند، مناسب است. شکل (۱۰)، شکل موج سیگنال‌های خروجی ضرب‌کننده چهار بیتی مبتنی بر روش TGDI را نشان می‌دهد. A0 تا A3 و B0 تا B3 دو مجموعه از ورودی‌های چهار بیتی به ضرب‌کننده هستند و سیگنال‌های S0 تا S7 خروجی‌های هشت بیتی این ضرب‌کننده چهار بیتی پیشنهادی می‌باشند. برای محاسبه تاخیر انتشار، در هر خروجی باید تاخیر انتشار به طور جداگانه برای هر یک از ورودی‌ها محاسبه شود. با توجه به وجود دو ورودی چهار بیتی (در مجموع هشت بیت ورودی) و هشت بیت خروجی در مدار، تاخیر انتشار برای ۶۴ حالت ممکن باید به‌دست آید. ماکزیمم مقدار این ۶۴ حالت به دست آمده، برابر با تاخیر انتشار مدار است. با محاسبه حالت‌های مختلف، تأخیر انتشار در مسیر سیگنال ورودی B1 و سیگنال خروجی S7 بیشترین مقدار را دارد، بنابراین این مقدار، تأخیر انتشار ضرب‌کننده چهار بیتی پیشنهادی است که برابر با ۶/۱۴۶ نانو ثانیه است. برای محاسبه توان مصرفی مدار، با توجه به پریود سیگنال‌های ورودی، توان در طول حداکثر پریود سیگنال ورودی در نظر گرفته می‌شود. بنابراین، در بازه زمانی ۱ نانو ثانیه تا ۳۹۸ نانو ثانیه، میانگین توان مصرفی ۶/۰۹ میکروواوت است. همچنین مقدار جمع ضرب‌های جزئی مدار برابر با $۳۷/۴۳ \times ۱۰^{-۱۵}$ است. همچنین پارامتر FOM که در اینجا حاصل ضرب PDP در مقدار مساحت اشغالی مدار تعریف می شود برابر با $۱/۴۹۷ \times ۱۰^{-۹}$ است.

جدول (۲): مقایسه FA ارائه شده با FA های قبلی

Method	Power Consumption	Delay	PDP
Proposed FA (implemented by TGDI technique)	200 uW	0.04 ns	8×10^{-15}
LPHS-FA [22]	2.32 mW	1.9 ns	4.4×10^{-12}
GDI TFF technique [23]	601 uW	0.5 ns	3×10^{-13}
TG & PTL technique [24]	335 uW	0.69 ns	2.31×10^{-13}



شکل (۹): طرح ضرب‌کننده چهار بیتی TGDI پیشنهادی.



شکل (۱۰): شکل موج خروجی ضرب‌کننده چهار بیتی پیشنهادی.

[1] Low Power High Speed Full Adder

۴- نتیجه‌گیری

در این مقاله، یک ضرب‌کننده جدید چهار بیتی با ترکیب روش‌های ورودی انتشار گیت (GDI) و گیت انتقال (TG) با عنوان ورودی دروازه شناور انتقالی (TGDI) پیشنهاد می‌شود. روش GDI تعداد ترانزیستورها و به دنبال آن مساحت تراشه، تاخیر انتشار و توان مصرفی را کاهش و سرعت مدار را افزایش می‌دهد. تنها اشکال روش GDI، وجود خطای سوئینگ در سیگنال‌های خروجی است که با استفاده از روش TG خطای سوییینگ در خروجی ضرب‌کننده جبران می‌شود. ضرب‌کننده چهار بیتی با روش TGDI در فناوری ۹۰ نانومتر پیاده‌سازی و ویژگی‌های مدار استخراج شده‌است. تأخیر انتشار ضرب‌کننده TGDI برابر با ۶/۱۴۶ نانوثانیه است؛ در حالیکه توان مصرفی آن ۶/۰۹ میکروواط است. همچنین مقدار جمع ضرب‌های جزئی این مدار ضرب‌کننده برابر با $۳۷/۴۳ \times ۱۰^{-۱۵}$ است. این ضرب‌کننده بهینه‌سازی شده برای پردازشگرهای سیگنال دیجیتال، با راندمان بالا قبل استفاده می‌باشد.

مراجع

[1] M. Rafiee, F. Pesaran, A. Sadeghi, and N. Shiri, “An efficient multiplier by pass transistor logic partial product and a modified hybrid full adder for image processing applications,” Microelectronics Journal, vol. 118, p. 105287, Dec. 2021, https://doi.org/10.1016/j.mejo.2021.105287.

[2] A. Sadeghi, N. Shiri, M. Rafiee, and M. Tahghigh, "An efficient counter-based Wallace-tree multiplier with a hybrid full adder core for image blending," Frontiers of Information Technology & Electronic Engineering, vol. 23, no. 6, pp. 950-965, 2022/06/01 2022, http://dx.doi.org/10.1631/FITEE.2100432.

[3] M. Fadaei, "Designing ALU using GDI method," International Journal of Reconfigurable and Embedded Systems, vol. 8, no. 3, p. 151, 2019, http://doi.org/10.11591/ijres.v8.i3.pp151-161.

[4] A. Morgenshtein, A. Fish, and I. A. Wagner, "Gate-diffusion input (GDI) - a technique for low power design of digital circuits: analysis and characterization," in 2002 IEEE International Symposium on Circuits and Systems. Proceedings (Cat. No.02CH37353), 26-29 May 2002 2002, vol. 1, pp. I-I, https://doi.org/10.1109/ISCAS.2002.1009881.

[5] A. P. Chandrakasan, W. J. Bowhill, and F. Fox, "Design of high-performance microprocessor circuits, " Wiley-IEEE press, 2000, https://www.wiley.com/en-us/Design+of+High-Performance+Microprocessor+Circuits-p-9780780360013.

[6] K. Bernstein et al., "High speed CMOS design styles, " Springer Science & Business Media, 1998, https://link.springer.com/book/10.1007/978-1-4615-5573-5.

[7] A. Garg and G. Joshi, "Gate diffusion input based 4-bit Vedic multiplier design," IET Circuits, Devices & Systems, vol. 12, no. 6, pp. 764-770, 2018, https://doi.org/10.1049/iet-cds.2017.0454.

[8] S. Sharma and V. Sharda, "Design and analysis of 8-bit Vedic multiplier in 90nm technology using GDI technique," Int. J. Eng. Technol, vol. 7, no. 3.12, p. 759, 2018, http://dx.doi.org/10.14419/ijet.v7i3.12.16496.

[9] G. Nayan, "A Comparative Analysis of 8-bit Novel Adder Architecture Design using Traditional CMOS and m-GDI technique," in 2019 International Conference on Communication and Electronics Systems (ICCES), 17-19 July 2019 2019, pp. 128-135, https://doi.org/10.1109/ICCES45898.2019.9002573.

[10] G. Nayan, R. K. Prasad, P. K. YG, and D. M. Kurian, "A Review on Modified Gate Diffusion Input Logic: An Approach for Area and Power Efficient Digital System Design," in Proceedings of the Second International Conference on Emerging Trends in Science & Technologies For Engineering Systems (ICETSE-2019), 2019, http://dx.doi.org/10.2139/ssrn.3507293.

[11] D. E. Nikonov and I. A. Young, "Overview of beyond-CMOS devices and a uniform methodology for their benchmarking," Proceedings of the IEEE, vol. 101, no. 12, pp. 2498-2533, 2013, http://dx.doi.org/10.1109/JPROC.2013.2252317.

[12] A. Morgenshtein, V. Yuzhaninov, A. Kovshilovsky, and A. Fish, "Full-Swing Gate Diffusion Input logic—Case-study of low-power CLA adder design," Integration, vol. 47, no. 1, pp. 62-70, 2014, http://dx.doi.org/10.1016/j.vlsi.2013.04.002.

[13] A. Morgenshtein, A. Fish, and I. A. Wagner, "Gate-diffusion input (GDI): a power-efficient method for digital combinatorial circuits," IEEE transactions on very large scale integration (VLSI) systems, vol. 10, no. 5, pp. 566-581, 2002, http://dx.doi.org/10.1109/TVLSI.2002.801578.

[14] M. Dai, Z. Song, C.-H. Lin, Y. Dong, T. Wu, and J. Chu, "Multi-functional multi-gate one-transistor process-in-memory electronics with foundry processing and footprint reduction," Communications Materials, vol. 3, no. 1, p. 41, 2022, http://dx.doi.org/10.1038/s43246-022-00261-3.

[15] S. Dayanand, K. Varshitha, T. Rohini, Y. J. M. Shirur, and J. R. Munavalli, "Low Power High Speed Vedic Techniques in Recent VLSI Design–A Survey," Perspectives in Communication, Embedded-systems and Signal-processing-PiCES, vol. 4, no. 6, pp. 147-156, 2020, https://doi.org/10.5281/zenodo.4247825.

[16] X. Li, W. Cheng, T. Zhang, J. Xie, F. Ren, and B. Yang, "Power efficient high performance packet I/O," in Proceedings of the 47th International Conference on Parallel Processing, 2018, pp. 1-10, http://dx.doi.org/10.1145/3225058.3225129.

[17] S. Vaidya and D. Dandekar, "Delay-power performance comparison of multipliers in VLSI circuit design," International Journal of Computer Networks & Communications (IJCNC), vol. 2, no. 4, pp. 47-56, 2010, http://dx.doi.org/10.5121/ijcnc.2010.2405.

[18] S. Nair and A. Saraf, "A review paper on comparison of multipliers based on performance parameters," International Journal of Computer Applications, vol. 5, no. 4, pp. 6-9, 2014, https://api.semanticscholar.org/CorpusID:9515631.

[19] S. J. Lee and S. H. Ruslan, "A 2x2 Bit Multiplier Using Hybrid 13T Full Adder with Vedic Mathematics Method," International Journal of Integrated Engineering, vol. 10, no. 3, 2018, http://dx.doi.org/10.30880/ijie.2018.10.03.004.

[20] M. Bansal and J. Singh, "Comparative analysis of 4-bit CMOS vedic multiplier and GDI vedic multiplier using 18nm FinFET technology," in 2020 International Conference on Smart Electronics and Communication (ICOSEC), 2020: IEEE, pp. 1328-1332, http://dx.doi.org/10.1109/ICOSEC49089.2020.9215317.

[21] K. Gurumurthy and M. Prahalad, "Fast and power efficient 16× 16 Array of Array multiplier using Vedic Multiplication," in 2010 5th International Microsystems Packaging Assembly and Circuits Technology Conference, 2010: IEEE, pp. 1-4, http://dx.doi.org/10.1109/IMPACT.2010.5699463.

[22] C. K. Tung, S. H. Shieh, and C. H. Cheng, "Low-power high-speed full adder for portable electronic applications,"

Electronics Letters, vol. 49, no. 17, pp. 1063-1064, 2013, http://dx.doi.org/10.1049/el.2013.0893.

[23] S. Ziabakhsh and M. Zoghi, "Design of a low-power high-speed t-flip-flop using the gate-diffusion input technique," in Proc. 17th Telecommunications forum TELFOR, 2009, pp. 1470-1473, http://dx.doi.org/10.1109/IranianCEE.2014.6999508.

[24] N. Tiwari, R. Sharma, and R. Parihar, "Implementation of area and energy efficient Full adder cell," in International Conference on Recent Advances and Innovations in Engineering (ICRAIE-2014), 2014: IEEE, pp. 1-5, http://dx.doi.org/10.1109/ICRAIE.2014.6909248.