Islamic Azad University , Shiraz Branch
نشریه تحلیل مدارها، داده ها و سامانه ها
Journal of Circuits, Data and Systems Analysis
sanad.iau.ir/journal/jcdsa

بهینه کردن مصرف توان و تأخیر در طراحی جمع‌کننده‌ی کامل بر پایه‌ی فناوری CMOS

وحید دهقان[۱]، محسن کاتبی جهرمی [۲*]

۱- گروه مهندسی برق، واحدصفاشهر، دانشگاه آزاد اسلامی، صفاشهر، ایران
vahid.md28@yahoo.com
۲- گروه مهندسی برق، واحدصفاشهر، دانشگاه آزاد اسلامی، صفاشهر، ایران
moh_katebi_jah@yahoo.com

چکیده: هدف مقاله حاضر بررسی بهینه کردن مصرف توان و تأخیر در طراحی جمع‌کننده‌ی کامل بر پایه‌ی فناوری CMOS می‌باشد. ایده‌های مختلفی که در پیاده‌سازی مدارات جمع‌کننده وجود داشته، شبیه‌سازی‌شده اند. در پیاده‌سازی مدار سلول جمع‌کننده، در بعضی از مقالات، طبقات ورودی و در بعضی دیگر طبقات خروجی متفاوت است. در مقالات متفاوت از منطق‌های CMOS مکمل، نسبتی، ترانزیستور عبوری مکمل، گیت‌های انتقال و تابع اکثریت استفاده شده است. در این مقاله، یک جمع کننده‌ی کامل بر مبنای فناوری CMOS طراحی و توسط نرم‌افزار HSPICE شبیه‌سازی شده است. نتایج نشان می‌دهد که بهینه‌سازی مصرف توان و تأخیر در طراحی جمع‌کننده‌ی کامل با استفاده از روش پیشنهادی به شکل موثری انجام شده است و نتایج شبیه‌سازی، برتری جمع کننده‌ی پیشنهادی را نسبت به دیگر مدل‌ها نشان می‌دهد.

واژه های کلیدی: توان مصرفی، جمع‌کننده‌ی کامل، فناوری CMOS، بهینه‌سازی.

Optimizing power consumption and delay in designing full adder based on CMOS technology

Vahid Dehghan[1], Mohsen Katebi Jahromi[2*]

[1] Department of Electrical Engineering, Safashahr Branch, Islamic Azad University, Safashahr, Iran
vahid.md28@yahoo.com
[2] Department of Electrical Engineering, Safashahr Branch, Islamic Azad University, Safashahr, Iran
moh_katebi_jah@yahoo.com

Abstract: The aim of this article is to investigate the optimization of power consumption and delay in the design of full adder based on CMOS technology. Different ideas that have existed in the implementation of adder circuits have been simulated. In the implementation of the adder cell circuit, in some articles the input classes are different and in some others the output classes are different. In different articles, complementary CMOS logic, ratio, complementary pass transistor, transfer gates and majority function have been used. In this paper, a full adder based on CMOS technology is designed and simulated by HSPICE software. The results show that the optimization of power consumption and delay in the design of the full adder has been done effectively using the proposed method, and the simulation results show the superiority of the proposed adder over other models.

Keywords: power consumption, full adder, CMOS technology, optimization.

نوع مقاله: پژوهشی
تاریخ ارسال مقاله: ۱۴۰۲/۰۳/۱۸ تاریخ پذیرش مقاله: ۱۴۰۲/۰۵/۲۷ تاریخ چاپ مقاله: ۱۴۰۲/۰۶/۲۸
DOI: 00.00000/0000

* نویسنده‌ی مسئول

۱- مقدمه

جمع، یک عملیات بسیار پایه در حساب است. تفریق، ضرب، تقسیم و محاسبه آدرس، تعدادی از عملکردهای شناخته شده‌ای هستند که بر مبنای جمع انجام می‌شوند. این عملیات به‌طور گسترده‌ای در بسیاری از کاربردهای VLSI مورد استفاده قرار می‌گیرند. به دلیل اینکه سلول تمام‌جمع‌کننده، بلاک ساختاری جمع دودویی است، بهبود کارآیی جمع‌کننده یک بیتی، یک هدف مهم بوده و توجه بسیاری به آن شده است. تنوع گسترده‌ای از تمام جمع‌کننده‌ها با استفاده از سبک‌ها و فناوری‌های منطقی متفاوت تاکنون در متون تحقیقی [۴-۸] گزارش شده است. با نگاهی به تاریخ الکترونیک، ملاحظه می‌شود یکی از دلایل اولیه پیشرفت فناوری، نیاز آیندگان به استفاده از فناوری‌های جدید و پیچیده‌تر می‌باشد. مدارهای دیجیتال [1] نیز به دلیل سادگی در طراحی، قابلیت پیاده‌سازی با فناوری‌های ارزان و مصرف توان کمتر نسبت به مدارهای آنالوگ [2] مزیت دارند [۷]. به همین علت سعی شد، همگام با پیشرفت فناوری، مصرف انرژی نیز در مدارات ازجمله مدارات CMOS بهبود یابد؛ بنابراین یکی از عوامل تأثیرگذار در عملکرد مدارها، نحوه طراحی مدار می‌باشد. با توجه به این‌که هر مدار از اجزای متنوعی ساخته شده است یکی از اجزای مهم در برخی از مدارها که با اندک تغییراتی باعث تغییر در عملکرد مدار می‌شود، جمع کننده [3] می‌باشد [۷] عمل جمع یکی از پایه‌ای‌ترین عملیات مورد استفاده در دیگر عملیات ریاضی است؛ بنابراین جمع‌کننده ها به‌عنوان یکی از بلوک‌های ریاضی و واحد منطقی (ALU[6]) سیستم دیجیتال اهمیت ویژه‌ای پیدا می‌کنند، که عملیات تفریق، ضرب و تقسیم را به‌علاوه‌ی جمع انجام می‌دهند و درنتیجه بهبود پارامترهای عملکردی آن برای کارایی بهتر ضروری است [۴، ۷، ۸ و ۱۰].

مدار تمام جمع‌کننده تک‌بیتی یکی از مدارهای مهم محاسباتی می‌باشد، درنتیجه سرعت برای این‌گونه مدارها از اهمیت ویژه‌ای برخوردار است، زیرا هرگونه کاهش تأخیر در مدار می‌تواند روند عملکردی مدار فوق را سرعت ببخشد [۱]. در طراحی یک تمام جمع‌کننده [4]، یکی از اهداف اصلی رسیدن به‌سرعت بالا می‌باشد و در کل دارای عملکرد مطلوبی باشد. طراحی یک تمام جمع‌کننده با ساختار ساده و مصرف توان محدود می‌تواند در ساده کردن مدارهای دیجیتالی نقش خوبی داشته باشد. معیارهای مشخصی برای طراحی بهتر تمام جمع‌کننده وجود دارد. مهم‌ترین معیار همان کاربرد مدار است. از معیارهای دیگر می‌توان به توان مصرفی کم [5]، سرعت بالا [6] و سادگی مدار نام برد که خود این معیارها را می‌توان اجزایی از معیار کاربرد در نظر گرفت. جمع‌کننده‌ها، در وسایل دیجیتالی بسیاری کاربرد دارند و عنصر اساسی در بسیاری از مدارهای محاسباتی محسوب می‌شوند [۹]. در این پژوهش، یک ساختار برای تمام جمع‌کننده‌های پویا ارائه می‌شود. این ساختار توسط تکنیک CMOS طراحی می‌شود. شبیه‌سازی مدارات موجود در این پژوهش همگی در شرایط یکسان توسط نرم‌افزار HSPICE با فناوری ۱۸۰ نانومتر CMOS صورت می‌گیرد.

در این مقاله یک مدار جمع‌کننده‌ی کامل با فناوری CMOS شبیه‌سازی خواهد شد که برای بهینه کردن مصرف توان و تأخیر در طراحی ارائه خواهد شد. در این راستا، ضمن بررسی جمع‌کننده‌های ارائه‌شده، جمع‌کننده‌های دیگری نیز مورد بررسی قرار می‌گیرد که تمامی آن‌ها با استفاده از نرم‌افزارHSPICE ، شبیه‌سازی می‌شود، بنابراین آنالیز مدار طراحی‌شده و شبیه‌سازی‌ها به‌منظور اعتبارسنجی آنالیز با استفاده از نرم‌افزار HSPICE انجام خواهد شد. سه نوع مختلف از مدارهای CMOS شامل مدارهای با کارایی بالا (HP)، توان عملکردی پایین (LOP[1]) و توان آمادبه‌کار کم (LSTP) می باشند. مدارهای HP برای بیشترین سرعت و کمترین طول گیت ممکن در هرلحظه از زمان بهینه شده‌اند. درحالی‌که ترانزیستورهای LSTP تأکید را روی جریان‌های نشتی کم قرار می‌دهند که این امر مستلزم استفاده از ترانزیستورهای دارای کانال طولانی‌تر است [۵].

۲- مبانی نظری

۲-۱- اهمیت تمام جمع‌کننده‌ها

جمع‌کننده‌ها یکی از مهم‌ترین اجزای پردازشی در سیستم‌های کامپیوتری دیجیتال است. علاوه بر استفاده‌ی جمع کننده در واحد پردازش منطقی، از جمع‌کننده در تغییر مقدار شمارنده‌های برنامه و محاسبه‌ی آدرس‌های درست حافظه استفاده می‌شود. آمارها نشان می‌دهد که ۷۲٪ از عملیات حسابی در ماشین‌های RISC جمع بوده و در پردازنده‌های ARM نیز ۸۰٪ از عملیات مربوط به جمع می‌باشد. درواقع کارایی پردازنده‌ها به‌طور گسترده‌ای به‌سرعت و سطح مورداستفاده‌ی جمع‌کننده‌ها بستگی دارد. جمع‌کننده‌های هم‌زمان و غیر هم‌زمان از پس واحد کنترل ساعت به وجود آمدند. بلوک‌هایی که عملیات حسابی را انجام می‌دهند معمولاً در بیشتر سیستم‌های الکترونیکی مورداستفاده قرار می‌گیرند. جمع دیجیتال یک عملیات اساسی ریاضی است و اساس سایر عملیات ریاضیاتی است که معمولاً مورد استفاده قرار می‌گیرند؛ بنابراین سلول تمام جمع کننده کامل تک‌بیتی یک جزء ضروری از یک ALU (واحد ریاضی و منطقی) یک سیستم دیجیتالی است. افزایش عملکرد سلول تمام جمع‌کننده برای سرعت بیشتر و توان کمتر بلوک ریاضی ضروری است [۴و۷].

[1] Digital
[2] Analog
[3] Adder
[4] Full Adder
[5] Low Power
[6] High Speed

۲-۲- تمام جمع‌کننده‌های تک‌بیتی

یکی از پایه‌ای‌ترین عملیات مورد استفاده در هر سیستم الکترونیکی دیجیتال، عملیات جمع است. سلول جمع‌کننده رایج، یک تمام جمع‌کننده است که سه ورودی باهم جمع می‌شوند و دو خروجی را مطابق معادلات زیر به وجود می‌آورند [۱۰].

$$C_{out} = C_{in}(A + B) + AB \quad (۱)$$

$$Sum = C_{out}(A + B + C_{in}) + ABC_{in} \quad (۲)$$

تعداد بی‌شماری از سلول‌های تمام جمع‌کننده کامل تک‌بیتی با تعداد مختلف ترانزیستور و مبادلات عملکردی در سرعت و قدرت طراحی و شناسایی شده‌اند. هر طراحی سلولی، مزایا و معایبی دارد که در این کار مشاهده می‌شود [۱۲]. چهار نوع سلول طراحی تمام جمع کننده وجود دارد:

- (SCMOS) Static CMOS
- (CPL) Complementary Pass Transistor Logic
- (TG) Transmission Gate
- (HCMOS) Hybrid CMOS

۲-۳- جمع‌کننده کامل

یک جمع‌کننده کامل مداری ترکیبی است که جمع حسابی سه بیت را تشکیل می‌دهد. پارامترهای x و y دو بیت باارزش جمع شونده را نشان می‌دهند. ورودی سوم z نقلی حاصل از مکان کم‌ارزش‌تر قبلی است. مدار به دو خروجی نیاز دارد زیرا جمع حسابی سه رقم دودویی بین ۰ تا ۲ می‌باشد و اعداد ۲ و ۲ به دو رقم دودویی نیاز دارند. دو خروجی با سمبل s برای جمع و c برای نقلی مشخص شده‌اند. متغیر دودویی s مقدار کم‌ارزش‌تر جمع را به دست می‌دهد. متغیر دودویی c نقلی خروجی را بیان‌گر است. جدول درستی جمع‌کننده کامل در جدول(۱) دیده می‌شود. هشت سطر زیر سه متغیر، همه ترکیبات ممکن را نشان می‌دهند. متغیرهای خروجی از جمع حسابی بیت‌های ورودی معین می‌شوند. وقتی همه بیت‌های ورودی ۰ هستند، خروجی ۰ است. خروجی s هنگامی ۱ می‌شود که فقط یک ورودی برابر ۱ باشد. یا اگر هر سه ورودی ۱ باند. خروجی c هم موقعی ۱ است که دو یا سه ورودی برابر ۱ باشند [۱۲].

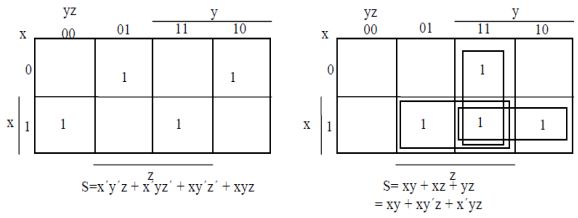
تفسیر بیت‌های ورودی و خروجی مدار ترکیبی در مراحل مختلف طراحی متفاوت است. به‌طور فیزیکی سیگنال‌های دودویی ورودی‌ها ارقامی دودویی تصور می‌شوند که به‌صورت حسابی باید باهم جمع شده و جمع دورقمی را در خروجی تولید کنند. از طرف دیگر، در جدول درستی یا هنگام پیاده‌سازی با گیت‌های منطقی، همان مقادیر به‌عنوان متغیرهای بول تعبیر می‌شوند. نقشه خروجی‌های جمع‌کننده کامل در شکل (۱) ملاحظه می‌شود. عبارات ساده‌شده به صورت (۴-۳) است. نمودار منطقی پیاده شده به‌صورت جمع حاصل‌ضرب‌ها در شکل (۲) مشاهده می‌شود.

$$S = x'y'z' + x'yz' + xy'z' + xyz \quad (۳)$$

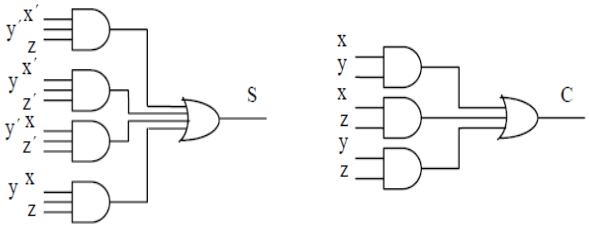
$$C = xy + xz + yz \quad (۴)$$

۲-۴- جمع‌کننده دودویی

یک جمع‌کننده دودویی مداری دیجیتال است که جمع حسابی دو عدد دودویی را تولید می‌کند. می‌توان آن را از به هم پیوستن متوالی جمع‌کننده کامل ساخت و در آن هر خروجی نقلی از هر جمع‌کننده کامل به ورودی نقلی جمع‌کننده کامل بعدی زنجیروار بسته می‌شود. شکل (۳) اتصالات درونی مدار چهار جمع‌کننده کامل (FA) برای تهیه جمع‌کننده دودویی ۴ بیت با نقلی موج گونه را نشان می‌دهد. بیت‌های مضاف از A و مضاف‌الیه از B با اعداد اندیس دار از راست به چپ و با اندیس ۰ در بیت کم‌ارزش‌تر مشخص شده است. نقلی‌ها به‌صورت زنجیر جمع‌کننده‌های کامل را به هم وصل کرده‌اند. نقلی ورودی به جمع‌کننده C_0 وصل بوده و موج گونه‌وار تا نقلی خروجی C_4 انتشار می‌یابد. خروجی‌های S بیت‌های حاصل جمع را تولید می‌کنند. یک جمع‌کننده n بیت به n جمع‌کننده کامل نیاز دارد و هر خروجی نقلی به ورودی نقلی جمع‌کننده رتبه بالاتر وصل می‌شود [۱۰].



شکل (۱): جدول کارنو برای تمام جمع‌کننده بر اساس روابط (۳-۴)



شکل (۲): شمای جمع‌کننده به‌صورت جمع حاصل‌ضرب‌ها [۱۳]

جدول ۱: جدول درستی تمام جمع‌کننده

x	y	z	C	S
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

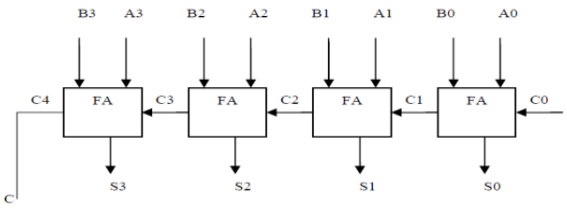
بیت‌ها با کمک جمع‌کننده کامل و از کم‌ارزش‌ترین مکان باهم جمع می‌شوند تا بیت حاصل جمع و نقلی را تشکیل دهند. نقلی ورودی C_0 در کم‌ارزش‌ترین مکان باید باشد. مقدار C_{i+1} در یک مکان مفروض، نقلی خروجی جمع‌کننده کامل است. این مقدار به نقلی ورودی تمام جمع‌کننده‌ای که بیت‌های یک مکان بالاتر در سمت چپ را جمع می‌کند انتقال می‌یابد. بنابراین بیت‌ها از راست به چپ تولیدشده و به‌محض تولید نقلی قبل از خود در اختیار خواهند بود. برای داشتن خروجی جمع صحیح، همه نقلی‌ها باید تولید شده باشند [۳].

۳- روش پیشنهادی

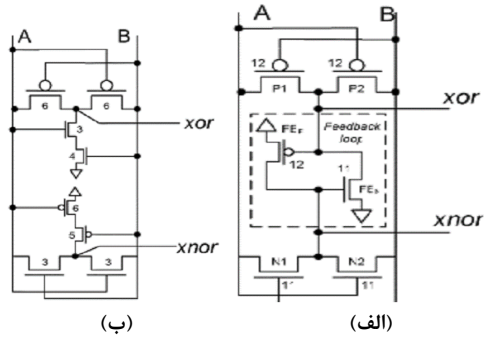
۳-۱- طراحی یک مدار XOR-XNOR کم‌مصرف مقاوم در برابر نویز

این دو ترانزیستور باعث می‌شوند در حالت گذر مؤلفه ورودی در حالات "۰۰" و یا "۱۱" حداقل یک هدایت منطقی قوی برای سوئیچ کردن ترانزیستورهای بازخورد ۱ وجود داشته باشد تا بتوان بدین‌وسیله از شرایط موجود در مدار شش ترانزیستوری گذشته دوری کرد. این عمل باعث شده تأخیر مدار به‌طور قابل‌توجهی بهبود یابد؛ اما یک مشکل درنتیجه اضافه کردن ترانزیستورهای PMOS و NMOS به وجود می‌آید و آن هنگامی رخ می‌دهد که مؤلفه ورودی "AB" "۱۰" است. در این حالت هر دو ترانزیستور روشن هستند، بنابراین مدار دارای توان مصرفی بالایی نیز است. مدار دیگری که در [۷] معرفی شده است، عبارت است از مداری با سیگنال‌های ورودی مکمل و معکوس و حلقه‌های بازخورد مستقیم و معکوس که در شکل (۵) نشان داده شده است. شبکه‌های بازخورد دوتایی برای برطرف کردن مشکل سطح منطقی استفاده‌شده، به‌گونه‌ای که حلقه بازخورد مستقیم برای بهبود سطح ولتاژ خروجی برای ترکیبات ورودی "۰۰" و "۱۱" مورداستفاده قرار گرفته است. درحالی‌که حلقه بازخورد معکوس برای بالا بردن سطح منطقی خروجی مدار برای ترکیبات ورودی "۰۱" و "۱۰" استفاده می‌شود [۷].

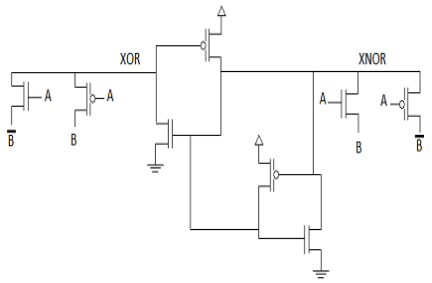
همان‌گونه که در [۴] آمده است این دو مدار دارای توان مصرفی پایین‌تری نسبت به مدارهای قبلی گزارش شده هستند. مدار دیگری برای توابع XOR-XNOR در [۵] پیشنهاد شده است. در این مدار هنگامی‌که ورودی B در منطق یک است، ترانزیستور PMOS روشن و Pass ترانزیستورNMOS خاموش است. این مدار در شکل (۶) قابل‌مشاهده است [۵]. از خصوصیات این مدار توان مصرفی کمتر نسبت به مدارهای معرفی‌شده در [۴] که خود به‌عنوان مدارات کم‌مصرف نسبت به مدارهای گذشته‌شان معرفی‌شده بودند، است. این مدار دارای سطوح خروجی ناقصی به ازای ترکیب ورودی "۱۰" در XNOR است.



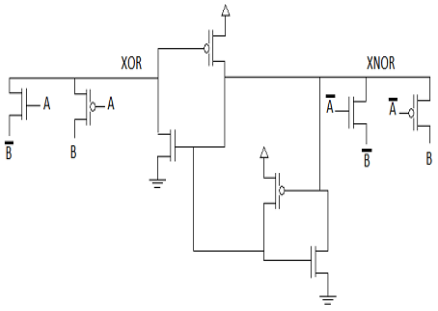
شکل (۳): جمع کننده چهار بیتی



شکل (۴): مدار شش ترانزیستوری و هشت ترانزیستوری برای عملکرد XOR-XNOR

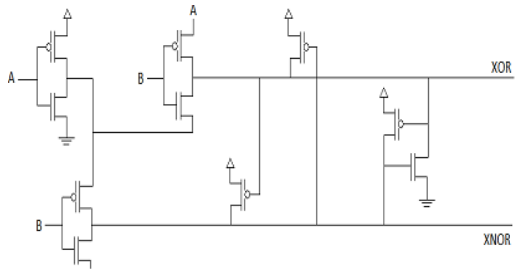


(الف)

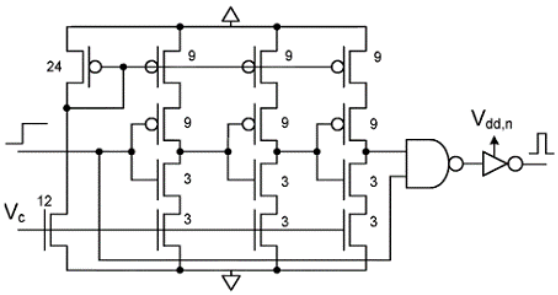


(ب)

شکل (۵): مدارهای XOR-XNOR دو بازخوردی



شکل (۶): مدار معرفی‌شده در [۱۱]



شکل (۷): مدار ایجاد نویز [۱۰]

در ادامه مداری معرفی می‌شود که دارای توان مصرفی کمتری نسبت به این مدارها و همچنین مصونیت در برابر نویز مناسب‌تری نسبت به مدار معرفی‌شده در [۵] است. این مدار دارای توان مصرفی کمتری نسبت به مدارهای گذشته بوده و همچنین دارای سرعت مناسبی نیز نسبت به آن‌هاست. پس از معرفی مدار پیشنهادی جدید، با شبیه‌سازی به مقایسه مابین این دو مدار پرداخته می‌شود. همچنین، تعریفی از نویز و همچنین روش اندازه‌گیری و ترسیم منحنی امنیت در برابر نویز (NIC) بیان خواهد شد.

۳-۲- اندازه‌گیری نویز

با توجه به حرکت به سمت فناوری‌های زیر میکرون[1] و درواقع با توجه به تلاش مستمر برای بهبود دادن عملکرد چیپ‌ها، نویز به‌طور قابل‌توجهی نقشی مهم همانند موارد دیگر ازجمله مساحت، سرعت و توان مصرفی پیدا می‌کند. نویز در مدارهای جامع دیجیتال به هر پدیده که سبب می‌شود ولتاژ در یک اندازه از مقدار ظاهری خودش منحرف شود، تعریف شده است. در ادامه به بیان چگونگی اندازه‌گیری و همچنین ترسیم منحنی مصونیت در برابر نویز پرداخته می‌شود [۱۳-۱]. منحنی مصونیت نویز (NIC) برای اندازه‌گیری تحمل نویز مدارها مانند پالس‌های نویز استفاده می‌شود. منحنی مصونیت نویز یک گیت دیجیتال، یک مکان هندسی نقاط است. در این منحنی Tnoise نشان‌دهنده پهنای پالس نویز و Vnoise نشان‌دهنده دامنه پالس نویز است. در منحنی NIC هر مداری که بالاتر قرار گیرد، تحمل نویز بالاتری را دارد. زیرا مداری که بالاتر واقع می‌شود، نشان‌دهنده این مطلب است که در یک پهنای پالس نویز مشخص، دامنه نویز بالاتری را تحمل می‌کند. بنابراین نسبت به مدارهایی که منحنی آن‌ها پایین‌تر قرار گرفته‌اند، دارای تحمل نویز بیشتری است. برای شبیه‌سازی یک پالس، یک نویز مورداستفاده قرار گرفته که به‌وسیله یک مدار تزریق نویزی تولید می‌شود (شکل (۷)). دامنه و پهنای پالس نویز به‌وسیله تغییرات Vdd و Vc کنترل می‌شود. در این قسمت، یک گیت Ex-OR/Ex-NOR جدید با استفاده از ۱۰ ترانزیستور پیشنهادشده و سپس از آن برای پیاده‌سازی تمام جمع‌کننده پیشنهادی استفاده شده است.

در طول سال‌ها، طراحی‌های گیت Ex-OR/Ex-NOR مختلف بر اساس منطق عبور ترانزیستور (PTL)، منطق دروازه انتقال (TG)، منطق ترانزیستور عبور تکمیلی (CPL) و منطق ترانزیستور دو گذر (DPL) انجام شده است. یکی از اشکال منطقی که در مدارهای دیجیتال کم‌توان رایج است، منطق عبور ترانزیستور (PTL) است. در این تحقیق، گیت Ex-OR/Ex-NOR مبتنی بر PTL اصلاح‌شده با استفاده از یک حلقه بازخورد پیشنهاد می‌شود. جمع‌کننده کامل دروازه اساسی در بسیاری از مدارهای حسابی مانند جمع‌کننده‌ها و ضرب‌کننده‌ها است؛ بنابراین، ارتقاء عملکرد بلوک جمع‌کننده کامل منجر به افزایش عملکرد کلی سیستم می‌شود؛ بنابراین یک جمع‌کننده کامل با گیت Ex-OR/Ex-NOR پیشنهادی ساخته می‌شود. بلوک جمع‌کننده کامل سه ورودی می‌گیرد و دو خروجی Sum و Carry تولید می‌کند. انتقال خروجی برابر با تابع اکثریت سه ورودی است که در سیستم‌های تحمل‌کننده خطا استفاده می‌شود. خروجی Sum برابر با یک تابع Ex-OR سه ورودی است. برنامه‌های مختلف از توابع Ex-OR مانند مقایسه‌کننده‌ها، شمارنده‌ها، مولدهای برابری و بررسی‌کننده‌های برابری، عملگرهای حسابی، مولدهای الگوی آزمایشی و غیره استفاده می‌کنند. به‌طور خلاصه، جمع‌کننده کامل و سیگنال‌های خروجی به‌صورت جداگانه جزء کاربردی‌ترین بلوک‌های منطقی در مدارهای VLSI مسیر بحرانی تقریباً تمام سیستم‌های دیجیتال شامل بلوک‌های جمع‌کننده کامل است؛ بنابراین، افزایش بهتر عملکرد سیستم را می‌توان با افزایش سلول جمع‌کننده کامل به دست آورد. سبک منطقی موجود عمدتاً بر تأخیر، مساحت و قدرت‌مدارها تأثیر می‌گذارد. اگرچه سرعت، مصرف برق و مساحت مهم‌ترین فاکتورها هستند، اما قابلیت اطمینان، استحکام و حاشیه نویز عوامل مهم دیگری هستند که باید در نظر گرفته شوند. مدار Ex-OR/Ex-NOR در شکل (۸) نشان داده شده است. این مدار، یک عملیات نوسان کامل را - به‌جز ترکیب منطق ۱و منطق ۰- در خروجی Ex-OR و خروجی Ex-NOR برای همه ترکیب‌های ورودی انجام می‌دهد؛ این مشکل در مدار پیشنهادی حذف شده است. در شکل (۸) هنگامی‌که ورودی B در منطق ۱ است، ترانزیستورهای عبور PMOS T_3، T5 OFF و ترانزیستورهای عبور NMOS T4، T6 روشن هستند؛ بنابراین، خروجی Ex-OR مدار مکمل ورودی A است و خروجی Ex-NOR همان مقادیر منطقی ورودی A را می‌گیرد. وقتی ورودی B در منطق ۰ باشد، خروجی Ex-NOR مدار مکمل است. در ورودی A ترانزیستور عبور PMOS T_5 روشن و ترانزیستور عبور NMOS T_6 خاموش است؛ و خروجی Ex-OR مدار همانند ورودی A است زیرا ترانزیستور عبور PMOS T_3 روشن و ترانزیستور عبور NMOS T_4 خاموش است. ترانزیستورهای PMOS و NMOS جفت شده متقابل بین خروجی‌های Ex-OR و Ex-NOR برای دریافت نوسان کامل ولتاژ خروجی متصل می‌شوند. سطوح ولتاژ خروجی مدار برای تمامی

[1] very deep submicron

ترکیبات ورودی در جدول (۲) نشـــان داده شـــده اســـت. مدار Ex-OR/Ex-NOR پیشنهادی جدید در شکل (۹) نشان داده شده است. ‘۰’ در خروجی Ex-NOR برای ورودی A در منطق ‘۱’ و ورودی B در منطق ‘۰’ (که در جدول (۳) نشـان داده شـده اسـت) در این مدار توسـط حلقه فیدبک بازسـازی با ترانزیسـتورهای T_7 و T_8 حذف شـده اســت. در مدار پیشـــنهادی، هنگامی‌که ورودی A و B در منطق ‘۰’ هسـتند (ترانزیسـتورهای T_1 و T_3 روشـن هسـتند)، ‘۰’ بد در خروجی Ex-OR و ’1‘ خوب در خروجی Ex-NOR ایجاد می‌شـــود. ‘۰’ بد تولیدشـــده در Ex-OR توســـط ترکیبی از ترانزیســـتورهای T_5 و T_6 بازنشـانی می‌شـود. برای ورودی A منطق ‘۰’ و برای ورودی B منطق ‘۱’ (ترانزیستورهای T2 و T4 روشن هستند)، ‘۱’ بد در خروجی Ex-OR و ‘۰’ خوب در خروجی Ex-NOR تولیـد می‌شـــود. ‘۱’ بـد ایجادشـــده در Ex-OR توســـط ترکیبی از ترانزیســـتورهای T_8 و T_7 بازنشـانی می‌شـود. برای ورودی A منطق ‘۱’ و برای ورودی B منطق ‘۰’ (ترانزیسـتورهای T_1 و T_3 روشـن هسـتند)، ‘۱’ خوب در خروجی Ex-OR و ‘۰’ بـد در خروجی Ex-NOR تولیـد می‌شـــود. ‘۰’ بـد ایجادشـده در Ex-NOR توسـط ترکیبی از ترانزیسـتورهای T8 و T7 بازنشـانی می‌شـود. هنگامی‌که ورودی A و B در منطق ‘۱’ هسـتند (ترانزیسـتورهای T_2 و T_4 روشـن هسـتند)، ’0‘ خوب در خروجی Ex-OR و ‘۱’ بد در خروجی Ex-NOR ایجاد می‌شـود.‘۱’ بد تولیدشـده در Ex-OR توســط ترکیبی از ترانزیســتورهای T_5 و T_6 بازنشـانی می‌شود. سیگنال A مکمل شده به کمک وارونگر CMOS ایستا تولید می‌شود؛ بنابراین این مدار Ex-OR/Ex-NOR پیشنهادی عملکرد فول سوئینگ کامل برای هر ترکیب ورودی انجام می‌دهد که این موضوع در جدول (۳) نشـان داده شـده اسـت. یک تمام جمع‌کننده با مدار Ex-OR/Ex-NOR پیشـنهادی جدید و چهار گیت انتقال ساخته می‌شود. شـماتیک این مدار در شـکل (۱۰) نشـان داده شـده اسـت. روابط تمام جمع‌کننده ساخته شده در معادلات زیر نمایش داده شده‌اند:

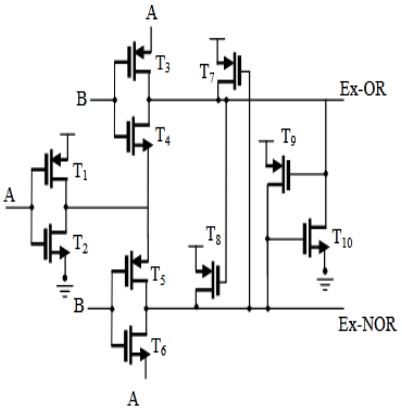
$$S = (A \oplus B).C_{in} + (A \oplus B).C_{in} \quad (۵)$$
$$(C_{out} = C_{in}.(A \oplus B) + .(A \oplus B))$$

جدول (۲): مقادیر ورودی خروجی جدول شکل (۸)

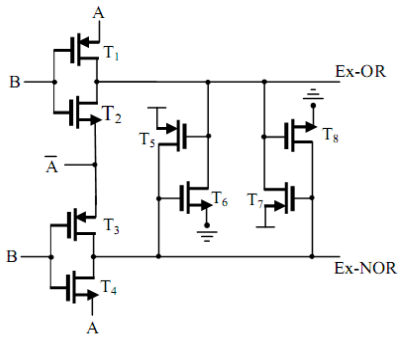
Inputs		Outputs	
Logic A	Logic B	Ex-NOR	Ex- OR
Logic ‘0’	Logic ‘0’	Good 1	Good 0
Logic ‘0’	Logic’1’	Good 0	Good 1
Logic ‘1’	Logic ’0’	Bad 0	Good 1
Logic ‘1’	Logic ’1’	Good 1	Good 0

جدول (۳): مقدار ورودی و خروجی شکل (۹)

Inputs		Outputs	
Logic A	Logic B	Ex-NOR	Ex- OR
Logic ‘0’	Logic ‘0’	Good 1	Good 0
Logic ‘0’	Logic’1’	Good 0	Good 1
Logic ‘1’	Logic ’0’	Bad 0	Good 1
Logic ‘1’	Logic ’1’	Good 1	Good 0



شکل (۸): دروازه معمولی Ex-OR/Ex-NOR



شکل (۹): گیت Ex-OR/Ex-NOR پیشنهادی

به منظور دسـتیابی به سـوئینگ ولتاژ خروجی کامل برای خروجی‌هـای sum و carry، ترانزیســتورهـای M_1، M_2، M_3 و M_4 استفاده شده‌اند. خروجی sum با اتصال گیت‌های عبور ترانزیستورهای M1 و M_2 به خروجی‌های مدار Ex-OR/Ex-NOR فراهم می‌شـود. خروجی carry نیز با اتصـال گیت‌های عبور ترانزیسـتورهای M_3 و M_4 بـه خروجی‌هـای مـدار Ex-OR/Ex-NOR فراهم می‌شـود. عملکرد مداری خروجی sum به‌صـورت زیر بیان می‌شـود: هنگامیکه خروجی Ex-OR مـنـطـق ‘۱’ و خـروجـی Ex-NOR مـنـطـق ‘۰’ دارد، ترانزیستورهای گیت عبور M_2 خاموش و M_1 روشن می‌شود؛ بنابراین، خروجی sum این مدار معکوس شـده ورودی C_{in} می‌باشـد. هنگامیکه خروجی Ex-OR منطق ‘۰’ و خروجی Ex-NOR منطق ‘۱’ دارد، ترانزیستورهای گیت عبور M2 روشن و M1 خاموش می‌شود؛ بنابراین، خروجی sum این مدار همان ورودی C_{in} می‌باشـد. عملکرد مداری خروجی carry به‌صورت زیر بیان می‌شود: هنگامیکه خروجی Ex-OR منطق ‘۱’ و خروجی Ex-NOR منطق ‘۰’ دارد، ترانزیستورهای گیت عبور M3 روشـن و M4 خاموش می‌شـود؛ بنابراین، خروجی carry این مدار همان ورودی C_{in} می‌باشـد. هنگامیکه خروجی Ex-OR منطق ‘۰’ و خروجی Ex-NOR منطق ‘۱’ دارد، ترانزیسـتورهای گیت عبور M_4 روشـن و M_3 خاموش می‌شـود؛ بنابراین، خروجی carry این مدار همان ورودی B می‌باشد.

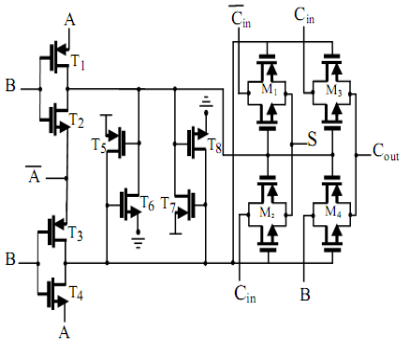
۴- تحلیل نتایج

شکل (۱۱) نتایج شبیه‌سازی‌شده مدار Ex-OR/Ex-NOR پیشنهادی (نشـان داده شـده در شـکل (۱۰)) را با فناوری ۰/۱۸ میکرومتر، ولتاژ تغذیه ۱/۸ ولت و با اسـتفاده از نرم‌افزار Hspice را نشـان می‌دهد. این شـکل نشـان می‌دهد که خروجی '۰' بد برای ترکیب ورودی A منطق '۱' و ورودی B منطق '۰' در عملکرد Ex-NOR وجود ندارد. در این شـکل، نتایج نشـان می‌دهند که خروجی خوب برای تمامی ترکیب‌های ورودی A و B برای هردوی منطق‌هـای Ex-OR/Ex-NOR وجود دارد. در جدول (۴) ابعاد ترانزیســتورهای مدار گیت Ex-OR/Ex-NOR نشان داده شده است. پارامترهای مهم ارزیابی مدارات دیجیتال شامل توان، تأخیر و حاصل‌ضرب توان در تأخیر (PDP) می باشند.

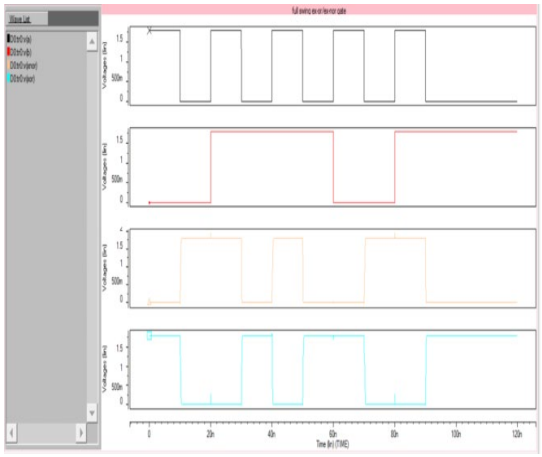
نتایج حاصـل از شـبیه‌سـازی مدار گیت Ex-OR/Ex-NOR برای ولتاژ تغذیه ۱/۸ ولت با خازن بار ۲/۱ فمتو فاراد می باشد. همه حالت‌ها در نظر گرفته شـــده و تأخیر ورودی‌های A و B تا خروجی‌های EX-OR و EX-NOR مورد ارزیابی قرار گرفته اسـت. تأخیر از ۵۰ درصـد مقدار ورودی تا ۵۰ درصـد مقدار خروجی مورد ارزیابی قرار گرفته و از بین مقادیر اندازه‌گیری شـــده، مقدار ماکزیمم آن پیداشـــده و به‌عنوان تأخیر انتشـار در نتایج ارائه شـده اسـت. بر اسـاس نتایج فوق، تأخیر ماکزیمم خروجی EX-OR برابر ۲۳۲/۶۲ پیکو ثانیه و تأخیر ماکزیمم خروجی EX-NOR برابر ۱۹۹/۸۶ پیکو ثانیه اسـت. توان مصـرفی نیز به‌طور میانگین در بازه صـفر تا ۱۲۰ نانوثانیه اندازه‌گیری شـد که برای این مدار مقدار ۲/۸۲ میکرو وات به دسـت آمد. حاصـل‌ضـرب تأخیر در توان (PDP) هم معیار مهمی برای ارزیابی مدارات دیجیتال اســت که در اینجا برای خروجی EX-OR مقدار آن برابر ۰/۶۵ فمتو ژول و برای خروجی EX-NOR مقدار آن برابر ۰/۵۶ فمتو ژول می‌باشـد. خلاصـه نتایج شـبیه‌سـازی مدار گیت Ex-OR/Ex-NOR در جدول (۵) نشـان داده شده است.

پارامترهای مهم ارزیابی مدارات دیجیتال توان، تأخیر و حاصل‌ضرب توان در تأخیر (PDP) می باشند. تأخیر برای تمامی ترکیب‌های ورودی محاسبه‌شده و ماکزیمم مقدار به‌عنوان تأخیر انتشار گزارش شده است. بر اساس نتایج فوق مشاهده می‌شود که تأخیر ماکزیمم برای خازن بار ۲/۱ فمتو فاراد برابر ۳۷۴/۶۴ پیکو ثانیه می‌باشـد. در بازه صـفر تا ۸۰ ثانیه توان مصـرفی میانگین برابر ۲/۷۳ میکرو وات اسـت. حاصـل‌ضـرب توان در تأخیر (PDP) نیز برابر 1.02×10^{-15} ژول می‌شـود. در جدول (۷) خلاصه نتایج شبیه تمام جمع‌کننده پیشنهادی به ازای ولتاژ تغذیه مختلف و خازن بار ۲/۱ فمتو فاراد نشان داده شده است.

در شـکل ۱۳ نتایج شـبیه تمام جمع‌کننده پیشـنهادی به ازای ولتاژ تغذیه مختلف و خازن بار ۲/۱ فمتو فاراد برای پارامترهای اندازه‌گیری شده تأخیر، توان و حاصل‌ضرب تأخیر در توان نشان داده شده است.



شکل (۱۰): تمام جمع‌کننده پیشنهادی



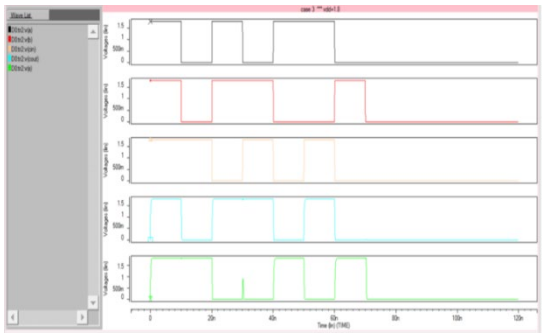
شکل (۱۱): شکل موج‌های ورودی و خروجی گیت Ex-OR/Ex-NOR به‌ازای ولتاژ تغذیه ۱/۸ ولت

جدول (۴): ابعاد ترانزیستورهای مدار گیت Ex-OR/Ex-NOR

Transistor	Type	W(μm)	L(μm)
T1	PMOS	0.81	0.18
T2	NMOS	0.27	0.18
T3	PMOS	0.81	0.18
T4	NMOS	0.27	0.18
T5	PMOS	0.81	2×0.18
T6	NMOS	0.27	2×0.18
T7	PMOS	0.81	2×0.18
T8	NMOS	0.27	2×0.18

جدول (۵): نتایج شبیه‌سازی گیت Ex-OR/Ex-NOR

	Vdd (V)	Power (μW)	Delay (ps)	PDP ($\times10^{-15}$J)
EX-OR	1.8	2.82	232.62	0.6561
EX-NOR	1.8	2.82	199.86	0.5637



شکل (۱۲): شکل موج‌های ورودی و خروجی تمام جمع‌کننده پیشنهادی به ازای ولتاژ تغذیه ۱/۸ ولت

جدول (۶): ابعاد ترانزیستورهای مدار تمام جمع‌کننده پیشنهادی

Transistor	Type	W(µm)	L(µm)
T_1	PMOS	0.54	0.18
T_2	NMOS	0.27	0.18
T_3	PMOS	0.54	0.18
T_4	NMOS	0.27	0.18
T_5	PMOS	0.54	2×0.18
T_6	NMOS	0.27	2×0.18
T_7	PMOS	0.54	2×0.18
T_8	NMOS	0.27	2×0.18
M_{1p}	PMOS	0.54	0.18
M_{1n}	NMOS	0.27	0.18
M_{2p}	PMOS	0.54	0.18
M_{2n}	NMOS	0.27	0.18
M_{3p}	PMOS	0.54	0.18
M_{3n}	NMOS	0.27	0.18
M4p	PMOS	0.54	0.18
M_{4n}	NMOS	0.27	0.18

جدول ۷: نتایج شبیه‌سازی تمام جمع‌کننده پیشنهادی

Vdd (V)	Power (µW)	Delay (ps)	PDP ($\times 10^{-15}$J)
3.3	10.23	211.87	2.167
2.4	5.12	271.93	1.39
1.8	2.73	374.64	1.023
1.2	1.09	734.69	0.8
0.6	0.23	11854	2.77

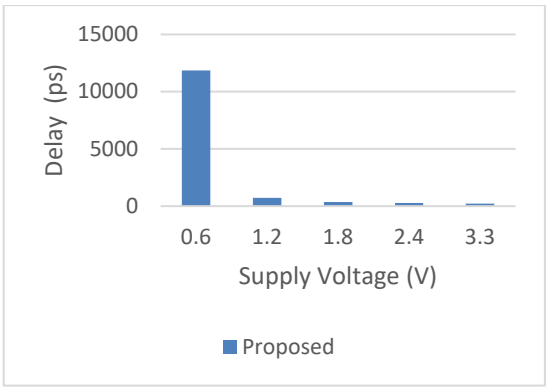
۵- نتیجه

در این مقاله تجزیه‌وتحلیل بهینه‌سازی مصرف توان و تأخیر در طراحی جمع‌کننده‌ی کامل با استفاده از فناوری ۱۸۰ CMOS nm نانومتر ارائه شده است. در ابتدا، طراحی آمپر دوطبقه‌ای با استفاده از فناوری ۱۸۰نانومتر توصیف شد و سپس برای غلبه بر برخی از محدودیت‌های تقویت‌کننده عملیاتی، یک تقویت‌کننده عملیاتی تاشده با بهره بالا طراحی شد که مقاومت خروجی بالایی را فراهم می‌کند و منجر به افزایش زیاد در مقایسه با مدار نرمال کاسکود می‌شود. شبیه‌سازی مدارهای Cascode و Cascode تا شده با استفاده از ابزار شبیه‌سازی HSPICE انجام می‌شود و از پارامترهای ۲ - LEVEL، ۱۸۰ nm نانومتر استفاده می‌شود. در این مقاله تحلیل کاملی از مدار ارائه شده است که نشان می‌دهد چگونه این مدار منجر به افزایش زیاد و مقاومت بالا در خروجی می‌شود. مقایسه تقویت‌کننده عملیاتی کسکود و کسکود تاشده شرح داده شده است. همچنین مقایسه نتایج شبیه‌سازی و محاسبه‌شده آن‌ها به‌صورت جداگانه شرح داده شد. این پژوهش بینش قابل‌توجهی در مورد عملکرد کلی و مزایای مدار کسکود تاشده ارائه می‌دهد. این طرح بر محدودیت‌ها و اشکالات مختلف معماری‌های توصیف‌شده قبلی که قبلاً ارائه شده است، غلبه می‌کند.

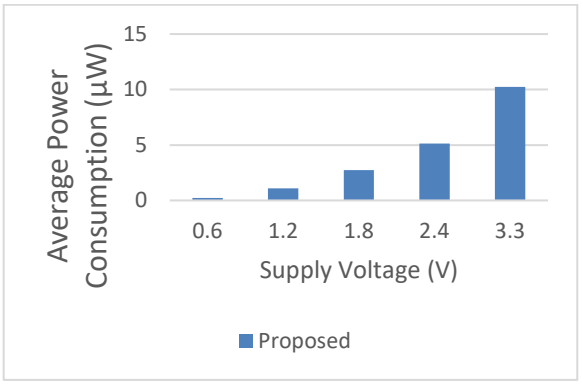
مراجع

[۱] جان .ام .رابی، آ .چاندراکازان، ب .نیکولیچ "مداراهای مجتمع دیجیتال" (ترجمه د .شیری، و.ا .نجفی) انتشارات نص، زمستان۹۳.

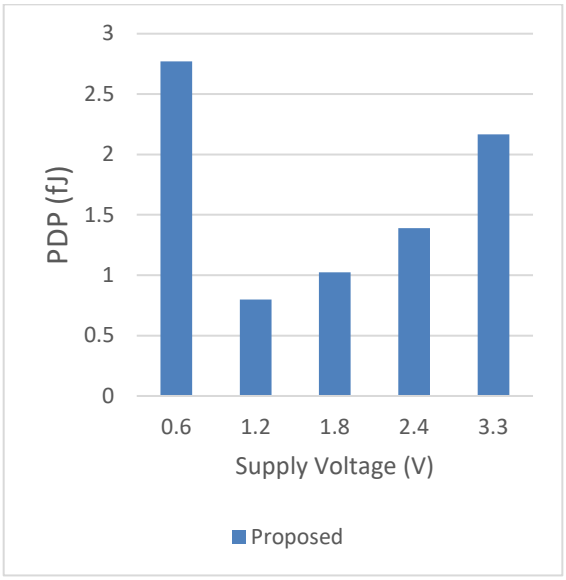
[۲] م .صاحب زمانی، ف .صفایی و م .فتحی"طراحی VLSI دیجیتال" شیخ بهایی،1394 .



(الف)



(ب)



(ج)

شکل ۱۳: تمام جمع‌کننده پیشنهادی به ازای ولتاژهای تغذیه مختلف؛ (الف) تأخیر، (ب) توان مصرفی میانگین و (ج) PDP

[۳] ش .رضاپور، ر .رئیسی گودوئی، ف .جعفری، م .فرجی"پیاده‌سازی یک سلول تمام جمع کننده تک بیتی CMOSبا مصرف توان پایین"، کنفرانس بین المللی مهندسی برق، تهران، سازمان پژوهشی باقرالعلوم (ع)،1395 .

[4] A. Kumar, and A. Islam. "Multi-gate device and summing-circuit co-design robustness studies@ 32-nm technology node." Microsystem Technologies 23, no. 9, pp.4099-4109, Sep 2017.

[5] J.P. Colinge, ed. (FinFETs and other multi-gate transistors). Vol. 73. New York: Springer, Jul 2008.

[6] INTERNATIONAL ROADMAP FOR DEVICES AND SYSTEMS, “MORE MOORE WHITE PAPER,” 2016 EDITION, IEEE Advancing Technology for Humanity, 2016. On the WWW, at https://irds.ieee.org. PDF file.

[7] M. Bahadori, M. Kamal, A. Afzali-Kusha, and M. Pedram. "A comparative study on performance and reliability of 32-bit binary adders." Integration 53, pp.54-67, Mar 2016.

[8] S. Sharma, and G. Soni. "Comparision analysis of FinFET based 1-bit full adder cell implemented using different logic styles at 10, 22 and 32NM." In 2016 International Conference on Energy Efficient Technologies for Sustainability (ICEETS), pp. 660-667. IEEE, Apr 2016.

[9] Y. S. Chauhan, D. D. Lu, V. Sriramkumar, S. Khandelwal, J. P. Duarte, N. Payvadosi, A. Niknejad, and C. Hu. (FinFET modeling for IC simulation and design: using the BSIM-CMG standard.) Academic Press, 2015.

[10] H. C. Chin, C. S. Lim, and M. L. P. Tan. "Design and performance analysis of 1-bit FinFET full adder cells for subthreshold region at 16 nm process technology." Journal of Nanomaterials 16, no. 1, pp.175, jan 2015.

[11] S. Taghipour, and R. Niaraki Asli. "Aging comparative analysis of high-performance FinFET and CMOS flip-flops." Microelectronics Reliability 69, pp.52-59, Feb 2017.

[12] A. M. Shams, T. K. Darwish, and M. A. Bayoumi. "Performance analysis of low-power 1-bit CMOS full adder cells." IEEE transactions on very large scale integration (VLSI) systems 10, no. 1, pp.20-29, Aug 2022.

[13] Temporary Parameter List File for ITRS 2011 Ver2 Models in Predictive Technology Model (PTM), Available: http://ptm.asu.edu/modelcard/PTM-MG/param.inc. ZIP file.

[14] S. Kim, M. Kim, S. Woo, H. Kang, and S. Kim. "Performance of ring oscillators composed of gate-all-around FETs with varying numbers of nanowire channels using TCAD simulation." Current Applied Physics 18, no. 3, pp.340-344, Mar 2018.

[15] V. S. Kumar, and S. Ravindrakumar. "Design of an Area-Efficient FinFET-Based Approximate Multiplier in 32-nm Technology for Low-Power Application." In Soft Computing and Signal Processing, Springer, Singapore, pp. 505-513, 2019.