فصل نامه تخصصی مهندسی مخابرات

دانشگاه آزاد اسلامی واحد بوشهر

سال پنجم / شماره ۱۸ / زمستان ۱۳۹۴

مدیر مسئول: دکتر علیرضا ملاح زاده

دانشگاه خلیج فارس malahzad@yahoo.com

سردبیر: دکتر همایون عریضی

دانشگاه علم و صنعت ایران h_oraizi@iust.ac.ir

مدیر داخلی: مهندس روزبه حمزه ئیان

دانشگاه آزاد اسلامی واحد بوشهر r_hamzehyan@iaubushehr.ac.ir

هیأت تحریریه

دکتر رضا دیانت

استادیار، دانشگاه خلیج فارس بوشهر

دکتر محمد سلیمانی

استاد، دانشگاه علم و صنعت ایران

دکتر همایون عریضی

استاد، دانشگاه علم و صنعت ایران

دکتر سید علی علویان

استادیار، دانشکده علمی و کاربردی مخابرات

دکتر سراج الدین کاتبی

استاد، دانشگاه شیراز

دکتر کریم محمدی

استاد، دانشگاه علم و صنعت ایران

دکتر علیرضا ملاح زاد

استادیار، دانشگاه خلیج فارس بوشهر

نشانی: بوشهر، عالی شهر، دانشگاه آزاد اسلامی واحد بوشهر، حوزه معاونت پژوهش و فناوری، مجله تخصصی مهندسی مخابرات

تلفن: ۵۶۸۲۳۰۵- ۰۷۷۱ داخلی ۲۰۰۹ **فاکس**: ۰۷۷۱-۵۶۸۳۷۰۰

پست الکترونیک: jce.iaub@gmail.com و jce@iaubusher.ac.ir

این مجله بر اساس مجوز انتشار شماره ۸۷/۴۲۲۰۹۲ تاریخ ۸۹/۱۰/۲۲ مدیر کل دفتر گسترش تولید علم دانشگاه آزاد اسلامی انتشار می‌یابد.

راهنمای تهیهٔ مقاله

رعایت نکات و دستورالعمل زیر برای جلوگیری از تأخیر در داوری و انتشار به موقع نشریه هنگام ارسال مقالات ضروری است:

۱. مجله تخصصی مهندسی مخابرات به دلیل تخصصی بودن فقط در موضوعات مرتبط با مخابرات پذیرای مقالات می‌باشد.

۲. مقالهٔ ارسال شده در نشریهٔ دیگر چاپ نشده یا همزمان برای سایر مجلات ارسال نشده باشد.

۳. زبان رسمی نشریه، فارسی است، اما چکیده مقالات به زبان انگلیسی نیز ضروری است.

۴. مقاله علاوه بر چکیده فارسی و انگلیسی (۲۵۰ کلمه، معادل حداکثر ۱۵ سطر)، بایستی دارای واژه‌های کلیدی (حداکثر ۶ واژه)، مقدمه، روش کار، نتایج، بحث و نتیجه‌گیری و فهرست منابع باشد.

۵. مقاله باید تحقیقی و حاصل کار پژوهشی نویسنده یا نویسندگان باشد.

۶. مقالاتی که توسط دانشجویان کارشناسی ارشد و دکتری با همکاری اساتید راهنما و یا مشاور تهیه می‌شود، ضرورتاً می‌بایست با امضاء استاد مربوطه به نشریه ارسال گردد؛ در غیر این صورت در هیأت تحریریه قابل طرح نخواهد بود.

۷. مقاله صرفاً از طریق ایمیل نشریه ارسال گردد.

jce.iaub@gmail.com

۸. مقاله در محیط Word 2003 یا Word 2007 قلم B Lotus فونت ۱۲ (برای چکیده لاتین با قلم تایمز ۱۰) فاصله تقریبی میان سطور ۰/۹ حروفچینی و تایپ گردد. حاشیه ۲ سانتیمتر از چهار طرف باشد. عنوان مقاله با فونت B Lotus ۱۸ Bold، مشخصات نویسنده یا نویسندگان با فونت B Lotus ۱۵ Bold، چکیده فارسی با فونت B Lotus ۱۲، فهرست عناوین متن با فونت B Lotus ۱۲Bold، منابع با فونت B Lotus ۱۱ نگاشته شود.

۹. مقاله در سه فایل جداگانه شامل؛ یک فایل صفحه مشخصات نویسنده یا نویسندگان Word شده، فایل دوم حاوی مقاله اصلی در محیط Word بدون صفحه مشخصات نویسندگان، فایل سوم حاوی مقاله اصلی PDF شده بدون صفحه مشخصات نویسندگان باشد.

۱۰. مقالات ارسال شده باید دارای بخش‌های زیر باشد:

صفحه اول: به صورت Word 2003 یا Word 2007 و در فایل جداگانه مشخصات نویسنده(گان) ارسال گردد.

– رتبه علمی و نام مؤسسه یا محل اشتغال نویسنده یا نویسندگان به فارسی و انگلیسی

– نشانی کامل نویسندهٔ عهده‌دار مکاتبات: شامل نشانی پستی، شماره تلفن، شماره دورنگار و نشانی پیام‌نگار (پست الکترونیکی) به فارسی و انگلیسی، از ذکر مشخصات در صفحه‌های مقاله باید خودداری شود.

– چنانچه مخارج مالی تحقیق یا تهیه مقاله توسط مؤسسه‌ای تأمین شده باشد باید نام مؤسسه در پاورقی صفحه اول درج شود.

صفحه دوم: عنوان کامل مقاله به فارسی، چکیده فارسی (حداکثر ۲۵۰ واژه)، کلید واژگان فارسی (حداکثر شش واژه)

عنوان کامل مقاله به انگلیسی، چکیده انگلیسی (حداکثر ۲۵۰ واژه)، کلید واژگان انگلیسی (حداکثر شش واژه)

از صفحهٔ سوم به بعد متن اصلی مقاله خواهد آمد.

مأخذ در متن مقاله، در شروع جمله با ذکر نام خانوادگی نویسنده (گان) و در داخل پرانتز شماره رفرنس، در پایان جمله در داخل پرانتز شماره رفرنس آورده شود. مثال نحوهٔ ارجاع در داخل متن در ابتدای جمله: توسلی (۱۲)؛ در پایان جمله (۱۲). لازم به ذکر است تمام منابع لاتین بایستی معادل فارسی آن‌ها آورده شود. مثال آندرسون (۱۵).

۱۱. معادل‌های انگلیسی در متن مقاله آورده شود.

۱۲. روش ارائه منابع در انتهای مقاله:

الف– نام خانوادگی، نام نویسنده یا نویسندگان. سال انتشار. عنوان کتاب. شماره جلد. نوبت چاپ، محل انتشار، نام ناشر. نحوهٔ درج در فهرست منابع به ترتیب حروف الفبا خواهد بود. برای مثال کتاب: رسولی، ع. ا. ۱۳۹۳. مبانی سنجش از دور کاربردی، چاپ اول، انتشارات دانشگاه تبریز، ۷۰۳ صفحه.

ب– مثال برای نشریه: نام خانوادگی، نام نویسنده یا نویسندگان (سال انتشار). عنوان مقاله. نام نشریه. جلد (شماره): صفحه ....– .....

۱۳. حداقل منابع مورد استفاده نباید از ۲۵ منبع کمتر باشد.

۱۴. واحدهای استفاده شده در مقاله بایستی در سیستم متریک باشد.

۱۵. در متن مقاله به شماره عکس‌ها و جداول اشاره شود و محل تقریبی آن‌ها مشخص گردد.

در تنظیم جداول و شکل‌ها (منحنی‌ها، نمودارها و تصاویر)، رعایت نکات زیر الزامی است:

الف ـ اطلاعات جداول نباید به‌صورت منحنی و یا به شکل دیگر در مقاله تکرار شوند. شماره و عنوان در بالای جدول ذکر گردد.

ب ـ هر ستون جدول باید دارای عنوان و واحد مربوط به خود باشد، چنانچه تمام ارقام جدول دارای واحد یکسان باشند، می‌توان واحد را در عنوان جدول ذکر نمود.

ج ـ توضیحات اضافی عنوان و متن جدول، به‌صورت زیرنویس ارائه گردد. نتایج بررسی‌های آماری، باید به یکی از روش‌های علمی در جدول منعکس شود و در هر صفحه نباید بیش از دو جدول آورده شود.

د – شکل‌های هر مقاله شامل منحنی، نمودار، عکس و نقشه بوده و همه به طور یکسان به عنوان شکل شماره‌گذاری می‌شوند. شکل‌ها باید به صورت رنگی با کیفیت مناسب و مطلوب تهیه شده و شماره و عنوان آن‌ها در پائین بیاید. اعداد و مقایس موجود در منحنی، نمودار، عکس و نقشه به زبان فارسی باشد. عکس‌ها باید واضح، مطالب آن‌ها خوانا و دارای مقیاس باشند. ذکر مأخذ عکس‌ها یا شکل‌هایی که از منابع دیگر اقتباس شده‌اند الزامی است.

۱۶. مقاله‌های رسیده توسط سه نفر از استادان متخصص به صورت محرمانه داوری خواهد شد.

۱۷. مسئولیت صحت و سقم مقاله به لحاظ علمی و حقوقی به عهده نویسنده مسئول مکاتبات است.

۱۸. مقالات ترجمه اصولاً پذیرفته نمی‌شود.

۱۹. حداکثر حجم مقالات، شامل جدول‌ها و منحنی‌ها ۲۰ صفحه A4 باشد.

مجله حق رد یا قبول و نیز ویراستاری مقالات را برای خود محفوظ می‌دارد و از بازگرداندن مقالات دریافتی معذور است.

۲۰. پس از چاپ مقاله یک نسخه از نشریه حاوی مقاله نویسندگان به آنان اهداء خواهد شد.

فهرست مطالب

OFDM نوری تجزیه‌ی طیفی ۱
طیبه رضایی نسب

ارائه یک الگوریتم جدید در راستای ارزیابی کارایی معماری سازمانی چابک ۷
آیدا نوشزاد، علی هارون آبادی و سیدجواد میرعابدینی

بررسی الکترونیک مبتنی بر تک‌الکترون ۱۵
محمد میرعلائی، سعید عطابخش، نجمه چراغی شیرازی

تحلیل و طراحی QVCO با نویز فاز کم با استفاده از تکنولوژی ۰18um CMOS. برای فرستنده و گیرنده‌های موبایل ۲۵
سعیدعالی پور، نجمه چراغی شیرازی، روزبه حمزه ئیان

بهبود روش کنترل مؤثر در مبدل‌های DC-DC سوئیچ‌خازنی برای کاربردهای با توان بسیار پایین ۳۳
حمید توانا، عبدالرسول قاسمی، نجمه چراغی شیرازی

طراحی مدار تمام جمع‌کننده توان پایین و سرعت بالا با استفاده از منطق ترکیبی ۳۹
احسان بهروز زیارتی، علی کاظمی و خوشنام شجاعی ارانی

طراحی یک زمانبند وظیفه جدید برای سیستم‌های محاسباتی توسط الگوریتم‌های هوش مصنوعی در محیط گرید ۴۵
شیما شهابی، علی هارون آبادی و سیدجواد میرعابدینی

OFDM نوری تجزیه‌ی طیفی

طیبه رضایی نسب

دانشگاه آزاد اسلامی، واحد بوشهر، گروه مهندسی برق، بوشهر، ایران، Rezaeenasab_t@yahoo.com

تاریخ دریافت: ۹۴/۲/۱۸ تاریخ پذیرش: ۹۴/۹/۲۸

چکیده

یک روش جدید و مؤثر پهنای باند، برای انجام در مدولاسیون تقسیمات چندگانه فرکانس متعامد (OFDM)، روی کانال‌های نوری IM/DD (آشکارسازی مستقیم شدت نور مدوله شده)، OFDM نوری تجزیه طیفی (SFO-OFDM) است. در اینجا نشان می‌دهیم که شرایط لازم و کافی برای سیگنال پریودیک باند محدود برای همه‌ی زمان‌ها، مثبت بودن آن است که به شکل ضرائب فرکانسی دنباله‌های وابسته می‌باشد. به جای فرستادن داده‌ها به صورت مستقیم روی زیر حامل‌ها، دنباله‌ی همبستگی داده‌های پیچیده قبل از انتقال، زیرحامل‌های غیرمنفی را چک می‌کند. در حوزه‌ی Z، توان نوری متوسط، به موقعیت صفر مرتبط است و برای طراحی مجموعه‌ی سیگنال استفاده می‌شود. برخلاف روش‌های قبلی، SFO-OFDM توانایی استفاده از تمام پهنای باند برای انتقال داده‌ها را دارد و نیازمند ذخیره‌ی زیر حامل‌ها نمی‌باشد. استفاده از روش طراحی زیر بهینه، با ۹ زیرحامل و ۸ بیت بر سمبل، SFO-OFDM، dB۰.۵ بهره روی ACO-OFDM، در احتمال خطای 5-10 و کاهش در نسبت پیک به متوسط، بیشتر از ۳۰٪ دارد.

کلید واژه: OFDM نوری تجزیه‌ی طیفی، تقسیمات چند گانه فرکانس متعامد، OFDM نوری برش داده شده‌ی نامتقارن

مقدمه

فرایند استفاده از دیودهای ساطع کننده‌ی نور (LED) ها که روشنایی‌های محیط‌های سربسته را تأمین می‌کنند، برای مخابرات نور مرئی (VLC)، هنوز یک محدوده‌ی فعال مطالعه محسوب می‌شوند. این سیستم‌ها، پهنای باند محدود دارند، اما نسبت سیگنال به نویز (SNR) بالایی دارند، اغلب بیشتر از dB۶۰ [1]. سیستم‌های نوری، آشکارسازی مستقیم شدت نور مدوله شده (IM/DD) داده‌ها را روی شدت آنی LEDها مدوله می‌کند. به علاوه، شدت متوسط همه‌ی ساطع کننده‌ها محدود است و غالباً به انتخاب کاربر است. بنابراین، همه‌ی سیگنال‌های انتقالی باید غیرمنفی و محدود باشند. تقسیمات چندگانه‌ی فرکانس متعامد (OFDM)، به عنوان یک روشی برای پهنای باند کانال‌های انتخابی با نسبت سیگنال به نویز کافی ظهور کرده است [2]. به دلیل محدودیت کانال‌های VLC در مورد ضرورت غیرمنفی بودن دامنه، اعمال مستقیم OFDM، امکان پذیر نمی‌باشد. در بایاس DC-OFDM، یک بایاس DC، به سیگنال‌های OFDM دوقطبی، برای اطمینان از مثبت بودن آن، اضافه می‌شود. در کل، سیگنال‌های بایاس DC-OFDM از کارائی توان نوری ضعیفی رنج می‌برند.

سیستم‌های چند حاملی برش داده شده، مانند OFDM نوری برش داده شده‌ی نامتقارن (ACO-OFDM) [4] و مدولاسیون چندحاملی گسسته مبتنی بر مدولاسیون دامنه (PAM-DMT) [5]، کارائی توان نوری متوسط بهتری نسبت به بایاس DC-OFDM دارند. ACO-OFDM زیرحامل‌های فرد را مدوله می‌کند که PAM-DMT با استفاده از مدولاسیون PAM، فقط قسمت‌های موهومی زیر حامل‌ها را مدوله می‌کند. بنابراین در سیستم‌های چند حاملی برش داده شده، تنها نیمی از داده‌های انتقالی در دسترس هستند. به هر حال، نتایج دنباله‌های

حوزه‌ی زمان، متقارن هستند و اعوجاج در نتیجه‌ی برش خوردن دامنه‌های منفی نسبت به داده‌های متعامد می‌باشد. توجه کنید که ACO-OFDM و PAM-DMT، فقط غیرمنفی بودن نمونه‌ها را تضمین می‌کنند و سیگنال حوزه‌ی زمان را بررسی و اصلاح نمی‌کند. به علاوه، سیستم‌های چند حاملی برش داده شده، از نسبت توان پیک به متوسط بالایی رنج می‌برند.

در این مقاله، OFDM نوری تجزیه طیفی (SFO-OFDM)، به عنوان یک چهارچوبی برای طراحی OFDM در کانال‌های نوری IM/DD معرفی شده است. به ویژه، دامنه‌های زیر حامل‌ها، چنان انتخاب می‌شوند که دنباله‌های همبستگی را شکل می‌دهند، که به این ترتیب همبستگی برای تضمین مثبت بودن دامنه‌ها، لازم و کافی است. دنباله‌های همبستگی با طراحی‌های زیربهینه در صفرهای حوزه‌ی Z، تولید می‌شوند. صفرهای حوزه‌ی Z، مطابق با معیار ماکزیمم و مینیمم مسافت بین توالی همبستگی مربوطه، طراحی می‌شوند.

در بخش ۲، چهارچوبی از SFO-OFDM ارائه شده و در بخش ۳، استفاده می‌شود. نتایج شبیه سازی در بخش ۴، ارائه شده و نتایج مقاله در بخش ۵ بیان می‌شوند.

مدل سیستم

مدل کانال

خط دید کانال‌های نوری داخل ساختمانی که به وسیله‌ی کانال IM/DD مدل شده است، در زیر نشان داده شده است:

$$Y(t) = x(t) + w(t),$$

که $y(t)$ جریان گیرنده و $x(t) \geq 0$ سیگنال انتقالی باند محدود و غیرمنفی است و $w(t)$ نویز سفید گوسی با میانگین صفر و واریانس σ^2 می‌باشد [3]. نسبت سیگنال به نویز نوری (SNRO) و نسبت توان پیک به متوسط (PAPR)، در سیتم‌های نوری (IM/DD) به این صورت تعریف می‌شود:

$$SNR_O = \frac{p_{ave}}{\sigma} \quad , \quad PAPR = \frac{x(t)_{max}}{p_{ave}}$$

که $p_{ave} = E\{x(t)\}$ توان متوسط سیگنال انتقالی است.

تجزیه‌ی طیفی

مفهوم تجزیه‌ی طیفی در طراحی فیلتر FIR به خوبی بیان شده است [6]. اما در اینجا این مفهوم از دید دیگری در نظر گرفته می‌شود، به نام ساختار دامنه‌ی مثبت سیگنال‌های OFDM که برای مخابره در کانال‌های IM/DD مناسب هستند.

قضیه (۱): هر سیگنال پریودیک، باند محدود، حقیقی و زمان مثبت، دارای ضرائب سری فوریه‌ای است که به شکل دنباله‌های همبستگی می‌باشد.

اثبات: بیایید $r(t)$ را به عنوان یک سیگنال زمان مثبت و حقیقی باند محدود و پریودیک که همراه با ضرائب سری فوریه‌ی a_l است در نظر بگیریم بنابراین

$$r(t) = \sum_{l=-k}^{l=k} a_l \, e^{jlw_0 t} > 0$$

که $w_0 = \frac{2\pi}{T}$، و T دوره تناوب سیگنال است و $N = 2K + 1$ تعداد ضرائب است. از آنجائی که $r(t)$ حقیقی است، ضرائب a_l تقارن هرمیتی دارند مانند:

$$\forall\, l: a^*_{-l} = a_l$$

همان گونه که در [6] پیشنهاد شده است، تعریف می‌شود:

$$T(Z) = \sum_{l=-k}^{l=k} a_l z^l$$

که به عنوان تابع مشخصه‌ی حوزه‌ی Z است. توجه کنید که $r(t)$ حالت خاصی از $T(z)$ است، زمانی که $z = e^{jw_0 t}$، z روی دایره‌ی واحد قرار دارد. با جایگذاری Z با $\frac{1}{z^*}$ در معادله (۵)، به دست می‌آید:

$$T\left(\frac{1}{z^*}\right) = \left(\sum_{l=-k}^{k} a^*_{-l} z^l\right)^* = \left(\sum_{l=-k}^{k} a_l z^l\right)^* = T^*(z)$$

با استفاده از (۴)، ساده است که نشان دهیم:

$$T^*\left(\frac{1}{z^*}\right) = T(z)$$

با توجه به (۷) ریشه‌های $T(z)$، کانجوگیت هم پاسخ را نشان می‌دهد. برای مثال، اگر λ_i ریشه‌ی $T(z)$ بیرون دایره‌ی واحد باشد، $\frac{1}{\lambda_i}$ نیز ریشه‌ی $T(z)$ داخل دایره‌ی واحد است.

علاوه براین، نقطه‌ی مقابل یک نقطه بر روی دایره، خود آن نقطه است و تعداد کل نقطه‌ها زوج است. $T(z)$ می‌تواند تعداد

زوجی از صفرها را روی دایره‌ی واحد به ما بدهد. در نتیجه:

$$T(z) = cz^{-k}\prod_{i=1}^{j}(z-e^{j\phi_i})\prod_{i=1}^{k-\frac{j}{2}}(z-\lambda_i)\left(z-\frac{1}{\lambda_i^*}\right)$$

که در آن c یک عامل مقیاس گذاری است و ϕl فاز صفر روی دایره‌ی واحد است. بدون از دست دادن کلیات مسئله، فرض می‌کنیم که λ_i، صفرهایی خارج از دایره‌ی واحد است.

حالت صفر روی دایره‌ی واحد را درنظر می‌گیریم (J>0). از آنجائی که $r(t) = T(e^{jw_0t})$، بر این موضوع دلالت دارد که r(t) =0 برای $t = \frac{\phi_l}{w_0}$ است که این یک تناقض است. در نتیجه، مثبت بودن r(t)، حاکی از آن است که T(z) هیچ صفری روی دایره‌ی واحد نداشته باشد. به عنوان مثال:

$T(z) = cz^{-k}\prod_{i=1}^{k}(z-\lambda_i)\left(z-\frac{1}{\lambda_i^*}\right)$ باز نویسی:

$$T(z) = \underbrace{\left(\frac{c(-1)^k}{\prod_{i=1}^{k}(\lambda_i^*)}\right)}_{c'}\underbrace{\prod_{i=1}^{k}(1-\lambda_i z^{-1})}_{H(z)}\underbrace{\prod_{i=1}^{k}(1-\lambda_i^* z)}_{H^*\left(\frac{1}{z^*}\right)} = c'H(z)H^*\left(\frac{1}{z^*}\right)$$

از (۷)، $c' = (c')^* c'$ حقیقی است. علاوه براین،

$\forall\, t, r(t) = T(e^{jw_0t}) > 0$. بنابراین از (۱۰) ،

$$\forall\, t: r(t) = T(e^{jw_0t}) = c'\underbrace{\prod_{i=1}^{k}\left|1-\lambda_i e^{-jw_0t}\right|^2}_{r'(t)} > 0$$

زمانی که $T(z)$ هیچ صفری روی دایره‌ی واحد ندارد $r'(t) > 0$ بنابراین $c' > 0$ و یک ریشه‌ی مربع دارد. فرمول (۱۰) را ساده می‌کنیم:

(۱۲)

$$T(z) = \underbrace{\left(\sqrt{c'}H(z)\right)}_{s(z)}\underbrace{\left(\sqrt{c'}H^*\left(\frac{1}{z^*}\right)\right)}_{S^*\left(\frac{1}{z^*}\right)} = S(z)S^*\left(\frac{1}{z^*}\right)$$

اجازه دهید:

$$s(z) = \sum_{l=0}^{k} s_l z^{-l} \qquad (۱۳)$$

جایگذاری (۱۳) در (۱۲) و مقایسه با (۵) می‌دهد:

$$a_l = \sum_{m=0}^{k} s_m s_{m-1}^* \qquad (۱۴)$$

بنابراین a_l خود همبستگی از s_l است.

قضیه ۲: اگر ضرائب سری فوریه‌ی سیگنال تناوبی باند محدود f(t)، یک دنباله‌ی همبستگی را تشکیل دهد، بنابراین،

$$\forall\, t\ f(t) \geq 0$$

اثبات: اجازه دهید bl را ضرائب سری فوریه‌ی سیگنال تناوبی باند محدود f(t) در نظر بگیریم، فرض کنید که دنباله‌ی bl یک همبستگی از دنباله‌ی gl باشد، $l \in [-k, k]$ در

$$b_l = \sum_{m=.}^{k} g_m g_{m-l}^* = g_l * g_{-l}^* \qquad (۱۵)$$

که علامت * کانولوشن را نشان می‌دهد. از خصوصیات سری فوریه، $g_l * g_{-l}^*$ ضرائب سری فوریه‌ی سیگنال هستند

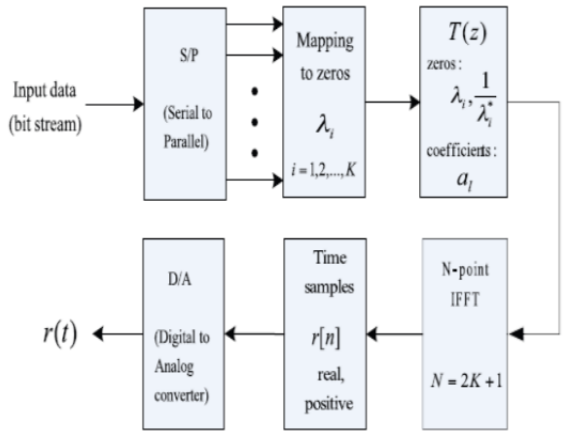
$$f(t) = g(t)g(t)^* = \|g(t)\|^2 \qquad (۱۶)$$

بنابراین، $f(t) = \|g(t)\|^2$ برای همه‌ی زمان‌ها، حقیقی و مثبت است.

طراحی سیستم

طراحی طرح

در SFO-OFDM، همبستگی ضرائب فرکانسی در (۱۲)، برای تولید سیگنال‌های تک قطبی به طور مستقیم و بدون محدودیت پهنای باند مدولاسیون استفاده شده است. شکل (۱)



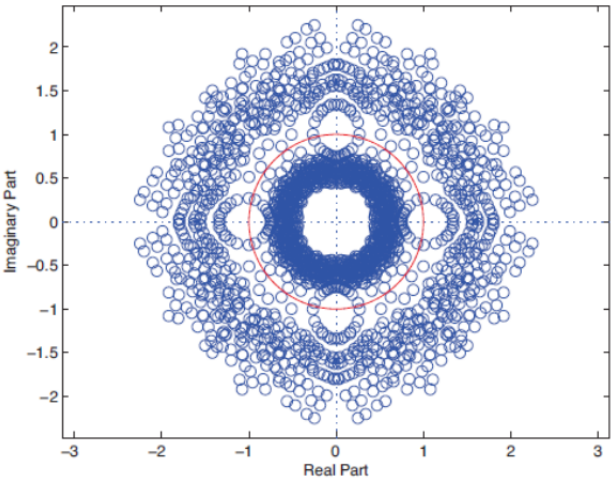
شکل ۱- بلوک دیاگرام فرستنده‌ی SFO-OFDM

بلوک دیاگرامی ساده از فرستنده‌ی SFO-OFDM را نشان می‌دهد. داده‌های ورودی سری به بلاک‌های موازی تقسیم می‌شوند که به نقطه‌های s(z) که خارج از دایره قرار دارند مپ می‌شوند، برای مثال λ i تابع مشخصه‌ی حوزه‌ی z،

$T(z) = s(z)s\left(\frac{1}{z^*}\right)^*$ با جفت زوج‌های متقابل λi و 1/λi برای تولید ضرائب همبستگی al تشکیل می‌شود. اجرای N=2k+1 نقطه‌ی عکس تبدیل فوریه بر روی ضرائب T(z)، یک بازه‌ی زمانی مثبت به نام r[n] را تولید می‌کند که نمونه‌های سیگنال زمان پیوسته‌ی r(t) هستند.

بایاس DC-OFDM در چهارچوب SFO-OFDM

از آنجائی که سیگنال‌های بایاس DC-OFDM سیگنال‌های مثبت باند محدود هستند می‌توانیم آنها را با صفرهای تابع مشخصه‌ی TDC(z) نمایش داد. از قضیه ۱ می‌دانیم که ضرائب سری فوریه سیگنال‌های زمان بایاس DC، باید یک دنباله همبستگی را تشکیل دهند. شکل ۲ توزیع z نقاط ممکن را برای TDC(z) زمانی که ۹ زیرحامل با حامل‌های DC تنظیم شده‌اند و برای چک کردن مثبت بودن حامل‌ها و ۴-QAM تمام زیرحامل‌های دیگر که با تقارن هرمیتی مشخص شده‌اند استفاده می‌شود. توجه داشته باشید که همه نقاط خارج از دایره واحد مقدار r1=1 < r < r2 =2.5 اندازه را دارند. همان طور که نقاط به صورت جفت زوج‌های متقارن ظاهر می‌شوند، دو ناحیه خالی از نقطه با شعاع r>2.5 و r<0.4 وجود دارد. علاوه براین، نتایج شبیه سازی نشان می‌دهد که با افزایش بایاس اضافه شده به حامل‌های DC، نقاط خارج از دایره از دایره دور می‌شوند. به عنوان مثال، r1 و r2 افزایش می‌یابند. به طور کیفی برای داشتن بازده نوری بهتر، λi باید نزدیک به دایره واحد انتخاب شود که در بخش بعدی فرموله می‌شود.



شکل۲- توزیع صفرهایی ازبایاس DC-OFDM با ۹ زیرحامل و ۸ بیت برسمبل

ارتباط λi با توان نوری متوسط

توجه کنید که توان نوری متوسط سیگنال انتقالی r(t) مقدار ثابت ao است که با استفاده از معادله‌ی (۱۴) حاصل می‌شود:

$$P_{ave} = a_0 = \|s_0\|^2 + \|s_1\|^2 + \cdots + \|s_K\|^2 \qquad (۱۷)$$

فرض می‌کنیم که s(z)، K صفر دارد و $\lambda i = r_i e^{j\theta}$ را نشان می‌دهیم. برای سادگی فرض می‌کنیم K زوجاست زیرا تمام نتایج بسط در حالتی که K فرد است ناچیز است . با استفاده از (۱۰)، توان متوسط (Pave) این گونه نوشته می‌شود .

$$P_{ave} = \frac{c(-1)^k}{\prod_{i=1}^{k}\lambda_i^*}\left\{1 + \left\|\sum_{i=1}^{k}\lambda_i\right\|^2 + \left\|\sum_{i=1,k>i}^{k}\lambda_i\lambda_k\right\|^2 + \cdots + \left\|\prod_{i=1}^{k}\lambda_i\right\|^2 \right. \qquad (۱۸)$$

از قضیه ۱، $c' > 0$ و بنابراین Pave > 0. توجه کنید که برای هر مجموعه‌ای از λi، c را به گونه‌ای می‌توان انتخاب کرد که توان متوسط هر مقدار مثبتی داشته باشد. بنابراین، تعریف آن این است: $P_{norm} = \left|\frac{P_{ave}}{c}\right|$

$$P_{norm} = \frac{1}{\underbrace{\left\|\prod_{i=1}^{k}\lambda_i^*\right\|}_{fo(\lambda 1,\lambda 2,\ldots,\lambda k)}} + \frac{\left\|\sum_{i=1}^{k}\lambda_i\right\|^2}{\underbrace{\left\|\prod_{i=1}^{k}\lambda_i^*\right\|}_{fo(\lambda 1,\lambda 2,\ldots,\lambda k)}} + \frac{\left\|\sum_{i=1,k>i}^{k}\lambda_i\lambda_k\right\|^2}{\underbrace{\left\|\prod_{i=1}^{k}\lambda_i^*\right\|}_{fo(\lambda 1,\lambda 2,\ldots,\lambda k)}} + \cdots + \frac{\left\|\prod_{i=1}^{k}\lambda_i\right\|^2}{\underbrace{\left\|\prod_{i=1}^{k}\lambda_i^*\right\|}_{fo(\lambda 1,\lambda 2,\ldots,\lambda k)}} \qquad (۱۹)$$

به منظور افزایش بازده توان، λi برای داشتن کمترین مقدار P_{norm} انتخاب می‌شود. توجه کنید که با چرخش λi تغییری در pnorm بوجود نمی‌آید. اگر در مجموعه‌ای از صفرهای $e^{j\theta}$ رابطه λi= ri برقرار باشد. مجموعه‌ای از صفرهای $P_{norm} = P_O$ نیز منجر به برقراری تساوی λi= $e^{j(\theta+\emptyset)}$ri $P_{norm} = P_O$ می‌شود. به هرحال برای هر m=0,1,…,k/2 داریم:

$$f_m\left(\frac{1}{\lambda_1^*},\frac{1}{\lambda_2^*},\dots,\frac{1}{\lambda_k^*}\right) = f_{k-m(\lambda_1,\lambda_2,\dots,\lambda_k)} \quad (۲۰)$$

R و θ را به عنوان بردارهای اندازه و فاز در هر λi تعریف می‌کنیم. سپس ویژگی‌های (۲۰) را می‌توان این گونه تعریف کرد:

$$f_m(r^{\rightarrow -1},\theta^{\rightarrow}) = f_{k-m}(r^{\rightarrow},\theta^{\rightarrow}) \quad (۲۱)$$

که r-1 عنصر هم پاسخی از r است. بازنویسی رابطه (۱۹) با استفاده از رابطه (۲۱) داده شده است:

$$P_{norm} = \sum_{m=0}^{\frac{k}{2}-1}(f_m(r^{\rightarrow},\theta^{\rightarrow}) +) f_m(r^{\rightarrow -1},\theta^{\rightarrow}) + \frac{1}{2}\left(f_{\frac{k}{2}}(r^{\rightarrow},\theta^{\rightarrow}) + f_{\frac{k}{2}}(r^{\rightarrow -1},\theta^{\rightarrow})\right) \quad (۲۲)$$

نقاط بحرانی تابع هموار pnorm، جائی که گرادیان با جنبه‌هایی از هر ri و θi صفر است مشخص می‌شود. بنابراین، برای هر ri داریم:

(۲۳)

$$\frac{\partial P_{norm}}{\partial r_i} = \sum_{m=0}^{\frac{k}{2}-1}\left(\frac{\partial f_m(r^{\rightarrow},\theta^{\rightarrow})}{\partial r_i} - \frac{\partial f_m(r^{\rightarrow -1},\theta^{\rightarrow})}{\partial r_i}\right)$$

$$+\frac{1}{2}\left(\frac{\partial f_{\frac{k}{2}}(r^{\rightarrow},\theta^{\rightarrow})}{\partial r_i} - \frac{\partial f_{\frac{k}{2}}(r^{\rightarrow -1},\theta^{\rightarrow})}{\partial r_i}\cdot\frac{1}{r_i^2}\right) = 0$$

زمانی معادله بالا فرم یکسانی برای هر ri دارد که اگر یک صفر برای ri=r برقرار باشد. این یک نقطه بحرانی برای تمام riها که i=1,…,k می‌باشد. به همین خاطر با جایگذاری ri در یک حلقه به شعاع r>1، یک نقطه بحرانی از P_{norm} است که P_{norm}^{ring} نامیده می‌شود. در این حالت P_{norm} در (۱۹) را می‌توان به سادگی به دست آورد.

(۲۴)

$$P_{norm}^{ring} = \frac{1}{r^k} + \frac{\left\|\sum_{i=1}^{k} e^{j\theta_i}\right\|^2}{r^k} + \dots + \frac{\left\|\left(\sum_{i=1}^{k}\theta_i\right)e^{j}\right\|^2}{r^k}$$

$$= b_{\frac{k}{2}} + \sum_{m=0}^{\frac{k}{2}-1} b_m\left(r^{2m-k} + \frac{1}{r^{2m-k}}\right)$$

و برابری، زمانی اتفاق می‌افتد که r=1 است. به عبارت دیگر، دایره واحد مینیمم مطلق از P_{norm}^{ring} در معادله بالا می‌باشد.

مشخصه‌های طراحی

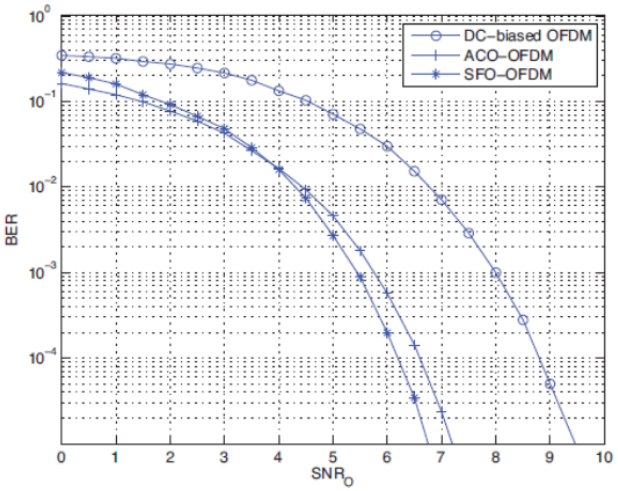
Pnorm زمانی مینیمم است که λi روی دایره‌ی واحد انتخاب شود. K صفر از سیستم SFO-OSDM پیشنهادی، روی حلقه‌ی r = 1 +ε برای مقادیر کوچک ε> 0، انتخاب می‌شود. توجه شود در بایاس DC-OFDM، قراردادن λi در نزدیکی دایره‌ی واحد، بازده توان نوری را افزایش می‌دهد.

حلقه‌ی r = 1 +ε به C قسمت هم اندازه تقسیم می‌شود. C مجموعه‌ای از همه $\binom{C}{K}$ که امکان آرایش صفر دارند تعریف می‌شود. برای ارسال M بیت، مجموعه‌ی تصادفی اولیه‌ی B از 2M دوجمله‌ای‌های ممکن از C انتخاب می‌شود و کمترین فاصله، dmin، بین هردو جفت از دنباله‌های زمانی محاسبه می‌شود. سپس ترکیب‌های دیگری از ϵα c انتخاب می‌شود و اگر کمترین مسافت برای تمام ترکیبات در B بزرگ‌تر از dmin است، آن در عنصری در B جایگزین می‌شود. این روش در تمام ترکیبات در C تکرار می‌شود.

عملکرد SFO-OFDM

فرض کنید که M=8 بیت با N=9 زیر حامل، ارسال می‌شود. در بایاس DC-OFDM، ۴ زیرحامل، 4-QAM را حمل

می‌کند، که در ACO-OFDM، ۲ زیرحامل فرد، 16-QAM را حمل می‌کند. برای SFO-OFDM، C=48 و r = 1.001 و یک آشکارساز ماکزیمم شباهت گیرنده استفاده شده است. شکل (۳)، احتمال خطای SFO-OFDM، بایاس DC-OFDM و ACO-OFDM را نسبت به سیگنال به نویز نوری، نشان می‌دهد. می‌توانید ببنید که SFO-OFDM عملکرد بهتری نسبت به بایاس DC- OFDM و تقریباً ۰.۵ dB بهتر از ACO-OFDM در احتمال خطای ۵- ۱۰ می‌باشد. نتایج شبیه سازی، بهبود عملکرد r به دست آمده از دایره واحد را تائید می‌کند. به علاوه برای مثال، نسبت توان پیک به متوسط (PAPR) و PAPRACO/PAPRSFO = 1.3023 می‌باشد. بنابراین، سیگنال‌های SFO-OFDM نسبت به ACO-OFDM ٪۳۰ نسبت توان پیک به متوسط کمتری، برای M=8 و N=9 دارند و طرح انتقال ساده‌تری را نتیجه می‌دهد.



شکل۳- احتمال خطای SFO-OFDM، بایاس DC- OFDM و ACO-OFDM نسبت به سیگنال به نویز نوری.M=8 و N=9 و C=48 و r = 1.0001

نتیجه‌گیری

طیف تجزیه شده یک فرمولی برای مدولاسیون زیر حامل‌های دامنه‌ی مثبت فراهم می‌کند و می‌تواند تمام سیگنال‌های OFDM باند محدود را برای کانال‌های IM/DD نمایش دهد. با استفاده از تجزیه طیفی سیگنال‌های OFDM غیرمنفی می‌توانند بایاس غیرواضحی تولید کنند. به هرحال، نیمی از حامل‌ها از دست می‌روند و نسبت توان پیک به متوسط بالا در ACO-OFDM و PAM-DMT، در SFO-OFDM کاهش می‌یابد. در این مقاله، موارد زیادی جهت بهبود طرح‌های SFO-OFDM بیان شده است. به جای محل یابی صفرها روی شعاع دایره برای سادگی بیشتر می‌توان روش‌های بهینه سازی برای راهنمایی محل‌های صفر، بکار برد. در حال حاضر، فعالیت‌های تحقیقاتی برای گسترش مدل SFO-OFDM، برای بکارگیری محدودیت حداکثر دامنه انجام می‌شود.

مراجع

1. J. Grubor, S. Randel, K. D. Langer and J. W. Walewski, “Broadband information broadcasting using LED-based interior lighting“, IEEE/OSA J. Lightw. Technol., vol. 26, no. 24, pp. 3883-3892, Dec. 15, 2008
2. J. M. Cioffi, “A Multicarrier Primer,“ November 1991, ANSI Contribution T1E1.4/91-157, Clearfield, Fla, USA.
3. J. B Carruthers and J.M Kahn, “Multiple-subcarrier modulation for nondirected wireless infrared communication,” IEEE J. Select. Areas commun., vol. SAC-14, PP. 538-546, Apr. 1996.
4. J. Armstrong and A.J Lowery, “ Power efficient optical OFDM,” Electron. Lett., vol. 42, pp. 370-372, 2006.
5. S. C. J. Lee, S. Randel, F. Breyer and A. M. J Koonen, “PAM-DMT for intensity-modulated and direct-detection optical communication systems,” IEEE Photon. Technol, Lett., vol. 21, pp. 1749-1751, 2009.
6. S. Wu, S Boyd and L. Vandenberghe, “ FIR filter design via spectral factorization and convex optimization, “in Applied and Computational Control, signals and Circuits, B.Datta, Ed.,Boston, MA: Birkhauser, 1999, vol.1.

ارائه یک الگوریتم جدید در راستای ارزیابی کارایی معماری سازمانی چابک

آیدا نوشزاد[1]، علی هارون آبادی[2] و سیدجواد میرعابدینی[3]

۱- گروه کامپیوتر، دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران aida.noushzad@gmail.com

۲- عضو هیئت علمی دانشگاه آزاد اسلامی واحد تهران مرکزی، تهران، ایران a.harounabadi@gmail.com

۳- عضو هیئت علمی دانشگاه آزاد اسلامی واحد تهران مرکزی، تهران، ایران jvd.2205@yahoo.com

تاریخ دریافت: ۹۴/۲/۱۲ تاریخ پذیرش: ۹۴/۸/۱۴

چکیده:

فرآیند معماری سازمانی چابک پیچیده بوده و معمار می‌تواند برای کنترل پیچیدگی آن، از چارچوب به عنوان تنظیم کننده ساختار و از سبک به عنوان جهت دهنده به رفتار استفاده کند. یکی از نیازهای غیروظیفه‌مندی در معماری سازمانی چابک، کارایی می‌باشد و یکی از پارامترهای کارایی سیستم، زمان پاسخ می‌باشد که در این تحقیق از آن استفاده شده است. بدین جهت و برای ایجاد نظم و سازماندهی توصیفات معماری سازمانی استفاده ازیک چارچوب الزامی می‌باشد. هدف از این مقاله ارائه روشی برای ارزیابی کارایی معماری سازمانی چابک، جهت دستیابی به یک معماری خوب و مناسب می‌باشد. در این تحقیق با بهره‌گیری از چارچوب‌هایی که مبنای آن‌ها چارچوب زکمن می‌باشد، ابتدا ویژگی‌های سازمان مورد نظر را با استفاده از نمودارهای UML بیان می‌شود. در ادامه این نمودارها که عمدتاً به صورت رفتاری و ساختاری می‌باشد به مدل‌های رسمی تبدیل می‌گردد. کلیشه‌های مربوط به UML که به صورت حاشیه نگاری برروی نمودارهای UML قرار می‌گیرند در این راستا مورد استفاده قرار خواهند گرفت. امکان ارزیابی نیازهای غیروظیفه‌مندی برروی مدل‌های رسمی فراهم می‌گردد. نتایج تحقیق نشان می‌دهد که با ارائه یک مدل، در فاز طراحی از هزینه‌های سنگین فاز پیاده‌سازی اجتناب می‌گردد.

کلید واژه: معماری سازمانی چابک، زبان مدلسازی یکپارچه، شبکه پتری، چارچوب DODAF.

مقدمه

نزدیک به دو دهه از حضور جدی فناوری اطلاعات و ارتباطات در عرصه‌های مختلف سازمان‌ها و شرکت‌های کشور می‌گذرد و روز به روز نرخ سرمایه‌گذاری بخش‌های دولتی و خصوصی در این بخش بیش‌تر می‌شود، آن چنان که این بخش به یکی از مهم‌ترین کانون‌های توجه و سرمایه‌گذاری و برنامه‌ریزی تبدیل شده است. مفهوم چابکی امروزه در حوزه‌های بسیاری چون تولید و توسعه نرم افزار، سازمان‌ها و نیز معماری بسرعت در حال گسترش است. معماری چابک در پاسخ به نیاز پویایی و قابلیت استفاده مجدد ارائه شده است و توانایی کنترل و مدیریت تغییرات را به معماران می‌دهد. درحال حاضرسازمان‌های متلاطم وپرتغییر به منظور برنامه‌ریزی و اجرای فرآیند معماری سازمانی دچار مشکلاتی هستند. فرآیند معماری سازمانی بسیار لخت، کندو فرسایشی بوده و گاهی اوقات به شکست منجر می‌شود. یکی از مهم‌ترین دلایل کندی و فرسایشی بودن فرآیند معماری سازمانی تغییرات مداوم، گسترده و پیشبینی نشده (غیرقابل پیش‌بینی) در حوزه فناوری و یا کسب و کار سازمان‌ها است. معماری سازمانی تحت فرایندی به نام «فرایند معماری سازمانی» تهیه و تدوین می‌گردد و شامل سه فاز کلی برنامه‌ریزی راهبردی فناوری اطلاعات، برنامه‌ریزی معماری سازمانی، اجرای معماری سازمانی می‌باشد و هر فاز به عنوان پیش نیازی برای فاز بعدی

بشمار می‌رود. اشتباه در هر فاز می‌تواند باعث اشتباه در کل معماری گردد و هزینه زمانی و اقتصادی زیادی را به سازمان تحمیل نماید. این موضوع در فاز دوم «برنامه‌ریزی معماری سازمانی» از اهمیت بیش‌تری برخوردار است. چنانچه بتوان در فاز دوم یعنی قبل از اجرای معماری سازمانی، مدل قابل اجرایی از محصولات معماری تولید نمود و مدل مربوطه را برای بررسی صحت رفتار معماری و ارزیابی نیازهای غیر وظیفه‌مندی معماری به خصوص کارایی مورد استفاده قرار داد، می‌توان از بروز معایب احتمالی در طی فاز اجرایی معماری سازمانی جلوگیری کرد. معماری سازمانی چابک، در سازمان‌های متلاطم برنامه‌ریزی و اجرا می‌گردد. فرایند معماری سازمانی بسیار کند و فرسایشی است و در نتیجه موجب شکست پروژه‌ها می‌شود. هنگامی که در مسأله‌ای تلاطم و آشفتگی وجود داشته باشد، چابکی، یکی از کلیدهای حل مسأله است. چابکی به توانایی پاسخگویی به تغییرات محیط گسترده و متلاطم کسب و کار گفته می‌شود. متدولوژی‌ها و چارچوب‌های چابک، تطبیق‌پذیر هستند. معماری سازمانی چابک به عنوان یک راه حل مناسب برای سازمان‌های متلاطم و پرتغییر است که از افراد و روش‌های چابک استفاده می‌کند. استفاده از چارچوب‌های مبتنی بر متدولوژی چابک مانند DODAF با اصول معماری سازمانی چابک یکی از این روش‌ها است [۱].

بخش دوم مقاله به ارائه کارهایی می‌پردازد که تاکنون در زمینه ارزیابی پارامترهای کارایی معماری سازمانی انجام شده است. در بخش سوم، الگوریتمی برای تبدیل نمودار توالی به شبکه‌های پتری رنگی و چگونگی بدست آمدن زمان پاسخ از کلیشه‌های نمودار توالی آورده شده است. در بخش چهارم مقاله، الگوریتم پیشنهادی را بر روی یک مطالعه موردی پیاده سازی نموده و نتایج را مورد ارزیابی قرار می‌گیرد و در نهایت در بخش آخر مقاله به نتیجه‌گیری حاصل از این مقاله پرداخته شده است.

کارهای پیشین

رضایی در پایان نامه خود، به بیان روش‌های ارزیابی فرآیند برنامه معماری سازمانی پرداخته است. وی در این پایان‌نامه تمرکز خود را بیش‌تر بر جنبه استخراج مؤلفه‌های اساسی برنامه معماری سازمانی پرداخته که از جمله آن می‌توان به معماری وضعیت جاری و مطلوب و استراتژی انتقال اشاره کرد. چارچوب مورد نظر در این پایان‌نامه، چارچوب فدرال بوده است که برای ارزیابی معماری سازمانی به ارزیابی مؤلفه‌های این چارچوب پرداخته شده است. از جمله مزایای روش ارائه شده توسط آقای رضایی در پایان‌نامه، دقیق بودن نحوه ارزیابی است[۲].

جوانبخت در پایان نامه خود، می‌خواهد با توجه به معماری وضع موجود به عنوان مبدأ، معماری وضع مطلوب را طراحی کند. یکی از روش‌هایی که برای اصلاح و توسعه معماری سازمانی استفاده می‌شود، ارزیابی بلوغ معماری سازمانی است. اما ممکن است معماری یک سازمان به اندازه کافی استعداد برای بهبود نداشته باشد. در این پایان‌نامه روشی برای اندازه‌گیری این نکته که آیا معماری سازمانی استعداد کافی را برای بهبود دارد، ارائه شده است که از جمله نتایج آن تصمیم‌گیری دقیق‌تر در زمینه انتخاب معماری سازمانی به عنوان معماری مبدأ خواهد بود[۳].

جوادپور در پایان‌نامه خود، به ارائه مدلی برای ارزیابی کارایی معماری سازمانی پرداخته است. وی در این تحقیق در ابتدا محصولات معماری سازمانی چارچوب C4ISR را به نمودارهای UML تبدیل می‌کند، سپس با ارائه الگوریتمی، این نمودارهای UML را به نمودارهای Petri Net تبدیل کرده و در نهایت با استفاده از نمودارهای Petri Net، کارایی معماری سازمانی را اندازه گرفته است[۴].

همچنین مظفری درپایان نامه خود ابتدا به بیان روشی برای بررسی صحت رفتار معماری سازمانی پرداخته است و سپس با استفاده از الگوریتمی، محصولات معماری سازمانی را به نمودارهای Petri Nets تبدیل کرده و آن‌ها را ارزیابی نموده است[۵].

الگوریتم پیشنهادی

در این قسمت، روشی جدید جهت ارزیابی کارایی

محصولات معماری سازمان DODAF ارائه می‌شود. در این تحقیق، ما قصد داریم با توجه به کلیشه‌های موجود در نمودارهای UML، مدلی اجرایی از سیستم نرم افزاری ایجاد کرده و سپس به ارزیابی کارایی آن پرداخته شود. مراحل انجام الگوریتم پیشنهادی به صورت زیر می‌باشد:

تعریف مسئله

در این گام باید سیستم مورد نظر، به‌طور کامل تعریف شود. یک سیستم، مجموعه منظمی از عناصر بهم وابسته است که برای رسیدن به اهداف مشترکی، باهم در تعاملند. رفتار یک سیستم، متأثر از وابستگی متقابل عناصر تشکیل دهنده آن می‌باشد[۶].

نگاشت مسئله با نمودارهای UML

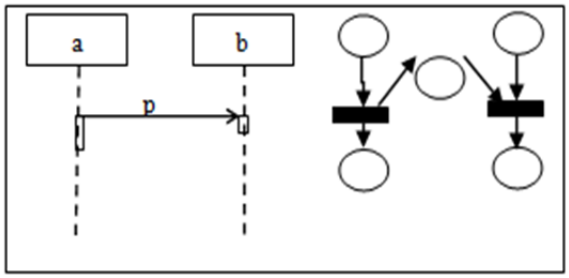
پس از اینکه در مرحله قبلی، تعریف دقیقی از سیستم به عمل آمد، در این مرحله باید با پرداختن به جزئیات سیستم مورد نظر، آن‌ها را در قالبی خاص مدل‌سازی کنیم. زبانی که برای مدل‌سازی سیستم مورد استفاده قرار می‌گیرد، زبان مدل‌سازی یکپارچه UML است. چارچوب معماری سازمانی DODAF برای ارزیابی کارایی سیستم، از محصولاتی استفاده می‌کند که این محصولات عبارتند از: SV-10C, OV-4. برای ارزیابی کارایی معماری سازمانی، استفاده از این محصولات الزامی است[۷].

الگوریتم تبدیل نمودار توالی به شبکه‌های پتری رنگی

اولین گام در ایجاد مدل قابل اجرا، تبدیل نمودار توالی UML به شبکه پتری رنگی می‌باشد. نمودار توالی برای نشان دادن جریان عملیات در یک مورد کاربری بکار می‌رود. این نمودار روی الگوی ارتباطی بین مؤلفه‌ها، یا به عبارتی تعامل میان مؤلفه‌ها نیز تأکید می‌کند و با توجه به زمان ارسال پیام‌ها، رسم می‌شود. اولین گام در ایجاد مدل قابل اجرا، تبدیل نمودار توالی UML به شبکه پتری رنگی می‌باشد.

تبدیل پیام ناهمگام به شبکه پتری رنگی

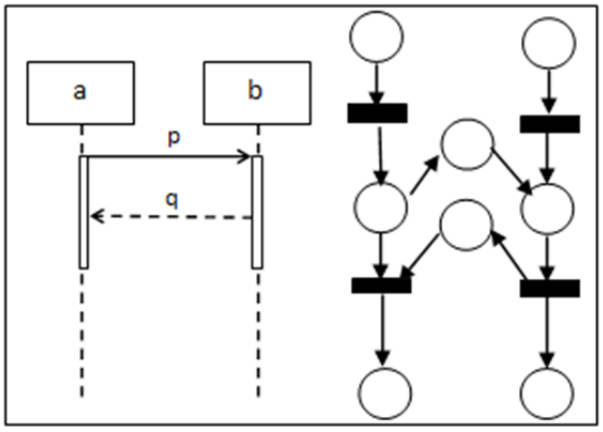
در این حالت هر یک از مؤلفه‌های دریافت کننده و ارسال کننده پیغام به مکان_گذار_مکان تبدیل می‌شود. ارتباط بین این دو مؤلفه از طریق یک مکان اشتراکی صورت می‌گیرد و این مکان برای مؤلفه ارسال کننده پیغام، نقش مکان خروجی و برای مؤلفه دریافت کننده پیغام نقش مکان ورودی را دارد. شکل (۱) تبدیل پیغام ناهمگام به شبکه پتری رنگی را نشان می‌دهد.



شکل۱- پیام ناهمگام و شبکه پتری معادل آن

تبدیل پیام همگام به شبکه پتری رنگی

در این حالت هر دو مؤلفه دریافت کننده و ارسال کننده پیغام به مکان_گذار_مکان_گذار_مکان تبدیل می‌شود. ارتباط بین این آن‌ها با دو مکان مشترک صورت می‌گیرد که مکان مشترک اول عمل و داده مورد نظر را از مؤلفه فرستنده به مؤلفه دریافت کننده منتقل می‌کند و مکان مشترک دوم نتایج عملیات را بر می‌گرداند. شکل (۲) تبدیل همگام به شبکه پتری رنگی را نشان می‌دهد.



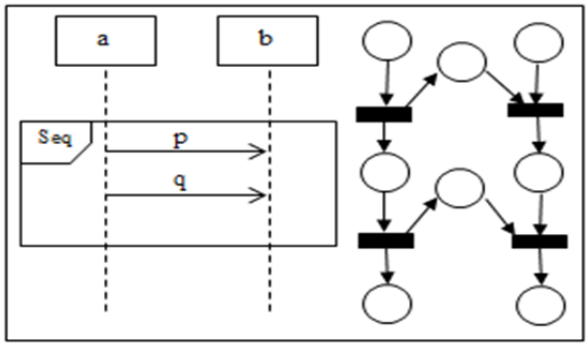
شکل۲- پیام همگام و شبکه پتری رنگی معادل آن

تبدیل انواع ساختارهای موجود در نمودار توالی به شبکه پتری رنگی

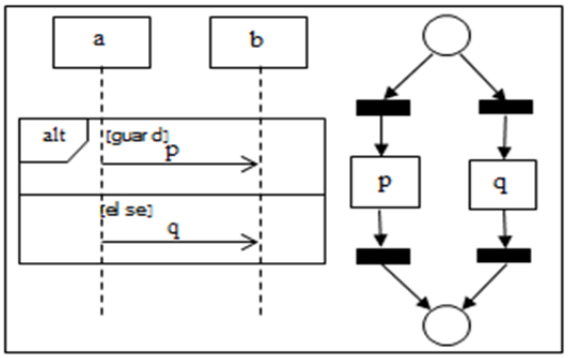
تبدیل ساختارهای ترتیب، انتخاب، به شبکه پتری رنگی به‌صورت زیر انجام می‌شود:

ساختار ترتیب: در این ساختار، پیغام‌ها با توجه به ترتیب زمانی که در نمودار، بین مؤلفه‌ها رد و بدل می‌شود به شبکه پتری رنگی تبدیل می‌شود. شکل (۳) ساختار ترتیب و شبکه پتری رنگی معادل آن را نشان می‌دهد.

ساختار انتخاب: این ساختار در نمودار توالی با دو عملگر alt و opt بیان می‌شود. عملگر alt، انتخاب یک عملوند را از مجموعه‌ای از عملوندها نشان می‌دهد. عمل نیز بایستی یک عبارت محافظ به‌صورت ضمنی یا صریح داشته باشد تا در این نقطه از تعامل، برای انتخاب به مقدار «درست» ارزیابی شود. شکل (۴) ساختار alt و شبکه پتری معادل آن را نشان می‌دهد. احتمال انتخاب هر یک از پیغام‌های p و q به گذارها الصاق می‌شود.



شکل۳- ساختار ترتیب و شبکه پتری معادل آن



شکل۴- ساختار انتخاب و شبکه پتری معادل آن

الگوریتم پیشنهادی جهت ارزیابی کارایی معماری سازمانی چابک

کلیشه‌های مورد استفاده در نمودار مورد کاربری

به‌طور کلی، هر عامل (actor)، در نمودار مورد کاربری، دنباله‌ای از درخواست‌ها را در سیستم بیان می‌نماید. این نمودار دارای کلیشه‌های زیر است:

کلیشه <<PAopenload>>: در مواردی استفاده می‌شود که دنباله درخواست‌ها نامحدود باشد که شامل برچسب PAoccurrence است که زمان میان دو درخواست متوالی را نشان می‌دهد.

کلیشه <<PAclosedload>>: در مواردی استفاده می‌شود که دنباله درخواست‌ها محدود باشد که خود شامل برچسب‌های زیر است:

الف- PApopulation: تعداد کل درخواست‌های موجود در سیستم را نشان می‌دهد.

ب- PAextDelay: بازه زمانی میان یک درخواست کامل شده و تعامل بعدی با سیستم را نشان می‌دهد.

در الگوریتم پیشنهادی ما، از نمودار مورد کاربری با کلیشه <<PAclosedload>> و برچسب‌های PApopulation, PAextDelay، استفاده خواهد شد.

کلیشه‌های مورد استفاده در نمودار ترتیب:

در این نمودار، تمامی کنش‌هایی که در سیستم وجود دارند، نمایش داده می‌شوند. برای اضافه کردن ملاحظات کارایی بر روی نمودار ترتیبی، از کلیشه <<PAstep>> استفاده می‌شود. این کلیشه شامل برچسب‌های زیر است که همگی در ارزیابی زمان پاسخ سیستم، مورد استفاده قرار می‌گیرند:

الف- برچسب size: اندازه پیام را مشخص می‌نماید.

ب- برچسب demand: نرخ درخواست سرویس از منبع را نشان خواهد داد.

ج- برچسب PAhost: اشاره به نام منبع درخواست کننده دارد.

د- برچسب PAprob: نشان دهنده احتمال اجرای پیغام است.

ه- برچسب PArep: نشاندهنده تکرار پیغام‌ها می‌باشد.

کلیشه‌های مورد استفاده در نمودار مؤلفه

نمودار مؤلفه، تصویری از چگونگی قرار گرفتن منابع سیستم به‌صورت فیزیکی است. در این نمودار برای اضافه نمودن اطلاعات کارایی، از کلیشه <<PAhost>> استفاده می‌شود که شامل برچسب‌های زیر است:

الف- برچسب PArate: نرخ پردازش پردازنده را نشان می‌دهد.

ب- برچسب PAschdpolicy: خط مشی زمانبندی را نشان می‌دهد.

در الگوریتم پیشنهادی، برای ارزیابی زمان پاسخ سیستم، از این ۲ برچسب نیز استفاده خواهیم کرد.

در الگوریتم پیشنهادی ما، برای کاهش زمان پاسخ، از این تکنیک افزونگی استفاده شده است. به این معنی که هنگامی که یک وظیفه وارد سیستم می‌شود، به چندین سرور جهت اجرا فرستاده می‌شود و زمان‌های اجرا در هرکدام از سرورها اندازه‌گیری می‌شود. سپس از بین تمام زمان‌های به دست آمده، زمان کم‌تر اجراانتخاب خواهد شد و وظیفه جهت اجراشدن به آنجا فرستاده می‌شود.

برای اضافه کردن تکنیک افزونگی به سیستم، فقط دو کلیشه PArate, PAdemand استفاده می‌شود. به این ترتیب که اگر n مؤلفه از یک منبع در سیستم وجود داشته باشد، آنگاه در نمودار مؤلفه، n تا PArate وجود خواهد داشت و در نمودار ترتیبی نیز می‌توان از ۱ تا n تا pAdemand استفاده نمود.

حال به محاسبه زمان پاسخ پرداخته می‌شود:

اگر نرخ پردازش پردازنده را rpp(PArate) و نرخ درخواست سرویس از منبع را rpd(PAdemand) نام‌گذاری شود، آنگاه در اولین مرحله نرخ سرویس به‌صورت زیر محاسبه می‌گردد:

$$SR[i,X]= \frac{rpp[i]}{rpd[i]} \qquad (۴)$$

منظور از SR[i,X]، نرخ سرویس مؤلفه i ام از منبع X است. پس از محاسبه نرخ سرویس برای هر مؤلفه از منابع، حال زمان اجرای پیام z با اندازه y(size) با مؤلفه i ام منبع X محاسبه می‌شود:

$$T[i,X,y]= \frac{y}{SR[i,X]} \qquad (۲)$$

منظور از T[I,X,y]، زمان اجرای پیام با اندازه y توسط مؤلفه i ام منبع X است.

از آنجایی که در الگوریتم پیشنهادی به منظور کاهش زمان پاسخ، از تکنیک افزونگی استفاده می‌شود، در شبیه سازی صورت گرفته، هرپیام ممکن است توسط چندین منبع پردازش شده باشد. لذا، Tx,r، بیانگر کم‌ترین زمان اجرای پیام x در منابعی استکه در آن‌ها اجرا شده است که از معادله زیر بدست می‌آید:

$$Tx, r =\min[T(i,X,y)]\ 1\le i\le n \qquad (۳)$$

از آنجایی که برای اجرای یک task، باید تمام پیام‌ها اجرا شوند، بنابراین از بین زمان‌های اجرای پیام‌ها، بزرگ‌ترین زمان اجرا به عنوان زمان اجرای task در نظر گرفته خواهد شد. اما اگر پیام‌ها به یکدیگر وابستگی داشته باشند، باید مجموع تمام زمان‌ها را به عنوان زمان اجرای task در نظرگرفت. یعنی:

$$T=\begin{cases} \max(Tx,r[i]) & 1\le i\le m \quad \text{if no correlation} \\ \sum_{i=1}^{m} T_{x,r}[i] & 1\le i\le m \quad \text{else} \end{cases} \qquad (۴)$$

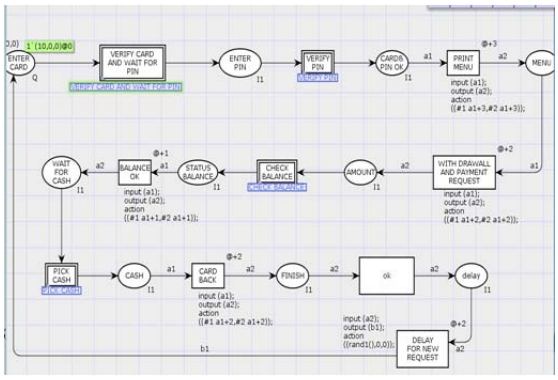
پس از اجرا شدن یک task به‌طور کامل، یک task دیگر می‌تواند وارد سیستم شود.

مطالعه موردی

سیستم خودپرداز بانک (ATM) با دو موجودیت دیگر یعنی مشتری (User) و بانک (Bank) در تعامل می‌باشد. یکی از عملیات اصلی مشتری در این سیستم عملیات «برداشت پول از حساب» می‌باشد.

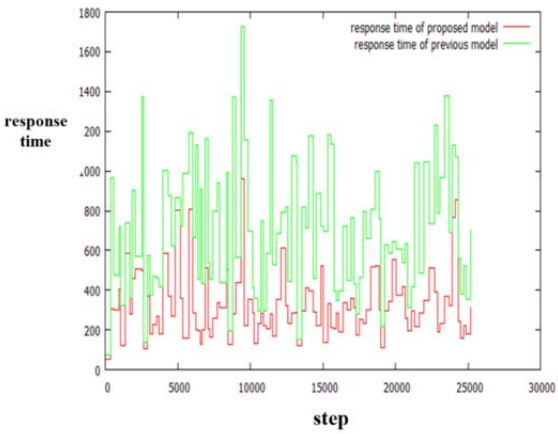
نمودار توالی برای توصیف رفتار معماری سیستم

همان‌طور که قبلاً بیان شد این نمودار روی الگوی ارتباطی بین مؤلفه‌ها، یا به عبارتی تعامل میان مؤلفه‌ها، نیز تأکید می‌کند و با توجه به زمان ارسال پیام‌ها، رسم می‌شود. پس از آنکه، نمودارهای UML سیستم مورد نظر رسم گردید، حال این نمودارها را با الگوریتم‌های گفته شده در قسمت‌های قبلی، به معادل پتری‌شان تبدیل می‌شود. شکل زیر، پیاده سازی سطح بالای سیستم مورد نظر مارا در CPNTools به‌طور واضح نشان می‌دهد:



شکل۵- نمودار سطح بالای سیستم ATM

حال پس از پیاده سازی سیستم مورد نظر در CPNTools، اکنون خروجی سیستم مذکور با سیستم مرجع مورد مقایسه قرار می‌گیرد. شبیه سازی در ۱۰۰۰۰ گام انجام شده است و شکل ۶ مقایسه بین زمان پاسخ سیستم پیشنهادی ما را با سیستم مرجع، به خوبی نشان می‌دهد:



شکل۶- مقایسه بین زمان پاسخ الگوریتم پیشنهادی و الگوریتم

در فاز طراحی می‌توان قبل از ورود به فاز پیاده سازی، نتایج را به نحو مناسبی مشخص نمود. همان‌طور که در شکل بالا مشخص است زمان پاسخ در الگوریتم پیشنهادی نسبت به الگوریتم مرجع، بهبود یافته و مقدار قابل توجهی کاهش یافته است.

نتیجه‌گیری

آنچه که دراین تحقیق به آن پرداخته شد، ارائه مدل قابل اجرا برای کنترل صحت رفتار وتحلیل کارایی معماری بود. دراین تحقیق سعی شد که با استفاده ازشبکه‌های پتری رنگی، مدلی قابل اجرا ارائه گردد که بواسطه آن بتوان معماری طراحی شده راشبیه سازی نموده و قبل از اجرای معماری به نقاط ضعف وقوت آن پی برده و قبل ازاجرای آن، درجهت اصلاح معماری طراحی شده، اقدامات لازم را انجام داد. آنچه که از این تحقیق می‌توان به عنوان پیشنهاد برای تحقیقات و کارهای آینده ارائه نمود، در موارد زیر برشمرده شده است:

پیاده سازی کامل نرم افزاری که با استفاده از الگوریتم پیشنهادی قادر باشد پارامترهای کارایی مختلف سیستم را اندازه بگیرد.

در این تحقیق همان‌طور که ذکر شد، چارچوب معماری سازمانی DODAF به عنوان چارچوب ثابت درنظر گرفته شد. اما می‌توان از سایر چارچوب‌های دیگر نیز به نحوی دیگر استفاده کرد.

مراجع

۱. راضی، علی، «بومی کردن چارچوب زکمن برای سازمان چابک»، پایان نامه کارشناسی ارشد، (۱۳۸۶)، دانشگاه آزاد اسلامی واحد علوم و تحقیقات: ۱۸۲.
۲. رضایی، رضا، «ارائه روشی برای ارزیابی معماری سازمانی»، پایان نامه کارشناسی ارشد، (۱۳۸۵)، دانشگاه آزاداسلامی واحدعلوم وتحقیقات: ۱۸۱.
۳. جوانبخت، مهرشید، «ارائه روشی برای ارزیابی بلوغ معماری سازمانی»، پایان نامه کارشناسی ارشد، (۱۳۸۵)، دانشگاه علوم و تحقیقات تهران: ۲۳۹.

۴. جواد پور، روح الله، «ارائه یک مدل قابل اجرا برای ارزیابی معماری سازمانی با استفاده از شبکه‌های پتریرنگی»، پایان‌نامه کارشناسی ارشد، (۱۳۸۵)، دانشگاه شهید بهشتی: ۱۲۱.

۵. مظفری، مریم، «ارزیابی معماری سازمانی با استفاده از مدل‌های رسمی»، پایان‌نامه کارشناسی ارشد، (۱۳۹۰)، دانشگاه آزاد اسلامی واحد اراک: ۱۰۹.

6. Fakhrabadi, M., Harounabadi, A., Mirabedini, S. J.,(2014),"PerformanceEvaluation of Enterprise Architecture using Formal Models Based on TOGAF Framework ",in proc. Of Asian Journal of Research in Business Econamics of Management,Vol. 4,No. 3,pp. 402-415.

7. Haroonabadi, A., Teshnehlab, M., (2008),"A novel method for behavior modeling in uncertain information systems",World Academy of Science, Engineering and Technology,Vol. 41,No. 4, pp. 959-966.

بررسی الکترونیک مبتنی بر تک‌الکترون

محمد میرعلائی[۱]، سعید عطابخش[۲]، نجمه چراغی شیرازی[۳]

۱- دانشگاه آزاد اسلامی واحد بوشهر، Miralaei_m@yahoo.com

۲- دانشگاه آزاد اسلامی واحد بوشهر، Saeed_atabakhsh@yahoo.com

۳- دانشگاه آزاد اسلامی واحد بوشهر، Nch_shirazi@yahoo.com

تاریخ دریافت: ۹۳/۱۲/۱۵ تاریخ پذیرش: ۹۴/۵/۳۱

چکیده:

ادوات تک الکترونی (Single Electron Devices) ابزار جدیدی در نانو الکترونیک هستند که قابلیت کنترل جریان در مقیاس یک یا چند الکترون را دارند، با تکیه بر این قابلیت، این ادوات ظرفیت بالقوه‌ای در کاهش ابعاد و انرژی مصرفی مدار دارند و پیش بینی شده که در آینده نزدیک با پیشرفت تکنولوژی ساخت، به صورت گسترده‌ای در مدارهای مجتمع مورد استفاده قرار گیرند. این ادوات، برمبنای تونل زدن الکترون در ساختاری با ابعاد نانومتر کار می‌کنند. در این مقاله، ابتدا مکانیزم کنترل جابجائی تک الکترون در یک پیوند تونلی مطرح می‌شود و سپس نحوه بکارگیری این مکانیزم در مهم‌ترین ساختارهای تک الکترونی مورد بررسی قرار می‌گیرد.

کلید واژه: ادوات تک الکترونی، انسداد کولمبی، پیوند تونلی، تونل زنی.

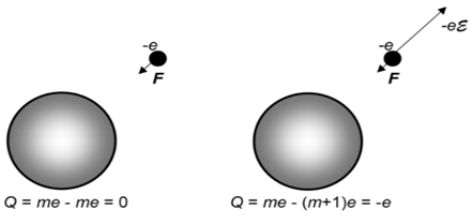
مقدمه

افزاره‌های تک الکترونی بر مبنای تونل‌زنی الکترون در ساختاری با ابعاد نانومتر کار می‌کنند. این ادوات، ابزار جدیدی در نانو الکترونیک هستند که قابلیت کنترل جریان در مقیاس یک یا چند الکترون را دارند. با تکیه بر این قابلیت، این افزاره‌ها ظرفیت بالقوه‌ای در کاهش ابعاد و انرژی مصرفی مدار دارند و پیش بینی شده که درآینده نزدیک با پیشرفت تکنولوژی ساخت، به صورت گسترده در مدارهای مجتمع مورد استفاده قرارگیرند. ایده اولیه افزاره‌های تک الکترونی، به آزمایش رابرت میلیکان در سال ۱۹۰۹ باز می‌گردد. او با معلق کردن قطرات روغن باردار در میدان الکتریکی یکنواخت، توانست بار الکترواستاتیک الکترون را اندازه‌گیری کند. اندازه گیری چنین بار کوچکی، با وسیله‌ای به ظاهر ساده، در آن سال‌ها بیشتر شبیه یک معجزه بود. بنابراین بحث مربوط به تک الکترون‌ها، در اوایل قرن بیستم، توسط آزمایش‌های آغازین، انجام شده توسط میلیکان (Milikan)، تشریح شد. اما تا اواخر دهه ۱۹۸۰، این موضوع در مدارهای حالت جامد، عنوان نشد. اواخر سال ۱۹۸۵، تئوری ترانزیستور تک الکترونی براساس همین ایده، مطرح شد [۱] و دو سال بعد، اولین نمونه ترانزیستور تک الکترونی در آزمایشگاه بل ساخته شد [۲]. دلیل اصلی این تأخیر این بود که کار کردن درباره این موضوع ایجاب می‌کند که بتوانیم ذرات رسانای بسیار کوچک و موقعیت دقیق آنها را نسبت به الکترودهای خارجی، بازسازی کنیم. تکنیک‌های ساخت افزاره‌های کوچک که برای اینکار مناسب است، در سه دهۀ گذشته فراهم شد، و الکترونیک مبتنی بر تک‌الکترون را در دانش و تکنولوژی حالت جامد امکان‌پذیر کرده است. در الکترونیک تک‌الکترونی کنترل جریان در حد تک الکترون و بر مبنای پدیده انسداد کولنی (Coulomb Blockade) صورت می‌گیرد [۳] و کاربردهای بسیار متنوعی همانند کاربردهای اندازه گیری نظیر منبع جریان استاندارد دقیق [۵- ۴] و اسکن الکترون فوق العاده حساس [۶] ایجاد کرده است. همچنین گسسته بودن بار الکتریکی [۷]، زمینه‌ای مناسب

برای کاربردهای دیجیتال است، نظیر حافظه‌های الکترواستاتیک با مصرف توان بسیار کم [۸]، شبکه‌های عصبی [۹] و بلوک‌های پایه مدارهای باینری که تا ابعاد اتمی کوچک شده‌اند.

فیزیک مقدماتی الکترونیک مبتنی بر انتقال تک‌الکترونی

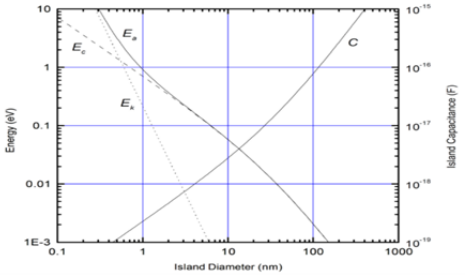
Error! Reference source not found.(۱)، مفهوم اساسی و پایه‌ای الکترونیک تک‌الکترونی را شرح می‌دهد. فرض کنیم رسانای کوچکی که بطور سنتی به آن جزیره (Island) می‌گویند، در ابتدا از نظر الکتریکی خنثی باشد. یعنی اینکه تعداد الکترون‌های دقیق آن، m، برابر پروتون‌ها در شبکهٔ بلوری‌اش باشد. در این حالت، جزیره فراتر از مرزش هیچ میدان الکتریکی قابل توجهی را تولید نمی‌کند، و یک نیروی خارجی ضعیف می‌تواند، یک الکترون را از خارج وارد جزیره کند. در بیشتر افزاره‌های تک‌الکترونی این تزریق الکترون، از طریق تونل‌زنی از یک سد انرژی که به وسیلهٔ یک لایهٔ نازک عایق ایجاد می‌شود، انجام می‌گیرد.



شکل۱- جزیره‌ی فلزی قبل و بعداز اضافه شدن یک الکترون

پس از اضافه شدن یک الکترون به جزیره، بار تک الکترون که بار مثبتی برای خنثی کردن آن وجود ندارد، یک میدان ε را به وجود می‌آورد که ممکن است از اضافه شدن الکترون‌های بعدی جلوگیری کند. حال بار خالص جزیره، Q، برابر (e-) است، و میدان الکتریکی به وجود آمده، الکترون‌هایی را که ممکن است در ادامه به جزیره اضافه شوند را دفع می‌کند. اگرچه بار بنیادی $e = 1.6 \times 10^{-19}$، بار بسیار کوچکی است، میدان $\vec{\varepsilon}$، با ابعاد جزیره به طور معکوس متناسب است و برای ساختارهای با مقیاس نانویی، نسبتاً قوی می‌شود. نظیر چنین پدیده‌های تک الکترونی نشان می‌دهد که اندازه‌گیری دقیق مقیاس انرژی برای اثرات تک الکترونی، نه میدان الکتریکی بلکه انرژی شارژ شدگی جزیره (Island Charging Energy) است، که با E_C نشان داده می‌شود. وقتی اندازه جزیره با طول موج دوبروی (De Broglie Wavelength) الکترون‌های درون جزیره، قابل قیاس باشند، ترازهای انرژی مربوط به الکترون‌ها ضرورتاً گسسته می‌شوند. در این مورد، مقیاس انرژی برای اثرات تک الکترونی، با یک ایده عمومی‌تر و کلی‌تر داده می‌شود که آن هم انرژی لازم برای اضافه کردن یک الکترون به جزیره است، که با E_a نشان داده می‌شود. انرژی کل لازم برای اضافه کردن الکترون را، به عنوان تابعی از قطر جزیره نشان می‌دهد. برای ادوات در مقیاس 100 nm، که به عنوان ادوات تک الکترونی اولیه در آزمایشگاه، عملی بودند، مقدار، E_a، با انرژی شارژ شدگی E_C، منطبق است و از مرتبهٔ 1 mev یا با مقیاس دمائی در حدود ۱۰ کلوین می‌باشد. از آنجا که افت و خیزهای گرمایی بیشتر اثرات تک الکترونی را از بین می‌برد، می‌بایست شرط $E_a >> K_B T$ برقرار باشد. این آزمایش‌ها می‌بایست در محدودهٔ دمائی زیر یک کلوین انجام شود. از سوی دیگر، اگر ابعاد جزیره به زیر 10 nm، کاهش داده شود، E_a به حدود 100 mev می‌رسد. در آن‌صورت بعضی از اثرات تک‌الکترونی، حتی در دمای اتاق نیز قابل مشاهده هستند. اما بیشتر وسایل دیجیتالی تک‌الکترونی پیشنهاد شده، حتی نیاز به مقادیر بالاتری از E_a دارند تا در آنها از فرایندهای تونل‌زنی تصادفی القا شده به وسیله گرما، جلوگیری شود. به طوری که برای عمل‌کرد مناسب در دمای اتاق، انرژی اضافه کردن الکترون، E_a، می‌بایست به بزرگی چند الکترون ولت باشد و اندازه ادوات تک‌الکترونی، می‌بایست از حدود 1 nm، کوچک‌تر باشد. در این محدوده از اندازه ادوات، گسستگی ترازهای انرژی، ΔE برای بسیاری از ادوات، با انرژی شارژشدگی، E_C، قابل مقایسه و یا بزرگ‌تر از آن می‌شود. و به این دلیل است که به این جزیره‌های کوچک، غالباً نقطه‌های کوانتومی می‌گوئیم. مشکل استفاده از آن‌ها، نه تنها تکنیک‌های بسیار مشکل ساخت در مقیاس نانو است،

بلکه همچنین مشکلات فیزیکی بزرگی نیز بر سر راه وجود دارد. که از آن جمله حساسیت بسیار بالای خصوصیات انتقال (یا ترابرد)، به تغییرات کوچک در اندازه و شکل نقطه‌ی کوانتومی می‌باشد. و دقیقاً به همین دلیل، برای ما بسیار مهم است که آن‌گونه از افزاره‌های تک‌الکترونی را بسازیم که توانائی کارکرد با پائین‌ترین نسبت ممکن $\frac{K_BT}{E_a}$ (نسبت انرژی حرارتی الکترون K_BT به انرژی لازم برای اضافه شدن تک‌الکترون‌ها E_a)، را داشته باشند. در محدوده‌ای از اندازه که حتی در دمای اتاق نیز $E_C >> K_BT$ باشد، بعضی از وسایل ممکن است به خوبی کار کنند (جزایر فلزی). و بنابراین در این حالت از پیچیدگی‌های ناشی از گسستگی سطوح انرژی نیز جلوگیری می‌شود. در این محدوده، نرخ تونل‌زنی و بنابراین مشخصهٔ جریان ـ ولتاژ با استفاده از نظریهٔ ارتودکس، تعیین می‌شود. که در ادامه مبانی زیرساختی این نظریه را ارائه خواهیم نمود.

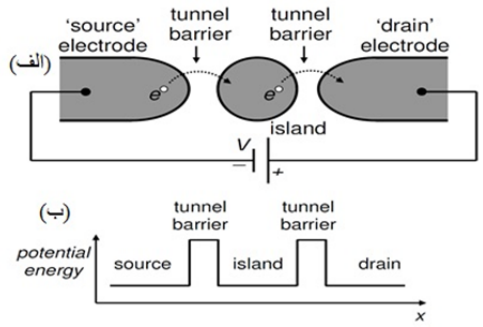


شکل۲- انرژی اضافه کردن تک الکترون و مؤلفه‌های آن (خط ممتد)، انرژی شارژ شدگی (خط چین)، گسستگی ترازهای انرژی الکترون‌ها (نقطه چین)[۱۰].

آزمایش انتقال بار را که در آن یک ولتاژ، بین دو الکترود اعمال می‌شود را در نظر می‌گیریم که دو الکترود بوسیلهٔ یک شکاف عایق جدا شده‌اند. در وسط شکاف یک الکترود فلزی سومی قرار گرفته است و به دلیل اینکه به وسیلهٔ یک عایق محاط شده است، به آن جزیره می‌گوئیم. قبول می‌کنیم که رسانش الکترون‌ها از میان شکاف عایق، بین سورس و جزیره و همچنین بین جزیره و درین، به وسیلهٔ تونل‌زنی کوانتومی روی می‌دهد. این فرایند به حدی سریع است که در هر لحظه، یک الکترون از بین شکاف‌های عایق، عبور می‌کند. اما فرایندهای تونل‌زنی متوالی (یا پی در پی)، در طول یک اتصال خاص، همبستگی نداشته و مستقل هستند و از توزیع پواسونی تبعیت می‌کند (تشکیل یک فرایند پواسونی می‌دهد). نکتهٔ کلیدی این است که، در طول سفر الکترون، از سورس به درین، الکترون الزاماً بار روی جزیره را به اندازهٔ e، تغییر می‌دهد. اگر ما ادوات الکترونیکی معمولی را در نظر بگیریم، این مقدار بار، بسیار کوچک است زیرا در این گونه وسایل، هر بستهٔ بار، برای مثال در یک افزاره‌ی کوپل شده (یاجفت شده) با بار، حدوداً از تعداد ۱۰۶ الکترون تشکیل می‌شود. اما اگر جزیره به اندازهٔ کافی کوچک باشد، تغییرات پتانسیل جزیره ناشی از حضور یک الکترون اضافی، می‌تواند به اندازه‌ای بزرگ باشد، که روی احتمالات تونل‌زنی دیگر، اثر گذار شود [۱۰].

اجزا لازم برای انتقال تک الکترون

برای کنترل جریان، در حد تک الکترون، به چند جزء پایه نیاز است (شکل ۳-الف):



شکل۳- جزیره و دو پیوند تونلی- (الف) نمایش موقعیت جزیره و الکترودها، (ب) انرژی پتانسیل سیستم در بایاس صفر

۱- فضایی منفرد: برای نگهداری الکترون، که معمولاً آن را جزیره می‌نامند.

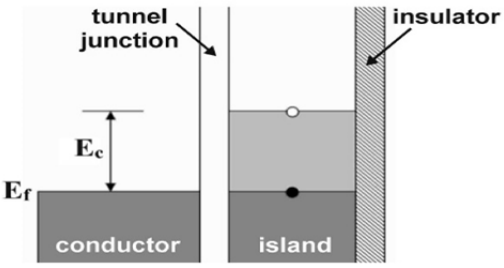
۲- الکترودهای هادی: برای انتقال الکترون به داخل یا خارج جزیره.

۳- پیوند تونلی بین الکترود و جزیره: برای محدود کردن عبور الکترون‌ها و ایجاد کنترل بر روی جریان. هدف این است

که الکترون‌ها را از یک الکترود، تک به تک وارد جزیره کرده و از الکترود دیگر خارج کنند (رژیم انتقال پی در پی). علاوه بر اجزایی که معرفی شدند، باید دریچه‌ای (الکترود گیت) در سیستم تعبیه کرد که بتوان با تغییر ولتاژ اعمالی به این دریچه، عبور الکترون‌ها را کنترل کرد. به این ترتیب با رسیدن به ولتاژ اعمالی مشخص به این دریچه (رسیدن به آستانه‌ای مشخص)، یک حالت الکترونی از جزیره بین الکترودها قرار می‌گیرد و انتقال تک الکترون صورت می‌پذیرد.

اندازه جزیره برای مشاهده اثرات تک‌الکترونی

در شکل (۴) جزیره‌ای مشاهده می‌شود که در سمت چپ آن الکترودی پشت یک عایق نازک قرار دارد (پیوند تونلی). در سمت راست جزیره، عایقی ضخیم و غیر قابل نفوذ قرار گرفته است. این ساختار اصطلاحاً جعبه تک الکترونی نامیده می‌شود. در حالت تعادل، سطح فرمی جزیره و الکترود هم ترازند.

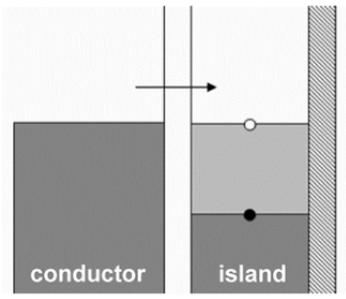


شکل۴- انرژی شارژ شدگی در حالت انسداد کولنی

جزیره به همراه عایقی که آن را احاطه کرده، خازنی با ظرفیت C تشکیل می‌دهد. انرژی که باید صرف شود تا یک الکترون در این خازن ذخیره شود انرژی شارژ (یا انرژی باردار شدگی) نامیده می‌شود (E_c).

$$E_c = \frac{e^2}{2C} \qquad (۱)$$

بنابراین اولین جای خالی که برای تونل زدن یک الکترون به داخل جزیره وجود دارد، به اندازه انرژی E_c بالاتر از سطح فرمی جزیره قرار می‌گیرد. اگر (با اعمال ولتاژ) سطح انرژی فرمی الکترود، به اندازه E_c افزایش یابد، مقابل این جای خالی قرار خواهد گرفت و امکان تونل زدن الکترون به داخل جزیره مهیا می‌شود (شکل۵).



شکل۵- آستانه تونل زدن

بلافاصله بعد از تونل زدن و پر شدن جای خالی، دوباره اولین جای خالی به اندازه E_c بالاتر از این سطح قرار می‌گیرد و همان شرایطی که در ابتدا وجود داشت تکرار می‌شود، بنابراین E_c نقش انرژی آستانه را ایفا می‌کند. این انرژی آستانه را می‌توان با اعمال ولتاژ E_c/e ایجاد کرد. اگر سطح فرمی الکترود، پایین‌تر از آستانه باشد، الکترون نمی‌تواند به داخل جزیره تونل بزند و اصطلاحاً انسداد کولنی رخ داده است.

در خازن‌های معمولی نیز انرژی شارژ وجود دارد، ولی به دلیل بزرگ بودن ظرفیت C، این انرژی به قدری کوچک است که عملاً در نویز حرارتی محیط محو می‌شود. برای کنترل عبور الکترون باید انرژی آستانه، مقیاس قابل قبولی داشته باشد. راه حل عملی برای رسیدن به این هدف، کوچک کردن ظرفیت خازن است. با کوچک شدن اندازه جزیره، خازن معادل آن نیز کاهش می‌یابد [۱۰] و در ابعاد نانومتری، انرژی E_c به حد کافی بزرگ می‌شود.

اتفاق دیگری که در اندازه‌های بسیار کوچک رخ می‌دهد، گسسته شدن سطوح انرژی است [۱۱]. وقتی که جزیره، اندازه‌ی کمتر از ۱۰ نانومتر داشته باشد، سطوح انرژی مجاز، مشابه سطوح انرژی یک چاه پتانسیل، به اندازه قابل توجهی (در قیاس با انرژی شارژ) از هم فاصله می‌گیرند و دیگر نمی‌توان آنها را پیوسته در نظر گرفت. در این حالت، فاصله بین سطوح انرژی، ΔE، نیز به انرژی شارژ اضافه می‌شود و انرژی آستانه (انرژی لازم برای اضافه شدن تک‌الکترون به جزیره)، مجموع این دو خواهد بود:

$$E_a = E_C + \Delta E \qquad (۲)$$

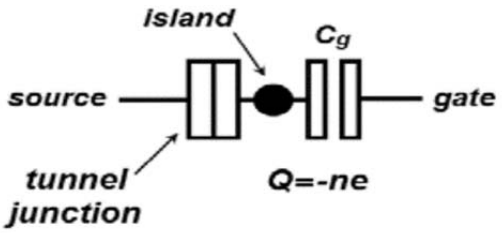
محدوده‌ی دمایی برای مشاهده‌ی اثرات تک الکترونی

پارامتر مهم دیگری که در ادوات تک الکترونی باید در نظر داشت، دما است. انرژی آستانه‌ای در حدود یک میلی الکترون ولت، معادل انرژی حرارتی الکترون در دمای ۱۰ درجه کلوین است. بنابراین حتی در دمای چند کلوین، انرژی آستانه در نوسانات حرارتی محو خواهد شد و تونل زدن الکترون به جزیره، غیر قابل کنترل است. برای رفع این مشکل، باید حاشیه امنیتی برای حداکثر انرژی حرارتی در نظر گرفت. به صورت تجربی، نسبت انرژی حرارتی الکترون K_BT، به انرژی آستانه E_a، ($\frac{K_BT}{E_a}$)، باید در کاربردهای آنالوگ کمتر از یک دهم و در کاربردهای دیجیتال کمتر از یک صدم باشد [۱۰]. به این ترتیب اگر انرژی آستانه یک میلی الکترون ولت باشد، ترانزیستور تک الکترونی باید در دمایی کمتر از یک درجه کلوین مورد استفاده قرار گیرد که به طور یقین رسیدن به چنین دمایی تنها در آزمایشگاه‌های پیشرفته امکان‌پذیر است. در نتیجه برای کار کردن در دمای اتاق باید انرژی آستانه حداقل ۱۰ برابر انرژی حرارتی باشد، که برای فراهم کردن این مقدار انرژی به جزایر حداقل با اندازه‌ی کوچک‌تر از ۱۰ نانومتر نیاز داریم.

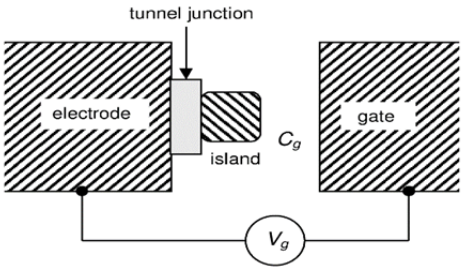
بررسی مهم‌ترین ادوات تک الکترونی

جعبه تک الکترونی (Single Electron Box)

جعبه تک الکترونی، ساده‌ترین ساختاری است که پدیده انسداد کولنی را می‌توان در آن مشاهده کرد. ایده اولیه جعبه تک الکترونی در سال ۱۹۶۹ مطرح شد [۳۰] ولی تا سال ۱۹۹۱ امکان ساخت آن فراهم نشد. کوچک‌ترین مجموعه از ادوات تک الکترونی (جعبه تک الکترونی) متشکل از یک جزیره (نقطه کوانتومی) متصل به دو الکترود است. یکی از الکترودها از طریق پیوند تونلی به جزیره وصل است و الکترود دیگر که الکترود گیت نامیده می‌شود، از طریق عایقی که الکترون نمی‌تواند از آن تونل بزند، با جزیره کوپل (یا تزویج) شده است (شکل ۶). بنابراین الکترون‌ها از طریق پیوند تونلی به جزیره وارد یا از آن خارج می‌شوند. انرژی لازم برای اضافه کردن یک الکترون به جزیره، انرژی شارژ (E_C) نامیده می‌شود که با کاهش اندازه جزیره، این انرژی افزایش می‌یابد. اگر اندازه جزیره به اندازه کافی کوچک و انرژی شارژ E_C بسیار بزرگتر از انرژی گرمایی K_BT باشد، هیچ الکترونی نمی‌تواند به داخل یا خارج تونل بزند که این حالت، اصطلاحاً انسداد کولنی نامیده می‌شود.



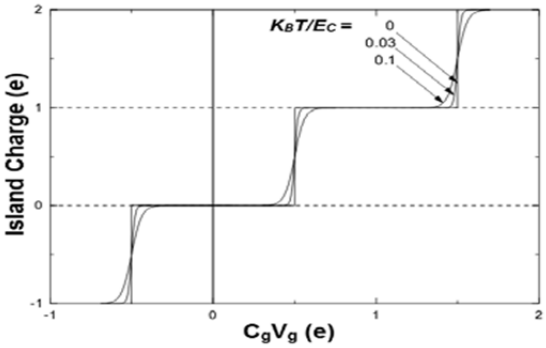
شکل۶- ساختار جعبه تک الکترونی



شکل۷- ساختار داخلی جعبه تک الکترونی

در این شرایط اگر هر دو الکترود به زمین وصل شوند، تعداد الکترون‌های جزیره، ثابت می‌ماند. با اعمال یک بایاس مثبت به الکترود گیت، اگر ولتاژ گیت از مقدار مشخصی بیشتر شود، یک الکترون به داخل جزیره تونل زده و تعداد الکترون‌های اضافی جزیره برابر یک می‌شود. به همین ترتیب با افزایش بیشتر ولتاژ گیت، می‌توان تعداد الکترون‌های جزیره را افزایش داد. در نتیجه در یک جعبه تک الکترونی، تعداد الکترون‌های جزیره با استفاده از الکترود گیت، یک به یک قابل کنترل است.

در منحنی مشخصه شکل (۸) دیده می‌شود که با عبور ولتاژ گیت از آستانه‌های متوالی، تعداد الکترون‌های اضافی جزیره تغییر می‌کند.

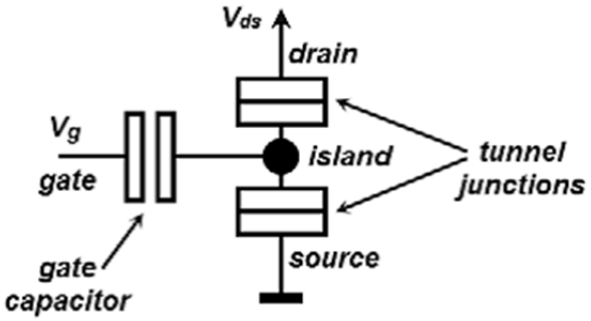


شکل۸- بار الکتریکی جزیره در جعبه تک الکترونی

وقتی دما بالاتر از صفر مطلق باشد، به دلیل جذب انرژی حرارتی توسط الکترون‌ها، منحنی از فرم ایده آل پله‌ای خارج می‌شود.

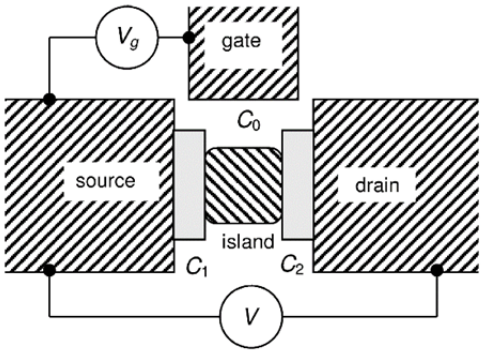
ترانزیستور تک الکترونی (Single electron transistors)

مهم‌ترین و اولین المانی است که در این زمینه ساخته شده‌است. اغلب پیش بینی هائی که در رابطه با گسترش ادوات تک الکترونی در آینده مطرح می‌شود، بر اساس عملکرد همین ترانزیستور است (شکل ۸). نامگذاری ترمینال‌های این ترانزیستور، شبیه FET است. از دو الکترود تشکیل شده که با دو پیوند تونلی، از جزیره جد ا شده‌اند و یک الکترود گیت که عایق مابین گیت و جزیره غیر قابل نفوذ است. ویژگی منحصر به فرد ترانزیستور تک الکترونی این است که جریان درین- سورس به صورت پریودیک با ولتاژ گیت تغییر می‌کند. این پدیده را نوسانات کولنی نامند.



شکل۹- ترانزیستور تک الکترونی

ترانزیستورهای تک الکترونی (SET's)، ادوات سوئیچینگ با سه پایانه (سورس، درین و گیت) هستند که می‌توانند الکترون‌ها را تک به تک (رژیم انتقال پی در پی) از سورس به درین منتقل کنند. طرح ساختار SET در شکل (۹) نشان داده شده است. SET از دو الکترود تشکیل شده که با دو پیوند تونلی، از جزیره جدا شده‌اند و یک الکترود گیت که عایق مابین گیت و جزیره غیر قابل نفوذ است. همان‌طور که مشاهده می‌شود، ساختار SET تقریباً مشابه ساختار MOSFET است. البته در SET به جای پیوند pn، پیوند تونلی و به جای کانال، جزیره وجود دارد [۱۲].



شکل۱۰- ساختار ترانزیستور تک الکترونی

در ولتاژ گیت صفر، انسداد کولمبی رخ می‌دهد. در این حالت هیچ الکترونی نمی‌تواند به داخل و یا خارج جزیره تونل بزند و جریان درین- سورس صفر است. به عبارت دیگر، هدایت ترانزیستو (G) صفر است. لازم به ذکر است که در بایاس ترانزیستور تک الکترونی، معمولاً ولتاژ بین درین و سورس کوچک و در حد میلی ولت است درحالی که ولتاژ گیت می‌تواند به چند ولت نیز برسد.

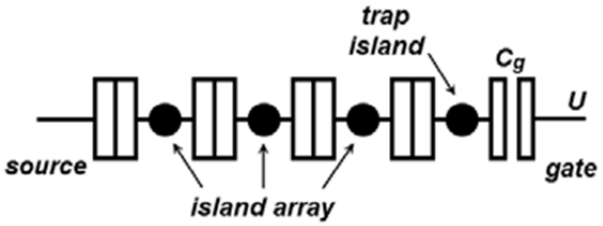
با افزایش ولتاژ گیت، انرژی پتانسیل جزیره کاهش یافته و به تدریج اولین سطح انرژی خالی در جزیره، مجاور سطوح انرژی درین و سورس قرار می‌گیرد. در این حالت الکترون‌ها می‌توانند از سورس به داخل جزیره و از آنجا به درین تونل بزنند. تونل زدن متوالی الکترون‌ها، جریان نسبتاً زیادی بین درین و سورس برقرار می‌کند [۱۳]. هنگامی که ولتاژ گیت باز هم افزایش یابد، با پایین‌تر آمدن سطح انرژی جزیره، یک

الکترون در جزیره به تله می‌افتد.

افزایش انرژی ناشی از این الکترون اضافی در جزیره، مجدداً باعث انسداد کولمبی می‌شود. تفاوت انسداد اخیر با انسداد اولیه (در ولتاژ گیت صفر) این است که در اینجا، یک الکترون اضافی در جز یره وجود دارد. به همین ترتیب با افزایش بیشتر ولتاژ گیت، انسدادهای دیگری رخ می‌دهد که در هر یک، تعداد الکترون‌های بیشتری در جزیره به تله می‌افتند.

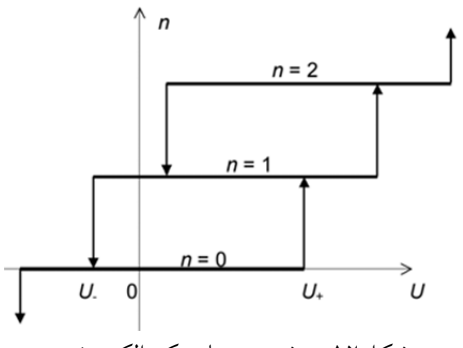
تله تک‌الکترونی (Single electron trap)

تله تک الکترونی شبیه جعبه تک الکترونی است، ولی در آن آرایه‌ای از جزیره‌ها وجود دارد که با پیوندهای تونلی از هم جدا شده‌اند (شکل ۱۱). این آرایه دو خاصیت مهم دارد، اولاً امکان تونل ز دن همزمان را کاهش می‌دهد و ثانیاً باعث ایجاد هم پوشانی بین حالت‌های مختلف مجموعه می‌شود.



شکل۱۱- تله تک الکترونی

در جعبه تک الکترونی، حالات مدار هم پوشانی ندارند و با یک رابطه یک به یک، به ولتاژ گیت مربوطند. درحالی که در تله تک الکترونی، حالت مدار علاوه بر ولتاژ گیت، به حالت قبلی مدار نیز بستگی دارد. (شکل ۱۲)



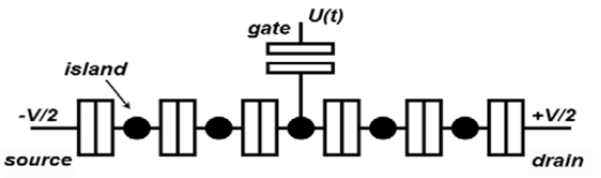
شکل۱۲- مشخصه تله تک الکترونی

به این ترتیب، این وسیله حافظه داخلی دارد و هر ولتاژ گیتی می‌تواند چند حالت پایدار داشته باشد. مثلاً هنگامی که ولتاژ گیت از صفر تا آستانه افزایش یافته و دوباره به صفر باز گردد، یک الکترون در تله (نزدیک‌ترین جزیره به گیت) به دام می افتد و حالت سیستم، نسبت به حالت اولیه، متفاوت خواهد بود.

دریچه گردان (Turnstile) و پمپ (Pump)

دریچه گردان و پمپ ساختاری تقریباً مشابه دارند در هر دوی آنها، تعدادی جزیره وجود دارد که با آرایه‌ای از پیوندهای تونلی از هم جدا شده‌اند.

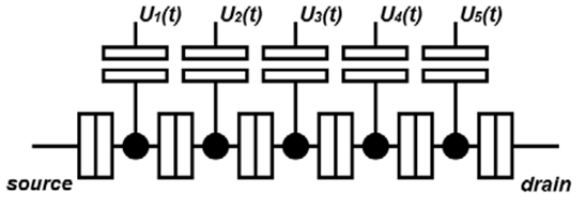
در دریچه گردان (شکل ۱۳) تنها یک گیت بر روی جزیره وسط قرار دارد. بین درین و سورس، بایاس مستقیم کوچکی اعمال می‌شود. با افزایش ولتاژ گیت، یک‌الکترون از سورس جدا شده و پس از چند بار تونل زدن به جزیره وسط می‌رسد. با کاهش ولتاژ گیت، این الکترون به سمت درین تونل زده و از الکترود درین خارج می‌شود. به این ترتیب با اعمال یک ولتاژ متناوب به گیت، الکترون‌ها تک‌تک از سورس جدا شده و به درین فرستاده می‌شوند. نقش بایاس مستقیم، برهم زدن تقارن بین دو الکترود و مشخص‌کردن جهت مطلوب حرکت الکترون‌هاست. مکانیزم کار این وسیله، مانند درب‌های گردان یک طرفه است که در هر نوبت تنها یک نفر می‌تواند از آن عبور کند. با کنترل فرکانس ولتاژ اعمالی به گیت، می‌توان اندازه جریان را با دقت زیاد کنترل کرد.



شکل۱۳- دریچه گردان

در پمپ تک الکترونی شکل (۱۴) روی هر جزیره، یک گیت وجود دارد به این گیت‌ها، ولتاژهای متناوب با اختلاف فاز معین نسبت به هم، اعمال می‌شود. با افزایش ولتاژ گیت اول U1 الکترون از سورس به داخل جزیره اول تونل می‌زند. با

کاهش U1 و افزایش همزمان U2 الکترون به جزیره دوم رانده می‌شود. با ادامه این روند، در نهایت‌الکترون از درین خارج می‌شود.



شکل۱۴- پمپ تک‌الکترونی

تفاوت پمپ تک الکترونی و دریچه گردان در این است که در پمپ، برای مشخص شدن جهت جریان نیازی به بایاس‌مستقیم اضافی نیست و جهت مورد نظر با شیفت فاز تعیین می‌شود.

در این فصل، ضمن مطرح شدن شرایط لازم برای کنترل جریان در حد تک الکترون، مکانیزم کار مهم‌ترین ادوات تک‌الکترونی بررسی شد. ابعاد بسیار کوچک و توان مصرفی فوق‌العاده کم، انگیزه‌های اصلی هستند که محرک کار و تحقیق بر روی این ادوات شده‌اند و افزایش چشمگیر چگالی مدارهای مجتمع را در آینده نزدیک نوید می‌دهند. همچنین ویژگی‌های منحصر به فردی نظیر انسداد کولمبی و نوسانات کولمبی، تنها در این ادوات قابل مشاهده هستند و کاربردهای ویژه‌ای را برای آنها ایجاد می‌کنند.

نتیجه‌گیری

کنترل جریان در حد تک الکترون بر مبنای پدیده انسداد کولمبی صورت می‌گیرد که کاربردهای بسیار متنوعی برای این ادوات ایجاد کرده است، به ویژه کاربردهای اندازه‌گیری نظیر منبع جریان استاندارد دقیق و اسکن الکترون فوق‌العاده حساس و همچنین کوانتیزه بودن جریان زمینه‌ای مناسب برای کاربردهای دیجیتال است، نظیر حافظه‌های، الکترواستاتیک سریع با توان مصر فی بسیار کم شبکه‌های عصبی، بلوک‌های پایه مدارهای باینری که تا ابعاد اتمی کوچک شده‌اند.

هر چند هنوز امکان بکارگیری این ادوات به جای ترانزیستورهای فعلی در مدارهای مجتمع مهیا نیست، حتی اگر این اتفاق رخ ندهد محصولات جانبی و ایده‌های ارزشمندی که ثمره تحقیقات در این زمینه هستند، نقش قابل ملاحظه‌ای در پیشرفت نانو الکترونیک دارند.

در این مقاله، ضمن مطرح شدن شرایط لازم برای کنترل‌جریان در حد تک الکترون، مکانیزم کار مهم‌ترین ادوات تک‌الکترونی بررسی شد. ابعاد بسیار کوچک و توان مصرفی فوق العاده کم، انگیزه‌های اصلی هستند که محرک کار و تحقیق بر روی این ادوات شده‌اند و افزایش چشمگیر چگالی مدارهای مجتمع را در آینده نزدیک نوید می‌دهند، همچنین ویژگی‌های منحصر به فردی نظیر انسداد کولمبی و نوسانات کولمبی، تنها در این ادوات قابل مشاهده هستند و کاربردهای ویژه‌ای را برای آنها ایجاد می‌کنند.

مراجع

1. C. Wasshuber, H. Kosina and S. Selberherr, "SIMON: a simulator for single electron tunnel devices and circuits", IEEE Trans. Computer-Aided Design, vol. 16, no. 9, pp.937-944, 1997.
2. C. Meenderinck and S. Cotofana, "Computing Division Using Single-Electron Tunneling Technology", IEEE Trans. Nanotechnology, vol. 6, no. 4, pp. 451-459,2007.
3. Clemens Maria Hammerschied, (2000) CMOS A/D converters using MOSFET only R-2R ladder Dissertation, Swiss federal institute of Technology
4. C. Zhu, Z. Gu and L. Shang, "Towards An Ultra-Low-Power Architecture Using Single-electron Tunneling Transistors", IEEE Proc. 44th conf. Design automation,pp. 312-317, 2007.
5. Dae Hwan Kim, Jong Duk LEE and Byung-Gook PARK, 3 room temperature coulomb osillation of a Single-Electron Switch with an formed quantum dot, Jpn. J. Appl. Vol. 3-(2000)pp.
6. David Tennenhouse, "Nano-Scale Technology: Getting from Science to Engineering" Nanotech 2004,March, 2004.
7. [7] D. Buchanan, "Scaling the gate dielectric: Materials, integration, and reliability," IBM Journal of Research and Development, vol. 43, pp. 245-264, 1999.

8. G. Bourianoff, "Silicon nanoelectronics and nanotech innovation," Intel Corporation, p. 26, 2004.
9. G. Zardalidis and I.G. Karafyllidis, "SECS: A New Single-Electron-Circuit [9]Simulator", IEEE Trans. Circuits and Systems, vol. 55, no. 9, pp. 2774-2784, 2008.
10. H. Inokawa, A. Fujiwara, and Y. Takahashi, “A multiple-valued logic with merged single-electron and MOS transistors,” in IEDM Tech. Dig.,2001, pp. 7.2.1–7.2.4.
11. J. See, "Theory of Coulomb Blockade," PhD Thesis, University of Paris, 2003.
12. K. R. Brown, L. Sun and B. E. Kane, "Electric field dependent spectroscopy of charge motion using a single-electron transistor", Applied Phys. Ltrs., vol. 88, no. 21, pp. 1-3,2006.
13. N. Allec, R. Knobel and L. Shang, "Adaptive Simulation for Single-Electron Devices", IEEE DATE '08, pp. 1021-1026, 2008.
14. S. Shankar, S. Mahapatra, “Modeling and analysis of energy quantization effects on single electron inverter performance”, Physica E: Low-dimensional Systems and Nanostructures, vol. 41, no. 8, pp. 1410-1416, 2009.

تحلیل و طراحی QVCO با نویز فاز کم با استفاده از تکنولوژی ۰18um CMOS.
برای فرستنده و گیرنده‌های موبایل

سعیدعالی پور[۱]، نجمه چراغی شیرازی[۲]، روزبه حمزه ئیان[۳]

۱- دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، miralael_m@yahoo.com

۲- دانشگاه آزاد اسلامی واحد بوشهر، گروه برق، بوشهر، ایران، nch_shirazi@yahoo.com

۳- دانشگاه آزاد اسلامی واحد بوشهر، گروه برق، بوشهر، ایران، r_hamzehyan@yahoo.com

تاریخ دریافت: ۹۴/۲/۱ تاریخ پذیرش: ۹۴/۸/۲۰

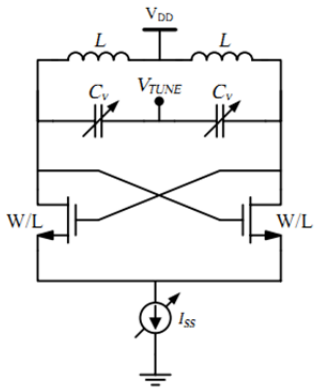
چکیده:

این مقاله تحلیل و طراحی نوسانساز کنترل شونده با ولتاژ برای فرستنده گیرنده‌های نسل سوم (3G) با تکنولوژی ۰ 18um. CMOS triple-well را بیان می‌کند. QVCO پیشنهادی شامل دو NMOS-VCO تزویج ضربدری است. ایده اصلی در QVCO پیشنهادی استفاده از خازن‌های ذاتی ترانزیستورهای تزویج ضربدری جهت اتصال دو VCO به هم است به گونه‌ای که برای پرهیز از نویز فلیکر ترانزیستورها می‌توان تزویج را از طریق بدنه ترانزیستورهای اصلی (تزویج ضربدری) ایجاد کرد، یعنی اعمال خروجی تفاضلییک VCO به بدنه ترانزیستورهای تزویج ضربدری VCO دیگر. در QVCO پیشنهادی با تغییر Vtune از 0 تا 0.8V، فرکانس کاری بین ۱886GHZ. تا 2.272GHZ تغییر می‌کند. کل توان مصرفی QVCO پیشنهادی با منبع تغذیه ۰8V. برابر 7.67mW می‌باشد. نویز فاز اندازه گیری شده در فرکانس نوسان 1.923GHZ با آفست فرکانسی ۱MHZ برابر 143.49dBc/HZ- می‌باشد. FOM مدار QVCO پیشنهادی برابر199.6dBc/HZ- است.

کلید واژه: نوسانساز کنترل شونده با ولتاژ ربعی (QVCO)، نویز فاز، گیرنده فرستنده موبایل، WCDMA.

مقدمه

افزاره‌های نوسانساز QVCO بخش اصلی سیستم‌های مخابراتی اعم از بی سیم و با سیم مانند مدولاتورهای QPSK، WCDMA، فرستنده-گیرنده ZERO-IF و ... می‌باشد. تکنولوژی G۳ یک استاندارد انتقال اطلاعات با سرعت بالا به صورت بی‌سیم است که در حال حاضر در بسیاری از کشورهای دنیا بکار گرفته شده است. شبکه موبایل در بسیاری از کشورها (اعم از ایران) با تکنولوژی WCDMA در باند فرکانسی ۲۱۰۰MHZ (فرکانس بین ۱۹۲۰MHZ تا 2170MHZ)، در حال بهره‌برداری است. روشی که در این مقاله برای تولید سیگنال Quadrature بیان شده روش قفل تزریق LC-VCO است. این روش در مدارهای مخابراتی اخیر (که نیاز به یک نویز فاز و توان مصرفی پایین دارند) بسیار رایج می‌باشد.



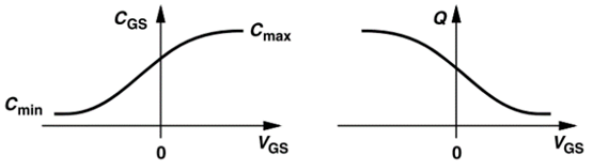
شکل۱- مدار یک VCO تفاضلی NMOS ساده

رفوگران [17] یک نوسانساز دیفرانسیلی را ارائه می‌دهد به طوری که با اتصال یک ترانزیستور موازی با MOSهای تزویج ضربدری (P-QVCO) برای تولید سیگنال ربعی بکار گرفته است. چهار ترانزیستور اضافه شده بیشتر از ۲۵٪ جریان کل را مصرف می‌کند. از طرفی ترانزیستورهای اتصال باعث توزیع نویز اضافی در تانک LC می‌شود. علاوه بر این بدلیل طرز اتصال ترانزیستورهای PMOS، یک بده بستان بین نویز فاز و خطای فاز وجود دارد. در مدار دیگری از آندرانی [۳]، اتصال سری ترانزیستور با MOS های تزویج ضربدری (S-QVCO) بیان شده است. در این روش علاوه بر کاهش توان مصرفی با وجود ارائه یک نویز فاز بهتر نسبت به P-QVCO دارای یک ولتاژ پایین‌تر است. تانک LC شامل یک القاگر مارپیچی دیفرانسیلی و یک وراکتور MOS برای تنظیم فرکانس به صورت پیوسته می‌باشد. شکل ۱ یک VCO تفاضلی NMOS ساده را نشان می‌دهد. چون ترانزیستور NMOS نسبت به PMOS بهره فرکانسی واحد بزرگتری دارد، از تکنولوژی NMOS برای طراحی مدار پیشنهادی استفاده شده است. البته باید توجه کرد که خازن پیوندی PMOS در واحد رسانایی متقابل نسبت به NMOS بزرگ‌تر است که این خود باعث توزیع نویز بزرگ‌تری می‌شود [10]. دیگر عیب عمده PMOS محدودیت سرعت آنها است [1].

مدار پیشنهادی

هدف این پایان نامه طراحییک QVCO با نویز فاز کم است. که در ادامه به توصیف اجزای آن می‌پردازیم.

وراکتور: با توجه به شکل ۲ می‌بینیم که با شروع از Cmin ظرفیت کوچک و مقاومت نسبتاً بزرگ است، و با رفتن به سمت Cmax ظرفیت زیاد و مقاومت کم می‌شود. بنابراین طبق معادله (Q=1/(RCW، ضریب کیفیت باید نسبتاً ثابت بماند ولی در عمل می‌بینیم که با رفتن CGS از Cmin به Cmax، Q افت می‌کند.



شکل۲- تغییرات Q وراکتور با تغییر خازن [1]

پس نتیجه می‌گیریم که افزایش نسبی ظرفیت بیشتر از کاهش نسبی مقاومت است. ما برای تغییر فرکانس به تغییرات ظرفیت وراکتور نیاز داریم. به خاطر اینکه Q مدار با تغییر Vtune، کمترین تغییر را از خود نشان دهد باید تأثیر مقاومت (بین پایانه‌های سورس و درین) را در وراکتورهای MOS کم کنیم. برای دستیابی به یک گستره تنظیم بزرگ بایدیک وراکتور با ظرفیت تغییر بالا داشت که این امر مستلزم قرار دادن W و L بزرگ برای وراکتورهای MOS است. با توجه به این که m برابر شدن طول کانال باعث می‌شود Q تقریباً با ضریب m2 افت کند [1]، بده – بستانبین گستره ظرفیت و Q وراکتور نهایتاً به بده – بستاندیگری بین گستره تنظیم و نویز فاز VCO منجر می‌شود. حال برای اینکه اثر مقاومت بین پایانه‌های سورس و درین را کاهش دهیم مجبوریم طول وراکتورهای MOS را حتیالامکان کوچک کنیم. تا فرکانس 10GHZ می‌توان طول کانال را دو برابر طول مینیمم برگزید تا گستره ظرفیت زیاد شود و وراکتوری به دست آید که Q آن از Q القاگر بسیار بزرگ‌تر باشد. در این طرح پیشنهادی برای این که گستره تنظیم بزرگتری فراهم گردد از دو سری وراکتور MOS یکسان موازی با هم استفاده شده، پایانه‌های سورس، درین و بالک وراکتورها به هم متصل و به یک منبع ولتاژ Vtune اتصال داده شده است.

القاگر: القاگرهای تفاضلی به خاطر Q بالایی که دارند در طراحی نوسان سازهایی که در آنها ضریب کیفیت بسیار مهم است، زیاد بکار گرفته می‌شود. القاگرها در مقایسه با ترانزیستورها و مقاومت‌ها معمولاً اندازه بزرگ‌تری دارند و سطح بزرگی از تراشه را اشغال می‌کند و همچنین فاصله بین بخش‌ها را زیاد می‌کند. پس مینیمم کردن اندازه بیرونی القاگر کار مطلوبی است. علاوه بر آن باعث کاهش مقاومت خط که این خود در افزایش Q مؤثر می‌باشد. همچنین اثر مغناطیسی

کمتری بر مدار وارد می‌کند (برای نوسان سازها نویز فاز با 1/Q2 متناسب است و بهره ولتاژ تقویت کننده تنظیم شده با Q متناسب است [1]). ترانزیستورهای تزویج ضربدری: در فرکانس‌های بالا جریان نویز گرمایی کانال به صورت خازنی به گیت تزویج می‌شود و یک «جریان نویز القایی گیت» ایجاد می‌کند [1]. برای داشتن کمترین نویز ایجاد شده توسط ترانزیستورهای تزویج ضربدری و همچنین ایجاد بار کوچک‌تر، طول کانال ترانزیستورها را حداقل در نظر گرفته و از طرفی برای اطمینان از سوییچ زنی بطور کامل، سریع‌تر و ایجاد نویز کمتر هنگام سوییچینگ پهنای کانال را تقریباً بزرگ در نظر می‌گیریم (برای اینکه Q مدار کاهش نیابد ترانزیستورهای تزویج ضربدری باید در ناحیه اشباع کار کنند). عیب اصلی آرایش‌های عمومی سابق این است که زوج‌های تزویج، نویز فاز زیادی ایجاد می‌کردند. تانک LC خود می‌تواند بخشی از نویز اطراف سیگنال حامل را حذف کند. از طرفی نوسانساز Quadrature یک نویز فاز بهتر نسبت به دیگر VCOها ارائه می‌دهد [4]. این فرضیه را مطرح می‌کنیم که اگر رابطه Quadrature بین دو VCO به صورت متفاوتی ایجاد شود می‌توان نویز فاز را کاهش داد.

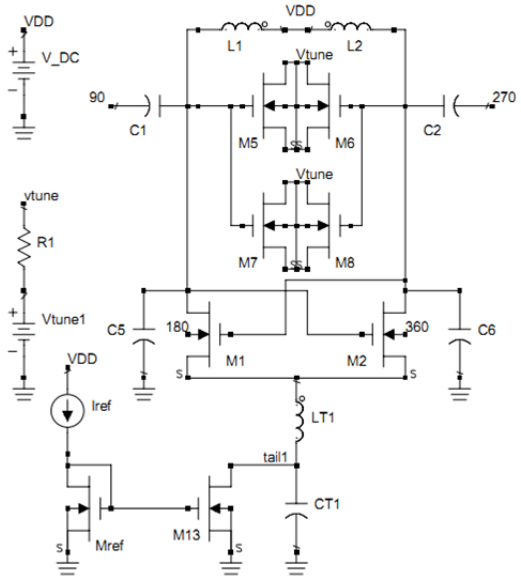
MOSFET نویز فلیکر (1/f) نیز دارد. برای پرهیز از نویز فلیکر ترانزیستورها می‌توان تزویج را از طریق بدنه ترانزیستورهای اصلی ایجاد کرد، یعنی اعمال خروجی تفاضلییک VCO به بدنه ترانزیستورهای تزویج ضربدری VCO دیگر [1]. ایده اصلی در QVCO پیشنهادی استفاده از خازن‌های ذاتی ترانزیستورهای تزویج ضربدری جهت اتصال دو VCO به هم است. خازن‌های گیت- بالک و بالک- درین از ترانزیستورهای سوییچینگ نقش عنصر اتصال را ایفا می‌کند و یک مسیر جهت تزریق سیگنال را فراهم می‌کند. بنابراین نیاز به هر عنصر دیگر جهت اتصال AC و مقاومت برای بایاس DC را حذف می‌کند. از طرفی توزیع نویز هسته VCO در کل نویز فاز را کاهش می‌دهد. یک اشکال این شبکه اتصال، این است که اتصال مستقیم دو VCO به هم بدون هیچ عنصر واسط، جریان بزرگی می‌کشد [14]. بایاس مستقیم بدنه (M1-M4) باعث کاهش فرکانس نوسان می‌شود، ولی نویز را کاهش نمی‌دهد. در بایاس مستقیم مقاومت دینامیکی بدنه ضریب کیفیت تشدیدگر LC را کاهش می‌دهد، همچنین سوییننگ ولتاژ تشدیدگر را محدود می‌کند. به منظور تولید سیگنال Quadrature، برای اتصال AC دو VCO تفاضلی به هم طوری که اتصال DC بین آنها برقرار نشود و همچنین دو VCO روی هم اثر بارگذاری نداشته باشند، دو LC-VCO یکسان از طریق عناصر بدون نویز (خازن) به صورت "همفاز- پادفاز" به هم وصل می‌کنیم. خازن‌ها عناصر غیر فعال بدون نویز هستند که هیچ گونه تلفات را به هسته VCO اضافه نمی‌کند. با استفاده خازن‌های (یکسان C1-C4) واسط بین دو VCO برای اتصال غیر مستقیم، ضریب کیفیت بالایی می‌توان برای تشدیدگر طراحی کرد زیرا دیگر بدنه (M1-M4) به طور مستقیم روی تشدیدگر بار نمی‌شود [14]. با استفاده از تکنیک اتصال غیر مستقیم، FOM به دست آمده نیز بهتر می‌باشد. گام بعدی طراحییک منبع جریان Tail است که در این مدار پیشنهادی از یک آینه جریان استفاده کرده‌ایم. اندازه ترانزیستورهای Tail و ترانزیستور مرجع (Mref) طوری انتخاب شده که جریان مرجع تقریباً با ضریب ۲ کوچک شده است، زیرا در غیر این صورت نویز ترانزیستور مرجع می‌تواند نقش غالب را پیدا کند. حضور آینه جریان نیز در افزایش نویز فاز مؤثر است که برای حل این مشکل نیز در دامه توضیح می‌دهیم.

خازن Tail: نویز حرارتی در ترانزیستورهای منبع جریان به افزودن نویز فاز در مدار کمک می‌کند. سرراست‌ترین راه حل برای کاهش مؤلفه نویز اضافه کردن یک خازن بزرگ (CT) به صورت موازی با منبع جریان بطوری که مؤلفه نویز اطراف 2F0 را به زمین اتصال کوتاه کند. هر چند این موضوع نوسانسازهای تزویج ضربدری را به یک مشکل روبرو می‌کند، بطوری که در هر نیم سیکل ترانزیستورهای روشن وارد ناحیه تریود می‌شوند. اگر یک خازن بزرگ به گره Tail این نوسانساز اضافه شود مقدار افت جریان ترانزیستورها افزایشیافته و مؤلفه‌های هارمونیک دوم بیشتری تولید می‌شود. یک دلیل دیگر برای بدتر شدن نویز فاز بعد از اضافه کردن CT، کاهش ضریب کیفیت تانک به دلیل اضافه شدن مقاومت روشنی

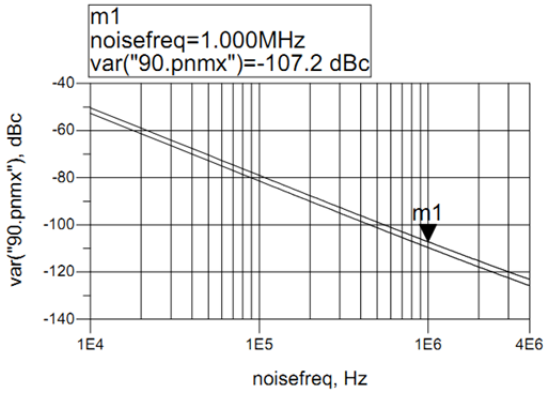
ترانزیستورها (در ناحیه تریود) به تانک که ازطریق CT بزرگ به زمین اتصال داده شده است [16]. برای حل این مشکل، خازن بزرگ CT را از گره سورس مشترک ترانزیستورها جدا کرده و بین آنها از یک القاگر LT استفاده می‌کنیم. علاوه بر آن برای حذف مسیر جریان هارمونیک دوم، مقدار LT باید طوری انتخاب شود که با خازن‌های پارازیتی گره سورس مشترک به تشدید درآید.

فیلتر نویز تشکیل شده از CT و LT که بیان شده باعث کاهش نویز فاز می‌شود. عیب این طرح، استفاده از یک القاگر و یک خازن اضافی است که باعث بزرگ‌تر شدن سطح تراشه می‌شود [16]. البته با نتایج به دست آمده و بهبود مدار در مقابل نویز فاز و نزدیک شدن به هدف، مقرون به صرفه می‌باشد. این روش پیشنهادی برای خازن Tail، ترانزیستورها را از ناحیه تریود دور نگه داشته و همچنین حضور خازن را نیز در Tail حفظ کرده است. وقتی فیلتر نویز در Tail استفاده شده ما انتظار داریم که نویز فاز متأثر از خازن‌های پارازیتی ذاتی تابع قوی نداشته باشد. زیرا القاگر Tail با خازن‌های دیده شده در گره مشترک Tail به تشدید در می‌آید. نتایجی هم که از شبیه‌سازی به دست آمده همچین بیاناتی را تصدیق می‌کند.

با توجه به نتایج به دست آمده از مقایسه مدار VCO (شکل ۳) با وجود فیلتر LC و بدون فیلتر LC در Tail مشاهده می‌کنیم که مدار با وجود فیلتر LC در Tail، جریان کشیده شده از منبع تغذیه کمتر و در نتیجه تلفات کمتری نسبت به مدار بدون فیلتر دارد. از آن مهم‌تر مدار VCO با وجود فیلتر LC، دارای نویز فاز و FOM بهتر است.



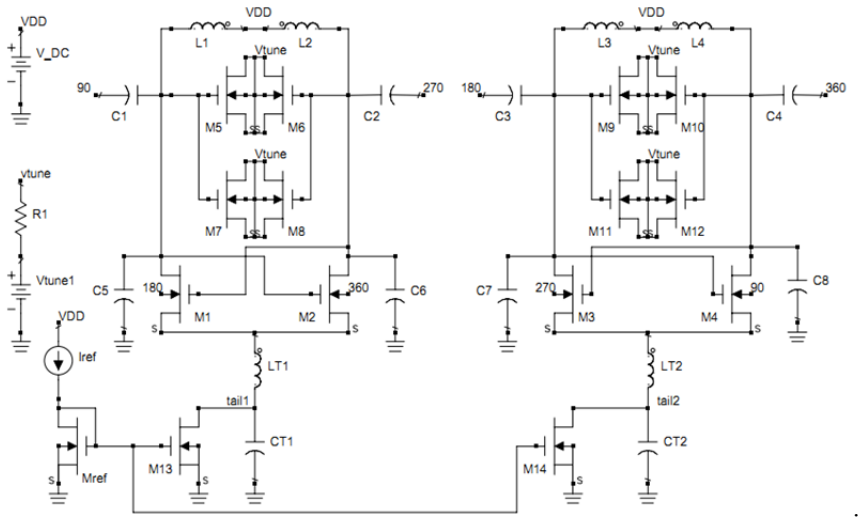
شکل۳- مدار VCO تزویج ضربدری با فیلتر LC و منبع جریان در Tail. نتایج به دست آمده از مقایسه نوسانساز VCO با وجود فیلتر LC و بدون فیلتر LC در Tail را در جدول ۱ می‌توان مشاهده کرد.



شکل۴- مقایسه نویز فاز مدار VCO با وجود فیلتر LC و بدون فیلتر LC در Tail.

جدول۱- نتایج مقایسه نوسانساز با وجود فیلتر LC و بدون فیلتر LC در Tail، VDD = 0.8 و VTune= 0.8.

VCO	Freq (GHZ)	IDC (mA)	Power (mW)	Phase noise (dBc/HZ)	FOM (dBc/HZ)
با فیلتر LC	2.631	4.72	3.776	-109.7[@ 1MHZ]	-172.33
بدون فیلتر LC	2.564	4.74	3.792	-107.2[@ 1MHZ]	-169.58



شکل۵- مدار نوسانساز QVCO تزویج ضربدری پیشنهادی.

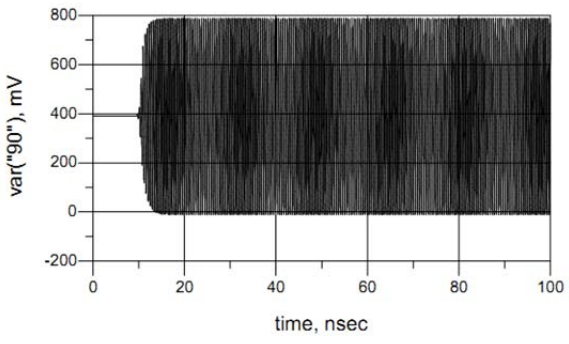
نتایج شبیه سازی QVCO پیشنهادی

پس از تعریف القاگر و وراکتور برای رسیدن به فرکانس مورد نظر در دو طرف نوسانساز خازن اضافه می‌کنیم که این خود به بهبود شکل موج سیگنال خروجی و حذف نویز نیز کمک می‌کند. همان طور که در QVCO پیشنهادی می‌بینید القاگرهای تفاضلی و وراکتورها، تشدیدگر اصلی هر کدام از VCOها را تشکیل می‌دهند. مقاومت R1 برای بایاس وراکتور است که محدوده تنظیم VCO را کنترل می‌کند. سیگنال نوسان از طریق بدنه ترانزیستورهای تزویج ضربدری (M1-M4) توسط خازن‌های C1-C4 (برای اتصال غیر مستقیم) به هم متصل شده‌اند. به این ترتیب ضریب کیفیت بالاییرا می‌توان برای تشدیدگر طراحی کرد زیرا بدنه ترانزیستورهای M1-M4 دیگر به طور مستقیم روی تشدیدگر بار نمی‌شود. همان طور که در شکل ۵ نشان داده شده مدار شامل دو VCO یکسان که به صورت "همفاز–پادفاز" به هم متصل شده‌اند. هیچ عنصر اکتیو جهت اتصال بین دو VCO اضافه نشده، بنابراین هیچ منبع نویز و تلفات اضافه تعریف نشده است. بدنه ترانزیستورهای تزویج ضربدری (گره 180 و 360 از M1,2) از VCO اول توسط خازن C3,4 به تانک VCO دوم متصل شده، و بدنه ترانزیستورهای تزویج ضربدری (گره 90 و 270 از M3,4) از VCO دوم توسط خازن C1,2 به مدار تانک VCO اول متصل شده است. QVCO پیشنهادی با پارامترهای مداری ذکر شده در جدول ۲ شبیه سازی شده است. همان طور که در شکل ۷ نشان داده شده مدار پیشنهادی سیگنال Quadrature تولید می‌کند.

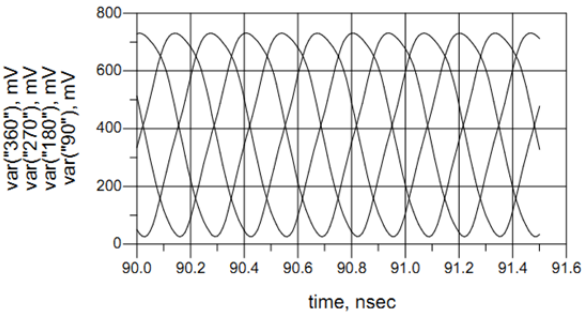
جدول۲- پارامترهای مدار QVCO پیشنهادی

پارامتر	مقادیر	پارامتر	مقادیر
L1-4	1.4nH	LT1,2	2nH
RL1-4	0.7Ω	RLT1,T2	1Ω
M1-4	6um/0.18um	M5-12	8um/0.36um
M13,14	2um/0.18um	Mref	1.5um/0.4um
C1-8	1pF	CT1,2	3pF
RVtune	20Ω		

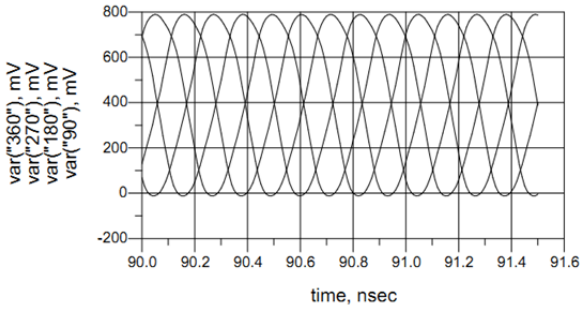
به دلیل متقارن بودن مدار پیشنهادی (شکل ۵) دامنه همه خروجی‌ها برابر هستند. پس از 9ns مدار شروع به نوسان می‌کند و نوسانات مدار در زمان 15ns به حالت پایدار خود می‌رسد (شکل ۶).



شکل۶- شروع نوسانات QVCO پیشنهادی

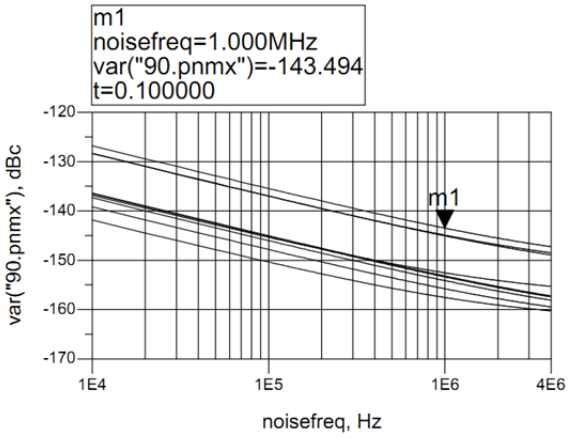


(الف)

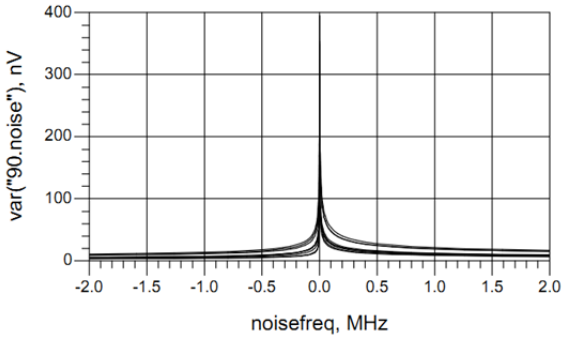


(ب)

شکل۷- شکل موج خروجی QVCO پیشنهادی (الف) Vtune=0V, F=1.886GHZ (ب) Vtune=0.8V, F=2.772GHZ.



(الف)



(ب)

شکل۸- (الف) نویز فاز و (ب) طیف ولتاژ نویز نسبی، در QVCO پیشنهادی با VDD=0.8V و Vtune بین ۰V تا 0.8V با گام‌های ۰.1V.

کل توان مصرفی مدار پیشنهادی با منبع تغذیه ۰.8V برابر 7.67mW می‌باشد. با تغییر ولتاژ Vtune از 0V تا ۰.8V فرکانس کاری مدار به ترتیب بین ۱.886GHZ تا 2.272GHZ تغییر می‌کند. به منظور مقایسه عملکرد QVCO پیشنهادی با دیگر طرح‌ها در جدول ۳، FOM طرح‌های QVCO جمع آوری شده است. جهت محاسبه FOM:

$$FOM = PN(\Delta f) - 20\log\left(\frac{f_0}{\Delta f}\right) + 10\log\left(\frac{P_{DC}}{1Mw}\right) \qquad (۱)$$

PN سیگنال نویز فاز برحسب dBc/HZ با آفست فرکانسی Δf از فرکانس حامل fo و PDC کل توان مصرفی بر حسب mW است.

نتیجه‌گیری

هدف این پایان نامه تحلیل و طراحییک نوسان ساز QVCO است که بتواند در باند فرکانسی MHZ۲۱۰۰ (فرکانس نوسان بین MHZ۱۹۲۰ تا 2170MHZ)، مورد استفاده در سیستم‌های موبایل برای پشتیبانی باند فرکانس کاری G۳ مورد استفاده قرار گیرد. QVCO پیشنهادی با تکنولوژی ۰ 18um CMOS triple-well با استفاده از نرم‌افزار ADS شبیه سازی شده است. در QVCO پیشنهادی با تغییر Vtune از 0V تا ۰.8V، فرکانس کاری بین ۱.886GHZ تا 2.272GHZ تغییر می‌کند. کل توان مصرفی با منبع تغذیه ۰.8V برابر 7.67mW می‌باشد. نویز فاز اندازه‌گیری شده در فرکانس نوسان ۱.923GHZ با آفست فرکانسی ۱MHZ برابر -143.49dBc/HZ می‌باشد. FOM مدار QVCO پیشنهادی برابر-199.6dB/HZ است.

جدول۳- مقایسه FOM نوسانسازهای پیشین با نوسانساز QVCO پیشنهادی.

QVCO	Tech (um)	Freq (GHZ)	VDD (V)	Power (mW)	Phase noise (dBc/HZ)	FOM (dBc/HZ)
[4]	0.18	3	1.8	21	-144[@ 3MHZ]	-190.5
[7]	0.18 triple-well	4.54	0.5	9.8	-125[@ 1MHZ]	-188.5
[8]	0.18	5.35	1.8	8	-128.7[@ 1MHZ]	-194.2
[10]	0.065	5.49	0.65	8.71	-113[@ 1MHZ]	-178.7
[13]	0.18	5.15	1.45	8.7	-124.58[@ 1MHZ]	-189.42
[14]	0.18	6.59	0.8	4.4	-120.5[@ 1MHZ]	-190.4
[15]	0.18 triple-well	1.1	1.8	5.4	-120[@ 1MHZ]	-173.5
[19]	0.25	1.99	2.5	20	-143[@ 1MHZ]	-185.5
[20]	0.090	2.532	1	0.16	-123[@ 1MHZ]	-199
مدار پیشنهادی	0.18 triple-well	1.923	0.8	7.67	-143.49[@ 1MHZ]	-199.6

مراجع

1. Razavi B., 2011, RF Microelectronics/2nd ed, Michelle Housley.
2. Razavi B., 2001, Design of Analog CMOS Integrated Circuts, McGRAW-HILL INTERNATIONAL.
3. Andreani P., Bonfanti A., Analysis and design of a 1.8-GHZ CMOS LC quadrature VCO, IEEE Journal of Solid-State Circuits, 2002, PP. 1737-1774.
4. Asyaei M., Ebrahimi E., A low-phase noise injection-locked quadrature voltage-controlled oscillator, Analog Integrated Circuits and Signal Processing, 2012, pp. 319-325.
5. Berny A. D., Meyer R. G., Niknejad A., Analysis and design of wideband LC VCOs, In Electrical Engineering and Computer Sciences in the GRADUATE DIVISION of the UNIVERSITY OF CALIFORNIA, BERKELEY, 2006.
6. Chung Lo Y., A 5GHZ CMOS LC quadrature VCO with dynamic current-clipping coupling to improve phase noise and phase accuracy, IEEE transaction on microwave theory and technique, 2013, PP. 2632-2640.
7. Ebrahimi E., Naseh S., A CMOS low-noise low-power quadrature LC oscillator, In IEEE International Symposium on Circuits and System, 2009, pp. 1305-1308.
8. Ebrahimi E., Naseh S., A colpitts CMOS quadrature VCO using direct connection of substrates for coupling, IEEE transaction on very large scale integration (VLSI) systems, 2013, PP. 571-574.
9. Ebrahimi E., Naseh S., A new robust capacitivelycoupled second harmonic quadrature LC oscillator. Analog Integrated Circuit and Signal Processing, -2010, pp. 269275.
10. Eleni-sotiria A., A low-voltage dif ferentially tuned current-adjusted 5.5GHZ quadrature VCO in 65-nm CMOS technology, IEEE transaction on circuit and systems-II, 2011,PP.254-258.
11. Feng Z., Fa Foster D., A 0.6-V quadrature VCO with enhanced swing and optimized capacitive coupling for phase noise reduction, IEEE transaction on circuit and systems-I, 2012, PP. 1694-1705.
12. Italia A., A 1-mW 1.13-1.9GHZ CMOS LC VCO using shant-connected switched-coupled inductors, IEEE transaction on circuit and systems-I,2012, pp. 1145-1155.
13. Jang S., Shih Ch., Lui Ch., Juang M., A 0.18um CMOS quadrature VCO using the quadruple push-push technique, IEEE microwave and wireless components letters, 2010, pp. 343-345
14. Jain S., jang S., Indirect back-gate coupling quadrature LC-VCO, IEEE microwave and wireless components letters,2014, PP.117-119.
15. Kim H.,Cha C., Oh S. M., Yang M., Lee S., A very low-power quadrature VCO with back gated coupling, IEEE Journal of Solid-State Circuits, 2004, pp. 952-955
16. Rashtian H., On the use of body biasing to improve the performance of CMOS RF front-end building blocks, A thesis submitted in partial fulfillment of the requirement for the degree of doctor of philosophy in the Faculty of Graguate Studies (Electrical and Computer Engineering), THE UNIVERSITY OF BRITISH COLUMBIA, 2013.
17. Rofougaran A., Real J., Rofougaran M., A 900MHZ CMOS LC-oscillator with quadrature output, in Dig. ISSCC96.1996, PP. 392-393.

18. Sotiria E., Kytonaki A., Papananos Y., A low-voltage differentially tuned current-adjusted 5.5GHZ quadrature VCO in 65-nm CMOS technology, In IEEE transaction on circuit and systems-II, 2011, pp. 254-258.
19. Tiebout M., low-power low-phase-noise differentially tuned quadrature VCO design in standard CMOS, IEEE Journal of Solid-State Circuits, 2001, PP. 1018-1024.
20. Ulansky V. V., Elsherif H. M., Optimization of LC voltage-Controlled Oscillators in 90-nm CMOS Technology for 3G Transceivers, in IEEE XXXIII International Scientific Conference Electronics and Nanotechnology (ELNANO), 2013, pp. 85-89.
21. Zhang Y.,Liu p., A low-voltage low-phase-noise bottom-series LC QVCO using capacitor tapping technique, IEEE, 2008, PP.237-240.
22. Zou Q., Design of a Ku-band low-phase-noise VCO using the dual LC tank, IEEE transaction on circuit and systems-II, 2012, PP.262-266.

بهبود روش کنترل مؤثر در مبدل‌های DC-DC سوئیچ‌خازنی برای کاربردهای با توان بسیار پایین

حمید توانا[۱]، عبدالرسول قاسمی[۲]، نجمه چراغی شیرازی[۳]

۱- گروه برق دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، tavana1762@yahoo.com

۲- گروه برق دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، rasul_ghasemi@yahoo.com

۳- گروه برق دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، nch_shirazi@yahoo.com

تاریخ دریافت: ۹۴/۴/۸ تاریخ پذیرش: ۹۴/۱۱/۱۱

چکیده:

استفاده از جبرانساز مناسب به منظور صفر شدن خطای حالت ماندگار و بهبود پاسخ حالت گذرا قسمتی اساسی در طراحی مبدل‌های DC-DC سوئیچ‌خازنی می‌باشد. در این مقاله از ساختار آپ‌امپی جبرانساز تناسبی- انتگرالی- مشتقی در مدار فیدبک استفاده شده است. راندمان این مدار به علت استفاده شدن عناصر فعال به بالای ۹۸٪ رسیده شده است. شبیه سازی این مدار در تکنولوژی 0.18µmCmos انجام شده است. ولتاژ ورودی در این مدار 1.8V و ولتاژ خروجی در توپولوژی ۲ به ۱ در محدوده‌ای 250mV تا 900mV است. تغییرات جریان بار از 0 تا 40mA می‌باشد.

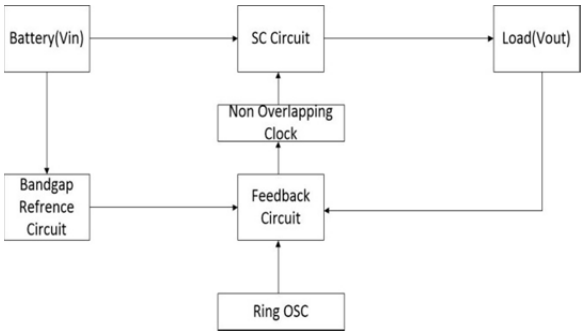
کلید واژه: جبرانساز تناسبی انتگرالی مشتقی، راندمان، مقایسه‌گر

مقدمه

محصولات الکترونیکی قابل حمل و حسگرهای زیستی، امروزه بیشتر از مبدل سوئیچ‌خازنی استفاده می‌کنند. این قابل حمل بودن محصولات معمولاً توسط باتری متغیر با زمان عرضه می‌شود که نیاز به یک مبدل DC-DC با ارائه یک ولتاژ خروجی پایدار دارد. مبدل‌های مورد استفاده در الکترونیک به سه دسته‌ی مبدل‌های خطی، تنظیم کننده سوئیچینگ و سوئیچ خازنی (SC) تقسیم می‌شود. تنظیم کننده‌های خطی تنها در حالت step_down عمل می‌کنند، در حالی که دو نوع دیگر از مبدل DC-DC دارای پتانسیل کارکرد در هر دو حالت می‌باشند، از این رو از نظر گسترش عمر باتری و زمان آماده به کار، تنظیم کننده خطی انتخاب نمی‌شود. همان طور که در تنظیم کننده سوئیچینگ، تبدیل توان و انتقال آنها با استفاده از انجام سلف یا ترانسفورماتور بزرگ صورت می‌گیرد بنابراین برای افزایش طول عمر باتری‌ها از مبدل‌های سوئیچ خازنی استفاده می‌شود.

بلوک دیاگرام کلی مبدل‌های سوئیچ خازنی

شکل ۱ بلوک دیاگرام کلی مبدل سوئیچ خازنی را نشان می‌دهد.



شکل۱- بلوک دیاگرام کلی مبدل DC-DC سوئیچ‌خازنی

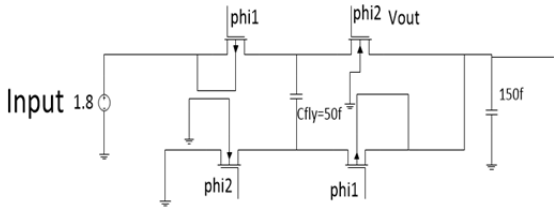
همان طور که در شکل ۱ دیده می‌شود ولتاژ ورودی به مدار سوئیچ‌خازنی و بعد به بار می‌رسد، به منظور کاهش ریپل‌های موجود در خروجی از مدار فیدبک استفاده می‌شود. کلاک مورد نیاز در مدار فیدبک با استفاده از اسیلاتور حلقوی

تأمین می‌گردد. به طور کلی مبدل سوئیچ خارنی به ۲ روش کلاک غیرهم‌پوشان و شبه سوئیچ‌خازنی کنترل می‌گردد، در این مقاله سیگنال برگشتی از مدار فیدبک به کلاک غیرهم‌پوشان و مجدداً به مدار سوئیچ‌خازنی بر می‌گردد.

به منظور تأمین ولتاژ مرجع در مدار فیدبک از مدار مرجع ولتاژ (BGR) برای تأمین V_{ref} = 900 mV استفاده شده است.

طراحی مدار سوئیچ‌خازنی

توپولوژی مدار سوئیچ‌خازنی که در این طرح مورد بحث قرار می‌گیرد به صورت ۲ به ۱ می‌باشد.



شکل ۲. طراحی توپولوژی ۲ به ۱

مدار سوئیچ‌خازنی فوق با کلاک‌های غیرهم‌پوشان phi1 و phi2 کنترل می‌شود. در فاز phi1 ترانزیستورهای PMOS روشن است که ولتاژ ورودی به خازن fly می‌رسد و در فاز phi2 ترانزیستورهای NMOS روشن است که شارژ از خازن fly به خازن Load منتقل می‌شود. انرژی استخراج شده از ورودی به صورت معادله ۱ می‌باشد.

(۱)

$$E_{EXT}(V_{in}) = -\int_{phi1} V_{in} i(t)dt = V_{in}\int_{phi1} C_{fly}\frac{dV_{C_{fly}(t)}}{dt}dt$$
$$= C_{fly}V_{in}[(V_{in} - V_L) - V_L]$$
$$= C_{fly}V_{in}(2V_{NL} - 2V_L)$$
$$E_{EXT}(Vin) = 2C_{fly}V_{in}\Delta V_L$$

انرژی تحویلی به بار در فاز phi1 به صورت معادله ۲ است

(۲)

$$E_L(phi1) = C_{fly}V_L(2V_{NL} - 2V_L) = 2C_{fly}V_L\Delta V_L$$
$$E_L(phi1) = 2C_{fly}V_L\Delta V_L$$

مجموع انرژی که در فاز phi1 و phi2 به بار می‌رسد به

صورت معادله ۳ است.

$$E_L(phi1 + phi2) = 4C_{fly}V_L\Delta V_L \quad (۳)$$

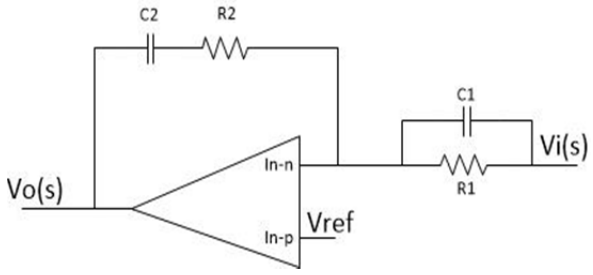
همچنین جریان بار به صورت معادله ۴ می‌باشد.

$$I_L = \frac{E_L}{V_L}.f_{sw} = 4C_{fly}\Delta V_L\, f_{sw} \quad (۴)$$

پس برای ثابت نگه داشتن ریپل‌ها (ΔV_L) باید f_{sw} با توجه به تغییرات I_L، مدولاسیون کرد.

طراحی مدار فیدبک

مبدل‌های DC-DC سوئیچ‌خازنی بدون مدار فیدبک دارای ریپل می‌باشد، دلیل اصلی آن هم مقاومت روشن ترانزیستورها و اضاف شدن قطب به مدار به دلیل وجود خازن می‌باشد. استفاده از جبرانسازهای تناسبی انتگرالی مشتقی بهترین گزینه برای صفر شدن خطای حالت ماندگار و بهبود پاسخ حالت گذرا می‌باشد.



شکل۳- جبرانساز تناسبی انتگرالی مشتقی

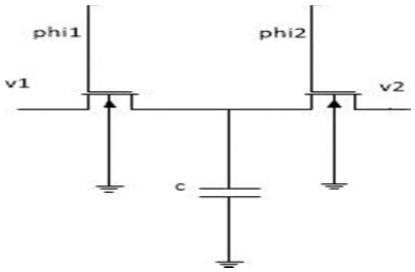
جبرانسازهای تناسبی انتگرالی مشتقی برای پیاده سازی همواره نیاز به عناصر فعال دارند، که وجود قطب و صفر در مبدأ مختصات موجب بهبود خطای حالت ماندگار می‌گردد.

تابع تبدیل این جبرانساز به صورت معادله ۵ می‌باشد.

(۵)

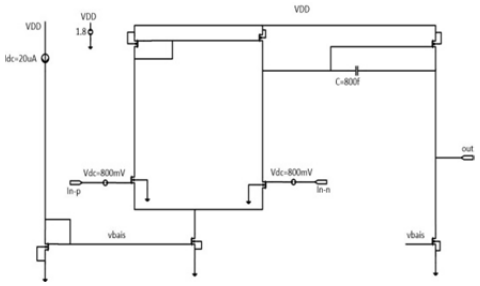
$$\frac{V_{O(S)}}{V_{i(S)}} = \frac{(S+\frac{1}{R1+C1})(S+\frac{1}{R2+C2})}{S^2+\left(\frac{1}{R1C1}+\frac{1}{R2C2}+\frac{1}{R2C1}\right)S+\frac{1}{R1R2C1C2}}$$

مقاومت‌های که در جبرانساز مشاهده می‌گردد با مدارهای سوئیچ خازنی به صورت شکل ۴ طراحی می‌گردد.



شکل۴- طراحی مقاومت با استفاده از سوئیچ و خازن

فرکانس کلاک مدار 5Mhz می‌باشد، با توجه به $f=\frac{1}{RC}$ می‌توان با تنظیم خازن به مقدار مقاومت مورد نظر دست یافت. آپ امپ تک سر که به عنوان عنصر فعال در جبرانسازها مورد استفاده قرار می‌گیرد به صورت شکل ۵ طراحی می‌گردد



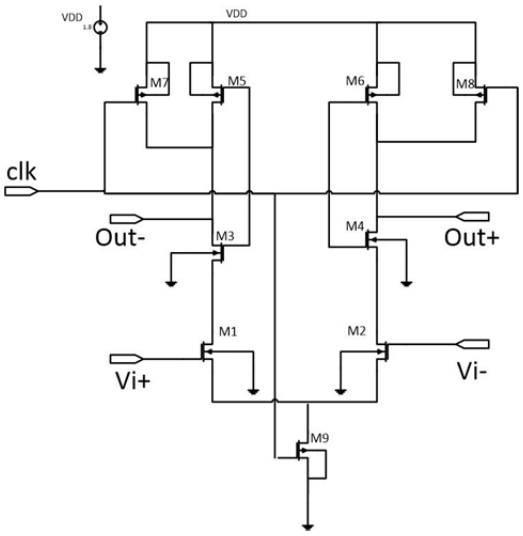
شکل۵- طراحی آپ امپ تک سر به عنوان عنصر فعال در جبرانساز تناسبی انتگرالی مشتقی

تولید سیگنال PWM به منظور کنترل انرژی انتقالی از ورودی به خروجی توسط مقایسه‌گر صورت می‌گیرد. به طوری که خروجی آپ امپ به سر منفی مقایسه‌گر وصل است و سر مثبت آن با کلاک 3Mhz مقایسه می‌شود. مقایسه‌گر طراحی شده به صورت شکل ۶ می‌باشد. مدار در دو حالت ریست و ارزیابی کار می‌کند، در حالت ریست ترانزیستورM_9 خاموش می‌باشد و ترانزیستورهای M_7 و M_8 خروجی‌های +Out و -Out را به بیشترین ولتاژ می‌رسانند، در حالت ارزیابی کلاک مدار بیشینه می‌باشد و ترمینال‌های مثبت و منفی با هم مقایسه می‌شوند، هر ورودی که بزگ‌تر باشد خروجی مربوط به آن به مقدار بیشینه می‌رسد.

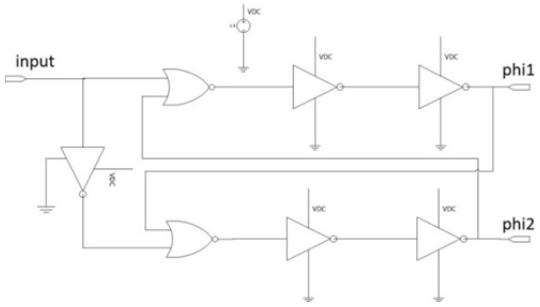
طراحی مولد کلاک غیرهم‌پوشان (NOC)

طراحی مولد کلاک‌های غیرهم‌پوشان قسمتی مهم در مبدل‌های DC-DC سوئیچ خازنی می‌باشد. سیگنال برگشتی از مدار فیدبک به ورودی NOC می‌رسد و این سیگنال کلاک‌های phi1 و phi2 را به منظور کنترل شارژ انتقالی از ورودی به بار را تولید می‌کند. شکل ۷ طراحی این مبدل را نشان می‌دهدکه تعداد طبقات زنجیره اینورتر با توجه به تأخیر هر گیت و دوره تناوب سیگنال تعیین می‌شود.

$$\text{تعداد طبقات زنجیره اینورتر} = \frac{\text{دوره کلاک غیر هم پوشان}}{\tau_p}$$



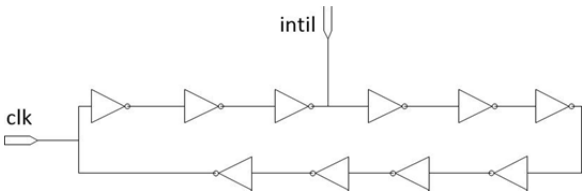
شکل۶- طراحی مقایسه‌گر



شکل۷- طراحی NOC

طراحی اسیلاتور حلقوی

مدارهای اسیلاتور حلقوی با استفاده از اینورترهای پشت سر هم طراحی می‌شوند که هر چه W و L ترانزیستورهای اینورتر بزرگ‌تر باشد تأخیر ایجادی بیشتر و فرکانس کم‌تر می‌باشد، حال برای تولید اسیلاتور 5Mhz باید از ساختار شکل ۸ استفاده کنیم.



شکل۸- طراحی رینگ اسیلاتور 5Mhz

تأخیر ایجادی در هر بلوک اینورتر به صورت معادله ۶ و ۷ می‌باشد.

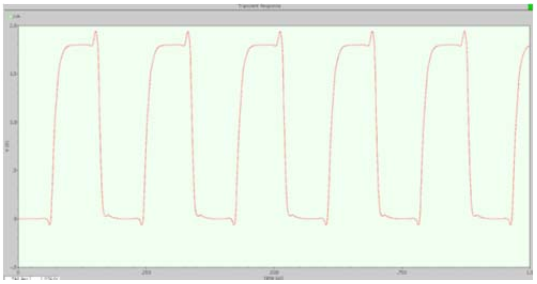
$$\tau_{PHL} = \frac{C_{load/kn}}{VDD-Vtn}\left[\frac{2vtn}{VDD-Vtn} + Ln\left[\frac{4(VDD-Vtn)}{VDD} - 1\right]\right] \quad (۶)$$

$$\tau_{PLH} = \frac{C_{load/kp}}{VDD-|Vtp|}\left[\frac{2|vtp|}{VDD-Vtp} + Ln\left[\frac{4(VDD-Vtp)}{VDD} - 1\right]\right] \quad (۷)$$

فرکانس اسیلاتور حلقوی با توجه به تأخیر هر طبقه و تعداد اینورترها به صورت معادله ۸ به دست می‌آید.

$$f_{osc}=\frac{1}{2n\tau} \quad (۸)$$

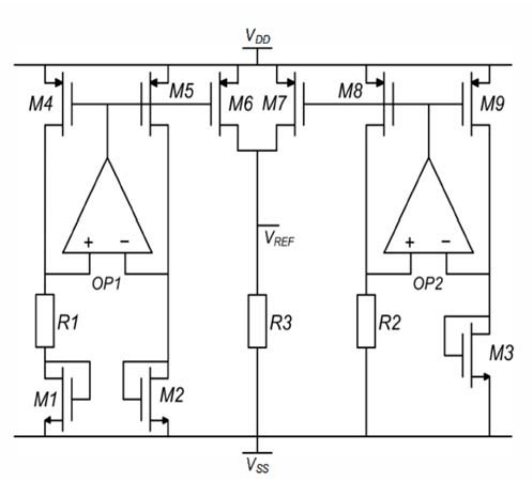
کلاک ۵Mhz به صورت شکل ۹ می‌باشد.



شکل۹- شکل موج کلاک اسیلاتور حلقوی

طراحی مرجع ولتاژ (BGR)

در مبدل‌های سوئیچ خازنی تنها ولتاژ در دسترس ورودی می‌باشد، پس برای تأمین $900mV V_{ref}$ = باید از مرجع ولتاژ استفاده نمود. شکل ۱۰ یک مرجع ولتاژ را نشان می‌دهد.

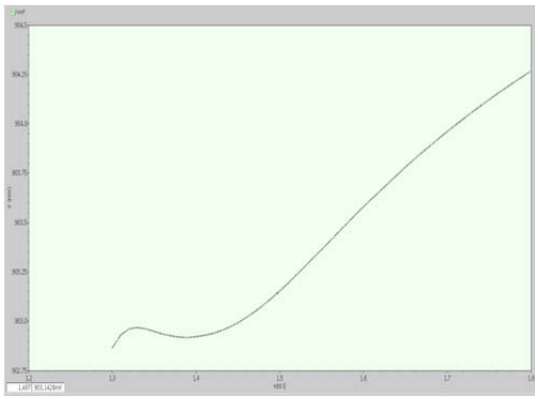


شکل۱۰- طراحی مرجع ولتاژ

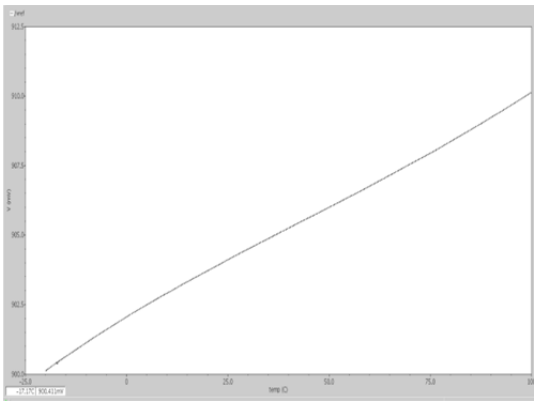
در این جا برای تطبیق خروجی‌ها از آمپ‌امپ تک سر استفاده شده است.V_{ref} از معادله ۹ به دست می‌آید.

$$V_{ref} = R_3\left(\frac{V_{GS3}}{R_2}\cdot\frac{\left(\frac{w}{l}\right)_7}{\left(\frac{w}{l}\right)_8}\cdot\frac{V_{GS2}-V_{GS1}}{R_1}\cdot\frac{\left(\frac{w}{l}\right)_6}{\left(\frac{w}{l}\right)_4}\right) \quad (۹)$$

همان طور که مشخص است ولتاژ مرجع به V_{GS} و R وابسته است. مدار طراحی شده به ازای سوئیپ ولتاژی از 1.3V تا 1.8V دارای 2mV ریپل می‌باشد، همچنین به ازای سوئیپ دمایی از $-20°$ تا ۱۰۰° فقط دارای 10mV ریپل می‌باشد.



شکل۱۱- سوئیپ ولتاژ از 1.3V تا 1.8V



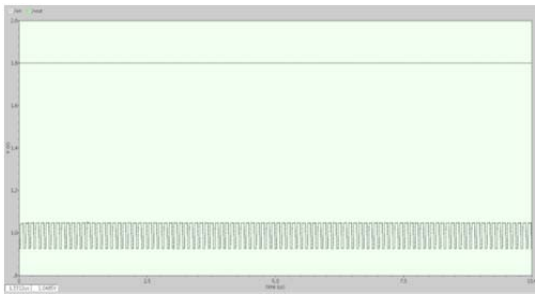
شکل۱۲- سوئیپ دما از °20−تا °100

نتایج شبیه سازی

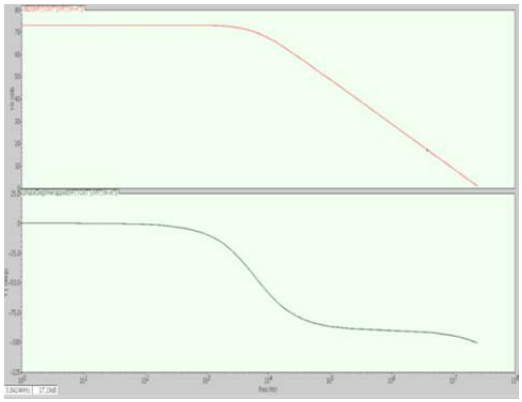
شکل ۱۳ خروجی مدار ۲ به ۱ بدون استفاده از مدارفیدبک به ازای ولتاژ ورودی 1.8V را نشان می‌دهد، این مبدل به دلیل مقاومت روشن ترانزیستور و اضاف شدن قطب دارای ریپل بالای 300mV می‌باشد، همان طور که در جدول ۱ نشان داده شده است اندازاه ترانزیستورها در تنظیم سطح ولتاژ خروجی کاملاً مؤثر است اعدادی که در جدول نشان داده شده است اندازه هر ۴ ترانزیستور مدار ۲ به ۱، به طور همزمان می‌باشد. تمامی شبیه سازی‌های در برنامه کیدنس انجام گرفته است.

جدول۱- مقدار ولتاژ خروجی با توجه به اندازه ترانزیستورها در مدار دارای فیدبک

V_{in}	$\left(\frac{W}{l}\right)_{nmos.pmos}$	V_{out}
1.8V	$\left(\frac{500nm}{180nm}\right)$	-835mV
1.8V	$\left(\frac{4\mu m}{180nm}\right)$	33mV
1.8V	$\left(\frac{40\mu m}{180nm}\right)$	878mV
1.8V	$\left(\frac{60\mu m}{180nm}\right)$	892mV
1.8V	$\left(\frac{80\mu m}{180nm}\right)$	900mV

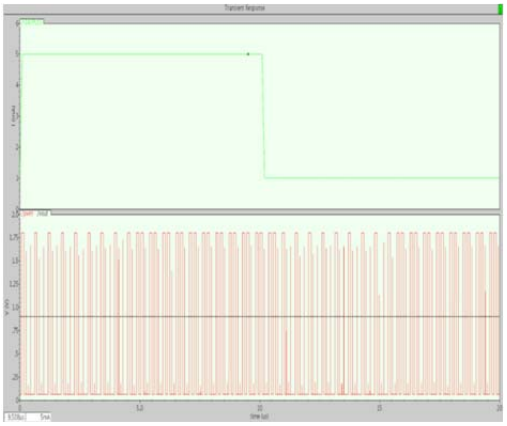


شکل۱۳- خروجی مدار ۲ به ۱ بدون مدار فیدبک



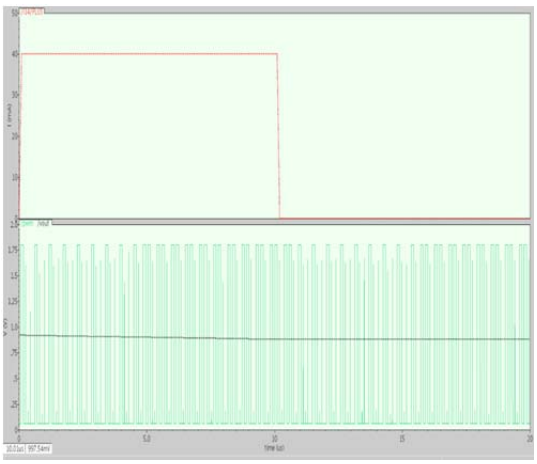
شکل۱۴- پاسخ فرکانسی جبرانساز تناسبی انتگرالی مشتقی

شکل ۱۴ پاسخ فرکانسی جبرانساز را نشان می‌دهد که بهره آن 73dB و حاشیه‌ی فاز °۸۰ می‌باشد. شکل ۱۵ خروجی مدار به ازای تغییرات جریان بار از 0 تا mA۵ را نشان می‌دهد. همان طور که مشخص است مدولاسیون فرکانس در سیگنال PWM موجب خروجی‌های بدون ریپل شده است. مقدار ریپل‌ها به ازای تغییرات جریان فوق 2mV می‌باشد که راندمان این مدار بالای 98% است.



شکل۱۵- خروجی مدار ۲ به ۱ به همراه مدار فیدبک به ازای تغییر جریان بار 0 تا 5mA

شکل ۱۶ خروجی‌های مبدل سوئیچ‌خازنی به ازای تغییرات جریان بار 0 تا 40mA را نشان می‌دهد، مقدار ریپل‌ها 5mV می‌باشد.



شکل۱۶– خروجی مدار ۲ به ۱ همراه با مدار فیدبک به ازای تغییر جریان بار 0 تا 40mA

نتیجه‌گیری

مبدل سوئیچ‌خازنی با ولتاژ ورودی 1.8V از توپولوژی ۲ به ۱ استفاده شده است. مقدار ریپل‌ها به ازای تغییر جریان بار از 0 تا 40mA برابر 5mV می‌باشد که راندمان مدار بالای ۹۸٪ می‌باشد. همچنین در این مقاله مدار مرجع ولتاژ و اسیلاتور حلقوی طراحی و شبیه سازی شده است.

مراجع

1. Chia-Ling Wei and Ming-Hsien Shih "Design of a Switched-Capacitor DC-DC Converter With a Wide Input Voltage Range," IEEE Trans. Circuits Syst, 2013.
2. C. L. Wei and H. H. Yang, "Analysis and design of a step-down switched-capacitor-based converter for low-power application," in Proc. IEEE Int. Symp. Circuit Syst.2010 (ISCAS'10), 2010. pp. 1384–1387.
3. Wei-Chung Chen and Ke-Horng Chen"A Wide Load Range and High Efficiency Switched - Capacitor DC - DC Converter With Pseudo-Clock Controlled Load-dependent Frequency," IEEE J. Solid-State Circuits, May 2014. vol. 40, no. 5, pp. 911–921.
4. Y.K.Ramadass, A. A. Fayed, and A. P. Chandrakas an, "A f ully- Integrated switched-capacitor step-down DC-DC converter with digital capacitance modulation in 45 nm CMOS," IEEE J. Solid-State Circuits, Dec. 2010. pp. 2557–2565.

طراحی مدار تمام جمع‌کننده توان پایین و سرعت بالا با استفاده از منطق ترکیبی

احسان بهروز زیارتی[۱]، علی کاظمی[۲] و خوشنام شجاعی ارانی[۳]

۱- دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، behrooz.ehsan@gmail.com

۲- دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران، kazemy@iust.ac.ir

۳- دانشگاه آزاد اسلامی واحد نجف‌آباد، نجف‌آباد، ایران، khoshnam.shojaee@gmail.com

تاریخ دریافت: ۹۳/۱۱/۲۰ تاریخ پذیرش: ۹۴/۶/۵

چکیده:

تمام جمع‌کننده یکی از اساسی‌ترین بلوک‌های سازنده مدارات دیجیتال مختلف می‌باشد و بخش عمده‌ای از پردازش سیگنال دیجیتال را شامل می‌شود. بنابراین افزایش کارایی و بازدهی بلوک جمع‌کننده باعث بهبود عملکرد کل مدار خواهد شد. در سیستم‌های دیجیتال یک جمع‌کننده با توان مصرفی پایین، سرعت بالا و قابلیت اطمینان بالا، مطلوب می‌باشد. به همین دلیل بسیاری از محققین در حال تلاش برای بهبود مدار جمع‌کننده از نظر توان و سرعت می‌باشند. در طراحی منطق ترکیبی بر خلاف روش‌های مرسوم طراحی جمع‌کننده از بیش از یک منطق برای پیاده سازی استفاده می‌شود. به این شکل که از ویژگی‌های مهم و تأثیرگذار دیگر روش‌ها به صورت ترکیبی جهت بهبود بازده کلی مدار جمع‌کننده استفاده می‌شود. در این مقاله به ارائه یک مدار تمام جمع‌کننده جدید می‌پردازیم. همه مدارها را با استفاده از نرم‌افزار HSPICE در تکنولوژی‌های ۱۸۰ و ۹۰ نانومتر شبیه‌سازی نموده و نتایج را با دیگر مدارهای ارائه شده تاکنون مقایسه می‌کنیم. در ادامه با نرم‌افزار Cadence در تکنولوژی ۱۸۰ نانومتر طرح جانمایی مدار ارائه شده خود را خواهیم کشید.

کلید واژه: تأخیر، تمام جمع‌کننده، توان، منطق ترکیبی.

مقدمه

این روزها نمی‌توان دنیایی بدون دستگاه‌های الکترونیکی را تصور کرد. استفاده از این دستگاه‌ها به حدی در زندگی روزمره ما تأثیر گذاشته که نمی‌توان حتی چند ساعت بدون آن را تحمل کرد. در طول یک شبانه‌روز ما از ابزارهای الکترونیکی زیادی برای سهولت در انجام کارهای مختلف استفاده می‌کنیم. برای مثال نحوه استفاده از تلفن‌های همراه، تعریف و مفهوم ارتباطات را تغییر داد. تلفن هوشمند در سال ۱۹۹۳ با ویژگی‌های اضافی نظیر بازی، ایمیل و ... ارائه گردید و صفحات لمسی جای دکمه‌های فیزیکی را گرفتند [۱].

با توجه به استقبال زیاد از ابزارهای الکترونیکی قابل حمل توسط مصرف کنندگان در سال‌های اخیر، طراحی مدارهای دیجیتال توان پایین، به عنوان یک نیاز ضروری مطرح شده است. با رشد روز افزون لپ تاپ‌ها و سیستم‌های ارتباطی قابل حمل و هرچه کوچک‌تر شدن ابعاد تکنولوژی، تحقیقات روی میکرو الکترونیک توان پایین بیشتر شد و سیستم‌های دیجیتال توان پایین مورد تقاضای بیشتری قرار گرفتند. جمع‌کننده یکی از مهم‌ترین اجزای واحد پردازنده مرکزی و واحد محاسبات منطقی و حافظه، می‌باشد [۲]. بعلاوه تمام جمع‌کننده‌ها اجزای مهمی برای دیگر کاربردها نظیر: پردازش سیگنال دیجیتال، میکروپروسسور و ضرب کننده‌ها می‌باشند. در ابزارهایی مانند: لپ‌تاپ، تلفن همراه، حافظه‌های مختلف و ... از پردازش سیگنال دیجیتال استفاده شده است. میکروپروسسورهای جدید قدرت پردازش بالایی دارند و می‌توانند میلیون‌ها عملیات را در

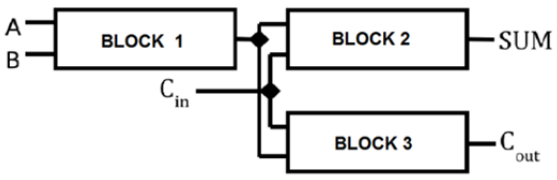
یک ثانیه انجام دهند. هرچه تعداد ترانزیستور در یک چیپ بیشتر شود، اتلاف توان به ویژه در ابزارهای الکترونیکی قابل حمل به موضوع مهم‌تری تبدیل می‌شود [۳].

ساختار کلی

در برخی از طراحی‌ها بیش از یک منطق برای پیاده‌سازی استفاده می‌شود که به طراحی منطق ترکیبی معروف هستند. در این طراحی‌ها از ویژگی‌های مهم و تأثیرگذار روش‌های ذکر شده به صورت ترکیبی جهت بهبود بازده کلی مدار جمع‌کننده استفاده می‌شود. در طراحی‌های منطق ترکیبی از بهترین بلوک‌های ممکن روش‌های مختلف استفاده شده است [۴].

با وجود این‌که مدارها بازدهی خوبی در زمینه پارامترهای مورد نظر مانند توان و تأخیر دارند، اما اکثر جمع‌کننده‌های منطق ترکیبی با مشکل جریان‌دهی ضعیف و کاهش بازدهی در مدارات چند طبقه مواجه هستند و فقط در مدارات کوچک بازدهی مورد نظر را دارند. هدف طراحی کاهش تعداد ترانزیستورهای استفاده شده در هر بلوک جمع‌کننده و در نتیجه کاهش تعداد گره‌های اتلاف کننده توان می‌باشد [۵].

جمع‌کننده منطق ترکیبی از سه بلوک تشکیل شده که در شکل (۱) آن را مشاهده می‌کنید. بلوک‌های (۱) و (۲) همان گیت XNOR و XOR هستند که سیگنال SUM را تولید می‌کنند و بلوک (۳) سیگنال Cout را تولید می‌کند.



شکل۱- شماتیک مدار جمع‌کننده منطق ترکیبی

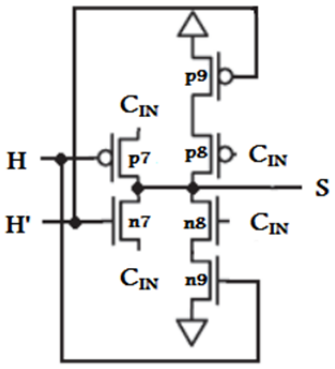
هر بلوک را به صورت جداگانه در جهت بهینه کردن توان و تأخیر کل مدار طراحی می‌کنیم. بلوک‌های XNOR و XOR بیشترین سهم را در مصرف توان کل مدار شامل می‌شوند، پس آن‌ها را از منظر کاهش توان مصرفی مورد مطالعه و طراحی قرار می‌دهیم [۶]. احتمال این‌که یک جمع‌کننده تک بیتی طراحی شده که به صورت جداگانه بازدهی خوبی داشته است، در وضعیت واقعی عملکرد مناسبی نداشته باشد زیاد است. چراکه در هنگام استفاده در مدارهای چند طبقه، ممکن است سلول جمع‌کننده قبل جریان مناسبی را برای راه‌اندازی سلول جمع‌کننده طبقه بعد فراهم نکند. به تدریج سوئینگ سیگنال کاهش می‌یابد و منجر به خروجی اشتباه می‌شود و باعث بد عمل کردن مدار در ولتاژهای تغذیه پایین می‌شود [۷].

طراحی تمام جمع‌کننده منطق ترکیبی

بلوک اول تولیدکننده XOR و XNOR می‌باشد. می‌توان یکی از آن‌ها را طراحی و دیگری را با استفاده از یک وارونگر ایجاد نمود که این روش باعث ایجاد تأخیر در خروجی توابع XOR, XNOR می‌شود و احتمال سوییچ غیر واقعی را افزایش می‌دهد. یا مداری ارائه کرد که به صورت همزمان هر دو را تولید کند که باعث افزایش تعداد ترانزیستور و در نتیجه افزایش توان مصرفی خواهد شد. در مقاله [۸] و [۹] از منطق ترانزیستور عبوری برای طراحی این بلوک استفاده شده است، با این تفاوت که در مقاله [۹] فقط از ترانزیستورهای NMOS استفاده شده است. این دو مدار با مشکل عدم سوئینگ کامل و افت ولتاژ آستانه مواجه هستند. خروجی بلوک اول به عنوان ورودی بلوک‌های دوم و سوم مورد استفاده قرار می‌گیرد. با توجه به این که بلوک اول قسمت اصلی اتلاف توان کل مدار را شامل می‌شود، این بلوک را بدون این که دچار افت ولتاژ خروجی شود در جهت کاهش توان اتلافی طراحی نموده‌ایم. برای این کار عرض کانال ترانزیستورهای استفاده شده در وارونگر ورودی را کوچک در نظر گرفته‌ایم.

بلوک دوم یک مدار XOR می‌باشد که در مقاله [۱۰] از مداری شبیه بلوک اول استفاده شده است. در این قسمت مداری جدید برای این بلوک در جهت کاهش پارامترهای توان و تأخیر ارائه نموده‌ایم. حال به بررسی عملکرد مدار XOR با توجه به شکل (۲) می‌پردازیم. وقتی ورودی H صفر منطقی باشد، خروجی مدار از دیگر ورودی پیروی خواهد کرد که با استفاده از ترانزیستور N7 و P7 پیاده‌سازی شده است. وقتی H در حالت صفر منطقی قرار بگیرد، 'H در حالت یک منطقی

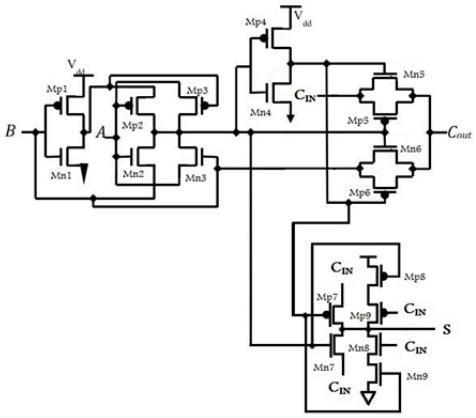
می‌باشد. پس هر دو ترانزیستور روشن می‌باشند و خروجی به Cin متصل می‌شود. در این حالت Cin در هر حالت منطقی که قرار بگیرد خروجی نیز همان می‌شود.



شکل۲- مدار XOR ارائه شده برای بلوک دوم

وقتی ورودی H در حالت یک منطقی باشد هر دو ترانزیستور خاموش خواهند بود. پس وقتی ورودی H و Cin هر دو در حالت یک منطقی باشند، خروجی صفر خواهد بود که با استفاده از ترانزیستورهای N8 و N9 که به صورت سری قرار گرفته‌اند اعمال می‌شود. به همین ترتیب وقتی که ورودی H در حالت یک و Cin در حالت صفر قرار می‌گیرند، خروجی با استفاده از دو ترانزیستور P8 و P9 که به صورت سری قرار گرفته‌اند به Vdd متصل می‌شود. در این طراحی به منظور کاهش توان اتلافی از وارونگر استفاده نشده است و برای انتقال یک منطقی از ترانزیستورهای Pmos و صفر منطقی از ترانزیستورهای Nmos در جهت کاهش تأخیر مدار استفاده شده است. شکل (۳) مدار جمع‌کننده ارائه شده را نشان می‌دهد.

وارونگری که از ترانزیستورهای Mn۱ و Mp۱ تشکیل شده است، سیگنال مکمل ورودی B را ایجاد می‌کند که با استفاده از آن وارونگر ساخته شده با ترانزیستورهای Mn۲ و Mp۲ کنترل می‌شود. اساساً خروجی این وارونگر کنترل شده، نتیجه XNOR بین ورودی‌های A و B می‌باشد، اما با مشکل افت ولتاژ مواجه است که برای حل آن از ترانزیستورهای عبور Mn۳ و Mp۳ استفاده کرده‌ایم.



شکل۳- مدار جمع‌کننده منطق ترکیبی ارائه شده

بلوک سوم تولیدکننده Cout یا همان نقلی خروجی می‌باشد، با توجه به این‌که تأخیر بحرانی مدار در این قسمت می‌باشد، از روش گیت انتقال جهت بالا بردن سرعت استفاده شده است. برای تولید نقلی خروجی کافیست نقلی ورودی فقط از یک گیت انتقال عبور کند که باعث کاهش چشمگیر مسیر تولید نقلی می‌شود. در این قسمت از مدار عرض کانال ترانزیستورها را برای کاهش بیشتر تأخیر انتشار سیگنال نقلی، بزرگ‌تر در نظر گرفته‌ایم نحوه تولید سیگنال Cout به این‌گونه است که اگر ورودی‌های B و A برابر باشند، در نتیجه سیگنال Cout همان ورودی B می‌باشد، در غیر این صورت برابر با سیگنال Cin خواهد شد. برابر بودن ورودی‌های B و A با تابع AΘB مشخص می‌شود. به نحوی که اگر هر دو یکی باشند، سیگنال B از طریق ترانزیستورهای Mp۶ و Mn۶ به خروجی انتقال می‌یابد. در غیر این صورت سیگنال Cin از طریق ترانزیستورهای Mp۵ و Mn۵ به خروجی انتقال می‌یابد.

نتایج شبیه سازی

نتایج شبیه‌سازی تمام جمع‌کننده تک بیت، ۳ بیت و ۲۰ بیت مدارهای معرفی شده و مدار ارائه شده در تکنولوژی‌های ۱۸۰ نانومتر با ولتاژ ۱/۸ ولت و ۹۰ نانومتر با ولتاژهای ۱/۲ و ۱ ولت با نرم‌افزار HSPICE در جدول‌های (۱)، (۲) و (۳) ارائه نموده‌ایم. برای فراهم کردن شرایط واقعی شبیه‌سازی به ورودی‌ها و خروجی‌های جمع‌کننده مدار بافر را اضافه کرده‌ایم. قرار دادن مدار بافر در ورودی می‌تواند نقش خازن

بار ورودی مدار را به عهده بگیرد و مدار بافر در خروجی باعث آزمایش مدار در شرایط بار مناسب می‌شود. قابل ذکر است که تمام جمع‌کننده‌ها با استفاده از یک فایل تست که خود ما برای بررسی درستی عملکرد مدار آماده کرده‌ایم شبیه‌سازی نموده‌ایم تا بتوان در انتها به راحتی و با اطمینان بالا تمامی نتایج به دست آمده را با هم مقایسه کرد.

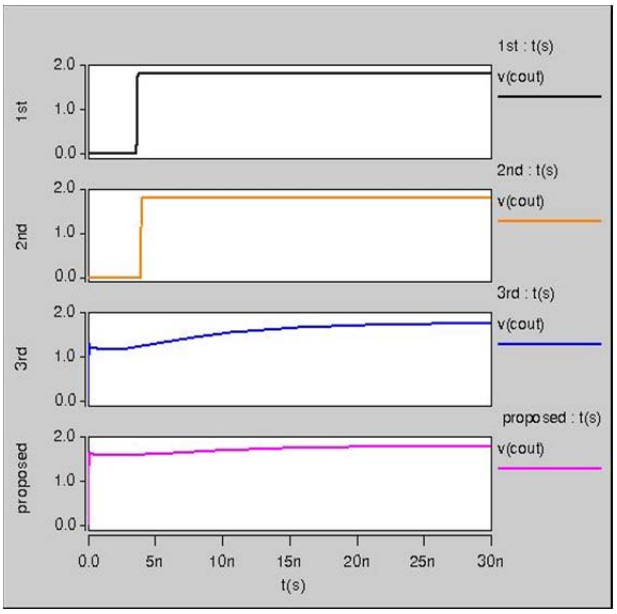
جدول۱- نتایج شبیه‌سازی در تکنولوژی ۱۸۰ نانومتر

پارامتر	مدار	اول [۸]	دوم [۹]	سوم [۱۰]	ارائه شده
Power (µw)	۱ بیت	۲/۴۷	۴/۴۷	۱/۴۳	۱/۴۱
	۳ بیت	۸/۲۰	۱۲/۰۳	۵/۱۴	۵/۰۵
	۲۰ بیت	۹۴/۱۲	۷۱/۷۴	۸۸/۵۳	۲۷/۶۸
Delay (ps)	۱ بیت	۶۶/۳۸	۶۴/۳۳	۱۱/۹۱	۱۴/۱۱
	۳ بیت	۶۶۸/۱	۵۹۷/۵	۷۹/۵۸	۶۹/۸۲
	۲۰ بیت	۳۶۶۷	۳۷۸۰	۲۴۴/۳	۶۹/۷۷
PDP (fj)	۱ بیت	۰/۱۲	۰/۰۸	۰/۰۱	۰/۰۱
	۳ بیت	۵/۴۸	۷/۱۸	۰/۴۰	۰/۳۵
	۲۰ بیت	۳۴۵/۲	۲۷۱/۲	۲۱/۶۳	۱/۹۳

مدار اول و دوم توان اتلافی زیادی دارند و با افزایش تعداد بیت تمام جمع‌کننده تأخیر کل آن‌ها افزایش چشم‌گیری پیدا می‌کند. توان اتلافی و تأخیر مدار ارائه شده در مدار تک بیتی و ۳ بیتی با اختلافی اندک از مدار سوم پایین‌تر است اما در مدار ۲۰ بیتی مدار سوم با افت زیادی مواجه می‌شود.

شکل (۴) خروجی نقلی جمع‌کننده‌ها را در تکنولوژی ۱۸۰ نانومتر نشان می‌دهد. ملاحظه می‌کنید که علاوه بر بهتر بودن پارامترهای توان و تأخیر مدار ارائه شده، سوئینگ خروجی آن نیز نسبت به دیگر مدارها قابل قبول‌تر است. جدول‌های (۲) و (۳) نتایج شبیه‌سازی تکنولوژی ۹۰ نانومتر در ولتاژهای ۱/۲ و ۱ ولت را نشان می‌دهند.

مشاهده می‌کنید که مدار ارائه شده اول همچون نتایج تکنولوژی ۱۸۰ نانومتر در تعداد بیت‌های کم نتایجی نزدیک به مدار سوم دارد اما با افزایش تعداد بیت تمام جمع‌کننده بازده مدار بسیار بهتر از مدار سوم می‌شود.



شکل۴- خروجی نقلی در تکنولوژی ۱۸۰ نانومتر

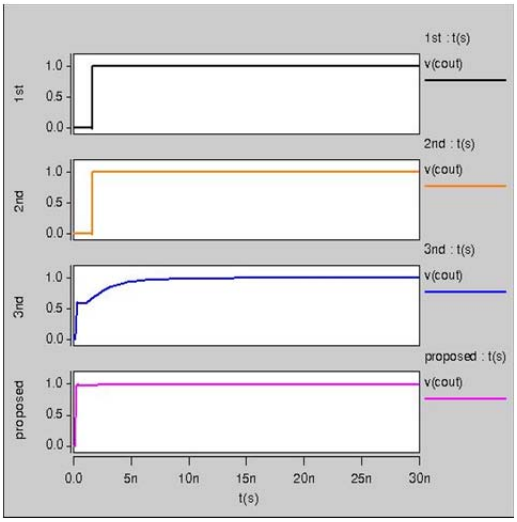
جدول۲- نتایج شبیه‌سازی در تکنولوژی ۹۰ نانومتر با ولتاژ ۱/۲ ولت

پارامتر	مدار	اول [۸]	دوم [۹]	سوم [۱۰]	ارائه شده
Power (µw)	۱ بیت	۰/۴۵۴	۰/۸۱۱	۰/۰۶۶	۰/۱۱۱
	۳ بیت	۲/۴۶۸	۲/۱۲۹	۰/۷۵۶	۰/۷۹۴
	۲۰ بیت	۱۶/۰۹	۱۱/۹۶	۷/۱۸۱	۴/۳۱۶
Delay (ps)	۱ بیت	۲۸/۲۰	۲۷/۳۲	۴/۳۶۳	۴/۲۲۹
	۳ بیت	۱۸۵/۴	۱۸۹/۴	۲۴/۶۱	۲۴/۳۷
	۲۰ بیت	۱۱۵۶	۱۱۷۲	۳۴/۰۶	۲۴/۳۵
PDP (fj)	۱ بیت	۰/۰۰۵	۰/۰۰۸	۰/۰۰۰۲	۰/۰۰۰۴
	۳ بیت	۰/۴۵۷	۰/۴۰۲	۰/۰۱۸	۰/۰۱۹
	۲۰ بیت	۱۸/۶۱	۱۴/۰۳	۰/۲۶۶	۰/۱۰۵

جدول۳- نتایج شبیه‌سازی در تکنولوژی ۹۰ نانومتر با ولتاژ ۱ ولت

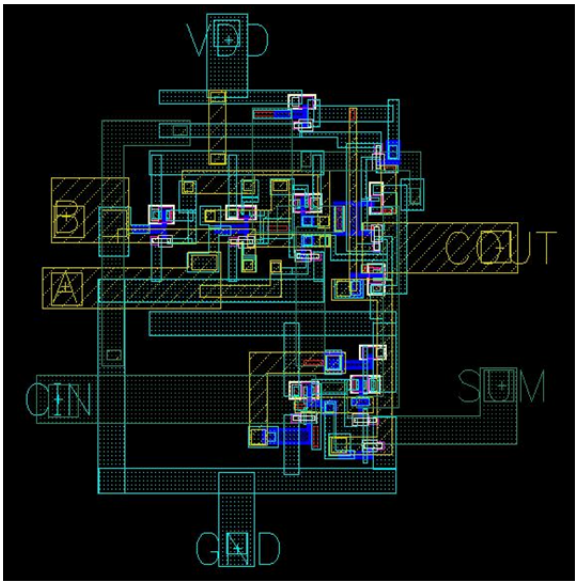
پارامتر	مدار	اول [۸]	دوم [۹]	سوم [۱۰]	ارائه شده
Power (µw)	۱ بیت	۰/۳۰۱	۰/۵۱۱	۰/۱۱۴	۰/۰۸۱
	۳ بیت	۱/۶۲۹	۱/۴۰۶	۰/۵۱۵	۰/۵۱۷
	۲۰ بیت	۱۰/۵۵	۷/۹۳۹	۳/۵۵۲	۲/۹۳۹
Delay (ps)	۱ بیت	۳۴/۳۵	۳۳/۴۰	۵/۴۳۲	۵/۱۸۲
	۳ بیت	۲۳۳/۶	۲۳۶/۱	۳۱/۲۰۲	۳۰/۶۸۶
	۲۰ بیت	۱۴۵۰	۱۴۵۸	۴۷/۲۰۸	۳۰/۶۵۶
PDP (fj)	۱ بیت	۰/۰۱	۰/۰۱۷	۰/۰۰۰۶	۰/۰۰۰۴
	۳ بیت	۰/۳۸	۰/۳۳۲	۰/۰۱۶	۰/۰۱۵
	۲۰ بیت	۱۵/۲۹	۱۱/۵۷	۰/۱۶۷	۰/۰۹۰

همان‌طور که در شکل (۵) ملاحظه می‌کنید، مدار اول و دوم سوئینگ بسیار خوبی دارند اما تأخیر و توان اتلافی مناسبی ندارند. سرعت رسیدن به سوئینگ کامل در مدار سوم کم است و مشاهده می‌کنید که مدار ارائه شده ما علاوه بر این که پارامترهای توان اتلافی و تأخیر کمتری نسبت به دیگر مدارها دارد، سوئینگ منطقی بسیار بهتری نسبت به دیگر مدارها به ویژه مدار سوم که از نظر پارامترهای مذکور نزدیک‌ترین نتایج را نسبت به این مدار دارد. بنابراین سوئینگ منطقی مدار ارائه شده در تکنولوژی ۹۰ نانومتر نیز بهترین حالت را دارد.



شکل۵- خروجی نقلی در تکنولوژی ۹۰ نانومتر

در ادامه طرح جانمایی مدار ارائه شده را در نرم‌افزار Cadence کشیده‌ایم که در شکل (۶) آن را مشاهده می‌کنید.



شکل۶- طرح جانمایی مدار ارائه شده در Cadence

نتیجه‌گیری

طراحی با استفاده از منطق ترکیبی به طراحان دیجیتال این امکان را می‌دهد تا با توجه به کاربرد مورد نظر، بلوک‌های مختلفی را انتخاب کنند. پس می‌توان جمع‌کننده‌های مختلفی را با توجه به کاربردهای مختف طراحی نمود. مشاهده می‌شود که مدار ارائه شده ما نتیجه بهتری نسبت به دیگر مدارها دارد. با مقایسه نتایج به دست آمده به این نتیجه می‌رسیم که بازده مدار ارائه شده در مدارات چند طبقه افت کم‌تری نسبت به دیگر مدارها دارد و با کوچک‌تر شدن ابعاد تکنولوژی و کاهش ولتاژ در مقایسه با دیگر مدارها سوئینگ منطقی قابل قبول‌تری خواهد داشت.

مراجع

1. Aguirre-Hernandez, M., Linares-Aranda, M., (2011), “CMOS Full-Adders for Energy-Efficient Arithmetic Applications”, IEEE Transaction On VLSI Systems, Vol.19, No.4, PP.718-721.
2. Agarwal, M., Agrawal, N., (2014), “A New Design of Low Power High Speed Hybrid CMOS Full Adder”, International Conference on Signal Processing and Integrated Networks (SPIN), PP.448-452.
3. Zavarei, M.J., Baghbanmanesh, M.R., Kargaran, E., Nabovati, H., Golmakani, A., (2011) “Design of new full adder cell using hybrid-CMOS logic style,” in Proc. 18th IEEE Int. Conf. Electron., Circuits Syst. (ICECS), pp. 451–454.
4. Shams,A.M., (2002), “Performance Analysis of Low-Power 1-Bit CMOS Full Adder Cells ”, IEEE Transaction On VLSI Systems, Vol.10, No.1, PP.20-29.
5. Wairya, S., Nagaria, R.K., Tiwari, S., (2011) “New Design Metodologies For High-Speed Mixed-Mode CMOS Full Adder Circuits”, International Journal of VLSI design & Communication Systems (VLSICS) Vol.2, No.2
6. Zhang, M., Gu, J., and Chang, C.H., (2003) “A novel hybrid pass logic with static CMOS output drive full-adder cell,” in Proc. 36th IEEE Int. Symp. Circuits and Systems, vol. V, Bangkok, Thailand, pp. 317–320.
7. Hassoune.I, Flandre.D, (2010), “ ULPFA: A New Efficient Design of a Power-Aware Full Adder ”, IEEE Transactions On Circuits And Systems, Regular Papers, Vol. 57, No. 8, pp.2066-2077.
8. Chang,.C.H., Gu.J, and Zhang, M., (2005) “A Review of 0.18 µm Full Adder Performances for Tree Structured Arithmetic Circuits ”, IEEE Transaction On VLSI Systems,Vol.13, No.6, PP.686-695.
9. Goel,S., Elgamel, M. A., and Bayoumi,M. A., (2006) “Design Methodologies for High-Performance Noise-Tolerant XOR–XNOR Circuits”, IEEE Transactions On Circuits And Systems, Regular Papers, Vol. 53, No. 4,PP.867-878.
10. Bhattacharyya, P, Kundu, B., Ghosh, S., Kumar, V., (2014) “ Performance Analysis of a Low-Power High-Speed Hybrid 1-bit Full Adder Circuit ” IEEE Trans. Very Large Scale Integr. (VLSI) Syst.,PP. 1-8.

طراحی یک زمانبند وظیفه جدید برای سیستم‌های محاسباتی توسط الگوریتم‌های هوش مصنوعی در محیط گرید

شیما شهابی[۱]، علی هارون آبادی[۲] و سیدجواد میرعابدینی[۳]

۱- دانشگاه آزاد اسلامی واحد بوشهر، بوشهر، ایران sh.shahabi65@yahoo.com

۲- عضو هیئت علمی دانشگاه آزاد اسلامی واحد تهران مرکزی، تهران، ایران a.harounabadi@gmail.com

۳- عضو هیئت علمی دانشگاه آزاد اسلامی واحد تهران مرکزی، تهران، ایران jvd.2205@yahoo.com

تاریخ دریافت: ۹۴/۱/۲۵ تاریخ پذیرش: ۹۴/۷/۲۲

چکیده:

با توجه به پویایی محیط گرید و همچنین عدم تمرکز منابع آن نیاز به یک زمان‌بند برای برنامه‌های کاربردی ضروری می‌باشد. از آنجایی که، زمان‌بندی وظایف جزو مسائل سخت به حساب می‌آید، الگوریتم‌های قطعی کارآیی لازم را برای حل این مسئله نخواهند داشت. تحقیقات زیادی بر روی الگوریتم‌های ابتکاری از جمله الگوریتم ژنتیک صورت گرفته است. سادگی الگوریتم ژنتیک و این‌که فضای مسئله را از چندین جهت مختلف جستجو می‌کند باعث شده که برای حل بسیاری از مسائل بهینه‌سازی مورد استفاده قرار گیرد، لیکن از آنجایی که الگوریتم ژنتیک ذاتاً الگوریتمی می‌باشد که فضای مسئله را به صورت سراسری جستجو می‌کند و در جستجوی محلی کارآیی چندان خوبی ندارد بنابراین، با ترکیب آن با الگوریتم‌های جستجوی محلی سعی می‌شود که این نقطه ضعف را بهبود بخشند. در این مقاله یک الگوریتم زمان‌بندی ترکیبی برای حل مسئله‌ی زمان‌بندی وظایف مستقل در گرید ارائه شده است که ترکیبی از الگوریتم ژنتیک با الگوریتم جستجوی همسایگی متغیر می‌باشد. که در آن به دو فاکتور زمان اجرا و زمان گردش کار با در نظر گرفتن هزینه و وظایف از دست رفته به طور هم‌زمان توجه شده است زمان اجرای الگوریتم پیشنهادی نسبت به الگوریتم‌های مورد مقایسه به میزان ۰/۱۸بهبود پیدا کرده است.

کلید واژه: گرید محاسباتی، زمانبندی، الگوریتم ژنتیک، الگوریتم جستجوی همسایگی متغیر.

مقدمه

امروزه افزایش کارایی گرید چالش بزرگی را در جهان ایجاد کرده است. برای افزایش کارایی گرید، یک زمان‌بند درست و کارآمد مورد نیاز است. زمان‌بندی در این شبکه‌ها نحوه تقسیم کار بین منابع با رعایت پارامترهای کیفیت سرویس می‌باشد. یک زمان‌بند گرید از اطلاعات سیستم گرید و کارها برای کاهش تعداد تخصیص وظایف به ماشین‌ها استفاده می‌نماید. متاسفانه طبیعت پویای منابع گرید و همچنین تقاضاهای مختلف کاربران، باعث پیچیدگی مساله زمان‌بندی گرید شده است. پویایی کارایی منابع ناشی از ناهمگونی، خودمختاری و اشتراکی بودن منابع گرید است. مطالعه در زمان‌بندی گرید از این جهت حائز اهمیت است که سیستم‌های دنیای واقعی معمولاً به طور فیزیکی یا عملیاتی، توزیع شده و ناهمگون می‌باشند. لذا کارایی گرید وابستگی زیادی به طراحی مؤثر و کارآمد زمانبند آن دارد. از میان آنها الگوریتم ژنتیک به‌خاطر اینکه در یک لحظه می‌تواند فضای مسئله را از چندین جهت مختلف و به صورت سراسری جستجو کند، از بهترین روش‌های ابتکاری به شمار می‌رود. به همین دلیل سبب شده است که برای حل بسیاری از مسائل بهینه‌سازی مورد استفاده قرار گیرد. نقطه ضعف الگوریتم ژنتیک این است که همگرایی

آن به سمت بهینه سراسری، کند عمل می‌کند و در جستجوی محلی کارآیی چندان خوبی ندارد، ولی با ترکیب آن با الگوریتم‌های جستجوی محلی می‌توان این نقطه ضعف را برطرف نمود. از جمله الگوریتم‌های جستجوی محلی، الگوریتم جستجوی متغیر همسایگی می‌باشد. بنابراین با ترکیب امتیازات این دو الگوریتم می‌توان زمان‌بندی وظایف گریدهای محاسباتی را بهبود بخشید. تاکنون الگوریتم‌های ابتکاری زیادی در رابطه با نحوه‌ی زمان‌بندی وظایف در محیط گرید ارائه شده است که هدف بیشتر این الگوریتم‌ها، بهینه‌سازی یکی از پارامترهای کیفیت سرویس می‌باشد لذا در این مقاله پس از بررسی نقاط قوت و ضعف روش‌های پیشین، با ترکیب الگوریتم ژنتیک با الگوریتم جستجوی همسایگی متغیر، یک روش ترکیبی به منظور کاهش زمان اجرا و زمان گردش کار با در نظر گرفتن وظایف از دست رفته و هزینه در گرید محاسباتی ایستا ارائه شده می‌گردد، که هر دو پارامتر زمان اجرا و زمان گردش کار را به طور همزمان مورد توجه قرار می‌دهد.

ادامه مقاله به شرح زیر است. بخش دوم کارهای مرتبط در زمینه زمانبندی را بیان می‌کند و بخش سوم جزئیات الگوریتم طرح پیشنهادی است. ارزیابی عملکرد و نتیجه گیری در بخش چهارم بیان می‌شود.

کارهای مرتبط

[۱] از الگوریتم ژنتیک به منظور زمانبندی وظایف با تحمل پذیری خطا در محیط گرید محاسباتی استفاده شده است. استفاده از این الگوریتم سبب می‌شود که منابعی که دارای تعداد رخداد خرابی بیشتری هستند شانس کمتری برای انتخاب شدن داشته باشند. بنابر این قابلیت اطمینان در این الگوریتم بالا می‌رود.[۲] الگوریتم زمانبندی جدیدی برای اختصاص وظایف مستقل به منابع گرید با هدف افزایش توان عملیاتی با حداقل رساندن Makespan کلی از محیط گرید پیشنهاد شده است. که در آن، از الگوریتم ژنتیک برای پیدا کردن یک نگاشت مناسب وظایف به منابع در گرید استفاده شده است. [۳] از ترکیب الگوریتم ژنتیک و جستجوی همسایگی متغیر به منظور زمانبندی وظایف مستقل در محیط گرید استفاده شده است. هدف اصلی این الگوریتم کاهش هزینه کلی از اجرای وظایف بدون هر گونه افزایش قابل توجهی از Makespan سیستم است. در [۴] الگوریتم ژنتیک جدیدی ارائه گردید که از یک عملگر تقاطع بر اساس واریانس فازی استفاده می‌کند. در الگوریتم، زمانبندی وظایف با دو هدف مینیمم کردن Makespan و هزینه کاربران انجام می‌گیرد. اما در این روش هیچ توجهی به ایجاد توازن میان این دو پارامتر نشده است. این کار که در منبع [۵] آمده است از الگوریتم ژنتیک برای طراحی کارآمد زمان‌بندی چندهدفه با توجه به پارامترهای مختلف مثل زمان اجرا و زمان گردش کار برای پیدا کردن زمان‌بندی مطلوب نزدیک به بهینه ارائه شده است. [۶] با ترکیب الگوریتم ژنتیک با جستجوی همسایگی متغیر هست که GA-VNS نامیده می‌شود، که برای زمان‌بندی ایستا از وظایف مستقل درون محیط گرید استفاده می‌شود. در اکثر این روش‌ها زمان تکمیل شدن و برخی دیگر هزینه اجرای کارها را مورد توجه قرار داده شده است و خیلی کمتر به زمان اجرای کار و زمان گردش کار که از پارامترهای مهم در کیفیت سرویس هستند به طور همزمان توجه شده است. در بخش ۳ به بررسی الگوریتم پیشنهادی پرداخته شده است و در بخش به ارزیابی الگوریتم پیشنهادی و مقایسه آن با سایر الگوریتم‌ها پرداخته شده است و در نهایت در بخش آخر به نتیجه گیری حاصل از این مقاله پرداخته شده است.

الگوریتم پیشنهادی

در الگوریتم زمان‌بندی پیشنهادی، ترکیب الگوریتم ژنتیک و جستجوی همسایگی متغیر برای حل زمان‌بندی وظایف مستقل در گرید محاسباتی به کار گرفته شده است. الگوریتم پیشنهادی ترکیبی از الگوریتم ژنتیک و جستجوی همسایگی متغیر که به کاهش دو پارامتر کیفیت سرویس؛ زمان اجرا و زمان گردش کار با تاکید بر هزینه و وظایف ازدست‌رفته توجه می‌شود. در GA-VNS ژنتیک به عنوان الگوریتم اصلی را اجرا می‌کند و از روش VNS برای بهبود اعضا در هر نسل استفاده می‌شود. هر فرد در جمعیت برای استفاده و تولید در نسل جدید با استفاده از عملگرهای مناسب ژنتیک مانند انتخاب

متقاطع و جهش استفاده می‌شود.

نمایش راه‌حل‌ها (رمزگذاری)

با توجه به اینکه کارآیی الگوریتم ژنتیک وابستگی زیادی به نحوه‌ی نمایش کروموزوم‌های آن دارد، در الگوریتم زمان‌بندی پیشنهادی، یک روش ساده برای نمایش کروموزوم‌ها به کار گرفته شده است. بدین صورت که از اعداد طبیعی برای رمز کردن کروموزوم‌ها استفاده شده است. بطوریکه مقادیر درون ژن‌ها اعداد تصادفی از ۱ تا R (R تعداد کل منابع) می‌باشند. طول کروموزوم‌ها به اندازه‌ی تعداد وظایف ورودی در نظر گرفته شده است.

جمعیت اولیه

جمعیت اولیه به صورت تصادفی ایجاد می‌شود. بدین صورت که یک عدد تصادفی از ۱ تا R که نشان دهنده‌ی شماره‌ی منبع می‌باشد تولید می‌شود تا وظیفه موردنظر بر روی آن اجرا شود.

اهداف و تابع ارزیابی

برای هر وظیفه هزینه‌ای برای اجرا، پیشنهاد می‌دهد و این هزینه باید برابر یا بیشتر از هزینه مورد درخواست ماشین باشد. در غیر این صورت به وظایف از دست رفته اضافه می‌شود. هر وظیفه فقط می‌تواند روی یک ماشین اجرا شود و تا پایان اجرایش متوقف نمی‌شود. اگر طول وظیفه i، TLi و سرعت منبع j را RSj در نظر بگیریم، زمان اجرای وظیفه i روی منبع j از فرمول (۱) محاسبه می‌گردد:

(۱)

$$\begin{cases} ETC_{i,j} = \dfrac{TL_i}{RS_j} & if \quad T_Cost_i \geq \left(\dfrac{TL_i}{RS_j} \times R_Cost_j\right) \\ ETC_{i,j} = 0 & Otherwise \end{cases}$$

(QRj) مدت زمان اجرای وظایف روی هر کدام از منابع را محاسبه می‌کند در قسمت دوم رابطه (۲) مشاهده می‌شود که اگر وظیفه توان اجرایی نداشته باشد ($ETC_{i,j} = 0$) به تعداد وظایف ازدست رفته (MT) اضافه می شود.

$$\begin{cases} QR_j = \sum_i ETC_{i,j} + \ Ready(j) \\ MT = MT + 1 \quad if \quad ETC_{i,j} = 0 \end{cases} \qquad (۲)$$

پس از محاسبه زمان اجرای وظایف، مدت زمان منبعی که بیشترین زمان اجرا را دارد، به عنوان Makespan از رابطه زیر به دست می‌آید.

$$\text{Makespan}_i = Max(QR_j) \qquad (۳)$$

زمان گردش کار یکی از پارامترهای کیفیت سرویس ارائه شده به کاربران و یکی از اهداف الگوریتم پیشنهادی می‌باشد. بنابراین محاسبه زمان گردش کار، برای انتخاب کروموزوم‌هایی می‌باشد که این آیتم را بهینه کنند از رابطه زیر برای محاسبه زمان گردش کار استفاده می‌شود:

$$\text{Flow Time}_i = \sum_j^R (QR\text{j}) \qquad (۴)$$

در نهایت برای کاهش زمان گردش کار و زمان اجرا به صورت همزمان از معادله زیر استفاده می‌کنیم. که در این فرمول مقدار α بین صفر و یک می‌باشد و همچنین حکم متعادل کننده بین دو تابع ارزیابی را دارد:

(۵)

$$Fitnes(i) = 1/((\alpha \times MakeSpan(i)) + ((1-\alpha) \times FlowTime) + \left(MT(i) \times mean\left(QR(i)\right)\right);$$

انتخاب، ترکیب و جهش

در الگوریتم پیشنهادی به منظور انتخاب کروموزوم‌ها از ترکیب دو عملگر نخبه‌گرایی و مسابقه برای انتخاب کروموزوم‌ها استفاده می‌شود و برای عملیات تقاطع از عملگر ترکیب دو نقطه‌ای استفاده شده است. در مرحله جهش، پس از انتخاب یک کروموزوم در مرحله قبل، یک ژن به صورت تصادفی انتخاب و مقدار فیلد منبع آن با یک عدد تصادفی بین ۱ تا R تغییر می‌کند.

جستجوی همسایگی متغیر

الگوریتم ژنتیک راه حل خوبی در جستجو در فضاهای بزرگ که یکی از مشکلات مسائل چند جمله‌ای است می‌باشد

ولی الگوریتم ژنتیک در جستجوی محلی ضعیف عمل می‌کند و به این دلیل به منظور افزایش توانایی بهره برداری از ژنتیک، از توانایی VNS در جستجوی محلی استفاده می‌کنیم.

ساختار همسایگی جستجوی همسایگی متغیر

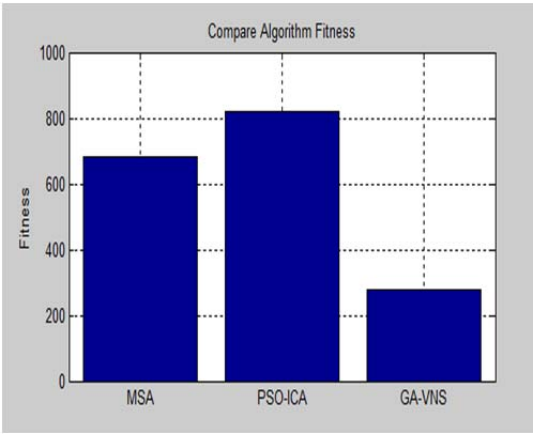
در الگوریتم همسایگی متغیر، هر راه حل دارای همسایگان مختلفی است که هر کدام از آنها برحسب تغییر در راه حل جاری به دست می‌آیند که به آن حرکت به سمت راه حل همسایه گفته می‌شود. راه حل همسایه‌ی هر راه حل جاری برابر است با راه‌حلی که در آن منبع واگذار شده به وظیفه در آن بعد تغییر یابد. این کار بدین صورت است که یکی از ژن‌های کروموزوم به صورت کاملاً تصادفی تغییر کرده و کروموزوم تغییر پیدا کرده را به عنوان راه‌حل همسایه در نظر گرفته می‌شود و پس از به دست آوردن راه حل همسایه‌ی راه حل جاری، مقدار برازش راه‌حل همسایه مجدداً با استفاده از تابع برازش الگوریتم ژنتیک محاسبه می‌شود، اگر راه حل همسایه نسبت به راه حل جاری بهبود یافت، جایگزین کروموزوم والد خود در جمعیت می‌شود و در غیر این صورت در جمعیت جدید کپی نمی‌شود. این روند تا زمانی ادامه دارد که یک راه حل امکان بهبود داشته باشد و در صورت عدم بهبود کار روی کروموزوم فعلی تمام می‌شود و کروموزوم بعدی برای برازش به الگوریتم جستجوی همسایگی متغیر فرستاده می‌شود.

ارزیابی نتایج

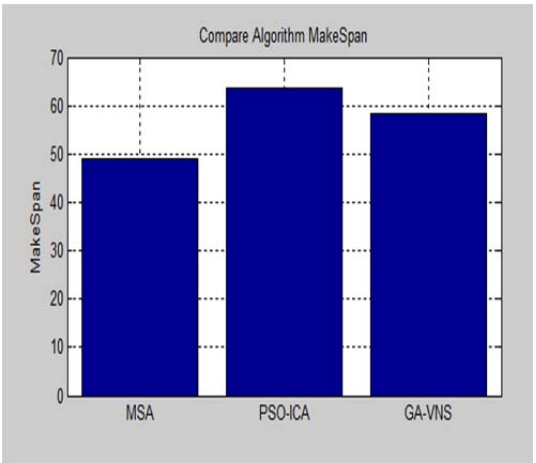
در این بخش نتایج حاصل از بکارگیری الگوریتم پیشنهادی برای زمان‌بندی وظایف مستقل بر روی شبکه گرید محاسباتی در مقایسه با الگوریتم‌های ارائه شده است. کلیه آزمایشات، بر روی سیستمی با مشخصات پردازنده 4 CPU 3.00GHz Intel (R) Pentium(R) و حافظه ۳ گیگابایت و ویندوز ۷ انجام گردیده است. شکل (۱)، مقایسه تابع برازش الگوریتم پیشنهادی با بقیه الگوریتم‌ها را نشان می‌دهد. همچنین برای مقایسه زمان اجرا توجه به شکل (۲) لازم می‌باشد.

جدول۱- پارمترهای مطالعه‌ی موردی

مقدار	پارامتر	
۱۰۰	تعداد تکرار نسل‌ها	GA
۱۰۰	جمعیت	
۰/۲	نرخ جهش	
۰/۸	نرخ ترکیب	
۰/۵	نرخ انتخاب مسابقه‌ای	
۵۰	تعداد وظایف	
۰/۳	نرخ VNS	VNS

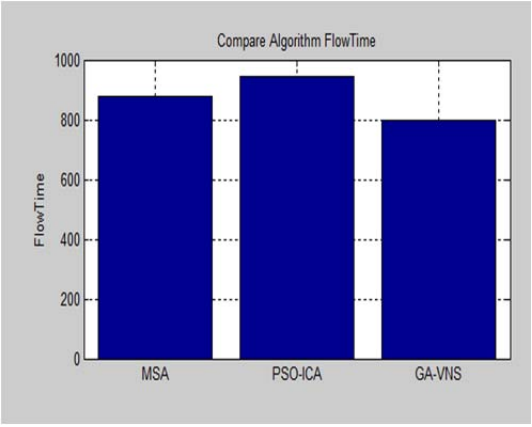


شکل۱- مقایسه تابع برازش الگوریتم پیشنهادی با الگوریتم PSO-ICA[۸] و MSA [۷]



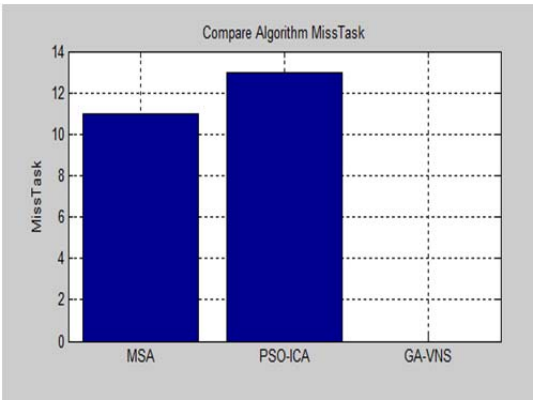
شکل۲- مقایسه زمان پیشنهادی الگوریتم پیشنهادی با الگوریتم PSO-ICA[۱] و MSA[۷]

برای مقایسه زمان گردش کار نیز شکل (۳) و نتایج حاصل از آن قابل توجه می‌باشد.



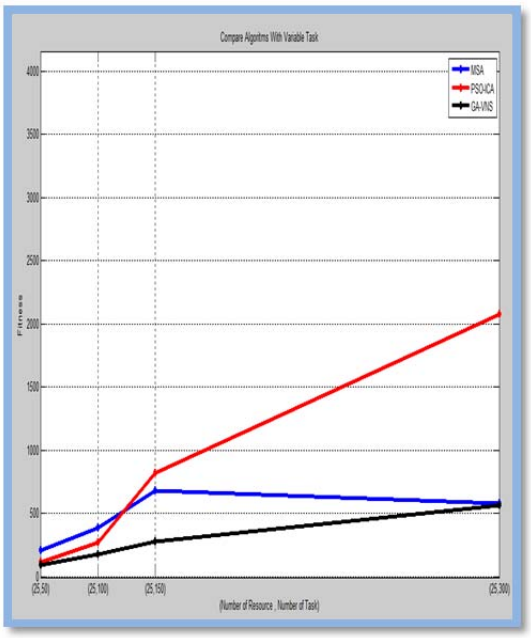
شکل۳- مقایسه زمان گردش کارالگوریتم پیشنهادی با الگوریتم PSO-ICA[۸] و MSA[۷]

در شکل (۴) الگوریتم‌ها از لحاظ نرخ از دست رفتن وظایف با هم مقایسه شده‌اند و همان طور که مشاهده می‌شود الگوریتم GA-VNS در طی ۱۰۰ بار تکرار نسل هیچ وظیفه از دست رفته‌ای را ندارد.



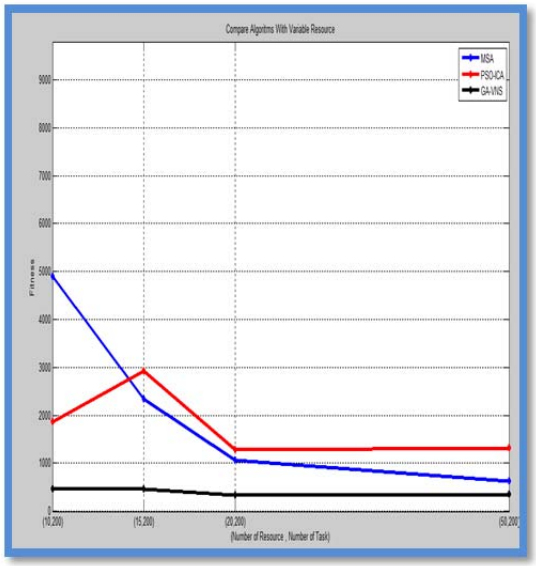
شکل۴- مقایسه نرخ از دست رفتن وظایف تابع برازش الگوریتم پیشنهادی با الگوریتم PSO-ICA [۸] و GA-VNS[۷]

همان‌طور که در شکل (۵) مشاهده می‌شود با افزایش تعداد وظایف و ثابت نگه داشتن تعداد منابع مقدار تابع برازش الگوریتم‌های مورد مقایسه افزایش پیدا می‌کند و از میزان کارایی الگوریتم زمان‌بندی کاسته می‌شود.



شکل۵- میزان تابع برازش الگوریتم پیشنهادی و PSO-ICA [۸] و MSA[۷] در درخواست‌های متفاوت

در شکل (۶) در چند مرحله تعداد منابع بصورت متغیر فرض شده و نتایج با یکدیگر مقایسه شده است. همان‌طور که ملاحظه می‌شود هر چقدر تعداد منابع بیشتر می‌شود مقدار تابع برازش کاهش می‌یابد و کارایی الگوریتم زمان‌بندی بهبود می‌یابد.



شکل۶- میزان تابع برازش الگوریتم پیشنهادی و PSO-ICA[۸] و MSA[۷] در تعداد منابع متغیر

نتیجه‌گیری

الگوریتم پیشنهادی با حداقل سازی همزمان زمان اجرا و زمان گردش کار با در نظر گرفتن هزینه و وظایف از دست رفته توانسته بهبود قابل توجهی از لحاظ تابع ارزیابی نسبت به سایر الگوریتم‌ها مورد مقایسه داشته باشد. که علاوه بر این‌که تلاش دارد makespan را مینیمم کند، زمان گردش کار را هم برای رضایت هر چه بیشتر کاربر برای به دست آوردن نتایج اولیه کاهش دهد. زمان‌بند پیشنهادی را با دو الگوریتم در پارامترهای زمان اجرا، زمان گردش کار، وظایف از دست رفته و در نهایت تابع ارزیابی مقایسه کردیم و نتایج آنها را بر اساس ناهمگونی‌های درخواست‌های کاربر بررسی کردیم و در قالب نمودارهای مختلف آوردیم و نشان دادیم که اگر تعداد منابع محدود و اندازه وظایف زیاد باشد، که در واقع این گونه است، زمان‌بند پیشنهادی در کاهش زمان اجرا و زمان گردش کار به صورت همزمان، بهترین عملکرد را نسبت به دو الگوریتم دیگر دارد. نتیجه حاصل از آزمایشات ما نشان می‌دهد که الگوریتم مبتنی بر ترکیب ژنتیک و الگوریتم جستجوی همسایگی متغیر می‌تواند به عملکرد بالایی در ایجاد یک توازن میان زمان اجرا و زمان گردش کار دست پیدا کند. از کارهایی که می‌توان در ادامه کار این تحقیق انجام داد می‌توان به موارد زیر اشاره کرد. در آینده می‌توان مساله در نظر گرفتن اولویت را برای تخصیص کارها به منابع بررسی نمود همچنین این زمان‌بند را برای زمان‌بندی وظایف وابسته به هم بسط داد. و از دیگر پارامترهای کیفیت سرویس استفاده کرد.

مراجع

1. Khanli, L. M., Far, M. E., & Ghaffari, A., (2010), "Reliable job scheduler using RFOH in grid computing", Journal of Emerging Trends in Computing and Information Sciences, Vol. 1,No. 1, pp. 43-47.
2. Entezari-Maleki, R., & Movaghar, A., (2010), "A genetic-based scheduling algorithm to minimize the makespan of the grid applications". Grid and Distributed Computing, Control and Automation. Vol. 121,No. 1, pp.22-31.
3. Kardani-Moghaddam, S., Khodadadi, F., Entezari-Maleki, R., & Movaghar, A., (2012), "A hybrid genetic algorithm and variable neighborhood search for task scheduling problem in grid environment". Procedia Engineering, Vol. 29,No. 4, pp. 3808-3814.
4. Salimi, R., Motameni, H., & Omranpour, H. (2012, December). Task scheduling with Load balancing for computational grid using NSGA II with fuzzy mutation. In Parallel Distributed and Grid Computing (PDGC), 2012 2nd IEEE International Conference on (pp. 79-84). IEEE
5. Patel, P. S., (2014), "Multi-Objective Job Scheduler using Genetic Algorithm in Grid Computing". International Journal of Computer Applications, Vol. 92,No. 14, pp. 12-20.
6. Hansen, P., Mladenović, N., & Pérez, J. A. M., (2010). "Variable neighbourhood search: methods and applications", Annals of Operations Research, Vol. 175,No. 1, pp. 367-407.
7. Abdulal, W., Jabas, A., Al Jadaan, O., & Ramachandram, S., (2012), "Task Scheduling in Grid Environment Using Simulated Annealing and Genetic Algorithm". INTECH Open Access Publisher, Vol. 2,No. 2, pp. 469–476.
۸. ولی‌زاده، خ و بهروزیان نژاد، الف. (۱۳۹۳). «زمان‌بندی وظایف مستقل در سیستم‌های محاسباتی گرید با استفاده از الگوریتم‌های بهینه‌سازی ذرات و رقابت استعماری». دومین همایش ملی مهندسی کامپیوتر و فن آوری اطلاعات.

Spectrally Factorized Optical Ofdm

T. Rezaeenasab

Islamic Azad University of Boushehr, rezaeenasab_t@yahoo.com

Abstract:

A novel bandwidth efficient method to implement orthogonal frequency division multiplexing (OFDM) on intensity modulated direct detection (IM/DD) channels is presented and termed factorized optical ofdm (SFO-OFDM). It is shown that a necessary and sufficient condition for a band limited periodic signal to be positive for all time is that the frequency coefficients form an autocorrelation sequence. Instead of sending data directly on the subcarriers, the autocorrelation of the complex data sequence is performed before transmission to guarantee non-negativity. In z-domain, the avrage optical power is linked to the position of the zeros and used for the design of signal sets. In contrast to previous approaches, SFO-OFDM is able to use the entire bandwidth for data transmission and does not require reserved subcarriers. Using a sub-optimal design technique with 9 subcarriers and 8 bits per symbol, SFO-OFDM has a 0.5 dB gain over ACO-OFDM at a BER of 10^{-5} and a reduction in peak-to-average ratio of more than 30%.

Keywords: spectrally factoriezed optical ofdm, orthogonal frequency division multiplexing, Asymetric clipping optical ofdm

Provide a Method for Evaluating the Performance of Agile Enterprise Architecture

A. Noushzad[1], A. Harounabadi[2], S. J.Mirabedini[3]

[1] Department of Computer Engineering, Islamic Azad University, Boushehr, Iran
Aida.noushzad@gmail.com
[2] Faculty Member of Computer, Islamic Azad University, Central Branch, Tehran, Iran
a.harounabadi@gmail.com
[3] Faculty Member of Computer, Islamic Azad University, Central Branch, Tehran, Iran
Jvd2205@yahoo.com

Abstract:

Agile enterprise architecture is developed in a process called enterprise architecture process. This process is complex and the architect can use a framework to regulate its structure and use a style to guide its behavior in order to control its complexity. In architecture, behavior precedes structure and with a structure, it is possible to have various behaviors. One of the factors with which, one can determine which one of these behaviors is more appropriate for agile enterprise architecture, is architecture performance assessment. A non-functional requirement in agile enterprise architecture is efficiency, and one of the system efficiency parameters is response time which has been used in this research. For this purpose, and in order to regulate and organize enterprise architecture descriptions, it is necessary to use a framework. DODAF, unlike Zachman framework which has six viewpoints, consists of three different viewpoints. Unified Modeling Language (UML), makes it possible that the products of this framework, be shown with a unified modelling symbol. The aim of this research is to provide a method to assess the efficiency of agile enterprise architecture to achieve a proper architecture. In this research, using Zachman-based frameworks, first, the characteristics of the desired enterprise are described using UML diagrams. In the following, these diagrams which are mainly behavioral and structural, are turned into official models. UML-related clichés which are usually placed as marginal graphics on UML diagrams will be used for this purpose. It will be possible to assess non-functional requirements on official models. In the proposed method, we will assess the efficiency of agile enterprise architecture in the design and pre-implementation phases. Research results show that with the provision of a model in the design phase, heavy implementation costs will be avoided.

Keywords: Agile enterprise architecture, Unified modeling language (UML), Petri Nets, DODAF

Check electronic based on single electron

M. Miralaei[1*], S. Atabakhsh [2], N. Cheraghi shirazi

[1*] Islamic Azad University Bushehr Branch, m_miralaei@yahoo.com (Corresponding author)
[2] Islamic Azad University Bushehr Branch, saeed_atabakhsh@yahoo.com
[3] Islamic Azad University Bushehr Branch, nch_shirazi@yahoo.com

Abstract:

Single electron transistors are A new tool in nano-scale electronics that can control the flow of one or more electrons, Relying on this feature, these devices have the potential to reduce circuit size and power consumption And predicted that in the near future with the development of manufacturing technology, widely used in integrated circuits. Such devices based on electron tunneling in structures with nanometer-sized enterprises addressing. In this paper, the mechanism of movement control single electrons in a tunnel link arises And then how to use this mechanism in the single-electron structures in the villages surveyed.

Keywords: Single-electron devices, Coulomb blockade, tunnel junction, Tunneling

Analysis and Design of a Low-Phase Noise QVCO in 0.18um CMOS Technology for mobile Transceivers

S. Aalipoor[1*], N. Cheraghi shirazi [2], R. Hamzehyan[3]

[1*] Islamic Azad University Bushehr Branch, saeed_aalipoor@yahoo.com
[2] Islamic Azad University Bushehr Branch, nch_shirazi@yahoo.com
[3] Islamic Azad University Bushehr Branch, r_hamzehyan@yahoo.com

Abstract:

This article presents analysis and design quadrature voltage controlled oscillator (QVCO) for 3G transceiver in 0.18um CMOS.The proposed VCO consist of two NMOS cross coupled voltage controlled oscillators (VCO). The main idea in the proposed QVCO is to used the intrinsic capacitance of the cross coupled transistoer as coupling elements,because of avoiding flicker noise of transistor, can be injected through the body of the main transistor (cross coupled).in other word, applying a differential output of the one VCO to body of other VCO's cross coupled transistors. the frequency of proposed QVCO is tuneable from 1.886GH_Z to 2.272GH_Z as the tuning voltage is varied from 0.0V to 0.8V.At the supply voltage of 0.8V, the total power consumption is 7.67mW. The achieved phase noise at 1MH_Z frequency offset is -143.49dBc/H_Z at the oscillation frequency of 1.923GH_Z and the figure of merit (FOM) of the proposed QVCO is -199.6dBc/H_Z.

Keywords: Quadrature voltage controlled oscillatore (QVCO), phase noise, mobile transceiver, WCDMA

Improving of efficient control scheme in Switched-Capacitor DC-DC Converters for ultra-low power applications

H. Tavana[1], A. Ghasemi[2], N. Shirazi[3]

[1] Islamic Azad University Boushehr Branch, tavana1762@yahoo.com
[2] Islamic Azad University Boushehr Branch, rasul_ghasemi@yahoo.com
[3] Islamic Azad University Boushehr Branch, nch_shirazi@yahoo.com

Abstract:

Portable bio-electronic products, such as implantable biosensors, have drawn more and more attentions recently. These portable electronic products are typically supplied by time-varying batteries, which need a DC-DC converter to provide a stable output voltage. Therefore, how to effectively extend battery life and standby time becomes a critical issue in the design of dc-dc converters used in portable bioelectronics. There are three types of DC-DC converters—linear regulators, switching regulators, and switched-capacitor (SC) converters. The linear regulators only can be operated in the step-down mode, while the other two types of dc-dc converters has potential to be operated in either the step-down or the step-up mode. Hence, from the viewpoint of extending battery life and standby time, linear regulators would not be chosen. As to switching regulators, their power conversion and transfer are performed by using inductors or bulky transformers. Therefore, the SC converter is chosen in this work. Use appropriate compensation to zero steady-state error and improve transient response is essential part in the design of Switch Capacitor DC-DC Converter. The design of the op amp PID compensator used in the feedback circuit. The efficiency of this circuit with use of active ingredients is top 98%. The simulation of this cicuits done in the 0.18µmComs Cadence.the input voltage of this circuits is 1.8V and the range of output voltage is 250mV to 900mV in 2t01 topology.Change in the load current is 0 to 40mA.

Keywords: Switched Capacitor Converter, Proportional Derivative Integral Compensator, Single ended Opamp, Compensator

Design of a Low-Power and High-Speed Full Adder using Hybrid Logic

E. B. Ziarati[1], A. Kazemy[2], KH. Shojaee Arani[3]

[1] Islamic Azad University Bushehr Branch, behrooz.ehsan@gmail.com
[2] Islamic Azad University Bushehr Branch, kazemy@iust.ac.ir
[3] Islamic Azad University Najaf abad Branch, khoshnam.shojaee@gmail.com

Abstract:

Full adder is basic building block for various digital circuits and its a core element in digital signal processing. So improving this block will increase the performance of the entire circuit. A low power consumption and high speed adder with a good reliability is desirable in digital systems. So,many reasearchers are trying to improve power and delay of the adder circuit. In hybrid design, unlike other conventional design methods, more than one logic is used for implementing the circuit. It improves the performance of full adder circuit by using important and effective features of other methods. In this paper we proposed a new full adder circuits which reduce the power consumption and delay. Simulations of all circuits are carried out on HSPICE using 180nm and 90nm technology then we compare the results. In the following we will draw our proposed circuit layout using Cadence in 180nm technology.

Keywords: Full Adder, Delay, Power, Hybrid Logic

Design of a new task scheduler for computational grid systems using artificial intelligence Algorithms

SH. Shahabi[1], A. Harounabadi[2], S. J. Mirabedini[3]

[1] Department of Computer Engineering, Islamic Azad University, Boushehr, Iran
Sh.shahabi65@yahoo.com
[2] Faculty Member of Computer, Islamic Azad University, Central Branch, Tehran, Iran
a.harounabadi@gmail.com
[3] Faculty Member of Computer, Islamic Azad University, Central Branch, Tehran, Iran
Jvd2205@yahoo.com

Abstract:

Computational grid systems are a type of large-scale distributed systems, which is most focused on large-scale resource-sharing. The dynamic nature of grid environment and decentralized nature of its resources makes the presence of a capable scheduler application in these systems an absolute necessity. Tasks scheduling is considered a hard problem, so deterministic algorithms cannot effectively solve it. Therefore, many researchers have modified various heuristic algorithms such as genetic algorithm (GA) to solving this problem. Simplicity and parallel nature of GA, which enables it to search the problem space from several different directions, makes GA a good instrument to solve optimization problems. However, this algorithm is more efficient in global searches and has a poor performance in local ones; therefore it should be combined with local search algorithms in order to eliminate this weakness. In this paper, a hybrid scheduling algorithm, which is a combination of GA and variable neighborhood search algorithm, is proposed to solve the problem of scheduling independent tasks on a grid environment. In the proposed algorithm, two factors of flow time and makespan have optimized simultaneously and the cost and number of missed tasks are also considered. The running time of the algorithms proposed algorithm has been improved compared to the 0.18.

Keywords: computational grid, scheduling, genetic algorithms, variable neighborhood search algorithm

Contents

Spectrally Factorized Optical Ofdm ……...…….. 51
T. Rezaeenasab

Provide a Method for Evaluating the Performance of Agile Enterprise Architecture
A. Noushzad, A. Harounabadi, S. J.Mirabedini

Check electronic based on single electron ……..…….. 52
M. Miralaei, S. Atabakhsh, N. Cheraghi shirazi

Analysis and Design of a Low-Phase Noise QVCO in 0.18um CMOS Technology for mobile Transceivers ……..…….. 53
S. Aalipoor, N. Cheraghi shirazi, R. Hamzehyan

Improving of efficient control scheme in Switched-Capacitor DC-DC Converters for ultra-low power applications …….. 54
H. Tavana, A. Ghasemi, N. Shirazi

Design of a Low-Power and High-Speed Full Adder using Hybrid Logic ……...…… 55
E. B. Ziarati, A. Kazemy, KH. Shojaee Arani

Design of a new task scheduler for computational grid systems using artificial intelligence Algorithms …….…….. 56
SH. Shahabi, A. Harounabadi, S. J. Mirabedini

Journal of Communication Engineering

Islamic Azad University Bushehr Branch
Vol. 5, No. 18, Winter 2016

Acting Manager: Dr. Alireza Mallahzadeh
Persian Gulf University
Editor-in-chief: Dr. Homayoon Oraizi
Iran University of Science and Technology
Executive Manager: Roozbeh Hamzehyan
Islamic Azad University Bushehr Branch

Editorial Board:

Dr. Seyed Ali Alavian
Assistant Professor, Communication University
Dr. Reza Dianat
Assistant Professor, Persian Gulf University
Dr. Serajodin katebi
Professor Shiraz University
Dr. Alireza Mallahzadeh
Assistant Professor, Persian Gulf University
Dr. Karim Mohammadi
Professor, Iran University of Science and Technology
Dr. Homayoon Oraizi
Professor, Iran University of Science and Technology
Dr. Mohammad Soleymani
Professor, Iran University of Science and Technology

English Text Editor
Dr. Alireza Mallahzadeh, Assistant Professor
Persian Gulf University

Persian Text Editor
Dr. S. M. Hosseini, Assistant Professor
Islamic Azad University Bushehr Branch

Address:
Iran, Bushehr, Alishahr, Islamic Azad University Bushehr Branch
Tel: +98-771-5682305 **Fax:** +98-771-5683700

Email:
jce.iaub@gmail.com
jce@iaubushehr.ac.ir

Published by: Islamic Azad University Bushehr Branch

Certificated by: Central Organization of Islamic Azad University ; No 87/422092; 2010