دوره هجدهم، شماره بهار ۱۴۰۴

مجله فناوری اطلاعات در طراحی مهندسی

Information Technology in Engineering Design

http://sanad.iau.ir/journal/ited

بهبود طراحی جمع‌کننده با استفاده از ترانزیستورهای FinFET

علی اصغر تاج آبادی*(۱) مهدیه اسلامی(۲) مهدی جعفری شهباززاده(۳)

(۱) گروه مهندسی برق، واحد کرمان، دانشگاه آزاد اسلامی، کرمان، ایران*

(۲) گروه مهندسی برق، واحد کرمان، دانشگاه آزاد اسلامی، کرمان، ایران

(۳) گروه مهندسی برق، واحد کرمان، دانشگاه آزاد اسلامی، کرمان، ایران

(تاریخ دریافت: ۱۴۰۳/۱۰/۲۱ تاریخ پذیرش: ۱۴۰۳/۱۱/۲۷)

چکیده

یکی از بلوک‌های پرکاربرد در محاسبات کامپیوتری جمع‌کننده‌ها هستند و به عنوان بخش عمده‌ای از پردازنده، برای محاسبه آدرس رجیسترها و سایرعملیات‌های حسابی عمل می‌کنند. سرعت جمع‌کننده تعیین می‌کند که پردازنده چقدر سریع اجرا خواهد شد و طراحان در حال حاضر بیشتر بر روی سرعت بالا و توان‌مصرفی پایین متمرکز شده‌اند. امروزه با کاهش مقیاس قطعات الکترونیکی در تکنولوژی ساخت، به منظورافزایش تراکم ترانزیستورها در یک تراشه، مشکلاتی مانند اثرات کانال کوتاه، تونل زنی گیت و... پدیدار می‌شوند که این مشکلات کارایی قطعه را کاهش می‌دهند. جهت کاهش این اثرات، یکی از ساختارهایی که در تکنولوژی‌های ساخت بسیار مورد توجه قرار گرفته است، فین فت می‌باشد که با ایجاد کنترل الکترواستاتیک بهتر بر روی کانال این اثرات را به طورموثر کاهش و سرعت سوییچینگ قطعه را افزایش می‌دهد. در این پژوهش یک تمام جمع‌کننده جدید مبتنی برتکنولوژی فین فت ارائه شده است. این تمام جمع‌کننده با استفاده از دو نیم جمع‌کننده و۱۰ ترانزیستور طراحی شده است. تمام جمع‌کننده جدید در نرم‌افزار HSPICE شبیه‌سازی شده است. نتایج شبیه‌سازی کاهش چشمگیر توان مصرفی و Power Delay Product را نشان می‌دهد.

کلمات کلیدی: تمام جمع‌کننده، فین فت، جریان نشتی، توان‌مصرفی، تاخیر مدار

*عهده‌دار مکاتبات:

علی اصغر تاج آبادی

نشانی: گروه مهندسی برق، واحد کرمان، دانشگاه آزاد اسلامی، کرمان، ایران

پست الکترونیکی: aliasghar.tajabadi@iau.ac.ir

۱- مقدمه

با پیشرفت روزافزون صنایع الکترونیک و کاهش ابعاد ترانزیستورها، ترانزیستورهای ماسفت به علت برخی مسائل پیش آمده در فناوری‌های جدید دیگر قابلیت کوچک شدن را ندارند و این عامل باعث بررسی امکان جایگزینی سیلیسیم شد [1]. لذا انقلابی در ساختار این ترانزیستورها برای پیشرفت فناوری ضروری بود. اگر چه کاهش ابعاد ترانزیستور ها ممکن است باعث بهبود کارایی آن و بهبود پارامترهای مهمی مانند سرعت عملکرد آن شود، اما محدودیت‌هایی در فناوری فرایند ساخت آن‌ها وجود دارد. تکنولوژی CMOS[۱] در فناوری زیر۴۵ نانومتر با چالش‌هایی مانند جریان نشتی و کاهش تغییر پذیری مواجه است. برای رفع این مشکلات می توان از تکنولوژی فین فت‌ها استفاده کرد که در فناوری ۲۰ نانومتر مشکلی ندارند و عملکرد قابل قبولی را ارائه می‌دهند [2]. کاهش مقیاس ترانزیستورهای CMOS باعث بوجود آمدی مشکلاتی از جمله اثرات کانال کوتاه می‌شود. راه حل مناسب استفاده از دستگاه‌های دو گیتی یا چند گیتی مانند FinFETها می‌باشد که اندازه و قابلیت مقیاس‌پذیری خوبی دارند و به عنوان بهترین گزینه برای جایگزینی ترانزیستورهای CMOS هستند. در مرجع [3] برای مقایسه FinFET و CMOS از طراحی یک SRAM[۲] استفاده شده است. این حافظه‌ها در واقع نسبت به چگالی ترانزیستورها حساس می‌باشند که با به حداقل رساندن تعداد ترانزیستورها می‌توان عملکرد این حافظه‌ها را بهبود بخشید. نتایج طراحی نشان می‌دهد که SRAM طراحی شده با FinFET تاخیر کمتری در عملیات نوشتن و خواندن در مقایسه با SRAM طراحی شده با CMOSها را دارد [3]. فین فت‌ها به دلیل کنترل مناسب گیت برروی کانال، اثرات کانال کوتاه را کاهش داده و نیاز به تزریق ناخالصی به بدنه (کانال) را از بین می‌برند. در واقع عامل ایجاد اثرات کانال کوتاه، میدان های الکتریکی جاری شونده ازدرین به سمت سورس می‌باشند و شدت این اثرات هم از روی شدت میدان‌های که به سمت سورس می‌روند، اندازه‌گیری می‌شود. در ترانزیستورهای مسطح چون گیت از یک سمت با کانال ارتباط دارد، الکترود گیت چندان قادر به جذب این میدان‌ها نخواهد بود. به همین دلیل با کاهش طول کانال مشخص است که این اثرات افزایش می‌یابند و بدون استفاده از روشی متفاوت در ساخت ترانزیستور نمی‌توان این اثرات را از بین برد. تنها کاری که در ترانزیستور مسطح می‌توان برای کاهش این اثرات انجام داد، تزریق ناخالصی است. تزریق ناخالصی بسترعبورمیدان را از حالت یکنواخت به حالت غیریکنواخت تبدیل می‌کند که باعث کاهش سرعت انتشار میدان و رسیدن خطوط میدان به سورس و نهایتاً کاهش اثرات کانال کوتاه می‌شود. برای این کار محدودیت‌های زیاد و تأثیرات جانبی خاصی وجود دارد که مانع تزریق بیش از حد زیاد ناخالصی

[۱] Complementary Metal-Oxide Semiconductor

[۲] Static Random-Access Memory

در کانال می‌شود. علاوه برساختارهای متداول و متقارن می‌توان از ساختارهای ترانزیستوری نامتقارن نیز جهت افزایش بهره وری ترانزیستورهای فین فت استفاده کرد. طراحی مدار با تکنولوژی فین فت علاوه بر این که طراحی را دراندازه کوچک مقدور می‌سازد، باعث می‌شود تا با استفاده مناسب از قابلیت‌های این تکنولوژی و ساختار آن، تاخیر در مدار را کم کند و سرعت آن را بالا ببرد و همچنین توان مصرفی را نیز به صورت چشمگیری کاهش دهد. حالت عملکردی فین فت‌ها اغلب مشابه با ترانزیستورهای ماسفت مرسوم است و به طورمعمول یک سورس، یک درین و یک گیت برای کنترل جریان را دارند. در بین کانال سورس و درین فین فت یک نوار سه بعدی وجود دارد که این نوار اصطلاحاً Fin نامیده می‌شود [4]. ساختار کلی فین فت‌ها به دو صورت SOI FinFET[1] و Bulk FinFET می‌باشد. در نوع SOI FinFET فین یا باله به بستر سیلیکونی زیرین وصل نمی‌باشد. در این حالت بین کانال سورس‌درین و بستر سیلیکونی، یک لایه اکسید ضخیم قرار دارد که باعث ایزولاسیون قطعه در برابر نویز و عوامل محیطی می‌شود. همچنین در صورتی که از آن‌ها در مدارهای الکترونیکی استفاده شود حرارت تولیدی بسیار کمی در مدار ایجاد می‌کنند. اما در نوع Bulk FinFET به دلیل این که فین به بستر سیلیکونی زیرین وصل می‌باشد، ایزولاسیون آن نسبت به نوع SOI FinFET کمتر می‌باشد و در مقابل نویز کمی حساس می‌باشد. تفاوت این دو نوع ساختار در محاسبه اندازه فین نیز می‌باشد که فقط در ساختار SOI FinFET می‌توان اندازه فین را محاسبه کرد(به دلیل این که به بستر سیلیکونی وصل نمی‌باشد) [5]. هر کدام از ساختارهای بالا را می‌توان به روش‌های مختلفی طراحی کرد که معروف‌ترین آنها فین فت‌های دوگیتی و سه گیتی هستند. تفاوت نوع دو گیتی و سه گیتی در احاطه‌ی گیت برروی لایه اکسید کانال می‌باشد. در واقع یک لایه نیتراید در بالای گیت قرار دارد که ارتباط آن با کانال را ایزوله می‌کند و عملا بخش بالایی گیت بی‌اثر می‌شود. در نوع سه گیتی به دلیل کنترل بیشتر گیت روی کانال جریان بیشتری را در مقایسه با نوع دوگیتی انتقال می‌دهد (در حالتی که VGS یکسان باشد) [6]. فین فت‌ها به طورکلی در چهار حالت مورد استفاده قرار می‌گیرند. در حالت SG-FinFET[2] گیت‌های ترانزیستور به هم وصل می‌شوند و مثل ترانزیستورهای ماسفت عمل می‌کنند که یک درین، یک سورس و یک گیت دارند. در این حالت می‌توان دو ترانزیستور موازی ماسفت را با یک ترانزیستور فین فت پیاده‌سازی کرد. درحالت IG-FinFET[3] بخش بالایی گیت کاملا برداشته می‌شود و گیت‌های جلویی و پشتی عملاً از یکدیگر جدا و ایزوله می‌شوند. در IG-FinFET به دلیل کنترل گیت در دوحالت مختلف، طراحان برای کنترل و برنامه‌نویسی معمولا از این روش استفاده می‌کنند [7]. ساختار LP-FinFET[4] به گونه‌ای طراحی می‌شود که گیت پشتی

[1] Silicon On Insulator
[2] Shorted-Gate FinFET
[3] Independent Gate FinFET
[4] Low Power FinFET

ترانزیستور تمایل به افزایش ولتاژ بایاس معکوس و کاهش توان نشتی را دارد. در این حالت جریان گیت پشتی(IOFF) کاهش پیدا می‌کند. حالت IG/LP-FinFET که حالت هیبریدی نیز شناخته می‌شود و ترکیب دو حالت IG-FinFET و LP-FinFET می‌باشد. در این حالت به دلیل کم‌مصرف بودن و مستقل بودن گیت‌های فین فت عملکرد قابل قبولی را ارائه می‌دهد. تغییرات در منبع ولتاژ نیز ممکن است برعملکرد ترانزیستور تاثیر بگذارد. مزیت اصلی طراحی IG/LP-FinFET نشتی جریان، مساحت و ظرفیت سوییچینگ کم می باشد [7]. با استفاده از فین فت‌ها تمام جمع‌کننده‌های گوناگونی از قبیل: تمام جمع‌کننده با تکنیک GDI[1]، تمام جمع‌کننده با استفاده ازمنطق SDTSPC[2]، تمام جمع‌کننده هیبریدی، تمام جمع‌کننده مغناطیسی، تمام جمع کننده با تکنیک INDEP[3] و... طراحی شده است. در مرجع [8] تمام جمع‌کننده با استفاده از ۲۰ ترانزیستور فین فت طراحی شده است. این تمام جمع‌کننده سه ماژول دارد و از ترانزیستورهای عبور ساده نیز در طراحی آن استفاده شده است. به دلیل این که در طراحی مدار از فین فت استفاده شده است، اتلاف توان در گره‌های تکنولوژی پایین و تأخیر ناشی ازانتشار ورودی به گره خروجی کاهش می‌یابند. در مرجع [9] تمام جمع‌کننده با استفاده از ۲۸ ترانزیستور فین فت طراحی شده است. در طراحی آن از هردو نوع ترانزیستور nFET وpFET برای جایگزینی منطق CMOS استفاده شده است و ترانزیستورهای آن از نوع SG-FinFET می‌باشند. در این مرجع نتایج نشان می‌دهد که طراحی تمام جمع‌کننده با استفاده از ترانزیستورهای فین فت عملکرد بهتری از نظر سرعت، توان و قابلیت اطمینان در مقایسه با ترانزیستورهای ماسفت دارند. سلول تمام جمع‌کننده فین فت در گره‌های با تکنولوژی پایین قابل اعتماد است و اتلاف توان در فین فت‌ها به طور قابل توجهی در گره‌های تکنولوژی پایین کاهش یافته است. سرعت مدارهای جمع کننده برحسب عمل جمع و تأخیر Carry، افزایش می‌یابد. ازمقایسه نتایج شبیه‌سازی می‌توان نتیجه گرفت که فین فت‌ها جایگزین بسیارمناسبی نسبت به ماسفت‌ها در سیستم‌های دیجیتال آینده هستند. مرجع [10] طراحی تمام جمع‌کننده فین فت یک بیتی را با استفاده از منطق SDTSPC[4] ارائه می‌دهد. درمقایسه تمام جمع‌کننده فین فت با تمام جمع‌کننده ماسفت با استفاده ازمنطق SDTSPC، بهبود ۹۵/۷۵ درصدی در مصرف توان نشتی حاصل شده است. ایده مهم این طرح کاهش مصرف توان با قراردادن ترانزیستورها از مسیر ولتاژ تغذیه به زمین است. همچنین یک ترانزیستور متصل به دیود به صورت سری به Evaluation Transistor متصل می‌شود تا نویز و مصرف توان را بهبود بخشد. برای این منظورتمام جمع‌کننده SDTSPC را با استفاده از ترانزیستورهای فین فت

[1] Gate Diffusion Input

[2] Stacked Diode transistor based TSPC (True Single-Phase Clock)

[3] Input Dependent

[4] Stacked Diode transistor based TSPC (True Single-Phase Clock)

پیاده سازی می‌کنند و همه ی ترانزیستورهای ماسفت با ترانزیستورهای IG-FinFET جایگزین می‌شوند. به دلیل این که دو ترانزیستورماسفت موازی با یک ترانزیستور فین فت دوگیتی جایگزین می‌شود، تعداد ترانزیستورها در سلول تمام جمع‌کننده کاهش می‌یابد. در مرجع [11] تمام جمع‌کننده با استفاده از تکنیک GDI[1] طراحی شده است. تکنیک GDI هم تاخیر و هم توان تمام جمع‌کننده را کاهش می‌دهد. تمام جمع‌کننده GDI FinFET از سه پایه ورودی و دو پایه خروجی تشکیل شده است. در طراحی آن از ترانزیستورهای SG-FinFET استفاده می‌شود. در GDI FinFET مالتی پلکسر به عنوان ورودی قرار داده شده است تا بتواند Carry را تولید کند. در مرجع [12] سلول‌های Carry تمام جمع‌کننده فین فت یک بیتی با سرعت بالا و در ولتاژ پایین ارائه شده است. این سلول‌ها برای کاربردهای حسابی چند بیتی مورد استفاده در معماری‌های پردازش سیگنال دیجیتال (DSP[2]) پیشنهاد شده است. سلول‌های تمام جمع‌کننده بلوک‌های مهمی برای تولید نتایج حسابی مانند ضرب، تفریق و جمع هستند. هدف اصلی این کار کاهش تاخیر انتشار و اتلاف توان مدارتمام جمع‌کننده در برنامه‌های جمع‌کننده چند بیتی است. به طور مشابه، مدارهایCarry این مرجع سطح کل تراشه را کاهش می‌دهند و برای انجام عملیات Carry به ترانزیستورهای کمی نیاز دارند. سلول Carry، گیت XOR و سلول SUM برای تولید عملیات تمام جمع‌کننده استفاده می‌شود. نتایج شبیه‌سازی نشان می‌دهد که مدارهای پیشنهادی در این مرجع PDP[3] بهینه‌تری نسبت به سایرتمام جمع‌کننده‌های استاندارد دارد. در مرجع [13] چهار مدارتمام جمع‌کننده مختلف با سلول جدید XOR-XNOR طراحی شده است. نتایج نشان می‌دهد که HFA[4] طراحی شده با ترانزیستور فین فت مصرف توان کمتری در مقایسه با HFA طراحی شده با ماسفت را دارد. طراحی مدارهای تمام جمع کننده‌های هیبریدی شامل یک سلول XOR-XNOR و یک مالتی پلکسر می‌باشد. سلول جدید XOR-XNOR توان کمتری مصرف می‌کند و تأخیر کمتری دارد. در مرجع [14] تمام جمع‌کننده فین فت یک بیتی مطابق با سه ماژول (ماژول XOR، ماژول SUM و ماژول Carry) طراحی شده است. همچنین یک ماژول SUM طراحی شده است که توان مصرفی پایینی را دارد. در مرجع [15] یک تمام جمع‌کننده مغناطیسی ارائه شده است. این مدار براساس حداکثر گیت طراحی شده که در فرکانس‌های بالا با مصرف توان کم کار کند. در مرجع [16] برای طراحی مدارهای جمع‌کننده فین فت از تکنیک INDEP FinFET برای به حداقل رساندن اتلاف توان و بهبود PDP در مدارهای منطق دیجیتال استفاده شده است. روش INDEP در مقایسه با تکنیک LECTOR (ترانزیستور کنترل نشتی) برای گیت‌های منطقی CMOS به عنوان بهترین تکنیک کاهش نشتی در سطح مدار ثابت شده است. تکنیک INDEP همچنین می‌تواند

[1] Gate Diffusion Input
[2] Digital Signal Processor
[3] Power Delay Product
[4] Hybrid Full Adder

برای طراحی مدارهای جمع‌کننده فین فت در گره‌های با تکنولوژی پایین نیزاستفاده شود. در مرجع [17] یک تمام جمع‌کننده با گیت منطقی XOR طراحی شده است. از ۱۶ ترانزیستور برای طراحی آن استفاده شده است. استفاده از این تکنیک باعث کاهش مصرف توان مدار می‌شود. همچنین در جدول ۱ مقایسه‌ای از تمام جمع‌کننده‌های مطالعه شده در پیشینه تحقیق ارائه شده است. در جدول زیر پارامترهای مهمی که در هر مرجع بهینه شده، مشخص شده است.

جدول۱: مقایسه پارامترهای بهینه مدارها تمام جمع‌کننده

مرجع	نوع	کاهش توان مصرفی	بهبود سرعت عملکرد	PDP	کاهش تاخیر مدار
[8]	Full Adder	✓			
[9]	Full Adder	✓	✓		
[10]	Full Adder	✓			
[11]	Full Adder	✓			✓
[12]	Full Adder			✓	
[13]	Full Adder	✓			
[14]	1-Bit Full Adder	✓			✓
[15]	Full Adder	✓			
[16]	Full Adder	✓		✓	
[17]	Full Adder	✓			

در تحقیقات قبلی محققین مشاهده کرده‌اند که ادوات چند گیتی مانند فین فت مصونیت بهتری در برابر تغییرات دارند و فین فت‌ها را می توان در گونه‌های مختلف با توجه به ساختار چند گیتی آن مورد استفاده قرار داد. بزرگترین ویژگی مثبت فین فت‌ها کنترل اثرات کانال کوتاه است که مانعی بزرگ در راه کاهش اندازه ترانزیستورها است. اثراتی مانند Subthreshold Swing، DIBL[1] اثراتی به نسبت مختل کننده در عملکرد مدار هستند. پدیده DIBL در واقع وابستگی سد پتانسیل پیش روی الکترون‌ها نسبت به ولتاژ درین می‌باشد که یکی ازاصلی ترین مشکلات در کاهش اندازه طول کانال است. پدیده Subthreshold Swing معیاری را درمورد سرعت تغییر وضعیت ترانزیستور از حالت روشن به خاموش و برعکس را نشان می‌دهد و در صورتی که نتوان آن را کنترل کرد، درعملکرد مدار اختلال ایجاد می‌کند. سایرویژگی های مثبت فین فت را می توان کنترل اثراتی مانند تغییرات کمتر ولتاژ آستانه، کاهش جریان نشتی

[1] Drain Induced Barrier Lowering

و افزایش قابلیت حرکت الکترون‌ها بیان کرد. این موضوع در کاهش مساحت و اتلاف توان(جدول۱) در مدارات دیجیتال مفید خواهد بود. بسیاری از دستگاه‌های الکترونیکی قابل حمل به عمرباتری طولانی‌تر، سرعت بالا و ناحیه سیلیکونی کوچک نیاز دارند. توان موجود برای این دستگاه‌های قابل حمل یا دستگاه‌های الکترونیکی بسیارمحدود است و فناوری میکروالکترونیک سریع تراز فناوری‌های پیشرفته رشد کرده است. با توجه به رشد سریع در فناوری VLSI[۱]، طراحان IC[۲] مشغول ساخت سیستم‌های با کارایی بالا و اتلاف توان کم هستند. مدارهای تمام جمع‌کننده یک بیتی عمدتاً در عملیات حسابی اساسی مانند محاسبه آدرس، تفریق، ضرب، تقسیم و... استفاده می‌شوند. این عملیات به طورگسترده در برنامه‌های مختلف دیجیتال مانند ریزپردازنده‌ها و معماری پردازش سیگنال دیجیتال استفاده می‌شود. سرعت پردازنده به جمع‌کننده‌ها و ضرب‌کننده‌ها بستگی دارد که عاملی بسیار مهم در طراحی می‌باشد. جمع‌کننده مؤلفه اساسی در پیاده‌سازی سخت افزارهای دستگاه‌های نیمه هادی می‌باشد. تغییرات در مدار جمع‌کننده ممکن است باعث تغییر درعملکرد پردازنده شود. ترانزیستور فین فت شکلی ویژه از ماسفت‌های با چند گیت است که با توجه به ویژگی‌های فیزیکی خاص خود برای کاهش دادن اندازه‌ی مقیاس ترانزیستور کمک شایانی خواهد کرد. طراحی مدار با تکنولوژی فین فت علاوه بر این که طراحی را دراندازه کوچک مقدور می‌سازد، باعث می‌شود تا با استفاده مناسب از قابلیت‌های این تکنولوژی و ساختار آن، تاخیر در مدار را کم کند و سرعت آن را بالا ببرد و همچنین توان مصرفی را نیز به صورت چشمگیری کاهش دهد. این مقاله بر روی طراحی تمام جمع‌کننده با استفاده از ترانزیستورهای فین فت تمرکز می‌کند. در بخش دوم این مقاله مدار ساختار مدار تمام جمع‌کننده پیشنهادی و در بخش سوم تجزیه و تحلیل عملکرد و نتایج شبیه‌سازی تمام جمع‌کننده پیشنهادی ارائه می‌شوند. سپس در بخش چهارم مقاله نتیجه‌گیری می‌شود.

۲- روش و طرح پیشنهادی

۲-۱- طراحی تمام جمع‌کننده با استفاده از دو نیم جمع‌کننده

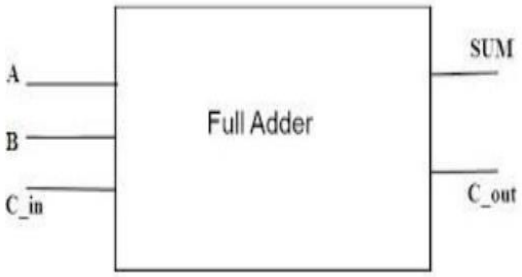
جمع‌کننده‌ها را می‌توان به روش‌های مختلفی پیاده‌سازی کرد و از فناوری‌های مختلف در سطوح مختلف معماری می‌توان برای طراحی آن ها استفاده کرد. جمع‌کننده‌ها بر اساس معیارهای انتخاب مختلف طراحی می‌شوند و در یک برنامه خاص مورد استفاده قرار می‌گیرند. جمع‌کننده‌ها مهم‌ترین قطعات سازنده هر ابزاردیجیتالی هستند. طراحی آسان، کارآمد و مؤثرجمع‌کننده بسیار مهم است؛ زیرا با کاهش مقیاس فناوری، طراحی آن‌ها سخت‌تر می‌شود و باعث کاهش

[۱] Very Large Scale Integration
[۲] Integrated Circuit

عملکرد جمع‌کننده می‌شود. هنگام ساخت یک تمام جمع‌کننده، معیارهای مهمی از جمله مصرف توان و تاخیر مدار در نظر گرفته می‌شود. با افزایش نیاز به مدارهای مجتمع برای ابزارهای اندازه‌گیری دیجیتال، رایانه‌ها، تلفن‌های همراه و سایر برنامه‌ها، ویژگی توان مصرفی کم، اهمیت زیادی پیدا می‌کنند. عملیات محاسباتی جمع، متداول‌ترین روش محاسباتی مورد استفاده در ریزپردازنده‌ها و DSP[1]ها است و به طور کلی یکی از اجزای محدودکننده سرعت است. در نتیجه، بهینه‌سازی جمع‌کننده باید از نظر سرعت و مصرف توان مورد بررسی قرار گیرد.

مدار تمام جمع‌کننده یک نوع مدار منطقی است که سه ورودی و دو خروجی دارد. ورودی‌های مدار شامل دو بیت عددی (Aو B) و یک بیت سهم جمع قبلی (Carry IN) می‌باشند. خروجی مدار شامل دو بیت خروجی (SUMو Carry Out) می‌باشند. بیت SUM جمع دو بیت A،B و بیت Carry In می‌باشد در حالی که بیت Carry Out سهم جمع بعدی را نشان می‌دهد و در صورتی مقدار جمع از یک بیشتر شود به بیت بعدی یکی اضافه خواهد شد. تمام جمع‌کننده‌های سخت افزاری با گیت‌های منطقی XOR، AND و OR ساخته می‌شوند. تمام جمع‌کننده‌ها معمولاً برای اضافه کردن بیت به طول دلخواه مانند ۳۲ یا ۶۴ بیت متصل می‌شوند. یک تمام جمع‌کننده در اصل دو نیم جمع‌کننده می‌باشد که از یک گیت XOR و یک گیت AND در ورودی تشکیل شده است و توسط یک گیت OR به هم متصل می‌شوند.

محدودیت اصلی Half Adder که منجر به طراحی Full Adder شد، بیت Carry است. در Half Adder امکان استفاده از بیت C_{in} وجود ندارد و این عامل اهمیت طراحی Full Adder ها را به وضوح نشان می‌دهد. شکل ۱ بلوک دیاگرام مدار تمام جمع‌کننده را نشان می‌دهد.

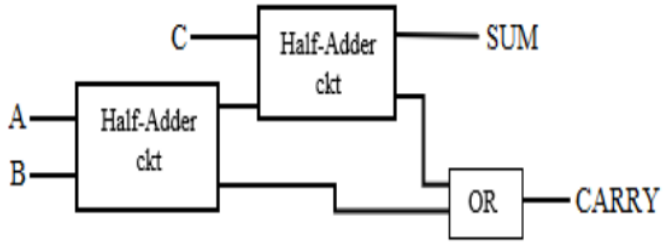


شکل۱: بلوک دیاگرام تمام جمع‌کننده [18]

در شکل ۱ ورودی و خروجی مدار تمام جمع‌کننده را نشان داده شده است. شکل ۲ نمودار تمام جمع‌کننده‌ای را

[1] Digital Signal Processor

نشان می‌دهد که از دو نیم جمع‌کننده یکسان و یک گیت OR تشکیل شده است. در این تمام جمع‌کننده خروجی مجموع نیم جمع‌کننده A به ورودی به نیم جمع‌کننده B وصل می‌شود و Carry نیم جمع‌کننده اول به گیت ورودی OR داده می‌شود. خروجی نیم جمع‌کننده اول SUM را ارائه می‌دهد و خروجی گیت OR نیز C_{out} را ارائه می‌دهد.



شکل۲: ساختار تمام جمع‌کننده تشکیل شده ازدو نیم جمع‌کننده [19]

از طریق رابطه‌های ۱و۲ مقادیر خروجی تمام جمع‌کننده محاسبه می‌شود [20].

$$SUM = A'B'C_{in} + A'BC'_{in} + AB'C'_{in} + ABC_{in} \quad (1)$$
$$= C_{in}(A'B' + AB) + C'_{in}(A'B + AB') = C_{in} \oplus (A \oplus B) = (1,2,4,7)$$

$$C_{out} = A'BC_{in} + AB'C_{in} + ABC'_{in} + ABC_{in} = AB + BC_{in} + AC_{in} = (3,5,6,7) \quad (2)$$

از طریق رابطه ۳ نیز می‌توان مقدار C_{out} را محاسبه کرد:

$$C_{out} = AB + AC_{in} + BC_{in}(A + A') = ABC_{in} + AB + AC_{in} + A'BC_{in} \quad (3)$$
$$= AB(1 + C_{in}) + AC_{in} + A'BC_{in} = AB + AC_{in} + A'BC_{in}$$
$$= AB + AC_{in}(B + B') + A'BC_{in} = ABC_{in} + AB + AB'C_{in} + A'BC_{in}$$
$$= AB(C_{in} + 1) + AB'C_{in} + A'BC_{in} = AB + AB'C_{in} + A'BC_{in}$$
$$= AB + C_{in}(A'B + AB') = AB + C_{in}(A \oplus B)$$

صحت عملکرد مدار شکل ۲ مطابق جدول ۲ می‌باشد.

جدول۲: صحت عملکرد تمام جمع‌کننده‌ها [21]

Inputs			Outputs	
A	B	C_{in}	C_{out}	SUM
0	0	0	0	0
0	0	1	0	1
0	1	0	0	1
0	1	1	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	0
1	1	1	1	1

در جدول ۲ مقدار SUM از رابطه ۱ بدست می‌آید و برای محاسبه مقدار آن تمامی ورودی‌های تابع باید XOR شوند. مقدار Cout که تابع Majority Function نیز نامیده می‌شود از رابطه ۲ یا ۳ بدست می‌آید.

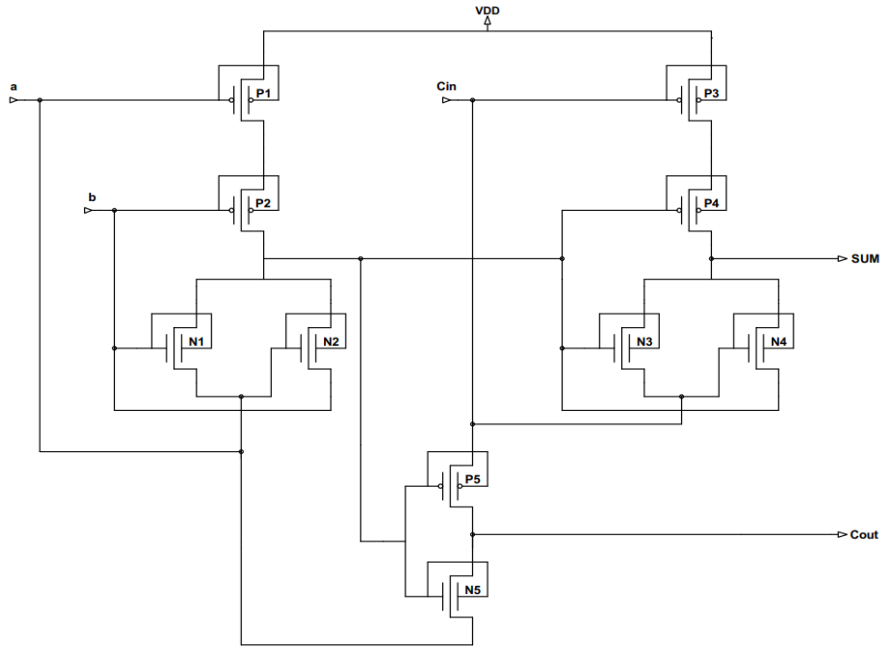
۲-۲- تمام جمع‌کننده پیشنهادی

در شکل ۳ شماتیک تمام جمع‌کننده پیشنهادی با فناوری فین فت نشان داده شده است. تمام جمع‌کننده با استفاده از دو نیم جمع‌کننده طراحی شده است و هر نیم جمع‌کننده از ۴ ترانزیستور تشکیل شده است. ترانزیستورهای P1, P2, N1, N2 نیم جمع‌کننده اول را تشکیل می‌دهند و ترانزیستورهای P3, P4, N3, N4 نیم جمع‌کننده دوم را تشکیل می‌دهند. خروجی نیم جمع‌کننده‌ها به ترانزیستورهای P5, N5 وصل شده است که نقش گیت OR برای محاسبه مقدار Carry Out را دارد. مقدار SUM از خروجی نیم جمع دوم بدست می‌آید. برای تحلیل مدار باید به این نکته توجه کرد که سطح ولتاژ بالا را به عنوان منطق یک و سطح ولتاژ پایین را به عنوان منطق صفر در نظر گرفته شده است. به عبارت دیگر مدار در منطق مثبت مورد بررسی قرار می‌گیرد.

ترانزیستورهای P1, P2, P3, P4, P5 در صورتی که مقدار ورودی گیت آن‌ها صفر منطقی(سطح ولتاژ پایین) باشد، وصل خواهند شد و ترانزیستورهای N1, N2, N3, N4, N5 در صورتی که مقدار ورودی گیت آن‌ها یک منطقی(سطح ولتاژ بالا) باشد، وصل خواهند شد. هنگامی که خروجی‌های SUM و Cout به VDD مدار وصل شوند

مقدار آن‌ها یک می‌شود و در غیر این صورت مقدار آن‌ها صفر خواهد بود. در حالتی که ورودی‌های A, B, Cin مدار صفر باشند، ترانزیستورهای P1, P2, P3 وصل می‌شوند و ترانزیستورهای N1, N2 قطع می‌شوند. در این حالت VDD از طریق ترانزیستورهای P1, P2 به ورودی ترانزیستورهای P4, N3, N4 وصل می‌شود. به دلیل قطع شدن ترانزیستور P4 خروجی SUM به VDD وصل نمی‌شود و مقدار آن برابر صفر می‌شود. مقدار Cout از خروجی ترانزیستورهای P5, N5 بدست می‌آید. با توجه به این که ورودی هر دو ترانزیستور VDD می‌باشد، فقط ترانزیستور N5 وصل می‌شود و در مقدار Cout تاثیر می‌گذارد. اما به دلیل قطع بودن ترانزیستورهای N1, N2 امکان وصل شدن Cout به VDD وجود ندارد و مقدار آن صفر می‌شود. حالت‌های دیگر ورودی مدار نیز به همین صورت مورد تحلیل قرار می‌گیرد که وضعیت قطع و وصل بودن ترانزیستور در همه‌ی حالت‌های ورودی در جدول ۳ مشخص شده است.

در طراحی این تمام جمع‌کننده از۱۰ ترانزیستور فین فت استفاده شده است که تعداد ترانزیستورهای نوع N و P برابر می‌باشد و ساختار متقارنی دارد. این تمام جمع‌کننده را در نرم افزار HSPICE و با فناوری ۳۲ نانومتر، ولتاژ تغذیه ۱ ولت، فرکانس ۱۰۰ مگاهرتز و خازن‌های بار ۲/۱ فمتو فاراد قرار گرفته در خروجی‌های Sum و Carry شبیه‌سازی شده است.



شکل ۳: شماتیک تمام جمع‌کننده پیشنهادی

در جدول ۳ عملکرد تمامی حالات ورودی جمع‌کننده مورد بررسی قرار گرفته است که نتایج آن نشان می‌دهد عملکرد جمع‌کننده پیشنهادی مطابق با سایر جمع‌کننده‌ها می‌باشد(جدول۲).

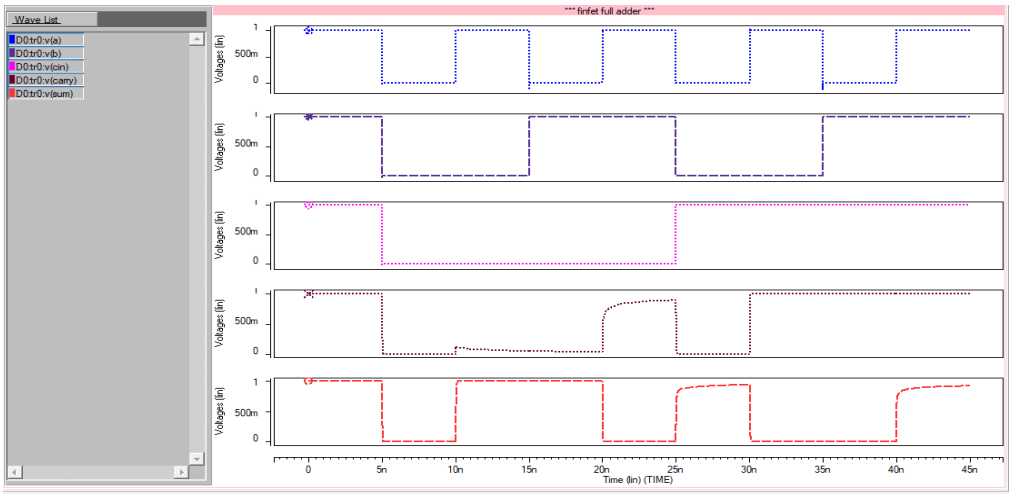
جدول۳: صحت عملکرد تمام جمع‌کننده پیشنهادی

Inputs			Status of the transistors		Outputs	
A	B	C_{in}	On transistors:☑	Off transistors:☒	C_{out}	SUM
0	0	0	P1 ☑ P2 ☑ P3 ☑ N3 ☑ N5 ☑	P4 ☒ P5 ☒ N1 ☒ N2 ☒ N3 ☒	0	0
0	0	1	P1 ☑ P2 ☑ N3 ☑ N4 ☑ N5 ☑	P3 ☒ P4 ☒ P5 ☒ N1 ☒ N2 ☒	0	1
0	1	0	P1 ☑ N1 ☑ P3 ☑ P4 ☑ P5 ☑	P2 ☒ N2 ☒ N3 ☒ N4 ☒ N5 ☒	0	1
0	1	1	P1 ☑ N1 ☑ P4 ☑ N4 ☑ P5 ☑	P2 ☒ P3 ☒ N2 ☒ N3 ☒ N5 ☒	1	0
1	0	0	P2 ☑ N2 ☑ P3 ☑ P4 ☑ P5 ☑	P1 ☒ N1 ☒ N3 ☒ N4 ☒ N5 ☒	0	1
1	0	1	P2 ☑ N2 ☑ P4 ☑ N4 ☑ P5 ☑	P1 ☒ P3 ☒ N1 ☒ N3 ☒ N5 ☒	1	0
1	1	0	N1 ☑ N2 ☑ P3 ☑ N3 ☑ N5 ☑	P1 ☒ P2 ☒ P4 ☒ P5 ☒ N4 ☒	1	0
1	1	1	N1 ☑ N2 ☑ N3 ☑ N4 ☑ N5 ☑	P1 ☒ P2 ☒ P3 ☒ P4 ☒ P5 ☒	1	1

وضعیت روشن یا خاموش بودن ترانزیستورهای N1, P1, P2, P3 به مقادیر ورودی A, B, Cin وابسته می‌باشد. به عنوان مثال ترانزیستور P1 به مقدار ورودی A وصل می‌باشد و در صورتی که مقدار ورودی A برابر صفر منطقی باشد، ترانزیستور روشن می‌شود. اما وضعیت روشن بودن ترانزیستورهای N2, N3, N4, N5, P4, P5 به وضعیت ترانزیستورهای N1, P1, P2, P3 وابسته می‌باشد. به عنوان مثال گیت ترانزیستور P4 به خروجی نیم جمع‌کننده اول که شامل ترانزیستورهای P1, P2, N1, N2 است، وصل می‌باشد. این ترانزیستور در صورتی روشن می‌شود که خروجی نیم جمع‌کننده اول برابر با صفر باشد.

۳- نتایج شبیه‌سازی تمام جمع‌کننده پیشنهادی

در شکل ۴ نتیجه آنالیز گذرای تمام جمع‌کننده طراحی شده با فناوری فین فت نشان داده شده است. در این شکل مقادیر ولتاژ ورودی V(A), V(B), V(Cin) و ولتاژ خروجی V(SUM), V(Cout) مشخص شده‌اند. مقادیر ولتاژ ورودی به گونه‌ای تعریف شده است که تمامی حالت‌ها ورودی مدار ساخته شوند(مطابق جدول۳). شایان ذکر است که در طراحی تمام جمع‌کننده از ترانزیستورهای SG-FinFET استفاده شده است؛ یعنی گیت پشتی و گیت جلویی بهم متصل شده‌اند. در شکل ۴ به ترتیب ورودی‌های A، B و Cin و خروجی‌های Sum و Carry ترسیم شده‌اند.



شکل ۴: نتیجه آنالیز گذرای تمام جمع‌کننده پیشنهادی

برای اندازه‌گیری تاخیر انتشار مربوط به هر یک از خروجی‌های SUM و Carry تمامی حالت‌های گذار از ورودی‌های A،B و Cin تا خروجی‌های SUM و Carry از ۵۰ درصد ورودی تا ۵۰ درصد خروجی محاسبه شده و بیشترین مقدار به عنوان تاخیر انتشار هر خروجی در نظر گرفته شده است. حالت‌های مختلف ورودی مدار بر توان مصرفی آن تاثیر می‌گذارد. به دلیل این که در بازه زمانی صفر تا ۴۵ نانو ثانیه تمامی حالت‌های ورودی وجود دارند، توان مصرفی میانگین نیز در این بازه اندازه‌گیری شده است و به عنوان توان مصرفی مدار تمام جمع‌کننده معرفی شده است. حاصل ضرب تاخیر در توان به عنوان یک معیار ارزیابی عملکرد مدار تمام جمع‌کننده در نظر گرفته شده است و حداکثر تاخیر انتشار بدست آمده در توان مصرفی میانگین ضرب شده و به عنوان PDP مدار تمام جمع‌کننده طراحی شده معرفی می‌شود.

transient analysis	**tnom= 25.000**	**temp= 25.000**
td_a_s1= 1.3966E-11	targ= 5.0140E-09	trig= 5.0001E-09
td_a_s2= 2.8816E-11	targ= 1.0029E-08	trig= 1.0000E-08
td_a_s3= 1.2318E-11	targ= 2.0017E-08	trig= 2.0005E-08
td_a_s4= 2.5473E-11	targ= 2.5026E-08	trig= 2.5000E-08
td_a_s5= 1.7452E-11	targ= 3.0030E-08	trig= 3.0012E-08
td_a_s6= 1.7661E-11	targ= 4.0021E-08	trig= 4.0003E-08
td_b_s1= 1.3966E-11	targ= 5.0140E-09	trig= 5.0001E-09
td_b_s2= 2.5473E-11	targ= 2.5026E-08	trig= 2.5000E-08
td_c_s1= 1.3966E-11	targ= 5.0140E-09	trig= 5.0001E-09
td_c_s2= 2.5373E-11	targ= 2.5026E-08	trig= 2.5000E-08
delay_s_max1= 2.8816E-11		
delay_s_max2= 2.8816E-11		
delay_s_max3= 2.8816E-11		
delay_s_max4= 2.8816E-11		
delay_s_max5= 2.8816E-11		
delay_s_max6= 2.8816E-11		
delay_s_max7= 2.8816E-11		
delay_s_max8= 2.8816E-11		
delay_s_max= 2.8816E-11		

با توجه به اندازه گیری‌های انجام شده و نتایج فوق مشاهده می‌شود که تاخیر انتشار ماکزیمم برای خروجی SUM برابر ۲۸/۸۱ پیکو ثانیه است. همچنین با توجه به اندازه‌گیری‌های انجام شده و نتایج زیر مشاهده می‌شود که تاخیر انتشار

ماکزیمم برای خروجی Carry برابر ۲۱/۱۱ پیکو ثانیه است. بیشترین تاخیر به تاخیر انتشار خروجی SUM تعلق دارد که برابر ۲۸/۸۱ پیکو ثانیه است. توان مصرفی میانگین محاسبه شده در بازه صفر تا ۴۵ نانو ثانیه برابر ۰/۳۰۴ میکرو وات است. PDP نیز با توجه به نتایج فوق ۸/۷۷ آتو ژول است.

transient analysis	**tnom= 25.000**	**temp= 25.000**
td_a_cout1= 1.2776E-11	targ= 5.0128E-09	trig= 5.0001E-09
td_a_cout2= 1.9195E-11	targ= 2.0024E-08	trig= 2.0005E-08
td_a_cout3= 2.1112E-11	targ= 2.5021E-08	trig= 2.5000E-08
td_a_cout4= 1.0395E-11	targ= 3.0023E-08	trig= 3.0012E-08
td_b_cout1= 1.2776E-11	targ= 5.0128E-09	trig= 5.0001E-09
td_b_cout2= 2.1112E-11	targ= 2.5021E-08	trig= 2.5000E-08
td_cin_cout1= 1.2776E-11	targ= 5.0128E-09	trig= 5.0001E-09
td_cin_cout2= 2.1012E-11	targ= 2.5021E-08	trig= 2.5000E-08
delay_cout_max1= 1.9195E-11		
delay_cout_max2= 2.1112E-11		
delay_cout_max3= 2.1112E-11		
delay_cout_max4= 2.1112E-11		
delay_cout_max5= 2.1112E-11		
delay_cout_max6= 2.1112E-11		
delay_cout_max= 2.1112E-11		
delay_max= 2.8816E-11		
avg_power= 3.0464E-07	from= 0.0000E+00	to= 4.5000E-08
pdp= 8.7784E-18		

شرایط شبیه‌سازی برای تمامی مدارها یکسان و مطابق جدول شماره ۴ می‌باشد. همچنین لازم به ذکر است که مدارها در دمای ۲۵ درجه سانتی‌گراد شبیه‌سازی شده‌اند.

جدول۴: شرایط شبیه‌سازی مدارها

Transistor Technology	Supply Voltage	Frequency	Load Capacitors	Software
32nm	1V	100MHZ	2.1fF	Hspice

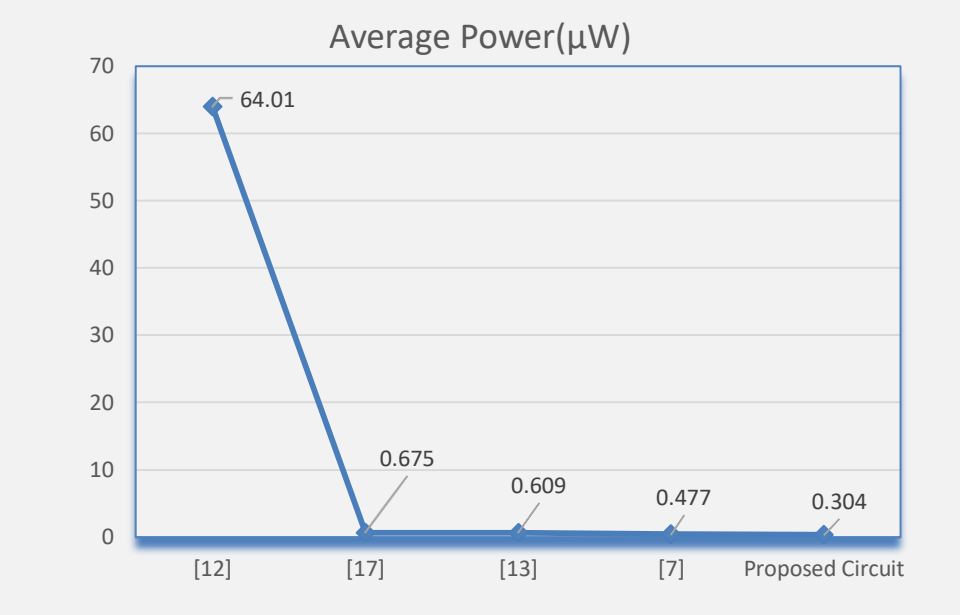
در جدول ۵ تمامی نتایج شبیه‌سازی مدار پیشنهادی با سایر جمع‌کننده‌ها ارائه شده است. مدار جمع‌کننده پیشنهادی با کمترین تعداد ترانزیستور طراحی شده است و همچنین کمترین مقدار توان مصرفی و کمترین مقدارPDP در بین سایر تمام جمع‌کننده‌های مطالعه شده را دارد.

جدول ۵- مقایسه تمام جمع‌کننده پیشنهادی با سایر تمام جمع‌کننده‌های مطالعه شده

Parameters / References	SUM	Carry	Average Power	PDP	Number of Transistors
[7]	۲۰٫۶۷pS	۱۵٫۲۸pS	۰٫۴۷۷μW	۹٫۸۷aJ	۲۰
[12]	۲۷٫۸۳pS	۲۴٫۶۲pS	۶۴٫۰۱μW	۱۷۸۲aJ	۱۱
[13]	۲۲٫۰۸pS	۲۹٫۲۰pS	۰٫۶۰۹μW	۱۷٫۸۱aJ	۲۶
[17]	۳۳٫۵۲pS	۴۶٫۲۵pS	۰٫۶۷۵μW	۳۱٫۲۴aJ	۱۶
Proposed Circuit	۲۸٫۸۱pS	۲۱٫۱۱pS	۰٫۳۰۴μW	۸٫۷۷aJ	۱۰

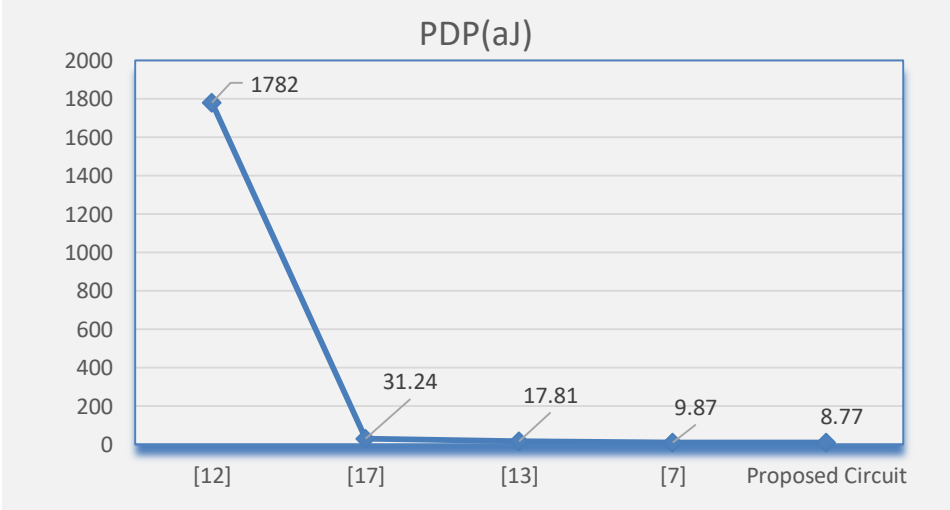
تمام جمع‌کننده‌های فین فت به خوبی می‌توانند در مقیاس نانومتری با توان مصرفی بسیار پایین عمل کنند. از طرف دیگر به دلیل این که فین فت‌ها سرعت سوئیچینگ بالایی دارند، به پردازش سریع‌تر سیگنال کمک می‌کنند. از این ساختار می‌توان در پردازش سیگنال‌ها و سیستم‌های دیجیتال مانند فیلترهای FIR[۱] استفاده کرد. در شکل ۵ نمودار مربوط به توان مصرفی نشان داده شده است. مدار پیشنهاد شده کمترین مقدار توان مصرفی در مقایسه با سایر مدارها را دارد.

[۱] Finite Impulse Response



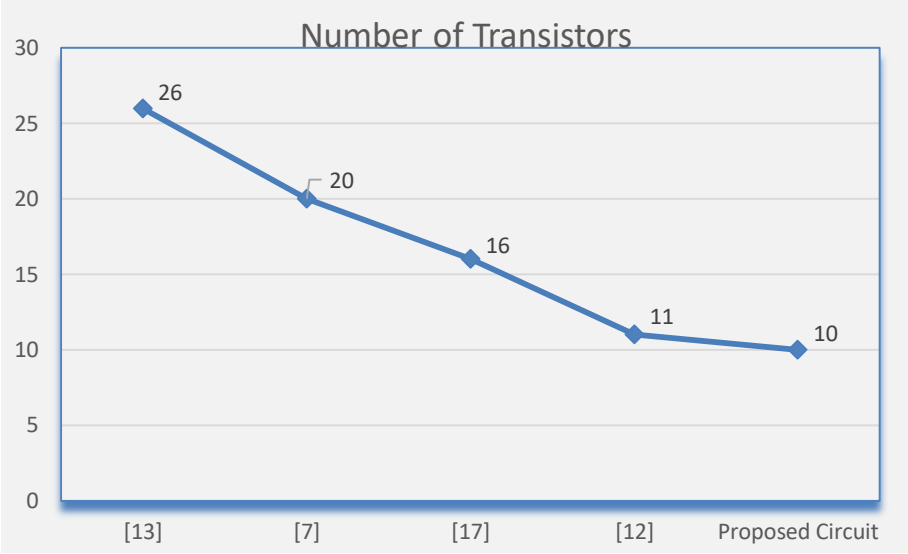
شکل۵: نمودار مقایسه توان مصرفی

پارامترهای Delay و Power Consumption در مدار بسیار حائز اهمیت می‌باشند، اما این دو پارامتر در مدار رابطه عکس دارند. به عنوان مثال اگر مقدار VDD مدار افزایش پیدا کنند، Delay مدار کم می شود اما توان مصرفی آن افزایش پیدا می‌کند. براین اساس پارامتر PDP تعریف شده است که حاصل ضرب این دو پارامتر در یکدیگر می‌باشد و هر چه این مقدار کمتر باشد کارایی و عملکرد مدار بهتر می‌باشد. در شکل ۶ نمودار مربوط به مقایسه PDP مدارها نشان داده شده است و مدار پیشنهاد شده کمترین مقدار PDP را دارد.



شکل۶: نمودار مقایسه PDP

در شکل ۷ نمودارتعداد ترانزیستورهای استفاده شده برای جمع‌کننده‌ها نشان داده شده است. تمام جمع پیشنهادی با ۱۰ ترانزیستور در مقایسه با سایر مدارها با تعداد ترانزیستور کمتری طراحی شده است.



شکل۷: نمودار مقایسه تعداد ترانزیستورها

۴- نتیجه‌گیری

هنگام ساخت و طراحی تمام جمع‌کننده، معیارهای مهمی از جمله توان مصرفی، PDP و تعداد ترانزیستورها در نظر گرفته می‌شود و بر این اساس می توان تمام جمع‌کننده را با روش‌ها و فناوری‌های مختلف در سطوح مختلف معماری طراحی کرد. با افزایش نیاز به مدارهای مجتمع با توان کم برای ابزارهای اندازه‌گیری دیجیتال، رایانه‌ها، تلفن‌های همراه و سایر برنامه‌ها، ویژگی‌های کم مصرف بودن اهمیت زیادی پیدا می‌کنند. طراحی جمع‌کننده با استفاده از دونیم جمع‌کننده یکی دیگر از سبک‌های طراحی می‌باشد که در مدارهای با سرعت بالا، باعث افزایش سرعت پردازش ورودی‌ها می‌شود. وقتی از دونیم جمع‌کننده یکسان برای طراحی تمام جمع‌کننده استفاده می‌شود، مساحت چاپی مدار نیز کاهش می‌یابد و فضای کمتری را اشغال می‌کند. مجموع مطالعات انجام شده در این تحقیق در زمینه طراحی یک تمام جمع‌کننده جدید می‌باشد که با ۱۰ عدد ترانزیستور و دو نیم جمع‌کننده یکسان طراحی شده است و پارامترهای مهمی از قبیل توان مصرفی، PDP در آن بهبود یافته است. با توجه به این مدار توان مصرفی پایینی دارد، در مدارهای کم مصرف می‌توان از آن استفاده نمود.

منابع

[1] نیری, "طراحی و شبیه سازی مدار جمع کننده پنج ارزشی جدید مبتنی بر ترانزیستور نانو نوار گرافن," andنیری مدل سازی در مهندسی, vol. 18, no. 63, pp. 41-50, 2021.

[2] T.-J. King, "FinFETs for nanoscale CMOS digital integrated circuits," in *ICCAD-2005. IEEE/ACM International Conference on Computer-Aided Design, 2005.*, 2005: IEEE, pp. 207-210.

[3] A. Lourts Deepak and L. Dhulipalla, "Performance comparison of CMOS and FINFET based SRAM for 22nm Technology," *International Journal of Conceptions on Electronics and Communication Engineering,* vol. 1, no. 1, 2013.

[4] A. Venkatesan, P. Vanathi, and M. Elangovan, "Diode Connected Transistor-Based Low PDP Adiabatic Full Adder in 7 nm FINFET Technology for MIMO Applications," *Journal of Circuits, Systems and Computers,* vol. 32, no. 08, p. 2350134, 2023.

[5] A. Navaneetha and K. Bikshalu, "FinFET based Comparison analysis of power and delay of adder topologies," *Materials Today: Proceedings,* vol. 46, pp. 3723-3729, 2021.

[6] R. K. Maurya and B. Bhowmick, "Review of FinFET devices and perspective on circuit design challenges," *Silicon,* vol. 14, no. 11, pp. 5783-5791, 2022.

[7] N. Duraivel and B. Paulchamy, "Simulation and performance analysis of 15 Nm FinFET based carry skip adder," *Computational Intelligence,* vol. 37, no. 2, pp. 799-818, 2021.

[8] J. Battini and S. Kosaraju, "Design of efficient 22 nm, 20-FinFET full adder for low-power and high-speed arithmetic units," *Silicon,* vol. 15, no. 2, pp. 993-1002, 2023.

[9] R. Hajare and C. Lakshminarayana, "Design and software characterization of finfet based full adders," *International Journal of Reconfigurable and Embedded Systems,* vol. 8, no. 1, p. 51, 2019.

[10] S. Branch and I. Sardroud, "FinFET-based Full Adder using SDTSPC Logic with High Performance."

[11] M. V. Prasad and K. N. Kumar, "Low power FinFET based full adder design," *International Journal of Advanced Research in Computer and Communication Engineering,* vol. 6, no. 8, pp. 328-335, 2017.

[12] C. S. Pittala, V. Vijay, and B. N. K. Reddy, "1-Bit FinFET carry cells for low voltage high-speed digital signal processing applications," *Silicon,* vol. 15, no. 2, pp. 713-724, 2023.

[13] S. Singh and Y. B. Shukla, "Design and Analysis of Low Power FinFET-Based Hybrid Full Adders at 16 nm Technology Node," in *Intelligent Sustainable Systems: Proceedings of ICISS 2022*: Springer, 2022, pp. 631-641.

[14] C. Pittala and V. Vijay, "Design of 1-Bit FinFET sum circuit for computational applications," in *International Conference on Emerging Applications of Information Technology*, 2021: Springer, pp. 590-596.

[15] S. B. Mamaghani, M. H. Moaiyeri, and G. Jaberipur, "Design of an efficient fully nonvolatile and radiation-hardened majority-based magnetic full adder using FinFET/MTJ," *Microelectronics Journal*, vol. 103, p. 104864.۲۰۲۰ ,

[16] U. Mushtaq, M. W. Akram, and D. Prasad, "Energy efficient and variability immune adder circuits using short gate FinFET INDEP technique at 10nm technology node," *Australian Journal of Electrical and Electronics Engineering*, vol. 20, no. 1, pp.۲۰۲۳ ,۱۲-۱ .

[17] F. G. da Silva, R. N. Oliveira, A. L. Zimpeck, C. Meinhardt, and R. Reis, "Exploring XOR-based Full Adders and decoupling cells to variability mitigation at FinFET technology," *Integration*, vol. 87, pp. 137-146, 2022.

[18] S. Nagaraj, P .A. Prem, D. Srihari, and K. Gopi, "Design and Analysis of Half Adder and Full Adder Using GDI Logic," *Journal of Pharmaceutical Negative Results*, pp. 802-814, 2022.

[19] K. Apoorva, "Design and Analysis of Synthesizable RTL Verilog For Discrete Fourier Transformation Using FFT," *Turkish Journal of Computer and Mathematics Education (TURCOMAT)*, vol. 12, no. 12, pp. 2372-2379, 2021.

[20] M. Alioto and G. Palumbo, "Analysis and comparison on full adder block in submicron technology," *IEEE transactions on very large scale integration (VLSI) systems*, vol. 10, no. 6, pp. 806-823, 2002.

[21] E. Napoli, E. Zacharelos, A. G. Strollo, and G. Di Meo, "Approximate Full-Adders: A Comprehensive Analysis," *IEEE Access*, 2024.