دوره هجدهم، شماره تابستان ۱۴۰۴

مجله فناوری اطلاعات در طراحی مهندسی

Information Technology in Engineering Design

http://sanad.iau.ir/journal/ited

طراحی کارآمد از واحد محاسبه و منطق برگشت‌پذیر در آتوماتای سلولی کوانتومی نقطه‌ای

شاهرخ نعمت تبار [۱] محمد مصلح*[۲] محمد خیراندیش[۳]

(۱) **گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران**

(۲) **گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران***

(۳) **گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران**

(تاریخ دریافت: ۱۴۰۳/۰۸/۰۷ تاریخ پذیرش: ۱۴۰۴/۰۱/۱۳)

چکیده

در سال‌های اخیر منطق برگشت‌پذیر و آتوماتای سلولی نقطه‌ای کوانتومی (QCA) به عنوان یک فناوری نوظهور مطرح شده‌اند. منطق برگشت‌پذیر به دلیل مصرف انرژی نزدیک به صفر و QCA به دلیل سرعت بالاتر، جریان کمتر و توان مصرفی پایین جایگزین مناسبی برای CMOS می‌باشند که نظر محقق‌ها را به خود جلب کرده‌اند. واحد محاسبه و منطق به عنوان اساس سیستم‌های پردازشگر شناخته می‌شود و از مهم‌تربن اجزا در طراحی سیستم‌های دیجیتال می‌باشد. در این مقاله یک بلوک برگشت‌پذیر جدید معرفی خواهد شد و در ادامه بر پایه بلوک برگشت‌پذیر پیشنهادی یک تمام جمع‌کننده با هزینه کوانتومی پایین پیشنهاد خواهد شد، سپس یک طرح جدید از واحد محاسبه و منطق برگشت‌پذیر ارائه می‌شود. طرح‌های پیشنهادی برگشت‌پذیر با استفاده از ابزار QCA Designer 2.0.3 در تکنولوژی QCA پیاده‌سازی می‌شوند. نتایج نشان می‌دهد که طرح پیشنهادی نسبت به کارهای پیشین از لحاظ معیارهای ارزیابی برگشت‌پذیر همچون تعداد دروازه، هزینه کوانتومی، ورودی ثابت و خروجی زائد دارای بهبود قابل توجه می‌باشند. علاوه براین، مدارات QCA برگشت‌پذیر پیشنهادی از لحاظ معیارهای اساسی همچون سلول مصرفی، فضای اشغالی و تعداد کلاک سیکل نشان از بهبود قابل توجهی را می‌دهند.

کلمات کلیدی: منطق برگشت‌پذیر، آتوماتای سلولی نقطه‌ای کوانتومی، تمام جمع‌کننده، واحد محاسبه و منطق

*عهده‌دار مکاتبات:

محمد مصلح

نشانی: گروه مهندسی کامپیوتر، واحد دزفول، دانشگاه آزاد اسلامی، دزفول، ایران

پست الکترونیکی: mohammad.mosleh@iau.ac.ir

۱- مقدمه

در مدارهای متعارف نیمه هادی اکسید فلزی (CMOS)، مقدار قابل توجهی از انرژی به شکل گرما در طول عملیات منطقی تلف می‌شود که یک نگرانی اساسی در دستگاه‌های الکترونیکی مدرن است. منطق برگشت‌پذیر و فناوری اتوماتای کوانتومی نقطه‌ای به عنوان یک جایگزین قانع کننده برای فناوری CMOS معمولی در درجه اول به دلیل پتانسیل آن برای کاهش قابل توجه مصرف انرژی ظاهر شده‌اند. لانداور نشان داد که در محاسبات منطقی برگشت‌ناپذیر، برای هر بیت از اطلاعات که از بین می‌رود به اندازه kTln (2) ژول انرژی گرمایی آزاد می‌شود که در آن k ثابت بولتزمن و T دمای مطلقی است که محاسبات در آن انجام می‌شود [1]. بنت نشان داد در صورتی که از دروازه‌های منطقی برگشت‌پذیر استفاده شود، هیچ مصرف توانی وجود نداشته و انرژی تلف نمی‌شود [2]. یک دورازه یا مدار را برگشت‌پذیر می‌گویند اگر و تنها اگر تعداد ورودی‌های آن با تعداد خروجی‌ها برابر بوده و یک نگاشت یک به یک بین بردار ورودی- و بردار خروجی- برقرار باشد [3]. یکی از تکنولوژی‌های مرسوم به منظور پیاده‌سازی مدارات تکنولوژی CMOS می‌باشد. پیاده‌سازی مدارات در مقیاس نانو با استفاده از تکنولوژی CMOS مشکلات متعددی از جمله جریان نشتی بالا و پیچیدگی طراحی و هزینه بالای لیتوگرافی را به همراه خواهد داشت [4]. یکی از بهترین تکنولوژی‌های پیاده‌سازی مدارات در مقیاس نانو، تکنولوژی آتوماتای سلولی نقطه کوانتومی (QCA) می‌باشد [4]. در نانو تکنولوژی QCA جریان وجود ندارد حتی عنصر خازن هم وجود ندارد پس کار برای طراحی و حتی ساخت مدارات بسیار آسانتر از فناوری CMOS می‌باشد [5]. همچنین مدارات برگشت‌پذیر مستعد طراحی در تکنولوژی‌های کوانتوم دات می‌باشند از این رو میتوان از QCA به عنوان یکی از بهترین فناوری‌های موجود برای پیاده‌سازی مدارات برگشت‌پذیر نام برد [16]. در QCA یک سلول واحدسازنده هر عنصر و همه عناصر مدار در نظر گرفته شده است. هر سلول شامل چهار نقطه کوانتومی واقع در گوشه‌ها است که دو نقطه، حاوی الکترون‌های آزاد است. این الکترون‌ها می‌توانند به طور مکانیک کوانتومی بین چهار نقطه، تونل زنی کنند [6]. موانع بالقوه اتصالات تونل زنی توسط میدان‌های الکتریکی محلی کنترل می‌شوند. واحد محاسبه و منطق یک قطعه‌ی سازنده‌ی اساسی برای بسیاری از مدارهای محاسباتی از جمله واحد پردازش مرکزی کامپیوتر (CPU) ، واحد پردازنده‌ی گرافیکی است [6].

سهم علمی این کار به‌صورت زیر می‌باشد:

- پیشنهاد یک بلوک برگشت‌پذیر کارآمد با هزینه کوانتومی پایین
- ارائه یک تمام جمع‌کننده برگشت‌پذیر جدید.
- ارائه یک واحد محاسبه و منطق برگشت‌پذیر جدیید بر پایه مدارات پیشنهادی

- پیاده‌سازی تمامی مدارات برگشت‌پذیر پیشنهادی با استفاده از فناوری QCA

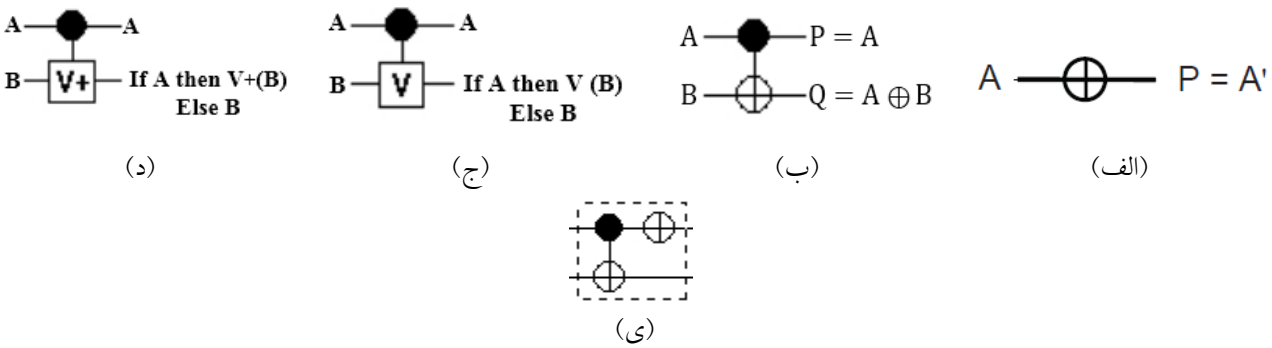
این مقاله به شرح زیر سازماندهی شده است: در بخش دوم به مفاهیم پایه‌ای برگشت‌پذیر و QCA فراهم خواهد شد. در بخش سوم به مرور کارهای قبلی پرداخته شده است. در بخش چهارم گیت برگشت‌پذیر پیشنهادی معرفی خواهد شد و در ادامه بر پایه آن مدارات پیشنهادی برگشت‌پذیر ارائه می‌شوند. همچنین در این بخش تمامی ساختارها با استفاده از تکنولوژی QCA پیاده‌سازی خواهند شد. در بخش پنجم به نتایج بررسی مقایسه‌ها تمامی مدارات پیشنهادی پرداخته خواهد شد. در نهایت در بخش ششم مقاله با نتیجه‌گیری و کارهای آینده خاتمه می‌یابد.

۲- مقدمات

در این بخش مقدمه‌ای در مورد مدارات برگشت‌پذیری، دروازه‌های ابتدایی منطق برگشت‌پذیر، معیارهای ارزیابی مدارات برگشت‌پذیر، دروازه‌های برگشت‌پذیر موجود و مفاهیم پایه در تکنولوژی QCA بحث می‌شود.

۲-۱- مدارات برگشت‌پذیر

به یک دروازه یا یک مدار، برگشت‌پذیر گویند اگر یک نگاشت یک‌به‌یک بین ورودی‌ها و خروجی‌های آن برقرار باشد و علاوه بر این تعداد ورودها و خروجی‌های آن برابر باشد [3]. هر دروازه برگشت‌پذیری با استفاده از دروازه‌های اولیه همچون NOT، CNOT، Controlled-V و Controlled-V^+ طراحی می‌شود. دروازه NOT : یک دروازه برگشت‌پذیر ۱×۱ با هزینه کوانتومی برابر یک می‌باشد که در شکل ۱ (الف) نشان داده شده است. دروازه فینمن: یک دروازه برگشت‌پذیر ۲×۲ با هزینه کوانتومی برابر یک می‌باشد و همچنین آن را به عنوان دروازه XOR کوانتوم هم می‌نامند در شکل ۱ (ب) نشان داده شده است. دروازه کنترل شده V و V^+ دروازه‌های برگشت‌پذیر اولیه ۲×۲ هستند که در شکل ۱ (ج-د) شان داده شده‌اند [7,8]. علاوه براین‌ها زمانی که دروازه‌های فینمن و NOT به صورت نشان داده شده در شکل ۱ (ی) قرار بگیرد بر اساس قوانین مجتمع سازی مدارات کوانتومی می‌توان آن را به عنوان یک دروازه دو کیوبتی ۲×۲ در نظر گرفت [9,11]. هزینه هر دروازه اولیه ۱×۱ و ۲×۲ برابر یک در نظر گرفته خواهد شد.



(د) (ج) (ب) (الف)

(ی)

شکل ۱: دروازه‌های برگشت پذیر اولیه: (الف) دروازه NOT، (ب) دروازه فینمن، (ج) دروازه کنترل شده V، (د) دروازه کنترل شده V^+ و (ی) دروازه مجتمع شده

ماتریس‌های V و V^+ بترتیب در معادلات (۲-۱) نشان داده شده‌اند [9, 10]:

$$V = \frac{1+i}{2}\begin{pmatrix} 1 & -i \\ -i & 1 \end{pmatrix} \quad (1)$$

$$V^+ = \frac{1-i}{2}\begin{pmatrix} 1 & i \\ i & 1 \end{pmatrix} \quad (2)$$

علاوه براین‌ها ماتریس‌های V و V^+ دارای ویژگی‌های زیر می‌باشند که در رابطه‌های (۲-۵) نشان داده شده‌اند [7, 8]:

$$V \times V = NOT \quad (3)$$

$$V^+ \times V = V \times V^+ = I \quad (4)$$

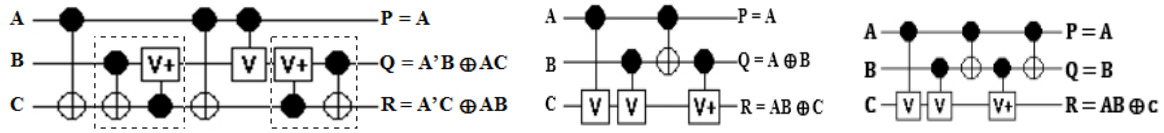
$$V^+ \times V^+ = NOT \quad (5)$$

همان‌طور که در شکل ۱ (الف) و ۱ (ب)، مشاهده می‌شود، اگر ورودی کنترل برابر مقدار یک باشد (A =۱)، دروازه‌های V و V^+ به‌ترتیب خروجی‌های Q برابر با V (B) و V^+ (B) را نتیجه خواهند داد. در غیر این صورت، مقدار ورودی هدف B بدون تغییر به خروجی‌های Q منتقل می‌گردد. هزینه کوانتومی و تأخیر این گیت‌ها برابر یک است [7]. مدارات برگشت‌پذیر با معیارهای مختلفی چون تعداد ورودی‌های ثابت، تعداد دروازه، تعداد خروجی‌های زائد و هزینه کوانتومی ارزیابی می‌شوند. ورودی‌های ثابت (CI): تعداد ورودی‌هایی که به مقدار ثابت (۰ یا ۱) تنظیم شوند برای سنتز تابع برگشت‌پذیر ورودی ثابت گفته می‌شود [12]. تعداد دروازه (GC): تعداد دروازه‌های که در

طراحی مدار برگشت‌پذیر تعداد استفاده می‌شود تعداد دروازه گفته می‌شود [13]. خروجی‌های زائد (GO): خروجی زائد به خروجی‌هایی که از آن‌ها استفاده نمی‌شود و یا بلااستفاده می‌باشند گفته می‌شود [14]. هزینه کوانتومی (QC): هزینه کوانتومی مدار برگشت‌پذیر، بر اساس دروازه‌های برگشت‌پذیر ابتدایی ۱ × ۱ و ۲ × ۲ محاسبه می‌گردد. هزینه کوانتومی دروازه‌های ابتدایی ۱ × ۱ (مانند دروازه NOT) و ۲ × ۲ (Controlled- V، Controlled-V^+ ، CNOT و دروازه‌های مجتمع) برابر یک در نظر گرفته می‌شود [8, 15].

۲-۱-۱- دروازه های برگشت‌پذیر موجود

تاکنون دروازه‌های برگشت‌پذیر زیادی توسط محققان طراحی شده است، اما مهم‌ترین آن‌ها دروازه‌های توفولی [16] با هزینه برابر پنج، دروازه پرس [17] با هزینه برابر ۴ و دروازه فردکین [18] با هزینه برابر پنج می‌باشد که به ترتیب در شکل ۲ (الف-ج) نشان داده شده‌اند.



(ج) (ب) (الف)

شکل ۲: تحقق کوانتومی سه دروازه برگشت‌پذیر: (الف) تافولی، (ب) پرس و (ج) فردکین

۲-۲- تکنولوژی QCA

آتاماتای سلولی نقطه‌ای کوانتومی: در QCA، یک سلول، دو الکترون آزاد دارد که مقادیر منطقی "۰"، "۱"، به موقعیت الکترون‌ها در داخل سلول کوانتومی نقطه‌ای وابسته است که با برهم‌کنش کولمبی پیش برده می‌شوند [19]. شکل (۳) دو ساختار مختلف ۴۵ و ۹۰ درجه ای از سلول های QCA نشان داده شده است.

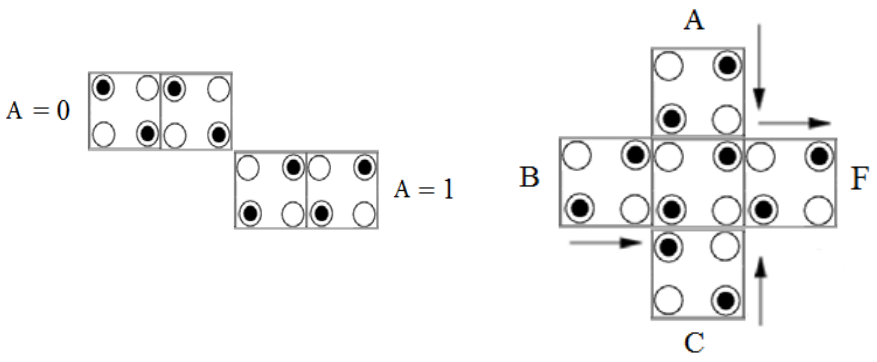
(ب) (الف)

شکل ۳: دو وضعیت در سلول‌ها (الف) P=+1 معادل یک باینری و (ب)P=-1 معادل با صفر باینری

علاوه برای، اطلاعات در نتیجه‌ی انتشار قطبیت بین دو سلول به دلیل برهم‌کنش کولمبی الکترون‌ها، منتقل می‌شود. الکترون‌ها می‌توانند با ارتباط بین نقاط کوانتومی براساس قوانینی که مکانیک کوانتومی را کنترل می‌کند، منتقل شوند [19]. در نتیجه‌ی این جابه‌جایی، شش حالت مختلف برای سلول‌ها به وجود می‌آید، اما همه آنها حالت پایدار نیستند [20]. این دو الکترون به دلیل وجود نیروی دافعه کولمبی تمایل دارند در دورترین فاصله از یکدیگر قرار بگیرند. این امر باعث می‌شود که دو الکترون به‌صورت قطری قرار بگیرند. هنگامی که چندین سلول QCA نزدیک به یکدیگر قرار می‌گیرند، نیروی دافعه ی کولمبی بین الکترون‌ها باعث می‌شود که سلول‌ها از منطق یکدیگر تبعیت کنند؛ بنابراین، سلول دارای منطق ۱ در امتداد یک‌رشته از سلول‌های QCA گسترش می‌یابد. آنها این ساختار کوانتومی را یک سیم کوانتومی می‌نامند [20]. همچنین دو گیت پایه متداول در QCA که به‌عنوان بلوک‌های سازنده در بسیاری از مدارت بکار رفته است شامل: معکوس‌کننده و گیت اکثریت سه ورودی است. گیت اکثریت سه ورودی (MV3) که تابع منطقی زیر را دارد:

$$MV3(A,B,C)=AB+AC+BC \qquad (6)$$

که A, B, C ورودی‌ها هستند. نمایش سلولی گیت معکوس‌کننده و گیت اکثریت سه ورودی در شکل (۴) نشان داده شده است.



(ب) (الف)

شکل ۴: دو گیت پایه در QCA : (الف) گیت معکوس‌کننده و (ب) گیت اکثریت سه ورودی

همچنین کلاکینگ تکنولوژی QCA، متفاوت از تکنولوژی‌های سنتی است. برای زمان‌بندی سیگنال، چهار منطقه کلاکینگ تعریف شده است و هر مرحله انتقال سیگنال باید در یکی از این مناطق انجام شود. سیگنال‌های کلاک در این مناطق، یک اختلاف‌فاز ۹۰ درجه‌ای با همسایگان نزدیک دارند.

۳- پیشینه پژوهش

در این بخش به مرور کارهای موجود واحد محاسبه و منطق برگشت‌پذیر و واحد محاسبه و منطق‌های پیاده‌سازی شده در تکنولوژی QCA پرداخته می‌شود .

در سال ۲۰۰۸، یک واحد محاسبه و منطق با قابلیت انجام ۱۶ عملیات معرفی شد. [4]، این واحد شامل جمع‌کننده‌ها و یک مولتی‌پلکسر ۱۶:۱ بود. طراحی آن به دلیل تعداد بالای سلول‌ها، فضای اشغالی (۱۱,۳۷) و سیکل‌های کلاک (۹) چالش‌برانگیز بود و برای پیاده‌سازی از ۳۵،۵۹۶ سلول استفاده شده بود.

در سال ۲۰۱۳، یک واحد محاسبه و منطق با قابلیت انجام ۱۶ عملیات در [21] ارائه شده بود که در طراحی این واحد محاسبه و منطق از ترکیب مدار اصلی تمام جمع‌کننده با مالتی پلکسر استفاده شده بود. این مدار ۱۶ عمل مختلف را انجام می‌داد. علاوه براین فضایی اشغالی و تعداد کلاک مصرفی این طرح به ترتیب ۱,۶۸(μm^2) و ۸,۵ بود و همچنین از ۹۱۸ سلول تشکیل شده بود.

در سال ۲۰۱۴، یک واحد محاسبه و منطق با قابلیت انجام ۲۰ عملیات محاسباتی و منطقی در [22] ارائه شده بود. که فضایی اشغالی و تعداد کلاک مصرفی آن به ترتیب ۲,۲۸(μm^2) و ۷,۲۵ بود و همچنین دارای ۱۱۹۰ سلول بود .

در سال ۲۰۱۷، یک واحد محاسبه و منطق با قابلیت انجام ۲۰ عملیات محاسباتی و منطقی در [23] ارائه شده بود، که فضایی اشغالی و تعداد کلاک مصرفی این طرح به ترتیب ۲,۳۴ و ۲,۲۵ بود. همچنین در طراحی این واحد محاسبه و منطق از ۳۰۷۵ سلول استفاده شده بود.

در سال ۲۰۲۰، یک واحد محاسبه و منطق تحمل‌پذیر اشکال با قابلیت انجام ۴ عملیات محاسباتی و منطقی مقاوم در برابر تمامی نقص‌های سلولی در [5] ارائه شده بود، که فضایی اشغالی تعداد کلاک مصرفی این طرح به ترتیب ۱,۸۶و ۴,۲۵ بود، و همچنین در طراحی این واحد محاسبه و منطق از ۱۰۱۰ سلول استفاده شده بود.

در سال ۲۰۲۰، یک واحد محاسبه و منطق تحمل‌پذیر اشکال با قابلیت انجام ۴ عملیات محاسباتی و منطقی مقاوم در برابر تمامی نقص‌های سلولی توسط احمدپور وهمکاران [6] ارائه شده بود، که فضایی اشغالی و تعداد کلاک مصرفی این طرح به ترتیب ۰,۹۹و ۵,۲۵ بود، و همچنین در طراحی این واحد محاسبه و منطق از ۶۲۵ سلول استفاده شده بود.

در سال ۲۰۱۲، سه طرح مختلف از واحد محاسبه و منطق توسط موریسون ارائه شده بود [3] که طرح اول ارائه شده دارای تعداد شش دروازه، دو ورودی ثابت، بدون خروجی زائد، و هزینه کوانتومی ۲۴ بود و تعداد شش عملیات منطقی را انجام می‌داد. طرح دوم ارائه شده دارای تعداد شش دروازه، دو ورودی ثابت، بدون خروجی زائد، و هزینه کوانتومی ۲۴ بود و تعداد شش عملیات منطقی را انجام می‌داد. و در نهایت طرح سوم ارائه شده دارای تعداد هشت دروازه، دو ورودی ثابت، بدون خروجی زائد، و هزینه کوانتومی ۳۷ بود و تعداد نه عملیات منطقی را انجام می‌داد.

در سال ۲۰۱۴، سه طرح مختلف از واحد محاسبه و منطق توسط معلم و همکاران [24] ارائه شده بود که طرح اول ارائه شده دارای تعداد شش دروازه، دو ورودی ثابت، دو خروجی زائد، و هزینه کوانتومی ۲۱ می‌بود و تعداد شش عملیات منطقی را انجام می‌داد. طرح دوم ارائه شده با استفاده از دروازه‌های پرس و فینمن ، طراحی شده بود دارای تعداد هشت دروازه، دو ورودی ثابت، چهار خروجی زائد، و هزینه کوانتومی ۳۳ بود و تعداد هشت عملیات منطقی را انجام می‌داد. و در نهایت طرح سوم ارائه شده آن‌ها که با استفاده از دروازه‌های توفولی، فینمن، TRG، HNG و RMUX1 طراحی شده بود دارای تعداد شش دروازه، چهار ورودی ثابت، پنج خروجی زائد، و هزینه کوانتومی ۲۵ بود و تعداد هشت عملیات منطقی را انجام می‌داد.

در سال ۲۰۱۶، سه طرح از واحد محاسبه و منطق ارائه توسط حق پرست و بوالحسنی [25] ارائه شده بود، که طرح اول ارائه شده دارای سه ورودی ثابت، دو خروجی زائد، و هزینه کوانتومی ۱۹ بود و تعداد شش عملیات منطقی را انجام می‌داد. طرح دوم ارائه شده دارای دو ورودی ثابت، تعداد یک خروجی زائد، و هزینه کوانتومی ۲۰ بود و تعداد ۱۲ عملیات منطقی را انجام می‌داد. و در نهایت طرح سوم ارائه شده آن‌ها بدون ورودی ثابت و خروجی زائد، و هزینه کوانتومی برابر ۲۰ بود و ده عملیات منطقی را انجام می‌داد.

در سال ۲۰۱۶، یک طرح از واحد محاسبه و منطق با استفاده از دروازه‌های HNG وCOG توسط دپسا و همکاران [26] ارائه شده بود که دارای تعداد ۱۰ دروازه، چهار ورودی ثابت، هشت خروجی زائد، و هزینه کوانتومی برابر ۲۹ بود و تعداد ۱۲ عملیات منطقی را انجام می‌داد.

در سال ۲۰۱۶، دوتا طرح مختلف از واحد محاسبه و منطق توسط بنرجی و همکاران [27] ارائه شده بود، که طرح اول ارائه شده دارای سه ورودی ثابت، هشت خروجی زائد، و هزینه کوانتومی برابر ۵۲ بود و تعداد هشت عملیات

منطقی را انجام می‌داد. طرح دوم ارائه شده آن‌ها ب دارای دو ورودی ثابت، هفت خروجی زائد، و هزینه کوانتومی ۴۶ بود و مشابه طرح اول تعداد ۱۲ عملیات منطقی را انجام می‌داد.

در سال ۲۰۱۷، طرحی از واحد محاسبه و منطق توسط نقیب‌زاده و هوشمند [28] ارائه شده بود که دارای تعداد دو ورودی ثابت، دو خروجی زائد، و هزینه کوانتومی برابر ۱۹ بود. علاوه براین تعداد ۱۶ عملیات منطقی را انجام می‌داد، و همچنین دارای تاخیر ۱۶ و تعدادسلول مصرفی ۶۷۰ بود.

در سال ۲۰۱۷، دو طرح از واحد محاسبه و منطق توسط حق پرست و بوالحسنی [29] ارائه شده بود که طرح اول ارائه شده دارای تعداد دو ورودی ثابت، دو خروجی زائد، و هزینه کوانتومی ۲۱ بود. و تعداد ۱۰ عملیات منطقی را انجام می‌داد. طرح دوم ارائه شده آن‌ها دارای تعداد چهار ورودی ثابت، هشت خروجی زائد، و هزینه کوانتومی برابر ۲۴ بود و تعداد ۱۲ عملیات منطقی را انجام می‌داد.

در سال ۲۰۲۰، یک طرح واحد محاسبه و منطق برگشت‌پذیر با استفاده از دروازه‌های برگشت‌پذیر فرد کین و فینمن توسط بیزال و همکاران [30] ارائه شده بود که تعداد ۱۶ عملیات منطقی انجام می‌داد و دارای تعداد ۱۶ دروازه چهار ورودی ثابت، ۱۱ خروجی زائد، و هزینه کوانتومی برابر ۴۴ بود.

در سال ۲۰۲۰، طرحی از واحد محاسبه و منطق توسط نوروزی و همکاران [31]، ارائه شده بود که دارای تعداد یک ورودی ثابت، یک خروجی زائد، و هزینه کوانتومی برابر ۲۰ بود و تعداد ۲۰ عملیات منطقی را انجام می‌داد. علاوه بر این دارای تاخیر ۱۵ و تعداد سلول مصرفی ۴۸۰ بود.

در سال ۲۰۲۲، طرحی از واحد محاسبه و منطق توسط صفایی زاده و همکاران [32] ارائه شده بود که دارای تعداد یک ورودی ثابت، دو خروجی زائد، و هزینه کوانتومی برابر ۱۳ بود، و تعداد ۲۰ عملیات منطقی را انجام می‌داد. علاوه بر این دارای تاخیر ۱۲ و تعداد سلول مصرفی ۳۵۰ بود.

در سال ۲۰۲۳، یک QCA ALU توسط علی‌آبادیان و همکارانش [33]، با استفاده از ترکیب‌های مختلف دروازه‌های برگشت‌پذیر توسعه داده شده بود که قابلیت انجام ۲۰ عملیات را داشت، و دارای دو ورودی ثابت بود و هزینه کوانتومی برابر ۱۸ بود. طرح QCA معرفی شده آن شامل ۲۴۷ سلول بود که مساحت ۰,۵۲ میکرومتر مربع را اشغال می‌کرد و ۹ سیکل ساعت تاخیر داشت. در سال ۲۰۲۳، علی‌آبادیان و همکاران [34]، یک QCA ALU دیگری که قابلیت انجام ۲۰ عملیات را داشت ارائه داده بودند، که دارای یک ورودی ثابت و یک خروجی زباله، و با هزینه کوانتومی ۱۸ بود. طرح QCA برای این طرح معرفی شده شامل ۳۵۰ سلول بود که مساحت ۰,۴۱۱ میکرومتر مربع را اشغال می‌کرد و ۳ سیکل ساعت تاخیر داشت.

در سال ۲۰۲۳، یک طرح چند لایه جدید برای QCA ALU توسط الحربی و همکاران [35]، ارائه شه بود که این طرح قادر به انجام ۱۶ عملیات مجزا بود و دارای برگشت‌پذیری منطقی و فیزیکی بود. پایه و اساس طرح بر روی دروازه‌های اکثریت برگشت‌پذیر ساخته شده بود که به عنوان بلوک‌های ساختمانی ضروری شناخته می‌شدند. برای شبیه‌سازی و ارزیابی اتلاف انرژی از نرم افزار QCAdesigner-E استفاده شده بود. طرح QCA برای این طراحی نوآورانه شامل چند لایه از ۱۱۵۳ سلول تشکیل شده بود، که مساحتی معادل ۲۱۴۰ متر مربع را اشغال کرده بود و ۶ سیکل ساعت تاخیر داشت.

در سال ۲۰۲۴، یک طرح از واحد محاسبه و منطق چند لایه در QCA توسط فرجی و رضایی [36] توسعه داده شده بود که دارای ۴۸۹ سلول، مساحت ۰,۳۶ میکرومتر مربع، تاخیر سیکل ساعت برابر ۳,۷۵، بود و همچنین میانگین انرژی ۲,۰۲ مگا ولت و اتلاف توان ۵,۴۱ نانووات داشت و علاوه براین ها قابلیت ۲۰ عملیات منطقی و ریاضی داشت.

در سال ۲۰۲۴، یک QCA ALU با استفاده از ترکیب‌های مختلف دروازه‌های RM و RFG برگشت‌پذیر برای ایجاد یک ALU که قابلیت انجام ۱۶ عملیات داشت توسط بیوارا و همکارانش [37]، ارائه شده بود، که دارای دو ورودی ثابت و نه خروجی زائد بود. طرح QCA برای این طرح معرفی شده شامل ۱۰۲۴ سلول بود که مساحت ۲,۳ میکرومتر مربع را اشغال می‌کرد و ۳ سیکل ساعت تاخیر را تجربه می‌کرد.

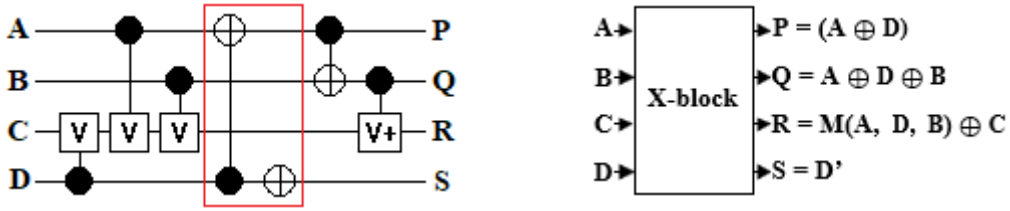
در سال ۲۰۲۴، یک QCA ALU با قابلیت انجام ۱۶ عملیات توسط ابراهیمی و همکارانش [38]، طراحی شده بود، که طرح QCA معرفی شده آن‌ها چند لایه بود و شامل ۴۴۳ سلول بود که مساحت ۰,۴۵ میکرومتر مربع را اشغال می‌کرد و ۵ سیکل ساعت تاخیر را تجربه می‌کرد. و ۱۲ عملیات منطقی و ریاضی انجام می‌داد.

۴- طرح‌های برگشت‌پذیر پیشنهادی

در این بخش ابتدا یک بلوک برگشت‌پذیر پیشنهادی با هزینه کواتتومی مناسب معرفی می‌شود سپس بر پایه بلوک پیشنهادی یک تمام جمع‌کننده برگشت‌پذیر طراحی می‌شود و در ادامه یک واحد محاسبه و منطق برگشت‌پذیر بر پایه مدار پیشنهادی، دروازه فرد کین و دروازه فینمن ارائه می‌شود. در نهایت تمامی مدارات برگشت‌پذیر با استفاده از تکنولوژی QCA پیاده‌سازی خواهند شد.

۴-۱- بلوک برگشت‌پذیر پیشنهادی

بلوک برگشت‌پذیر X یک بلوک ۴×۴ می باشد که نمایش مداری و نمایش کوانتومی آن در شکل (۵) نشان داده شده است. همانطور که از نمایش کوانتومی آن دیده می‌شود هزینه کوانتومی بلوک پیشنهادی X برابر ۶ می‌باشد، چون از شش دروازه ۲×۲ اولیه تشکیل شده است. علاوه بر این جدول درستی آن در جدول (۱) نشان داده شده.



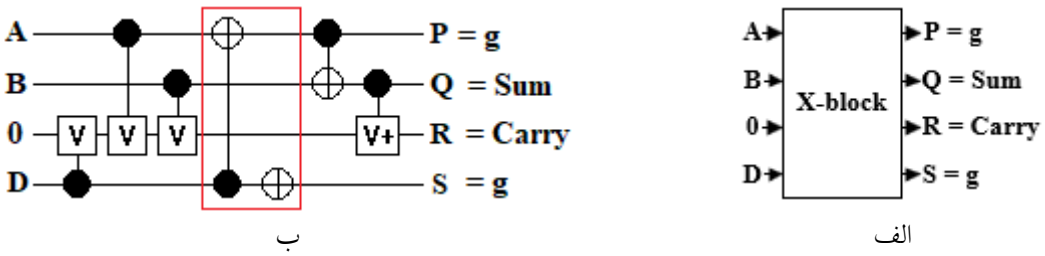
ب (الف)

شکل ۵: بلوک پیشنهادی X (الف): نمایش مداری و (ب): نمایش کوانتومی

جدول ۱ : جدول درستی بلوک پیشنهادی

A	B	C	D	P	Q	R	S
0	0	0	0	0	0	0	۱
0	0	0	1	1	1	0	۰
0	0	1	0	0	0	1	۱
0	0	1	1	1	1	1	۰
0	1	0	0	0	1	1	۱
0	1	0	1	1	0	1	۰
0	1	1	0	0	1	0	۱
0	1	1	1	1	0	0	۰
1	0	0	0	1	1	0	۱
1	0	0	1	0	0	0	۰
1	0	1	0	1	1	1	۱
1	0	1	1	0	0	1	۰
1	1	0	0	1	0	1	۱
1	1	0	1	0	1	1	۰
1	1	1	0	1	0	0	۱
1	1	1	1	0	1	0	۰

در شکل (۶) تمام جمع‌کننده برگشت‌پذیر پیشنهادی با استفاده از بلوک پیشنهادی X ارائه شده نشان داده شده است. علاوه بر این جدول درستی تمام جمع‌کننده برگشت‌پذیر در جدول (۲) نشان داده شده است.



شکل ۶: تمام جمع‌کننده پیشنهادی (الف): نمایش مداری و (ب): نمایش کوانتومی

جدول ۲: جدول درستی تمام جمع‌کننده پیشنهادی دوم

A	B	C	D	G1	S	Carry	G2
0	0	0	0	0	0	0	1
0	0	0	1	1	1	0	0
0	1	0	0	0	1	0	1
0	1	0	1	1	0	1	0
1	0	0	0	1	1	0	1
1	0	0	1	0	0	1	0
1	1	0	0	1	0	1	1
1	1	0	1	0	1	1	0

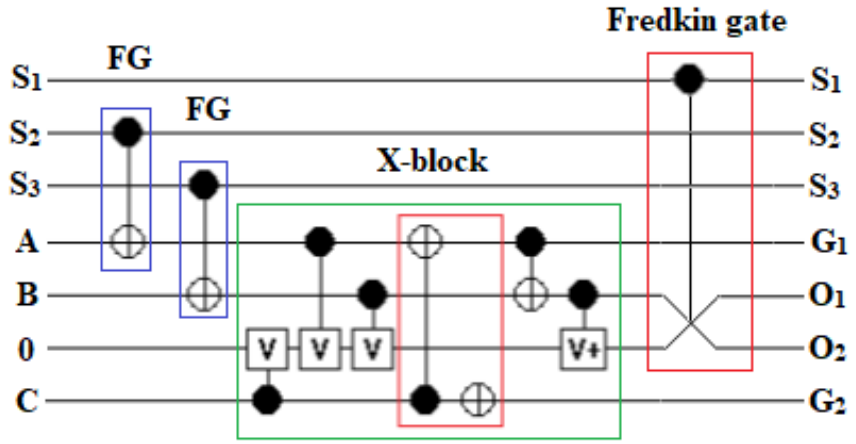
همان‌طور که از شکل (۹) دیده می‌شود تمام جمع‌کننده پیشنهادی برگشت‌پذیر فقط با یک بلوک پیشنهادی X طراحی شده است و دارای تعداد یک دروازه، تعداد یک ورودی ثابت، تعداد دو خروجی زائد و هزینه کوانتومی برابر ۶ می‌باشد.

۴-۲- واحد محاسبه و منطق پیشنهادی برگشت‌پذیر

در این بخش ابتدا به معرفی واحد محاسبه و منطق پرداخته می‌شود و در ادامه با استفاده از گیت‌های پیشنهادی یک واحد محاسبه و منطق برگشت‌پذیر کارآمد پیشنهاد خواهد شد.

واحد محاسبه و منطق یک مدار ترکیبی دیجیتال است که عملیات حساب و منطق را روی اعداد دودویی اینتیجر انجام می‌دهد. این در حالیست که واحد اعداد اعشاری مربوط به اعداد اعشاری می‌باشد. واحد محاسبه و منطق یک قطعه سازنده‌ی اساسی برای بسیاری از مدارهای محاسباتی از جمله واحد پردازش مرکزی کامپیوتر و واحد پردازنده‌ی گرافیکی است.

در شکل (۷) طرح پیشنهادی واحد محاسبه و منطق برگشت‌پذیر پیشنهادی با استفاده بلوک پیشنهادی X، دروازه فینمن و دروازه فردکین نشان داده شده است.



شکل ۷: طرح واحد محاسبه و منطق برگشت‌پذیر پیشنهادی

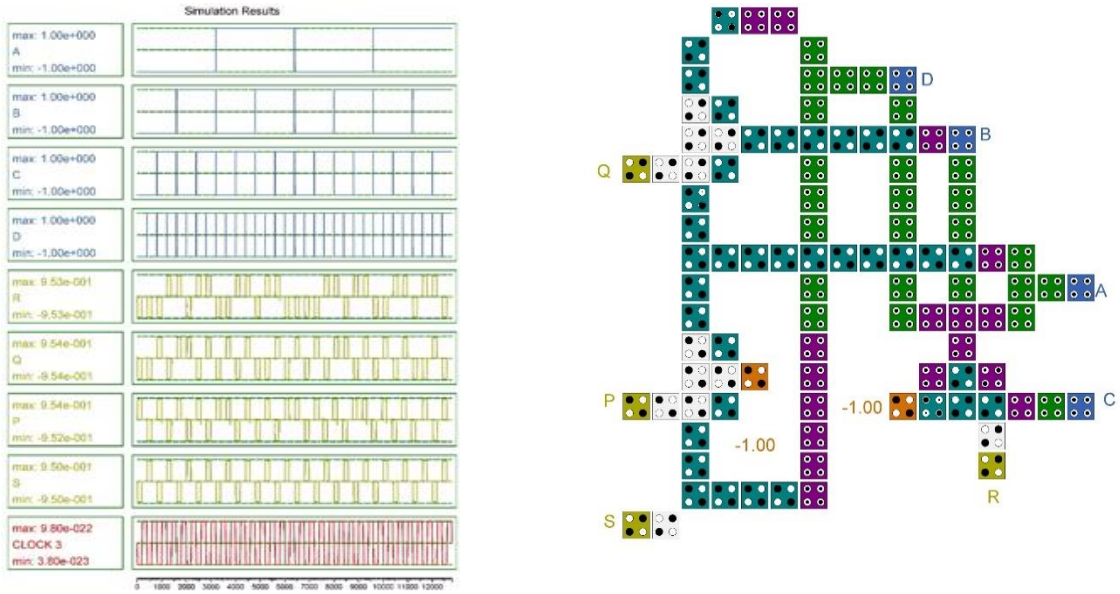
همان‌طور که از شکل (۷) مشاهده می‌شود، طرح پیشنهادی واحد محاسبه و منطق از بلوک پیشنهادی X، دروازه فردکین و دروازه فینمن طراحی شده است که دارای تعداد چهار دروازه، تعداد یک وردی ثابت تعداد خروجی زائد برابر دو و هزینه کوانتومی آن برابر ۱۳ می‌باشد و تعداد ۲۵ عملیات منطقی را انجام می‌دهد. علاوه بر این جدول درستی واحد محاسبه و منطق پیشنهادر در جدول ۳ نشان داده شده است.

جدول ۳: جدول درستی واحد محاسبه و منطق برگشت پیشنهادی

S_1	S_2	S_3	A	B	C	D	O_1	O_2
1	0	0	A	0	0	0	A	0
1	0	0	0	B	0	0	B	0
1	0	0	0	0	C	0	C	0
1	1	0	A	0	0	0	A’	0
1	0	1	0	B	0	0	B’	0
1	0	0	1	0	C	0	C’	0
0	0	0	A	B	0	0	AB	A xor B
0	1	1	A	B	0	0	A or B	A xor B
0	0	0	A	B	0	0	(AB)’	A xor B
0	1	1	A	B	0	0	A nor B	A xor B
1	1	1	A	B	0	0	A xor B	A nor B
1	1	0	A	B	0	0	A xnor B	A’B
1	0	0	A	B	C	0	A + B	Carry
1	0	1	A	B	1	0	A – B	Barrow
1	0	0	A	1	0	0	A + 1	Carry
1	0	0	1	B	0	0	B + 1	Carry
1	0	0	1	0	C	0	C + 1	Carry
1	0	1	A	1	1	0	A - 1	Barrow
1	1	0	1	B	1	0	B - 1	Barrow
1	1	0	1	0	C	0	C - 1	Barrow
1	1	0	A	B	1	0	B -A	Barrow
0	1	0	A	B	0	0	A’B	A xnor B
0	0	1	A	B	0	0	AB’	A xnor B
0	0	1	A	B	0	0	A xnor B	A B’
0	1	0	A	B	0	0	A xnor B	A’B

۴-۳- طراحی ساختار پیشنهادی برگشت‌پذیر در تکنولوژی آتاماتای سلولی نقطه‌ای کوانتومی

در این بخش قصد داریم گیت برگشت‌پذیر را با استفاده از تکنولوژی QCA پیاده‌سازی کنیم. ما برای طراحی گیت برگشت‌پذیر از گیت XOR بهینه شده مرجع [39] استفاده کرده‌ایم. همچنین از دو ساختار QCA فردکین و فینمن بهبود یافته شده مرجع [40] برای پیشنهاد واحد محاسبه و منطق پیشنهادی استفاده شده است. لازم به ذکر است از ساختار هم‌سطح برای طراحی تمامی مدارات پیشنهادی استفاده شده است. ساختار سلولی گیت برگشت‌پذیر پیشنهادی در شکل (۸) نشان داده شده است.

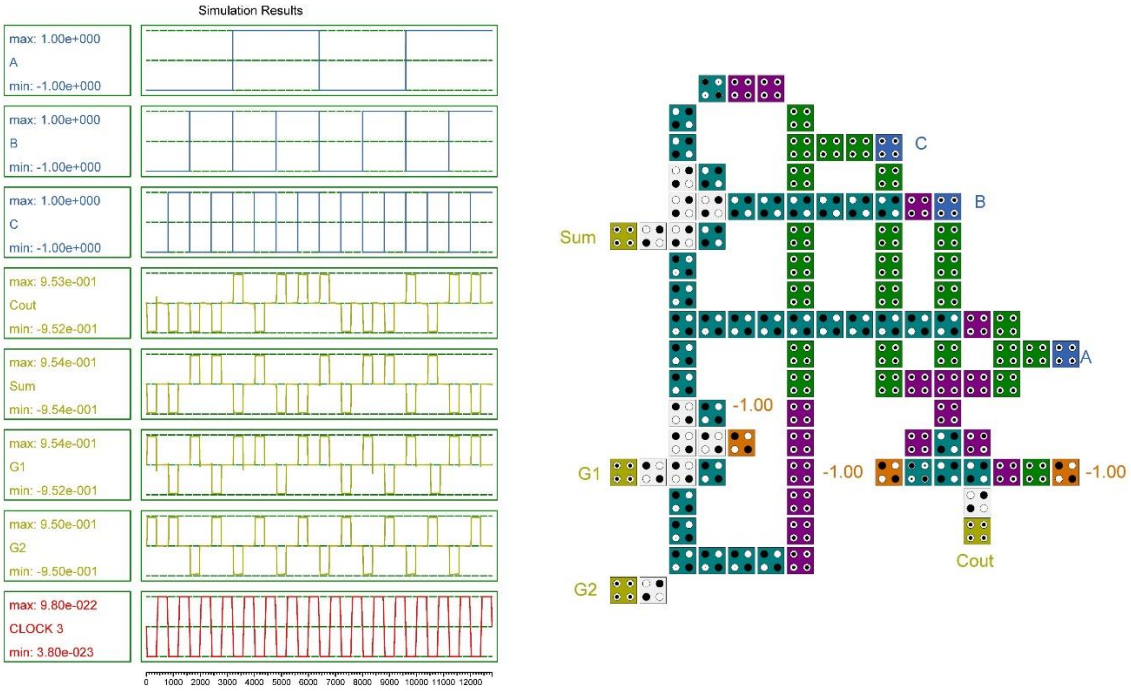


(ب) (الف)

شکل ۸: ساختار سلولی گیت برگشت‌پذیر پیشنهادی و شبیه سازی (الف) ساختار سلولی، (ب) شبیه‌سازی

همان‌طوری که مشاهده می‌شود گیت برگشت‌پذیر پیشنهادی شامل ۱۰۱ سلول، فضایی اشغالی آن 0.11 µm2 و خروجی آن بعد از ۴ کلاک تولید می‌شود.

برای تبدیل گیت برگشت‌پذیر به تمام جمع‌کننده برگشت‌پذیر تنها کافی است ورودی آخر یعنی C را به صفر تبدیل کنیم با این کار یک تمام جمع‌کننده با دو خروجی SUM و Cout به دست خواهد آمد. در شکل (۹) تمام جمع‌کننده برگشت‌پذیر پیشنهادی بر پایه گیت برگشت‌پذیر پیشنهادی نشان داده شده است.

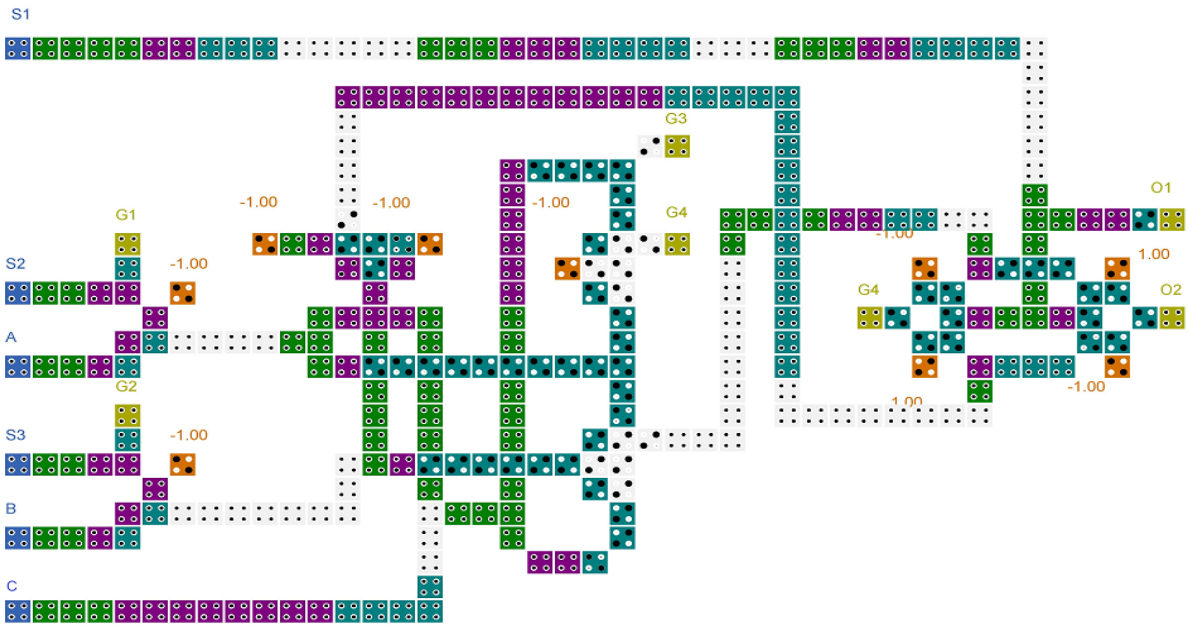


(ب) (الف)

شکل ۹: ساختار سلولی تمام جمع‌کننده برگشت‌پذیر پیشنهادی همراه با شبیه‌سازی

همان‌طوری که مشاهده می‌شود تمام معیارهای ارزیابی تمام جمع‌کننده برگشت‌پذیر پیشنهادی با گیت برگشت‌پذیر پیشنهادی برابر می‌باشد.

همچنین در شکل (۱۰) واحد محاسبه و منطق برگشت‌پذیر پیشنهادی بر پایه گیت پیشنهادی و گیت فردکین و گیت فینمن نشان داده شده است.



شکل ۱۰: ساختار سلولی واحد محاسبه و منطق برگشت‌پذیر پیشنهادی

همان‌طوری که مشاهده می‌شود واحد محاسبه و منطق برگشت‌پذیر پیشنهادی شامل ۳۰۷ سلول، فضایی اشغالی آن ۰,۱۱ μm^2 و خروجی آن بعد از ۱۲ کلاک سیکل تولید می‌شود.

۵- ارزیابی مدارهای پیشنهادی

در این بخش به ارزیابی کارهای پیشنهادی در مقایسه با کارهای گذشته پرداخته می‌شود. علاوه بر این در این بخش طرح‌های پیشنهادی از نظر معیارهایی مانند تعداد دروازه، تعداد وردی ثابت، تعداد خروجی زائد و هزینه کوانتومی و تعداد عملیات منطقی نسبت به کارهای پیشین مقایسه می‌شوند. همچنین از لحاظ پارامترهایی مانند تعداد سلول مصرفی، فضای اشغالی و تأخیر نسبت به ساختارهای پیشین در اتوماتای سلولی نقطه‌ای کوانتومی مقایسه خواهند شد. جدول ۴ نتایج مقایسه‌ای تمام جمع‌کننده‌های موجود با ساختار پیشنهادی نشان داده شده است.

جدول ۴: جدول مقایسه‌ای تمام جمع‌کننده‌های موجود با ساختار پیشنهادی

طرح‌ها	ساختار	کلاک	فضای اشغالی (μm^2)	سلول
In [41]	هم‌سطح	21	1.29	890
In [42]	تک‌لایه	21	0.58	399
In [43]	هم‌سطح	17	0.61	417
In [44]	هم‌سطح	17	0.67	420
In [45]	هم‌سطح	26	0.60	396
In [46]	هم‌سطح	3.25	0.320	236
In [47]	هم‌سطح	3.25	0.570	178
In [19]	تک‌لایه	1.5	0.11	123
In [48]	تک‌لایه	4	0.21	121
In [20]	هم‌سطح	1.25	0.120	123
In [20]	هم‌سطح	1.25	0.121	121
Proposed	هم‌سطح	4	0.11	101

همان‌طور که در جدول ۴ ملاحظه می‌شود طرح QCA برگشت‌پذیر پیشنهادی از لحاظ پارامترهایی همچون تعداد سلول مصرفی، فضای اشغالی، کلاک سیکل و تعداد عملیات محاسبات و منطقی نسبت به کارهای پیشین‌برتری قابل

توجهی دارد. همچنین جدول ۵ نتایج مقایسه‌ای QCA واحدهای محاسبه و منطق موجود با ساختار پیشنهادی نشان داده شده است.

جدول ۵: جدول مقایسه‌ای QCA واحدهای محاسبه و منطق موجود با ساختار پیشنهادی

طرح ها	تعداد سلول	فضای اشغالی (μm^2)	کلاک سایکل	ساختار	تعداد عملیات
In [4]	35596	11.37	9	Wire crossing	16
In [21]	918	1.68	8.5	تک لایه	16
In [22]	5368	2.28	7.25	Wire crossing	20
In [28]	670	1.29	4	چندلایه	16
In [23]	3075	2.34	2.25	Wire crossing	20
In [5]	1010	1.86	4.25	هم‌سطح	4
In [6]	625	1.34	3.75	هم‌سطح	4
In [31]	480	0.75	15	هم‌سطح	20
In [32]	350	0.52	12	هم‌سطح	20
In [34]	350	0.410	3	هم‌سطح	20
In [35]	1153	2140	6	چند لایه	16
In [36]	489	0.36	3.75	چند لایه	20
In [37]	1024	2.3	3	چند لایه	16
In [38]	443	0.45	5	چند لایه	12
Proposed	307	0.11	12	هم‌سطح	25

همان‌طور که در جدول ۵ ملاحظه می‌شود طرح QCA برگشت‌پذیر واحد محاسبه و منطق پیشنهادی از لحاظ پارامترهایی همچون تعداد سلول مصرفی، فضای اشغالی و تعداد عملیات محاسبات و منطقی نسبت به کارهای پیشین برتری قابل توجهی دارد. همچنین جدول ۶ نتایج مقایسه‌ای واحدهای محاسبه و منطق QCA برگشت‌پذیر با ساختار پیشنهادی نشان داده شده است.

جدول ۶: جدول مقایسه واحدهای محاسبه و منطق QCA برگشت‌پذیر موجود با ساختار پیشنهادی

طراحی‌ها	عملیات	هزینه کوانتومی	خروجی زائد	ورودی ثابت	تعداد دروازه
In #1[3]	6	24	0	2	6
In #2[3]	9	37	0	2	8
In #3[3]	9	37	0	2	8
In #1[24]	6	22	2	2	6
In #2[24]	8	33	4	2	8
In #3[24]	8	25	5	4	6
In #1[25]	6	19	2	3	-
In #2[25]	12	20	1	2	-
In #3[25]	10	20	0	0	-
In[26]	12	29	8	4	10
In #1 [27]	8	52	8	3	-

In #2 [27]	8	46	7	2	-
In [28]	16	19	2	1	4
In #1[29]	10	21	2	2	-
In #2[29]	12	24	8	4	-
In[30]	13	44	11	4	16
In[33]	20	18	0	2	4
In[34]	20	18	1	1	4
In[36]	20	21	1	1	4
Proposed	25	13	2	1	4

همان‌طوری که از جدول ۶، مشاهده می‌شود طرح پیشنهادی واحد محاسبه و منطق پیشنهادی در این مقاله با تعداد ۲۵ عملیان منطقی، تعداد ۳ دروازه، تعداد ۲ خروجی زائد، و تعداد یک ورودی ثابت و هزینه کوانتومی برابر ۱۳ نسبت به تمام همتایان خود برتر می‌باشد. با توجه به جدول ۷، واحد محاسبه و منطق پیشنهادی با تعداد عملیات بالا و هزینه کوانتومی پایین و همچنین تعداد دروازه کمتر نشان از برتری نسبت به تمامی طرح‌های پیشین را می دهد. ALU برگشت‌پذیر پیشنهادی از نظر تعداد عملیات و هزینه کوانتومی نسبت به بهترین ساختار پیشین نشان از برتری را می‌دهند.

۶- نتیجه‌گیری

در این مقاله در ابتدا یک عدد بلوک برگشت‌پذیر ۴×۴ جدید به نام X پیشنهاد داده‌ایم و سپس با استفاده از بلوک پیشنهاد شده X یک تمام جمع‌کننده با هزینه کوانتومی پایین طراحی کرده‌ایم و همچنین با استفاده از تمام جمع‌کننده پیشنهادی، دروازه فین من و دروازه فرد کین یک واحد محاسبه و منطق با تعداد ۲۵ عملیات محاسباتی و منطقی پیشنهاد داده‌ایم. در نهایت تمامی طرح‌های پیشنهادی را در تکنولوژی QCA پیاده‌سازی کرده‌ایم. همچنین نشان داده‌ایم که مدارهای پیشنهادی در این مقاله از نظر معیارهای ارزیابی همچون تعداد عملیات، هزینه کوانتومی، خروجی زائد، ورودی ثابت و تعداد دروازه نسبت به همه کار پیشین برتری دارند. علاوه بر این ساختارهای QCA برگشت‌پذیر پیشنهادی از نظر پارامترهای همچون کلاک سیکل، فضای اشغالی و تعداد سلول نسبت کارهای پیشین نشان از برتری را می‌دهند. علاوه بر این ALU برگشت‌پذیر پیشنهادی از نظر تعداد عملیات و تعداد دروازه، و هزینه کوانتومی نسبت به ساختارهای پیشین بهبود قابل‌توجهی را نشان می‌دهد. در آینده تمامی محققین می‌توانند از هر یک از ساختارهای برگشت‌پذیر پیشنهادی در طراحی مدارات پیچیده‌تری و با کارایی بالاتری استفاده کنند.

منابع

[1] R. Landauer, "Irreversibility and heat generation in the computing process," *IBM journal of research and development*, vol. 5, no. 3, pp. 183-191, 1961.

[2] C. H. Bennett, "Logical reversibility of computation," *IBM journal of Research and Development* ,vol. 17, no. 6, pp. 525-532, 1973.

[3] M. A. Morrison, "Design of a reversible alu based on novel reversible logic structures," 2012.

[4] V. C. Teja, S. Polisetti, and S. Kasavajjala, "QCA based multiplexing of 16 arithmetic & logical subsystems-a paradigm for nano computing," in *2008 3rd IEEE International Conference on Nano/Micro Engineered and Molecular Systems*, 2008: IEEE, pp. 758-763 .

[5] S.-S. Ahmadpour, M. Mosleh, and S. R. Heikalabad, "An efficient fault-tolerant arithmetic logic unit using a novel fault-tolerant 5-input majority gate in quantum-dot cellular automata," *Computers & Electrical Engineering*, vol. 82, p. 106548, 2020.

[6] S.-S. Ahmadpour, M. Mosleh, and S. Rasouli Heikalabad, "The design and implementation of a robust single-layer QCA ALU using a novel fault-tolerant three-input majority gate," *Journal of Supercomputing*, vol. 76, no. 12, 2020.

[7] B. Sen, M. Dutta, S. Some, and B. K. Sikdar. (2014) Realizing reversible computing in QCA framework resulting in efficient design of testable ALU. *ACM Journal on Emerging Technologies in Computing Systems (JETC)*. 30 .

[8] A. Barenco *et al.* (1995) Elementary gates for quantum computation. *Physical Review A*. 3457 .

[9] W. N. Hung, X. Song, G. Yang, J. Yang, and M. Perkowski. (2006) Optimal synthesis of multiple output Boolean functions using a set of quantum gates by symbolic reachability analysis. *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*. 1652-1663 .

[10] J. A. Smolin and D. P. DiVincenzo. (1996) Five two-bit quantum gates are sufficient to implement the quantum Fredkin gate. *Physical Review A*. 2855 .

[11] M. Morrison. (2012) Design of a reversible alu based on novel reversible logic structures .

[12] M. S. Islam, M. M. Rahman, Z. Begum, M. Z. Hafiz, and A. Al Mahmud. (2009) Synthesis of fault tolerant reversible logic circuits. *Testing and Diagnosis, 2009. ICTD 2009. IEEE Circuits and Systems International Conference on*. 1-4 .

[13] S. Shoaei and M. Haghparast. (2014) Novel designs of nanometric parity preserving reversible compressor. *Quantum information processing*. 1701-1714 .

[14] H. M. H. Babu and M. S. Mia. (2016) Design of a compact reversible fault tolerant division circuit. *Microelectronics journal*. 15-29 .

[15] M. Mohammadi and M. Eshghi (۲۰۰۹) .On figures of merit in reversible and quantum logic designs. *Quantum information processing*. 297-318 .

[16] T. Toffoli, "Reversible computing," in *Automata, Languages and Programming: Seventh Colloquium Noordwijkerhout, the Netherlands July 14–18, 1980 7* :۱۹۸۰ ,Springer, pp. 632-644 .

[17] A. Peres, "Reversible logic and quantum computers," *Physical review A*, vol. 32, no. 6, p. 3266, 1985.

[18] E. Fredkin and T. Toffoli, "Conservative logic," *International Journal of theoretical physics*, vol. 21, no. 3-4 ,pp. 219-253, 1982.

[19] T. Sourabh, W. SANYAL, and R. SEETHUR, "Design of a Reversible Full Adder Using Quantum Cellular Automata," *The Eurasia Proceedings of Science Technology Engineering and Mathematics*, vol. 21, pp. 500-505, 2022.

[20] M. Vahabi, E .Rahimi, P. Lyakhov, A. N. Bahar, K. A. Wahid, and A. Otsuki, "Novel Quantum-Dot Cellular Automata-Based Gate Designs for Efficient Reversible Computing," *Sustainability*, vol. 15, no. 3, p. 2265, 2023.

[21] N. Gupta, K. Choudhary, and S. Katiyal, "Two bit arithmetic logic unit (ALU) in QCA," *International Journal on Recent Trends in Engineering & Technology*, vol. 8, no. 2, p. 35, 2013.

[22] B. Sen, M. Dutta, S. Some, and B. K. Sikdar, "Realizing reversible computing in QCA framework resulting in efficient design of testable ALU," *ACM Journal on Emerging Technologies in Computing Systems (JETC)*, vol. 11, no. 3, p. 30, 2014.

[23] M. Goswami, B. Sen, R. Mukherjee, and B. K. Sikdar, "Design of testable adder in quantum-dot cellular automata with fault secure logic," *Microelectronics Journal*, vol. 60, pp. 1-12, 2017.

[24] P. Moallem, M. Ehsanpour, A. Bolhasani, and M. Montazeri, "Optimized reversible arithmetic logic units," *Journal of Electronics (China)*, vol. 31, no. 5, pp. 394-405, 2014.

[25] M. Haghparast and A. Bolhassani, "Optimization approaches for designing quantum reversible arithmetic logic unit," *International Journal of Theoretical Physics*, vol. 55, no. 3, pp. 1423-1437, 2016.

[26] A. Deeptha, D. Muthanna, M. Dhrithi, M. Pratiksha, and B. Kariyappa" ,Design and optimization of 8 bit ALU using reversible logic," in *2016 IEEE International Conference on Recent Trends in Electronics, Information & Communication Technology (RTEICT)*, 2016: IEEE, pp. 1632-1636 .

[27] A. Banerjee and D. K. Das, "A new ALU architecture design using reversible logic," in *2016 Sixth International Symposium on Embedded Computing and System Design (ISED)*, 2016: IEEE, pp. 187-191 .

[28] A. Naghibzadeh and M. Houshmand, "Design and simulation of a reversible ALU by using QCA cells with the aim of improving evaluation parameters," *Journal of Computational Electronics*, vol. 16, no. 3, pp. 883-895, 2017.

[29] A. Bolhassani and M. Haghparast, "Optimized designs of reversible arithmetic logic unit," *Turkish Journal of Electrical Engineering & Computer Sciences*, vol. 25, no. 2, pp. 1137-1146, 2017.

[30] M. Bhusal, R. Rohith, and R. Sakthivel, "Single Bit Fault Detecting ALU Design using Reversible Gates," in *2020 International Conference on Emerging Trends in Information Technology and Engineering (ic-ETITE)*, 2020: IEEE, pp. 1-6 .

[31] M. Norouzi, S. R. Heikalabad, and F. Salimzadeh, "A reversible ALU using HNG and Ferdkin gates in QCA nanotechnology," *International Journal of Circuit Theory and Applications*, vol. 48, no. 8, pp. 1291.۲۰۲۰ ,۱۳۰۳-

[32] B. Safaiezadeh, E. Mahdipour, M. Haghparast, S. Sayedsalehi, and M. Hosseinzadeh, "Novel design and simulation of reversible ALU in quantum dot cellular automata," *The Journal of Supercomputing*, vol. 78, no. 1, pp. 868-882, 2022.

[33] R .Aliabadian, M. Golsorkhtabaramiri, S. R. Heikalabad, and M. K. Sohrabi, "Design of an ultra-high-speed coplanar QCA reversible ALU with a novel coplanar reversible full adder based on MTSG," *The European Physical Journal Plus*, vol. 138, no. 5, p. 481, 202.۳

[34] R. Aliabadian, M. Golsorkhtabaramiri, S. R. Heikalabad, and M. K. Sohrabi, "Design of a reversible ALU using a novel coplanar reversible full adder and MF gate in QCA nanotechnology," *Optical and Quantum Electronics*, vol. 55, no. 2, p. 191, 2023.

[35] M. Alharbi, G. Edwards, and R. Stocker, "Reversible Quantum-Dot Cellular Automata-Based Arithmetic Logic Unit," *Nanomaterials*, vol. 13, no. 17, p. 2445, 2023.

[36] R. Faraji and A. Rezai, "Design of a multilayer reversible ALU in QCA technology," *The Journal of Supercomputing*, pp. 1-24, 2024.

[37] V. Bevara, S. Bevara, S. Busi, R. M. Krishna, and P. Aylapogu, "Ultra low power reversible arithmetic processor based on QCA," *Optical and Quantum Electronics*, vol. 56, no. 4, p. 586, 2024.

[38] M. Ebrahimy ,M. Gholami, H. Adarang, and R. Yousefi, "A novel low-latency ALU in the one-dimensional clock scheme in QCA nanotechnology," *The European Physical Journal Plus*, vol. 139, no. 2, p. 115, 2024.

[39] S.-S. Ahmadpour, M. Mosleh, and S. R. Heikalabad, "A revolution in nanostructure designs by proposing a novel QCA full-adder based on optimized 3-input XOR," *Physica B: Condensed Matter*, vol. 550, pp. 383-392, 2018.

[40] M. Abutaleb, "Robust and efficient QCA cell-based nanostructures of elementary reversible logic gates," *The Journal of Supercomputing,* vol. 74, no. 11, pp. 6258-6274, 2018.

[41] M. Arun and S. Saravanan, "Reversible arithmetic logic gate (ALG) for quantum computation," *International Journal of Intelligent Engineering and Systems,* vol. 6, no. 3 , pp. 1-9, 2013.

[42] M. Haghparast and K. Navi, "A novel reversible full adder circuit for nanotechnology based systems," *Journal of Applied Sciences,* vol. 7, no. 24, pp. 3995-4000, 2007.

[43] P. Biswas, N. Gupta, and N. Patidar, "Basic reversible logic gates and it's QCA implementation," *Int. Journal of Engineering Research and Applications,* vol. 4, no. 6, pp. 12-16, 2014.

[44] A. K. Biswas, M. M. Hasan, A. R. Chowdhury, and H. M. H. Babu, "Efficient approaches for designing reversible binary coded decimal adders," *Microelectronics journal,* vol. 39, no. 12, pp. 1693-1703, 2008.

[45] H. Thapliyal and M. Srinivas, "Novel reversibleTSG'gate and its application for designing components of primitive reversible/quantum ALU," in *Information, Communications and Signal Processing, 2005 Fifth International Conference on*, 2005: IEEE, pp. 1425-1429 .

[46] S. Hashemi, M. Rahimi Azghadi, and K. Navi, "Design and analysis of efficient QCA reversible adders," *The Journal of Supercomputing,* vol. 75, pp. 2106-2125, 2019.

[47] P. Kumar and S. Singh, "Optimization of the area efficiency and robustness of a QCA-based reversible full adder," *Journal of Computational Electronics,* vol. 18, pp. 1478-1489, 2019.

[48] R. Karwa, S. Singh, N. Nithin, Y. Karekar, and R. Seethur, "Design and Implementation of Novel Reversible Full Adder using QCA," in *2023 7th International Conference on Computing Methodologies and Communication (ICCMC)*, 2023: IEEE, pp. 1460-1465 .